

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 986 563**

21 Número de solicitud: 202390120

51 Int. Cl.:

G06F 7/544 (2006.01)

G06N 3/065 (2013.01)

12

INFORME SOBRE EL ESTADO DE LA TÉCNICA

R1

22 Fecha de presentación:

27.02.2023

30 Prioridad:

25.02.2022 EP 22382166

43 Fecha de publicación de la solicitud:

11.11.2024

88 Fecha de publicación diferida del informe sobre el estado de la técnica:

26.12.2024

71 Solicitantes:

**UNIVERSIDADE DE SANTIAGO DE
COMPOSTELA (100.00%)
Avda das Ciencias, 4 - 1D
15782 Santiago de Compostela (A Coruña) ES**

72 Inventor/es:

**GARCIA LESTA, Daniel;
PARDO SECO, Fernando;
PEREIRA RIAL, Oscar;
LOPEZ MARTINEZ, Paula;
CABELLO FERRER, Diego y
BREA SANCHEZ, Victor Manuel**

74 Agente/Representante:

TORRENTE VILASÁNCHEZ, Susana

54 Título: **PROCESADOR HIPERDIMENSIONAL DE SEÑAL MIXTA**

57 Resumen:

Procesador hiperdimensional de señal mixta. Dispositivo para cálculo hiperdimensional que comprende: un conjunto de $m \times n$ unidades de procesamiento de 1 bit que comprenden una unidad lógica de 1 bit y una unidad de memoria; al menos un terminal de entrada para recibir un hipervector de entrada; n multiplexores de 1 bit para seleccionar la entrada. También, métodos para fabricar y utilizar el dispositivo.

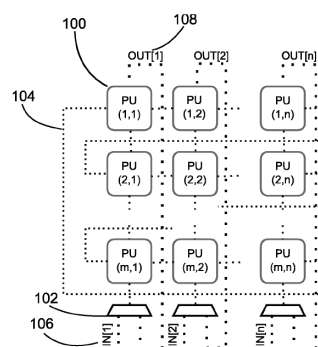


Figura 1



- ②① N.º solicitud: 202390120
②② Fecha de presentación de la solicitud: 27.02.2023
③② Fecha de prioridad: **25-02-2022**

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. cl.: **G06F7/544** (2006.01)
G06N3/065 (2023.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
P, X	GARCIA-LESTA, D. et al.: "HDC8192: A General Purpose Mixed-Signal CMOS Architecture for Massively Parallel Hyperdimensional Computing". 2022 IEEE International Symposium on Circuits and Systems (ISCAS), 20220527 IEEE, 27/05/2022, Páginas 496 - 500 [en línea] [recuperado el 25/11/2024]. Recuperado de Internet <URL: https://ieeexplore.ieee.org/document/9937910 >, <DOI: doi:10.1109/ISCAS48785.2022.9937910>. Todo el documento.	1-15
A	US 2015310311 A1 (SHI CONG et al.) 29/10/2015, párrafos 29 - 63; figuras 1 y 3.	1-15
A	US 2012326749 A1 (O'CONNOR, I. et al.) 27/12/2012, párrafos 64 - 119; figuras 1 y 2.	1-15
A	EGGIMANN, MANUEL et al.: "A 5 µW Standard Cell Memory-Based Configurable Hyperdimensional Computing Accelerator for Always-on Smart Sensing". IEEE Transactions on Circuits and Systems I: Regular Papers, 20210803 IEEE, US, 03/08/2021, Vol. 68, Nº 10, Páginas 4116 - 4128 [en línea][recuperado el 25/11/2024]. Recuperado de Internet <URL: https://www.researchgate.net/publication/353676213_A_5_mW_Standard_Cell_Memory-Based_Configurable_Hyperdimensional_Computing_Accelerator_for_Always-on_Smart_Sensing >, ISSN 1549-8328, <DOI: doi:10.1109/TCSI.2021.3100266>. Capítulo III; figuras 1 y 4.	1-15

Categoría de los documentos citados X: de particular relevancia Y: de particular relevancia combinado con otro/s de la misma categoría A: refleja el estado de la técnica	O: referido a divulgación no escrita P: publicado entre la fecha de prioridad y la de presentación de la solicitud E: documento anterior, pero publicado después de la fecha de presentación de la solicitud
---	---

El presente informe ha sido realizado ☒ para todas las reivindicaciones ☐ para las reivindicaciones nº:
--

Fecha de realización del informe 10.12.2024	Examinador M. Ortega González	Página 1/2
--	--	---------------------------------

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06F, G06N

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI NPL, INTERNET