

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 823 227**

51 Int. Cl.:

**H04L 1/00** (2006.01)

**H03M 13/09** (2006.01)

**H03M 13/13** (2006.01)

**H03M 13/29** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **04.05.2018 PCT/CN2018/085522**

87 Fecha y número de publicación internacional: **14.03.2019 WO19047543**

96 Fecha de presentación y número de la solicitud europea: **04.05.2018 E 18752075 (4)**

97 Fecha y número de publicación de la concesión europea: **15.07.2020 EP 3474473**

54 Título: **Método y dispositivo de codificación**

30 Prioridad:

**08.09.2017 CN 201710807307**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**06.05.2021**

73 Titular/es:

**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)  
Huawei Administration Building, Bantian,  
Longgang District  
Shenzhen Guangdong 518129, CN**

72 Inventor/es:

**DAI, SHENGCHEN;  
HUANG, LINGCHEN;  
ZHANG, GONGZHENG;  
QIAO, YUNFEI y  
LI, RONG**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 823 227 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Método y dispositivo de codificación

**Campo técnico**

5 La presente solicitud se refiere al campo de las tecnologías de comunicaciones, y en particular, a un método y un aparato de codificación.

**Antecedentes**

10 En un sistema de comunicaciones, la codificación de canal se realiza generalmente para mejorar la fiabilidad de la transmisión de datos y asegurar la calidad de la comunicación. Actualmente, un sistema de comunicaciones móviles 5G incluye tres escenarios de aplicación principales: banda ancha móvil mejorada (en inglés, Enhanced Mobile Broad Band, eMBB), comunicaciones ultrafiabiles de baja latencia (URLLC) y comunicaciones masivas de tipo máquina (en inglés, Massive Machine-Type Communications, mMTC), que presentan nuevos requisitos para la comunicación de datos, y un código polar (polar) es un primer método de codificación de canal que se puede demostrar estrictamente que "ha alcanzado" la capacidad de un canal, y puede ser aplicable a un sistema de comunicaciones 5G y a un futuro sistema de comunicaciones.

15 La propuesta 3GPP R1-1708047 de Samsung (3GPP TSG RAN WG1 #89, Hangzhou, China, 15-19 de mayo de 2017) divulga un esquema para encontrar una matriz generadora adecuada para la verificación de redundancia cíclica distribuida (CRC).

20 El documento "CRC Code Design for List Decoding of Polar Codes" (de Qingshuang Zhang, Aijun Liu, Xiaofei Pan y Kegang Pan, en IEEE Communication Letters, Vol. 21, n.º 6, junio de 2017) divulga un método para analizar la probabilidad de errores no detectados del esquema de decodificación de cancelación sucesiva de la lista asistida por CRC.

25 El documento US2014 / 0173376A1 divulga un método de codificación que incluye realizar codificación de CRC en tantos bits de información como un número determinado de bits de codificación de CRC entre bits de información de entrada y realizar codificación polar en los bits de información codificados con CRC y otros bits de información distintos de los bits de información codificados con CRC.

El documento EP2075918A2 divulga un método para emplear un polinomio generador óptimo a partir de una pluralidad de polinomios generadores para un procesamiento de codificación CRC con cada uno de una pluralidad de datos cuyas longitudes de código difieren como un objetivo.

**Sumario**

30 Esta solicitud proporciona un método y un aparato de codificación.

De acuerdo con un primer aspecto, la presente solicitud proporciona un método de codificación, que incluye:

35 realizar, mediante un extremo de transmisión basado en un polinomio de verificación de redundancia cíclica (CRC), codificación con CRC en A bits de información a codificar, para obtener una primera secuencia de bits, donde la primera secuencia de bits incluye L bits de CRC y A bits de información, siendo L y A enteros positivos,  $L = 6$ , y el polinomio de CRC es  $D^6 + D^5 + 1$ ; y

realizar codificación polar en la primera secuencia de bits.

Mediante el uso de esta manera de codificación, un requisito FAR se puede satisfacer, para asegurar que la comunicación se lleva a cabo normalmente.

En un posible diseño, el polinomio de CRC se implementa mediante el uso de un registro de desplazamiento.

40 En un posible diseño, los L bits de CRC en la primera secuencia de bits se encuentran después de los A bits de información a codificar.

En un posible diseño, el extremo de transmisión envía la primera secuencia de bits codificada en forma polar.

45 En un posible diseño, el método de codificación puede ser implementado mediante el uso de hardware, por ejemplo, implementado mediante el uso de un circuito o uno o más circuitos integrados. El método de codificación puede implementarse alternativamente utilizando software. Por ejemplo, uno o más procesadores realizan el método de codificación leyendo una instrucción almacenada en una memoria. El uno o más procesadores pueden integrarse en un chip, o pueden distribuirse en una pluralidad de chips. Alternativamente, el método de codificación puede implementarse parcialmente usando hardware y parcialmente implementado usando software. Por ejemplo, un procesador realiza la etapa de "realizar, basándose en un polinomio de verificación de redundancia cíclica (CRC), codificación con CRC en A bits de información a codificar, para obtener una primera secuencia de bits" leyendo una

50

instrucción almacenada en una memoria , y la etapa de "realizar codificación polar en la primera secuencia de bits" que se implementa utilizando un circuito lógico o un acelerador. Ciertamente, durante la implementación específica, las personas expertas en la técnica pueden usar alternativamente una combinación de los modos anteriores.

En un posible diseño, el extremo de transmisión es una estación base o un terminal.

5 De acuerdo con un segundo aspecto, la presente solicitud proporciona un aparato de codificación, que incluye:

un primer módulo de codificación, configurado para funcionar, basado en un polinomio de verificación de redundancia cíclica (CRC), codificación con CRC en  $A$  bits de información a codificar, para obtener una primera secuencia de bits, donde la primera secuencia de bits incluye  $L$  bits de CRC y  $A$  bits de información, siendo  $L$  y  $A$  enteros positivos,  $L = 6$ , y el polinomio de CRC es  $D^6 + D^5 + 1$ ; y

10 un segundo módulo de codificación, configurado para realizar codificación polar en la primera secuencia de bits.

En un posible diseño, el polinomio de CRC se implementa mediante el uso de un registro de desplazamiento.

En un posible diseño, los  $L$  bits de CRC en la primera secuencia de bits se encuentran después de los  $A$  bits de información a codificar.

15 En un posible diseño, el aparato incluye además un módulo de envío, configurado para enviar la primera secuencia de bits codificada en forma polar.

En un posible diseño, el aparato es una estación base o un terminal.

De acuerdo con un tercer aspecto, la presente solicitud proporciona un aparato de codificación, que incluye un procesador. El procesador está configurado para:

20 realizar, basado en un polinomio de verificación de redundancia cíclica (CRC), codificación con CRC en  $A$  bits de información a codificar, para obtener una primera secuencia de bits, donde la primera secuencia de bits incluye  $L$  bits de CRC y  $A$  bits de información, siendo  $L$  y  $A$  enteros positivos,  $L = 6$ , y el polinomio de CRC es  $D^6 + D^5 + 1$ ; y

realizar codificación polar en la primera secuencia de bits.

En un posible diseño, el aparato de codificación incluye, además, una memoria, y la memoria está configurada para almacenar una instrucción de programa.

25 En un posible diseño, el polinomio de CRC se implementa mediante el uso de un registro de desplazamiento.

En un posible diseño, los  $L$  bits de CRC en la primera secuencia de bits se encuentran después de los  $A$  bits de información a codificar.

En un posible diseño, el aparato es una estación base o un terminal.

30 La memoria puede estar dentro del procesador o fuera del procesador. El procesador puede estar integrado en el terminal o estación base.

35 El procesador puede ser un circuito, uno o más circuitos integrados, o uno o más chips dedicados. El procesador puede ser alternativamente un chip de uso general, y cuando la instrucción de programa utilizada para implementar el método de codificación se carga en el procesador, se puede implementar la función de codificación anterior. El procesador puede ser alternativamente una combinación de uno o más de un circuito, un circuito integrado, un chip dedicado y un chip de uso general.

De acuerdo con un cuarto aspecto, la presente solicitud proporciona un aparato de codificación, que incluye:

una interfaz de entrada, configurada para obtener una secuencia de bits a codificar;

40 un circuito lógico, configurado para realizar el método de acuerdo con cualquiera de los primeros aspectos y los posibles diseños del primer aspecto basados en la secuencia de bits que se codificará para obtener bits codificados; y

una interfaz de salida, configurada para emitir los bits codificados.

En un posible diseño, el aparato es una estación base o un terminal.

45 De acuerdo con un quinto aspecto, la presente solicitud proporciona un dispositivo de comunicaciones, incluyendo el aparato de codificación proporcionado en el tercer aspecto y los posibles diseños del tercer aspecto y un transceptor, donde

el transceptor está configurado para enviar bits codificados por el aparato de codificación.

En un posible diseño, el dispositivo de comunicaciones es una estación base o un terminal.

De acuerdo con un sexto aspecto, la presente solicitud proporciona un medio de almacenamiento legible, que incluye un programa de ordenador. El programa de ordenador se utiliza para implementar el método de codificación proporcionado en cualquiera de los primeros aspectos y los posibles diseños del primer aspecto.

- 5 De acuerdo con un séptimo aspecto, la presente solicitud proporciona un producto de programa. El producto del programa incluye un programa de ordenador. El programa de ordenador se almacena en un medio de almacenamiento legible. Al menos un procesador de un aparato de codificación puede leer el programa de ordenador del medio de almacenamiento legible, y el al menos un procesador ejecuta el programa de ordenador, de modo que el aparato de codificación realiza el método de codificación en el primer aspecto y los posibles diseños del primer aspecto.
- 10 Después de que se utiliza el polinomio de CRC proporcionado en la presente solicitud, un requisito FAR de un sistema puede satisfacerse, para asegurar que la comunicación se lleva a cabo normalmente.

**Breve descripción de los dibujos**

La figura 1(a) y la figura 1(b) son diagramas de arquitectura esquemáticos de un sistema de comunicaciones aplicado en una realización de la presente solicitud;

- 15 La figura 2 es un diagrama de flujo esquemático de un sistema de comunicaciones;

La figura 3 es un diagrama de flujo de una realización de un método de codificación de acuerdo con la presente solicitud;

La figura 4 es un diagrama esquemático de una manera de codificación de CRC;

- 20 La figura 5 es un primer diagrama estructural esquemático de un aparato de codificación de acuerdo con una realización de la presente solicitud;

La figura 6 es un segundo diagrama estructural esquemático de un aparato de codificación de acuerdo con una realización de la presente solicitud;

La figura 7 es un tercer diagrama estructural esquemático de un aparato de codificación de acuerdo con una realización de la presente solicitud;

- 25 La figura 8 es un primer diagrama estructural esquemático de un aparato de decodificación de acuerdo con una realización de la presente solicitud;

La figura 9 es un segundo diagrama estructural esquemático de un aparato de decodificación de acuerdo con una realización de la presente solicitud;

- 30 La figura 10 es un tercer diagrama estructural esquemático de un aparato de decodificación de acuerdo con una realización de la presente solicitud; y

La figura 11 es un diagrama estructural esquemático de un dispositivo de red y un terminal de acuerdo con una realización de la presente solicitud.

**Descripción de realizaciones**

Un código polar es un código de bloque lineal. Una matriz generadora del código polar es  $G_N$ . Un proceso de

- 35 codificación del código polar es  $x_1^N = u_1^N G_N$ . El  $u_1^N = (u_1, u_2, \dots, u_N)$  es un vector de fila binario cuya longitud es  $N$  (es

decir, una longitud de código).  $G_N = F_2^{\otimes (\log_2(N))}$ , en el que  $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ , y  $F_2^{\otimes (\log_2(N))}$  se define como un producto Kronecker (Kronecker) de  $\log_2 N$  matrices  $F_2$ .  $x_1^N$  son bits codificados (también denominados palabra de código), donde

- 40 los bits codificados se obtienen después de que  $u_1^N$  se multiplica por la matriz generadora  $G_N$ , y un proceso de multiplicación es el proceso de codificación. En el proceso de codificación del código polar, algunos bits de  $u_1^N$  se utilizan para transportar información y se denominan bits de información, y un conjunto de índices de los bits de información se marca como  $\mathcal{A}$ ; y otros bits de  $u_1^N$  se establecen en valores fijos en los que un extremo de recepción y un extremo de transmisión acuerdan de antemano, y se conocen como bits congelados, y un conjunto de índices de los bits congelados se representa mediante el uso de un conjunto complementario  $\mathcal{A}^c$  de  $\mathcal{A}$ . Un bit congelado generalmente se establece en 0. Siempre que el extremo de recepción y el extremo de transmisión acuerden de

antemano, se puede establecer arbitrariamente una secuencia de bits congelada.

Para mejorar aún más el rendimiento de codificación de un sistema, un código externo que tiene una capacidad de verificación, por ejemplo, un código de verificación de redundancia cíclica (Inglés: Cyclic Redundancy Check, CRC) puede concatenarse con el código polar. Cuando se utiliza una forma de decodificación como la decodificación de la lista de cancelación en serie (en inglés, Serial Cancellation List), la selección generalmente se realiza en rutas de supervivencia basadas en la verificación de redundancia cíclica después de que finaliza la decodificación, para mejorar el rendimiento de codificación del canal del sistema. Cuando el código polar se usa para un canal de control, además de una tasa de error de bloque (en inglés, block error rate, BLER) que es un indicador técnico normal, también se necesita satisfacer un indicador de tasa de falsa alarma (en inglés, false alarm rate, FAR para abreviar). Por ejemplo, si una cantidad de bits de CRC es  $L$ , se utiliza una forma de decodificación tal como la decodificación de la lista de cancelación en serie, se utiliza la verificación de redundancia cíclica después de que finaliza la decodificación, y se verifican  $T$  rutas de supervivencia, generalmente se requiere un FAR para que sea menor que  $(2^{-(L+\log_2(T))})$ . Debe observarse que la selección de un valor  $T$  no depende de un polinomio de verificación de redundancia cíclica y una longitud, sino que depende de la complejidad de implementación de decodificación, el rendimiento de decodificación y similares. Por lo tanto, debe considerarse cómo encontrar una manera adecuada de concatenar un código de verificación de CRC y un código polar de acuerdo con un requisito FAR. La presente solicitud pone énfasis en determinar un polinomio de CRC apropiado basado en un valor de  $L$ , para satisfacer un requisito del sistema y garantizar que la comunicación se realice normalmente.

Realizaciones de la presente solicitud pueden aplicarse a un sistema de comunicaciones inalámbricas. Cabe señalar que el sistema de comunicaciones inalámbricas mencionado en las realizaciones de la presente solicitud incluye, entre otros: un sistema de evolución a largo plazo (en inglés, Long Term Evolution, LTE) y tres escenarios principales de aplicación de un sistema de comunicaciones móvil 5G de próxima generación: banda ancha móvil mejorada (en inglés, Enhanced Mobile Broad Band, eMBB), URLLC y comunicaciones masivas de tipo máquina (en inglés, Massive Machine-Type Communications, mMTC). Alternativamente, el sistema de comunicaciones inalámbricas puede ser un sistema de comunicaciones de dispositivo a dispositivo (en inglés, Device to Device, D2D), otro sistema de comunicaciones, un sistema de comunicaciones futuro o similar.

Un aparato de comunicaciones en relación con la presente solicitud puede configurarse en un dispositivo de comunicaciones, y el dispositivo de comunicaciones incluye, principalmente, un dispositivo de red o un dispositivo de terminal. Si un extremo de transmisión en la presente solicitud es un dispositivo de red, un extremo de recepción es un dispositivo terminal; o si un extremo de transmisión en la presente solicitud es un dispositivo terminal, un extremo de recepción es un dispositivo de red.

En una realización de la presente solicitud, como se muestra en la figura 1(a), un sistema de comunicaciones incluye un dispositivo de red 110 y un terminal 112. Cuando la red de comunicaciones inalámbricas 100 incluye una red central, el dispositivo de red 110 puede conectarse adicionalmente a la red central. El dispositivo de red 110 puede comunicarse además con una red IP 200 tal como Internet (Internet), una red IP privada u otra red de datos. Un dispositivo de red proporciona un servicio para un terminal dentro de la cobertura. Por ejemplo, con referencia a la figura 1(a), el dispositivo de red 110 proporciona acceso inalámbrico para uno o más terminales dentro de la cobertura del dispositivo de red 110. Además, puede existir un área superpuesta dentro de la cobertura de dispositivos de red tales como el dispositivo de red 110 y un dispositivo de red 120. Los dispositivos de red pueden comunicarse también entre sí. Por ejemplo, el dispositivo de red 110 puede comunicarse con el dispositivo de red 120.

Cuando el dispositivo de red 110 o el terminal 112 envía información o datos, un método de codificación descrito en las realizaciones de la presente solicitud puede utilizarse. Por lo tanto, por conveniencia de la descripción, en esta realización de la presente solicitud, el sistema de comunicaciones 100 se simplifica a un sistema que incluye un extremo de transmisión 101 y un extremo de recepción 102, como se muestra en la figura 1(b). El extremo de transmisión 101 puede ser el dispositivo de red 110, y el extremo de recepción 102 es el terminal 112; o el extremo de transmisión 101 es el terminal 112, y el extremo de recepción 102 es el dispositivo de red 110. El dispositivo de red 110 puede ser un dispositivo configurado para comunicarse con el dispositivo terminal. Por ejemplo, el dispositivo de red 110 puede ser un Nodo B evolucionado (Nodo B Evolucionado, eNB o eNodoB) en un sistema LTE, un dispositivo del lado de la red en una red 5G, un dispositivo del lado de la red que se comunica con un terminal en otra red, o un dispositivo del lado de la red en una red futura. Alternativamente, el dispositivo de red puede ser una estación de retransmisión, un punto de acceso, un dispositivo en el vehículo, o similar. En un sistema de comunicaciones de dispositivo a dispositivo (en inglés, Device to Device, D2D), el dispositivo de red puede ser un terminal que desempeña el papel de una estación base. El terminal puede incluir varios dispositivos de mano, dispositivos en el vehículo, dispositivos portátiles o dispositivos informáticos que tienen una función de comunicaciones inalámbricas u otro dispositivo de procesamiento conectado a un módem inalámbrico, y varias formas de equipo de usuario (en inglés, User Equipment, UE), estaciones móviles (en inglés, Mobile Station, MS) y similares.

Un proceso de codificación relacionado con la presente solicitud es aproximadamente: realizar verificación de CRC sobre la información a codificar; si es necesario, realizar una operación tal como intercalar en una secuencia de bits verificada por CRC; y luego realizar codificación polar. Además, uno o más de, incluyendo, pero no limitado a, emparejamiento de tasa, modulación, conversión digital a analógica y conversión de frecuencia, se pueden realizar adicionalmente, en base a una longitud de código objetivo  $M$ , en bits codificados obtenidos después de la codificación

polar.

La figura 2 es un diagrama de flujo esquemático de un sistema de comunicaciones. Como se muestra en la figura 2, en un extremo de transmisión, una fuente de señal sufre secuencialmente codificación de fuente de señal, codificación de canal, emparejamiento de tasa (una etapa opcional) y modulación, y luego envío. En un extremo de recepción, la fuente de señal se somete secuencialmente a demodulación, desemparejamiento de tasa (una etapa opcional), decodificación de canal y decodificación de fuente de señal, y se envía a un sumidero de señal. Las realizaciones de la presente solicitud están relacionadas principalmente con la codificación y decodificación de canales (referidas brevemente como codificación y decodificación de canales), y se describen a continuación utilizando ejemplos específicos. Se puede usar un código polar concatenado con verificación de CRC para la codificación y decodificación de canales en las realizaciones de la presente solicitud.

La presente solicitud proporciona un método y un aparato de codificación, para satisfacer un requisito FAR. El método y el aparato relacionados con la presente solicitud son aplicables tanto a un canal de control como a un canal de datos, y son aplicables tanto a enlace ascendente como a enlace descendente. El método y el aparato de codificación proporcionados en la presente solicitud se describen en detalle a continuación con referencia a los dibujos adjuntos.

La figura 3 es un diagrama de flujo de una realización de un método de codificación de acuerdo con la presente solicitud. Como se muestra en la figura 3, esta realización se realiza mediante un extremo de transmisión, y el método de esta realización puede incluir las siguientes etapas.

S101. El extremo de transmisión realiza la codificación con CRC en  $A$  bits de información a codificar basados en un polinomio de CRC, para obtener una primera secuencia de bits, donde la primera secuencia de bits incluye  $L$  bits de CRC y  $A$  bits de información, y  $L$  y  $A$  son enteros positivos.  $L$  también se conoce generalmente como longitud de CRC.

En consideración de un requisito FAR, cuando  $L = 6$ , el polinomio de CRC es uno cualquiera de los siguientes polinomios:

- $D^6 + D^5 + 1$ ;
- $D^6 + D^5 + D^4 + D^3 + 1$ ;
- $D^6 + D^4 + D^3 + D + 1$ ;
- $D^6 + D^3 + D^2 + D + 1$ ;
- $D^6 + D^5 + D^2 + 1$ ;
- $D^6 + D^5 + D^4 + D^2 + 1$ ;
- $D^6 + D^3 + D^2 + 1$ ;
- $D^6 + D^5 + D^3 + D^2 + 1$ ;
- $D^6 + D^5 + D^4 + D^3 + D^2 + 1$ ;
- $D^6 + D^5 + D^4 + D^3 + D + 1$ ; o
- $D^6 + D^4 + D^2 + D + 1$ .

Un proceso específico de la realización de CRC de codificación basado en un polinomio seleccionado es el mismo como codificación de CRC general actual.

Específicamente, después de recibir los  $A$  bits de información a codificar, el extremo de transmisión agrega los  $L$  bits de CRC basados en el polinomio de CRC, para obtener la primera secuencia de bits.

Los  $A$  bits de información a codificar pueden obtenerse por la clasificación de bits de información a enviar en orden ascendente o descendente, o se pueden obtener mediante la realización de otro proceso en bits de información. Esto no se limita en el presente documento.

Una implementación de CRC de codificación es en una forma de un registro de desplazamiento. Por ejemplo, la figura 4 muestra una manera comúnmente utilizada de implementar la codificación de CRC en forma de un registro de desplazamiento (denominado brevemente un registro). Un grifo de retroalimentación del registro se determina mediante un polinomio de CRC  $D^4 + D^2 + 1$ , y el contenido del registro se inicializa a un valor preestablecido. Durante la codificación, los bits de información a codificar se desplazan de un lado al registro bit a bit, y se realiza una operación OR exclusiva de bit en el grifo de retroalimentación y el estado del registro correspondiente, de modo que el estado del registro cambia. Después de que todos los bits a codificar se desplazan al registro, los bits 0 cuya cantidad es igual a una cantidad de bits de la longitud de CRC se desplazan al registro, luego se lee el estado del registro y el estado del registro se utiliza como bit de CRC, y se usa como una palabra de código de codificación de CRC. Los  $L$  bits de CRC en la primera secuencia de bits pueden ubicarse después de los  $A$  bits de información a codificar, pueden ubicarse antes que los  $A$  bits de información a codificar, o pueden ubicarse en cualquier ubicación en la que un extremo de recepción y el extremo de transmisión están de acuerdo.

S102. El extremo de transmisión intercala la primera secuencia de bits, para obtener una segunda secuencia de bits.

En la etapa de intercalado, algunos bits de la primera secuencia de bits pueden ser intercalados, o todos los bits en la primera secuencia de bits pueden ser intercalados. Cabe señalar que, esta etapa es una etapa opcional: Esta etapa es necesaria solo cuando se necesita ajustar la ubicación de un bit de información y/o un bit de verificación de CRC;

y si no es necesario ajustar la ubicación del bit de información y/o el bit de verificación de CRC, esta etapa puede omitirse en un proceso de codificación real, y en este caso, la segunda secuencia de bits en la etapa S103 es la primera secuencia de bits. Un esquema de intercalado específico no es el contenido de la presente solicitud, y los detalles no se describen.

- 5 S103. El extremo de transmisión realiza una codificación polar en la segunda secuencia de bits, para obtener una tercera secuencia de bits. Cuando se omite la etapa S102, esta etapa es: El extremo de transmisión realiza una codificación polar en la primera secuencia de bits, para obtener una tercera secuencia de bits.

10 Un método de codificación polar existente puede utilizarse como un método de codificación para la realización, mediante el extremo de transmisión, de la codificación polar en la segunda secuencia de bits. Los detalles no se describen en el presente documento.

S104 (no mostrada en la figura). El extremo de transmisión realiza algunas o todas las etapas, que incluyen, entre otras, emparejamiento de tasa, modulación, conversión de analógico a digital y conversión de frecuencia en la tercera secuencia de bits, y luego envía la tercera secuencia de bits.

15 Cabe señalar que la etapa de emparejamiento de tasa en la etapa S104 es opcional. Si la longitud de un código de codificación es igual a la longitud de un código de destino, no se necesita el emparejamiento de tasa. Esta realización de la presente invención no enfatiza la etapa S104. Por lo tanto, los detalles no se describen en el presente documento. Por ejemplo, en una posible implementación, las personas expertas en la técnica pueden hacer referencia a prácticas en la técnica anterior.

20 En base al método de codificación proporcionado en esta realización, el extremo de transmisión realiza la codificación de CRC en los A bits de información a codificar basados en el polinomio de CRC proporcionado en la presente solicitud, para obtener la primera secuencia de bits, y luego realiza el intercalado (si es necesario) y la codificación polar en la primera secuencia de bits. Por lo tanto, después de concatenar la CRC, la forma de codificación polar utilizada puede satisfacer el requisito FAR.

25 Hay que señalar que, después de recibir los bits de información a decodificar, el extremo de recepción (un lado del decodificador) también tiene que realizar la comprobación de CRC basándose en el mismo polinomio de CRC. Los detalles no se describen en el presente documento.

En esta realización de la presente solicitud, una operación de decodificación en el extremo del decodificador es aproximadamente: recibir una secuencia a decodificar, y realizar la decodificación polar en la secuencia a decodificar obtenida basada en un polinomio de CRC.

30 En base a una idea inventiva, la misma que la del método de codificación mostrado en la figura 3, como se muestra en la figura 5, una realización de la presente solicitud proporciona además un aparato 700. El aparato de codificación 700 está configurado para realizar el método de codificación mostrado en la figura 3. Algunas o todas las etapas del método de codificación mostrado en la figura 3 se puede realizar utilizando hardware o mediante software. Cuando algunas o todas las etapas del método de codificación mostrado en la figura 3 se realizan utilizando hardware, el aparato de codificación 700 incluye: una interfaz de entrada 701, configurada para obtener una secuencia de bits a codificar; un circuito lógico 702, configurado para realizar el método de codificación mostrado en la figura 3, donde para detalles, consulte la descripción en la realización del método anterior, y los detalles no se describen aquí nuevamente; y una interfaz de salida 703, configurada para emitir una secuencia de bits codificada.

40 Opcionalmente, durante la implementación específica, el aparato de codificación 700 puede ser un chip o un circuito integrado.

Opcionalmente, cuando algunas o todas las etapas del método de codificación de la realización anterior se realizan mediante el uso de software, como se muestra en la figura 6, un aparato de codificación 800 incluye: una memoria 801, configurada para almacenar un programa; y un procesador 802, configurado para ejecutar el programa almacenado en la memoria 801. Cuando se ejecuta el programa, el aparato de codificación 800 realiza el método de codificación proporcionado en la realización de la figura 3.

Opcionalmente, la memoria 801 puede ser una unidad físicamente independiente, o puede estar integrada junto con el procesador 802.

50 Opcionalmente, cuando algunas o todas las etapas del método de codificación de la realización en la figura 3 se realizan utilizando software, el aparato de codificación 800 puede incluir solo el procesador 802. La memoria 801 configurada para almacenar el programa está ubicada fuera del aparato de codificación 800, y el procesador 802 está conectado a la memoria 801 mediante un circuito o un cable, y está configurado para leer y ejecutar el programa almacenado en la memoria 801.

El procesador 802 puede ser una unidad central de procesamiento (en inglés, Central Processing Unit, CPU), un procesador de red (en inglés, Network Processor, NP), o una combinación de una CPU y un NP.

El procesador 802 puede incluir además un chip de hardware. El chip de hardware puede ser un circuito integrado específico de la aplicación (en inglés, application-specific integrated circuit, ASIC), un dispositivo lógico programable (en inglés, programmable logic device, PLD), o una combinación de los mismos. El PLD puede ser un dispositivo lógico programable complejo (en inglés, complex programmable logic device, CPLD), una matriz de puerta programable en campo (en inglés, field-programmable gate array, FPGA), lógica de matriz genérica (en inglés, generic array logic, GAL), o cualquier combinación de las mismas.

La memoria 801 puede incluir una memoria volátil (memoria volátil), por ejemplo, una memoria de acceso aleatorio (en inglés, Random Access Memory, RAM). Alternativamente, la memoria 801 puede incluir una memoria no volátil (memoria no volátil), por ejemplo, una memoria flash (memoria flash), una unidad de disco duro (en inglés, hard disk drive, HDD) o una unidad de estado sólido (en inglés, solid-state drive, SSD). Alternativamente, la memoria 801 puede incluir una combinación de los tipos de memorias anteriores.

En base a una idea inventiva, la misma que la del método de codificación mostrado en la figura 3, como se muestra en la figura 7, una realización de la presente solicitud proporciona además un diagrama estructural esquemático de una realización de un aparato de codificación. El aparato puede incluir: un primer módulo de codificación 901, un módulo de intercalado 902 y un segundo módulo de decodificación 903. El primer módulo de codificación 901 está configurado para realizar una verificación de redundancia cíclica de codificación con CRC en  $A$  bits de información a codificar basados en un polinomio de CRC, para obtener una primera secuencia de bits, donde la primera secuencia de bits incluye  $L$  bits de CRC y  $A$  bits de información, siendo  $L$  y  $A$  enteros positivos,  $L = 6$ , y el polinomio de CRC es uno de los siguientes polinomios:

- $D^6+D^5+1$ ;
- $D^6+D^5+D^4+D^3+1$ ;
- $D^6+D^4+D^3+D+1$ ;
- $D^6+D^3+D^2+D+1$ ;
- $D^6+D^5+D^2+1$ ;
- $D^6+D^5+D^4+D^2+1$ ;
- $D^6+D^3+D^2+1$ ;
- $D^6+D^5+D^3+D^2+1$ ;
- $D^6+D^5+D^4+D^3+D^2+1$ ;
- $D^6+D^5+D^4+D^3+D+1$ ; o
- $D^6+D^4+D^2+D+1$ .

Por lo general, el polinomio de CRC utilizado para codificación de CRC se implementa mediante el uso de un registro de desplazamiento. Los  $L$  bits de CRC en la primera secuencia de bits pueden ubicarse después de los  $A$  bits de información a codificar, pueden ubicarse antes que los  $A$  bits de información a codificar, o pueden ubicarse en cualquier ubicación en la que un extremo de recepción y un extremo de transmisión están de acuerdo. El módulo de intercalado 902 es un módulo opcional, y está configurado para realizar una operación de intercalado en la primera secuencia de bits, para obtener una segunda secuencia de bits. Este módulo es necesario solo cuando la ubicación de un bit de información y/o un bit de verificación de CRC necesita ajustarse de una manera tal como una CRC distribuida. Si no es necesario ajustar la ubicación del bit de información y/o el bit de verificación de CRC, este módulo puede omitirse en un proceso de codificación real, y en este caso, la segunda secuencia de bits es la primera secuencia de bits. El segundo módulo de codificación 903 está configurado para realizar codificación polar en la segunda secuencia de bits, y cuando no hay un módulo de intercalado 902, el segundo módulo de codificación 903 está configurado para realizar codificación polar en la primera secuencia de bits.

Cabe señalar que módulos tales como un módulo de emparejamiento de tasa, un módulo de modulación, y un módulo de envío no están dibujados en la figura 7. El módulo de envío está configurado para enviar una secuencia codificada, y ciertamente, antes de que se envíe la secuencia codificada, es necesario realizar operaciones como emparejamiento de tasa (si es necesaria) y modulación.

En base a una idea inventiva, igual que el método de decodificación proporcionado en la realización anterior, como se muestra en la figura 8, una realización de la presente solicitud proporciona además un aparato de decodificación 1000. El aparato de decodificación 1000 puede configurarse para realizar el método de decodificación proporcionado en la realización de la presente solicitud, y el aparato de decodificación 1000 incluye:

un módulo de obtención 1001, configurado para obtener una secuencia de bits a decodificar; y

un módulo de decodificación 1002, configurado para realizar una operación de decodificación en la secuencia de bits a decodificar de acuerdo con un método de decodificación, donde el método de decodificación se determina en base a un polinomio de CRC y un método de codificación polar.

En base a una idea inventiva, igual que el método de decodificación proporcionado en la realización anterior, como se muestra en la figura 9, una realización de la presente solicitud proporciona además un aparato de decodificación 1100. El aparato de decodificación 1100 está configurado para realizar el método de decodificación anterior. Algunas o todas las etapas del método de decodificación anterior se pueden realizar utilizando hardware o software. Cuando algunas

o todas las etapas del método de decodificación anterior se realizan utilizando hardware, el aparato de decodificación 1100 incluye: una interfaz de entrada 1101, configurada para obtener una secuencia de bits que se va a decodificar; un circuito lógico 1102, configurado para realizar el método de decodificación anterior; y una interfaz de salida 1103, configurada para emitir una secuencia decodificada.

5 Opcionalmente, durante la implementación específica, el aparato de decodificación 1100 puede ser un chip o un circuito integrado.

Opcionalmente, cuando algunas o todas las etapas del método de decodificación de la realización anterior se realizan mediante el uso de software, como se muestra en la figura 10, un aparato de decodificación 1200 incluye: una memoria 1201, configurada para almacenar un programa; y un procesador 1202, configurado para ejecutar el programa almacenado en la memoria 1201. Cuando se ejecuta el programa, el aparato de decodificación 1200 realiza el método de decodificación proporcionado en la realización anterior.

Opcionalmente, la memoria 1201 puede ser una unidad físicamente independiente, o puede estar integrada junto con el procesador 1202.

Opcionalmente, cuando algunas o todas las etapas del procedimiento de decodificación de la realización anterior se realizan mediante el uso de software, el aparato de decodificación 1200 puede incluir solamente el procesador 1202. La memoria 1201 configurada para almacenar el programa está ubicada fuera del aparato de decodificación 1200, y el procesador 1202 está conectado a la memoria 1201 mediante un circuito o un cable, y está configurado para leer y ejecutar el programa almacenado en la memoria 1201.

El procesador 1202 puede ser una unidad central de procesamiento (en inglés, Central Processing Unit, CPU), un procesador de red (en inglés, Network Processor, NP), o una combinación de una CPU y un NP.

El procesador 1202 puede incluir además un chip de hardware. El chip de hardware puede ser un circuito integrado específico de la aplicación (en inglés, application-specific integrated circuit, ASIC), un dispositivo lógico programable (en inglés, programmable logic device, PLD), o una combinación de los mismos. El PLD puede ser un dispositivo lógico programable complejo (en inglés, complex programmable logic device, CPLD), una matriz de puerta programable en campo (en inglés, field-programmable gate array, FPGA), lógica de matriz genérica (en inglés, generic array logic, GAL), o cualquier combinación de las mismas.

La memoria 1201 puede incluir una memoria volátil (memoria volátil), por ejemplo, una memoria de acceso aleatorio (en inglés, Random Access Memory, RAM). Alternativamente, la memoria 1201 puede incluir una memoria no volátil (memoria no volátil), por ejemplo, una memoria flash (memoria flash), una unidad de disco duro (en inglés, hard disk drive, HDD) o una unidad de estado sólido (en inglés, solid-state drive, SSD). Alternativamente, la memoria 1201 puede incluir una combinación de los tipos de memorias anteriores.

Una realización de la presente solicitud proporciona además un dispositivo de red. Haciendo referencia a la figura 11, el aparato de codificación y/o el aparato de decodificación anterior pueden instalarse en el dispositivo de red 110. Además del aparato de codificación y del aparato de decodificación anteriores, el dispositivo de red 110 puede incluir además un transceptor 1302. Una secuencia de bits codificada por el aparato de codificación sufre cambios o procesamiento posteriores y luego es enviada por el transceptor 1302 a un terminal 112, o el transceptor 1302 está configurado además para recibir información o datos desde un terminal 112. La información o los datos se someten a una serie de procesamiento y se convierten en una secuencia a decodificar, y la secuencia a decodificar es procesada por el aparato decodificador para obtener una secuencia decodificada. El dispositivo de red 110 puede incluir además una interfaz de red 1304, configurada para comunicarse con otro dispositivo de red.

Del mismo modo, el aparato anterior de codificación y/o el aparato de decodificación pueden estar configurados en el terminal 112. Además del aparato de codificación y/o del aparato de decodificación anteriores, el terminal 112 puede incluir además un transceptor 1312. Una secuencia de bits codificada por el aparato de codificación se somete a cambios o procesamientos posteriores (que incluyen, pero no se limitan a una parte o la totalidad del emparejamiento de tasa, modulación, conversión de digital a analógico y conversión de frecuencia) y luego es enviada por el transceptor 1312 al dispositivo de red 110, o el transceptor 1312 está configurado además para recibir información o datos desde el dispositivo de red 110. La información o los datos se someten a una serie de procesamiento (que incluye, pero no se limita a parte o la totalidad de la conversión de frecuencia, conversión de analógico a digital, demodulación y desemparejamiento de tasa) y se convierte en una secuencia para decodificar, y la secuencia a decodificar es procesada por el aparato de decodificación para obtener una secuencia decodificada. El terminal 112 puede incluir además una interfaz de entrada/salida de usuario 1314, configurada para recibir información ingresada por un usuario. La información que necesita ser enviada al dispositivo de red 110 debe ser procesada por un codificador y luego enviada por el transceptor 1312 al dispositivo de red 110. Después de someterse a un procesamiento posterior, los datos decodificados por un decodificador pueden presentarse al usuario utilizando la interfaz de entrada/salida 1314.

Una realización de la presente solicitud proporciona además un medio de almacenamiento de ordenador que almacena un programa de ordenador. El programa de ordenador se usa para realizar el método de codificación mostrado en la figura 3 y la realización anterior y el método de decodificación proporcionado en la realización anterior.

Una realización de la presente solicitud proporciona además un aparato de codificación polar, incluyendo uno cualquiera de los aparatos de codificación en la figura 5 a la figura 7 y cualquiera de los aparatos de decodificación de la figura 8 a la figura 10.

5 Una realización de la presente solicitud proporciona además un producto de programa de ordenador que incluye una instrucción. Cuando la instrucción se ejecuta en un ordenador, el ordenador realiza el método de codificación que se muestra en la figura 3 y el método de decodificación proporcionado en la realización anterior.

10 Los expertos en la técnica deberán entender que las realizaciones de la presente solicitud se pueden realizar como un método, un sistema o un producto de programa de ordenador. Por lo tanto, la presente solicitud puede usar solo realizaciones en forma de hardware, realizaciones solo de software o realizaciones con una combinación de software y hardware. Además, la presente solicitud puede usar una forma de producto de programa de ordenador que se implementa en uno o más medios de almacenamiento utilizables por ordenador (que incluyen, entre otros, una memoria de disco, un CD-ROM y una memoria óptica) que incluyen código de programa utilizable por ordenador.

15 La presente solicitud se describe con referencia a diagramas de flujo y/o diagramas de bloques del método, el dispositivo (sistema) y el producto de programa de ordenador de acuerdo con las realizaciones de la invención. Debe entenderse que las instrucciones de programa de ordenador pueden usarse para implementar cada proceso y/o cada bloque en los diagramas de flujo y/o los diagramas de bloques y una combinación de un proceso y/o un bloque en los diagramas de flujo y/o los diagramas de bloques. Estas instrucciones de programa de ordenador se pueden proporcionar para un ordenador de propósito general, un ordenador dedicado, un procesador integrado o un procesador de cualquier otro dispositivo de procesamiento de datos programable para generar una máquina, de modo  
20 que las instrucciones ejecutadas por un ordenador o un procesador de cualquier otro dispositivo de procesamiento de datos programable genera un aparato para implementar una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

25 Estas instrucciones de programa de ordenador se pueden almacenar en un equipo de memoria legible que puede dar instrucciones al ordenador o cualquier otro tipo de dispositivo de procesamiento de datos programables para trabajar de una manera específica, de modo que las instrucciones almacenadas en la memoria legible por ordenador generan un artefacto que incluye un aparato de instrucción. El aparato de instrucción implementa una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

30 Estas instrucciones de programa de ordenador pueden cargarse en un ordenador u otro dispositivo de procesamiento de datos programables, de modo que una serie de operaciones y etapas se llevan a cabo en el ordenador o el otro dispositivo programable, generando de ese modo procesamiento implementado por ordenador. Por lo tanto, las instrucciones ejecutadas en el ordenador u otro dispositivo programable proporcionan etapas para implementar una función específica en uno o más procesos en los diagramas de flujo y/o en uno o más bloques en los diagramas de bloques.

35 Aunque se han descrito algunas realizaciones de la presente solicitud, las personas expertas en la técnica pueden hacer cambios y modificaciones a estas realizaciones una vez que aprenden el concepto inventivo básico. Por lo tanto, las siguientes reivindicaciones están destinadas a ser interpretadas como que cubren las realizaciones preferidas y todos los cambios y modificaciones entran en el alcance de la invención.

40 Obviamente, los expertos en la técnica pueden realizar varias modificaciones y variaciones a las realizaciones de la presente solicitud sin apartarse del alcance de las realizaciones de la presente solicitud. La presente solicitud está destinada a cubrir estas modificaciones y variaciones siempre que entren dentro del alcance de protección definido por las siguientes reivindicaciones y sus tecnologías equivalentes.

## REIVINDICACIONES

1. Un método de codificación, que comprende:
- realizar (S101), mediante un extremo de transmisión basado en un polinomio de verificación de redundancia cíclica, CRC, codificación con CRC en  $A$  bits de información a codificar, para obtener una secuencia de bits codificada con CRC, en el que la secuencia de bits codificada con CRC comprende  $L$  bits de CRC y los  $A$  bits de información a codificar, siendo  $L$  y  $A$  enteros positivos,  $L = 6$ , y el polinomio de CRC es:  $D^6 + D^5 + 1$ ; y
- realizar (S103), mediante el extremo de transmisión, codificación polar en la secuencia de bits codificada con CRC para obtener una secuencia de bits codificada en forma polar.
2. El método de acuerdo con la reivindicación 1, en el que el polinomio de CRC se implementa usando un registro de desplazamiento.
3. El método de acuerdo con la reivindicación 1 o 2, en el que los  $L$  bits de CRC en la secuencia de bits codificada con CRC se ubican después de los  $A$  bits de información a codificar.
4. El método de acuerdo con una cualquiera de las reivindicaciones 1 a 3, en el que el método comprende además: enviar, mediante el extremo de transmisión, la secuencia de bits codificada en forma polar.
5. El método de acuerdo con la reivindicación 4, en el que antes de enviar la secuencia de bits codificada en forma polar, el extremo de transmisión realiza un emparejamiento de tasa en la secuencia de bits codificada en forma polar en base a una longitud de código objetivo.
6. El método de acuerdo con una cualquiera de las reivindicaciones 1 a 5, en el que el extremo de transmisión es una estación base o un terminal.
7. Un aparato de codificación, que comprende:
- un primer módulo de codificación (901), configurado para realizar, basado en un polinomio de verificación de redundancia cíclica, CRC, codificación con CRC en  $A$  bits de información a codificar, para obtener una secuencia de bits codificada con CRC, en el que la secuencia de bits codificada con CRC comprende  $L$  bits de CRC y los  $A$  bits de información a codificar, siendo  $L$  y  $A$  enteros positivos,  $L = 6$ , y el polinomio de CRC es:  $D^6 + D^5 + 1$ ; y
- un segundo módulo de codificación (903), configurado para realizar codificación polar en la secuencia de bits codificada con CRC para obtener una secuencia de bits codificada en forma polar.
8. El aparato de acuerdo con la reivindicación 7, en el que el aparato comprende además un registro de desplazamiento, y el polinomio de CRC se implementa usando el registro de desplazamiento.
9. El aparato de acuerdo con la reivindicación 7 u 8, en el que los  $L$  bits de CRC en la secuencia de bits codificada con CRC se ubican después de los  $A$  bits de información a codificar.
10. El aparato de acuerdo con una cualquiera de las reivindicaciones 7 a 9, en el que el aparato comprende además un módulo de envío, configurado para enviar la secuencia de bits codificada en forma polar.
11. El aparato de acuerdo con la reivindicación 10, en el que antes de enviar la secuencia de bits codificada en forma polar, el aparato realiza un emparejamiento de tasa en la secuencia de bits codificada en forma polar en base a una longitud de código objetivo.
12. El aparato de acuerdo con una cualquiera de las reivindicaciones 7 a 11, en el que el aparato es una estación base o un terminal.
13. Un aparato de codificación, que comprende un procesador (802), en el que el procesador está configurado para realizar el método de acuerdo con una cualquiera de las reivindicaciones 1-3.
14. El aparato de acuerdo con la reivindicación 13, en el que el aparato de codificación comprende además una memoria (801), y la memoria (801) está configurada para almacenar una instrucción de programa, en el que cuando la instrucción es ejecutada por el procesador (802), el procesador (802) realiza el método de acuerdo con una cualquiera de las reivindicaciones 1-3.
15. El aparato de acuerdo con la reivindicación 13 o 14, en el que el aparato es una estación base o un terminal.
16. Un aparato de codificación, que comprende:
- una interfaz de entrada (701), configurada para obtener  $A$  bits de información a codificar;
- un circuito lógico (702), configurado para: realizar el método de acuerdo con una cualquiera de las reivindicaciones 1-

3; y

una interfaz de salida (703), configurada para emitir la secuencia de bits codificada en forma polar.

5

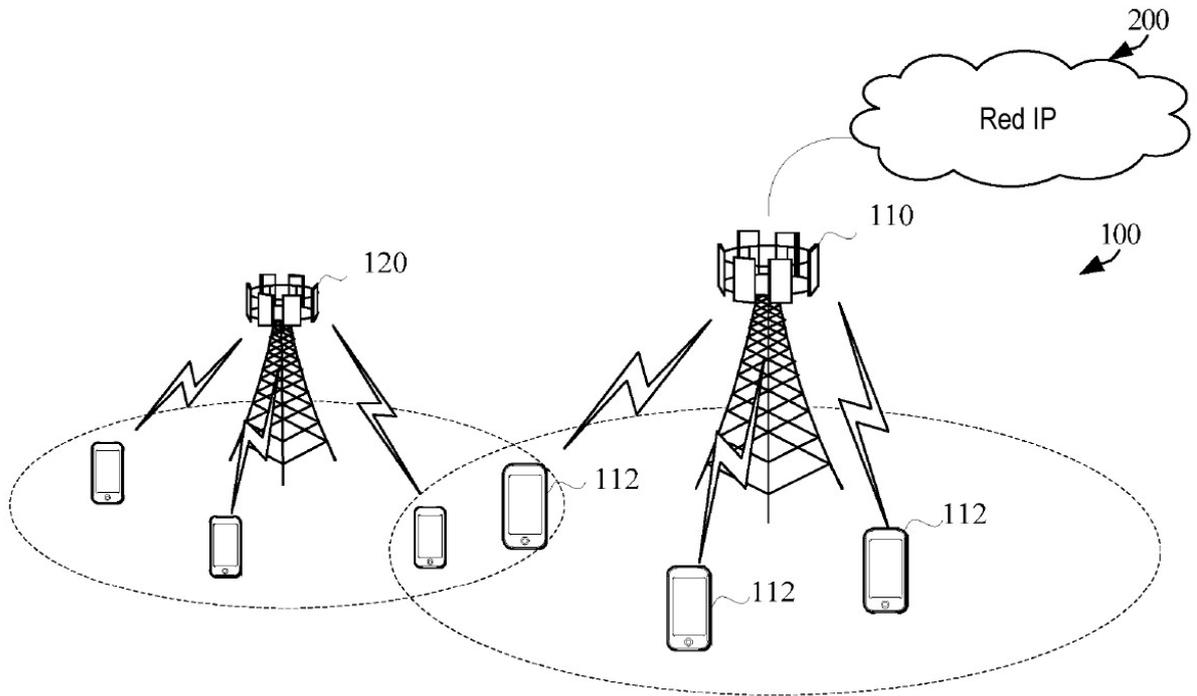


FIG. 1 (a)

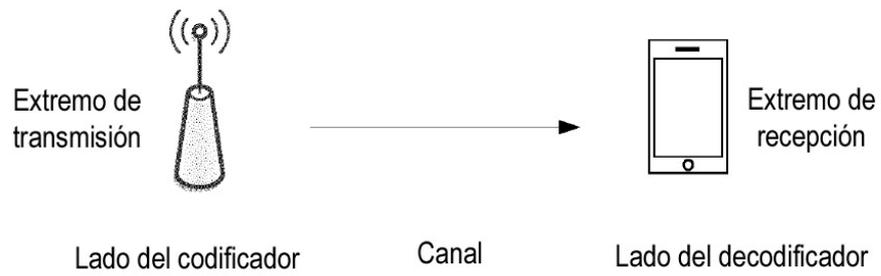


FIG. 1 (b)

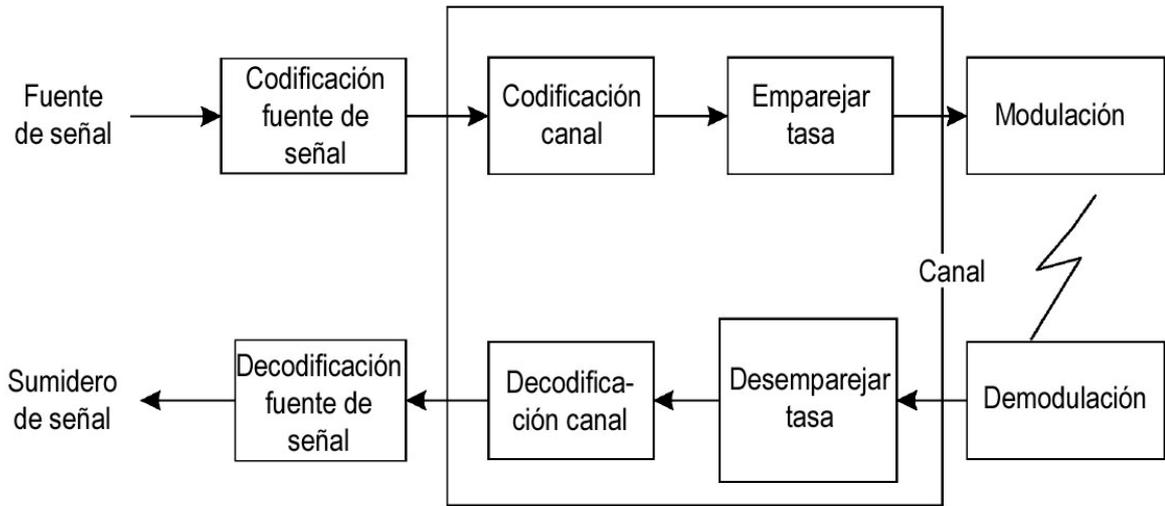


FIG. 2

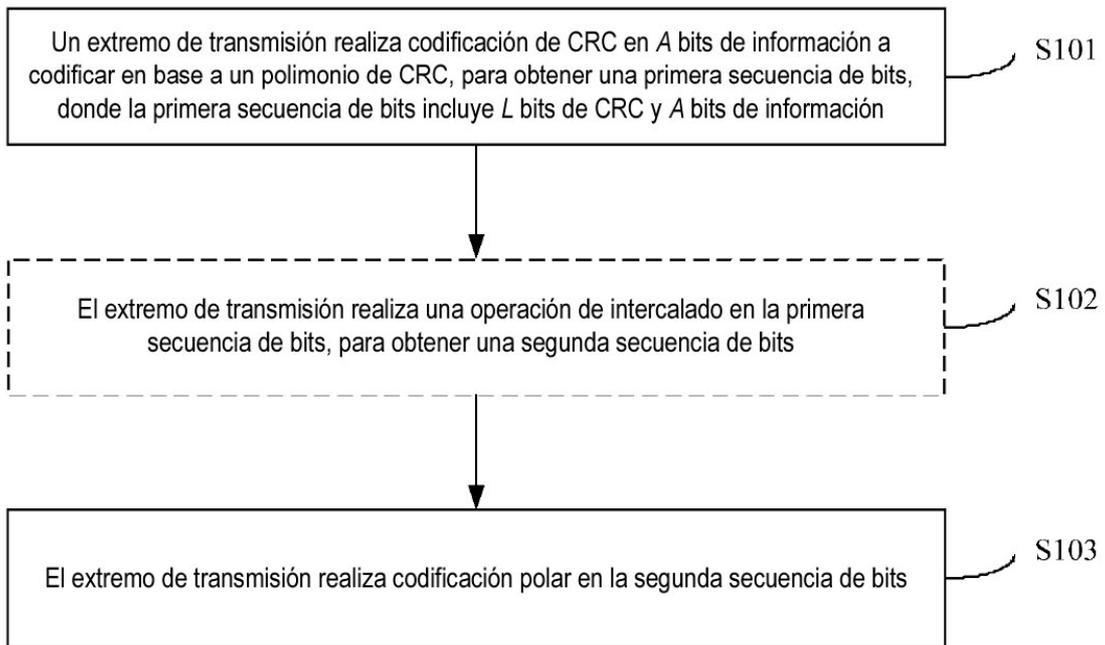


FIG. 3

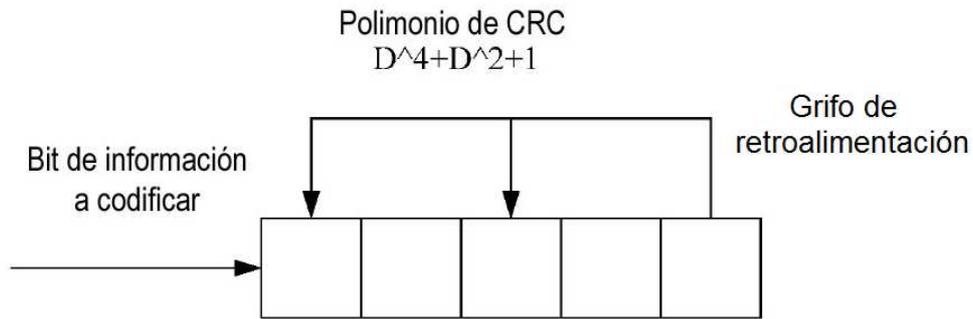


FIG. 4

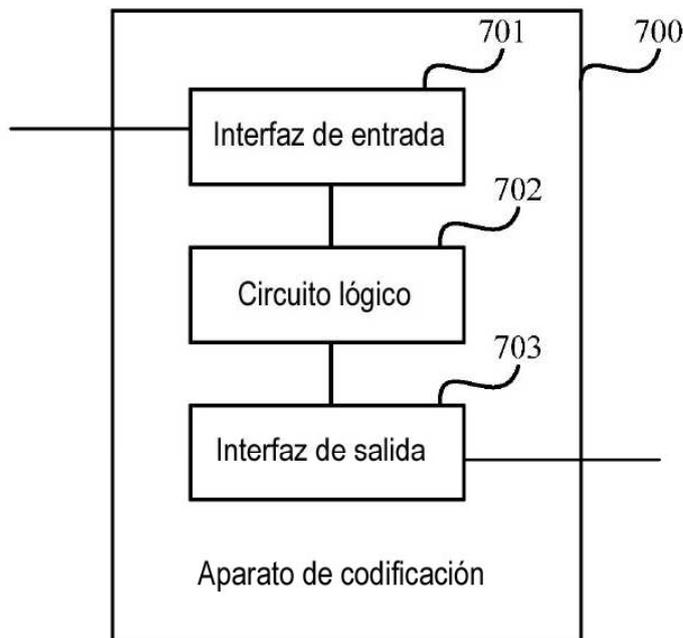


FIG. 5

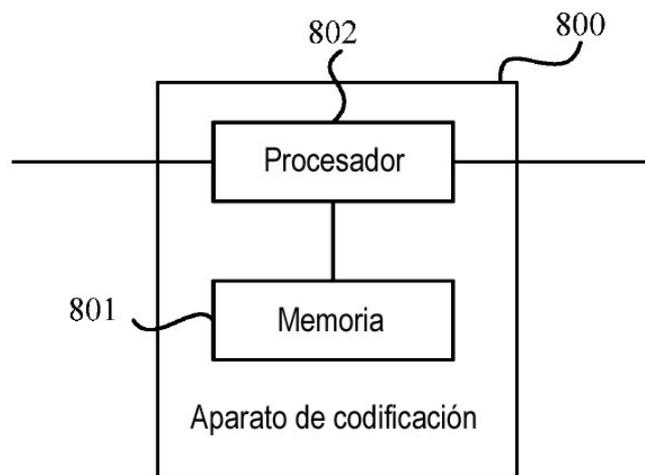


FIG. 6

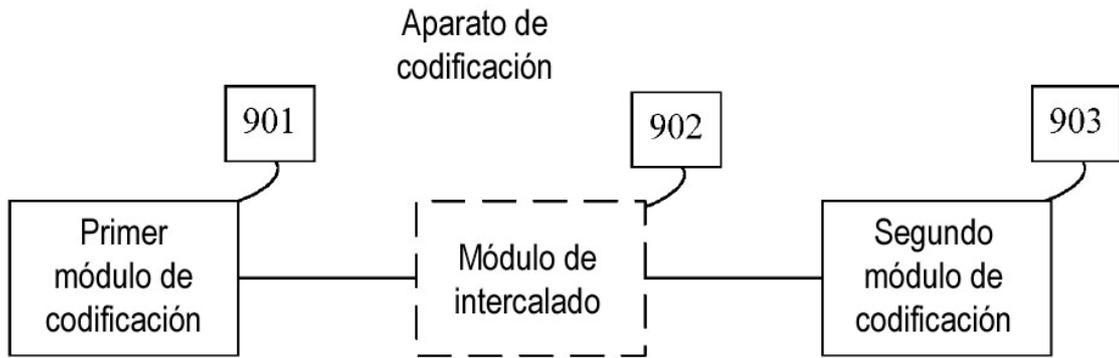


FIG. 7

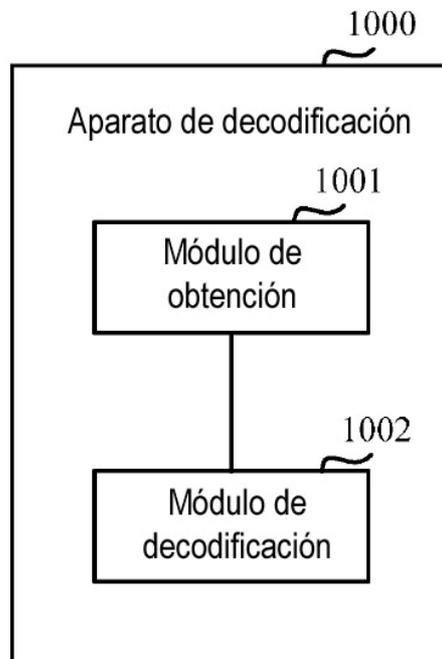


FIG. 8

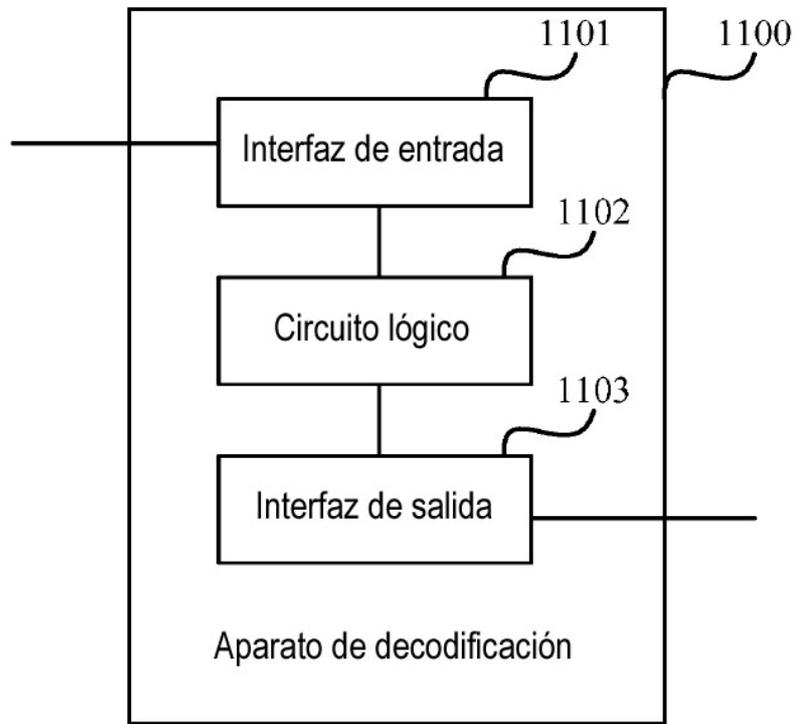


FIG. 9

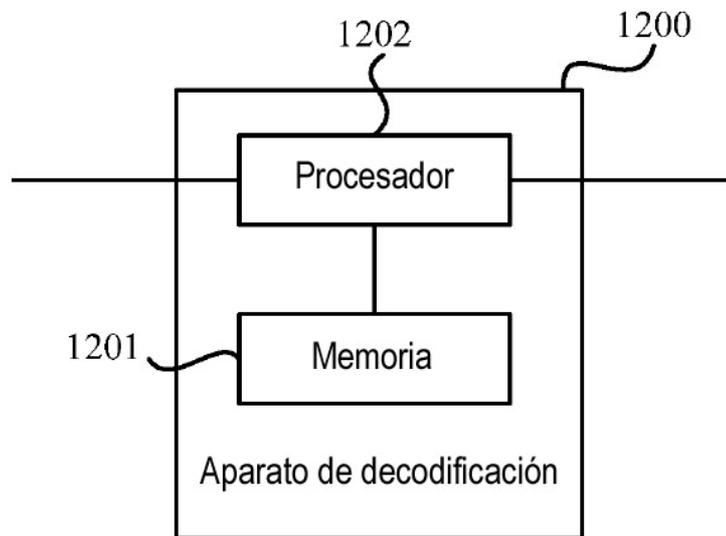


FIG. 10

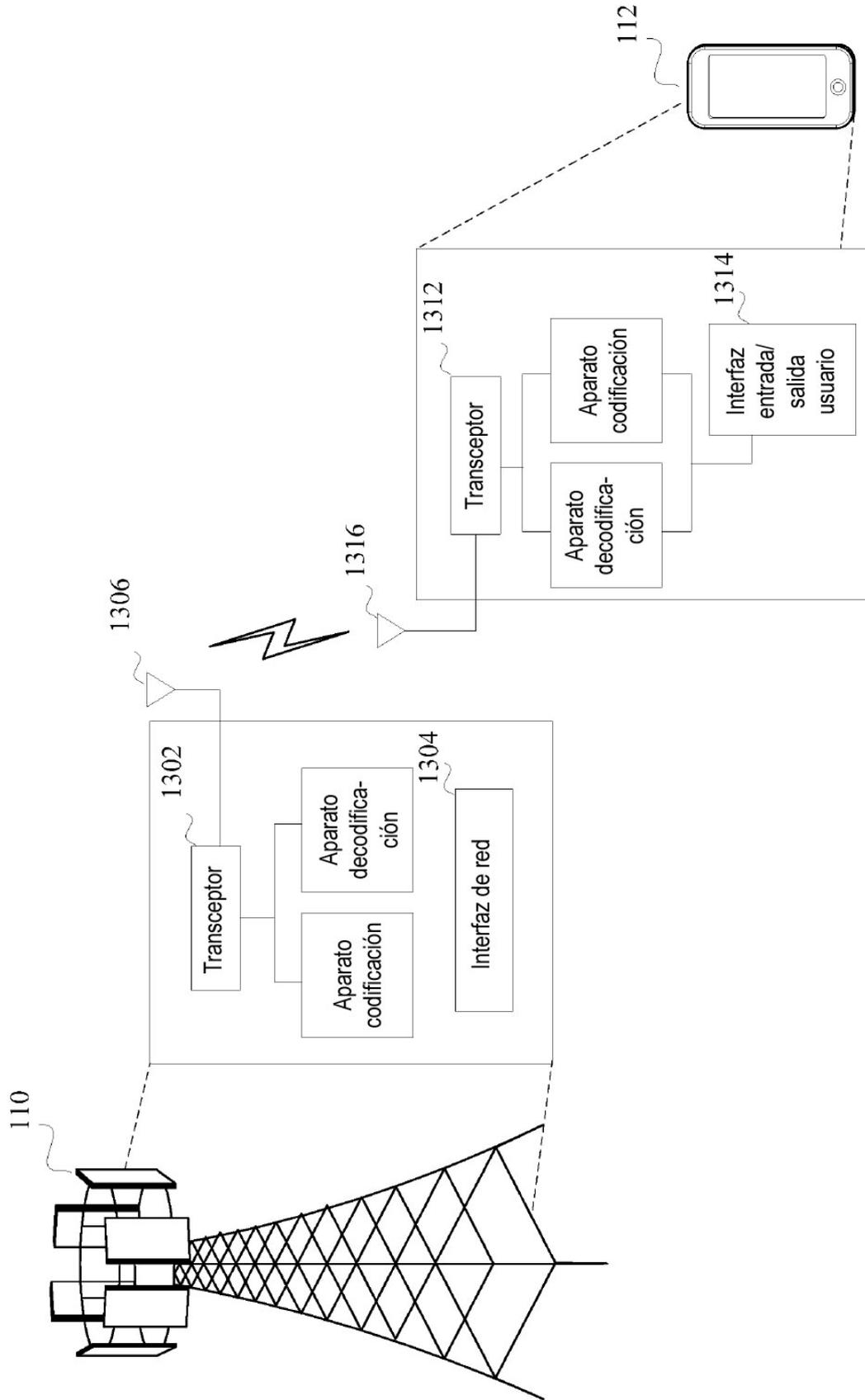


FIG. 11