

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 821 452**

51 Int. Cl.:

H03H 11/24 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **06.11.2015 PCT/US2015/059451**

87 Fecha y número de publicación internacional: **16.06.2016 WO16093991**

96 Fecha de presentación y número de la solicitud europea: **06.11.2015 E 15797226 (6)**

97 Fecha y número de publicación de la concesión europea: **22.07.2020 EP 3231088**

54 Título: **Semiconductor de óxido metálico de subumbral para gran resistencia**

30 Prioridad:

10.12.2014 US 201462089927 P
09.03.2015 US 201514642309

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
26.04.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

TAGHIVAND, MAZHAREDDIN;
RAJAVI, YASHAR y
KHALILI, ALIREZA

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 821 452 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Semiconductor de óxido metálico de subumbral para gran resistencia

5 REFERENCIA CRUZADA A SOLICITUDES RELACIONADAS

10 **[0001]** Esta solicitud reivindica prioridad a la solicitud de patente de EE. UU. N.º 14/642.309, presentada el 9 de marzo de 2015, que reivindica el beneficio de la solicitud de patente provisional de EE. UU. con n.º de serie 62/089.927, presentada el 10 de diciembre de 2014 y titulada "SUBTHRESHOLD METAL OXIDE SEMICONDUCTOR FOR LARGE RESISTANCE [SEMICONDUCTOR DE ÓXIDO METÁLICO DE SUBUMBRAL PARA GRAN RESISTENCIA]".

CAMPO TÉCNICO

15 **[0002]** Determinados aspectos de la presente divulgación en general se refieren a circuitos electrónicos y, más en particular, a circuitos para generar y utilizar un gran valor de resistencia eléctrica.

ANTECEDENTES

20 **[0003]** La resistencia eléctrica es la oposición del flujo de corriente a través de un medio. La resistencia eléctrica se usa en diversos circuitos eléctricos y se puede generar de varias maneras diferentes. Los resistores de carbono, película y bobinado de alambre son solo algunos ejemplos de los tipos de resistores disponibles. Sin embargo, algunos de estos tipos de resistores pueden no ser prácticos para generar grandes valores de resistencia en un circuito integrado (CI). En cambio, se pueden usar materiales tales como el polisilicio para limitar el flujo de corriente entre dos nodos en un CI. Además, los transistores también tienen características resistivas. Por ejemplo, puede existir
25 resistencia eléctrica entre un terminal de drenaje y de fuente de un transistor de efecto de campo semiconductor de óxido metálico (MOSFET). Esta resistencia se puede modificar controlando el voltaje de puerta a fuente (V_{GS}) del MOSFET de modo que el transistor funcione en la región de triodo.

30 **[0004]** Se llama la atención sobre el documento US2002/075056 AL que se refiere a un circuito integrador que tiene una constante de tiempo RC relativamente grande y que incluye un elemento resistivo implementado con un transistor de efecto de campo operado en un modo de subumbral.

35 **[0005]** El tamaño del transistor de efecto de campo se selecciona, además del voltaje de puerta de subumbral, para lograr un valor de resistencia deseado en un área pequeña y sin usar dispositivos bipolares. Un circuito integrador diferencial incluye dos transistores de efecto de campo operados en un modo de subumbral, con un condensador conectado entre los terminales de salida de los dos transistores de efecto de campo. Opcionalmente, se puede usar un circuito de accionamiento de masa para reducir la alta frecuencia en la masa.

40 **[0006]** Se llama la atención además sobre el documento EP 0 849 878 A2 que describe un elemento resistivo que incluye un dispositivo MOS de canal P que tiene un primer y segundo electrodo portador de corriente y una puerta. El primer electrodo portador de corriente forma un primer terminal de impedancia y el segundo electrodo portador de corriente forma un segundo terminal de impedancia. Un circuito de sesgo se acopla al primer electrodo portador de corriente y a la puerta del dispositivo MOS de canal P. El circuito de sesgo genera un voltaje menor que el voltaje umbral del dispositivo MOS de canal P.
45

BREVE EXPLICACIÓN

50 **[0007]** De acuerdo con la presente invención, se proporciona un dispositivo y un procedimiento como se establece en las reivindicaciones independientes. Los modos de realización de la invención se reivindican en las reivindicaciones dependientes.

55 **[0008]** El alcance de la invención se define en las reivindicaciones adjuntas. Cualquier referencia a "modo(s) de realización", "ejemplo(s)" o "aspecto(s) de la invención" en esta descripción que no caiga dentro del alcance de las reivindicaciones debe interpretarse como ejemplo(s) ilustrativo(s) para comprender la invención.

[0009] Determinados aspectos de la presente divulgación en general se refieren a generar y utilizar una gran resistencia eléctrica. Como se usa en el presente documento, una gran resistencia eléctrica en general se refiere a una resistencia mayor de 1 M Ω .

60 **[0010]** Determinados aspectos de la presente divulgación proporcionan un circuito que tiene una gran resistencia eléctrica. El circuito en general incluye un primer transistor que tiene una puerta, una fuente conectada con un primer nodo del circuito y un drenaje conectado con un segundo nodo del circuito; un dispositivo limitador de voltaje conectado entre la puerta y la fuente del primer transistor, en el que el dispositivo, si está directamente polarizado, se configura para limitar un voltaje de puerta a fuente (V_{GS}) del primer transistor de modo que el primer transistor funcione en una
65 región de subumbral; y un segundo transistor configurado para polarizar el dispositivo limitador de voltaje con una corriente, en el que un drenaje del segundo transistor está conectado con la puerta del primer transistor, una puerta

del segundo transistor está conectada con el primer nodo y una fuente del segundo transistor está conectada con un potencial eléctrico.

5 [0011] De acuerdo con determinados aspectos, el dispositivo limitador de voltaje comprende un transistor conectado por diodo. Para determinados aspectos, una puerta y un drenaje del transistor conectado por diodo están conectados con la puerta del primer transistor, y una fuente del transistor conectado por diodo está conectada con la fuente del primer transistor. Para determinados aspectos, la fuente y una masa del transistor conectado por diodo están conectadas entre sí.

10 [0012] De acuerdo con determinados aspectos, la fuente y una masa del primer transistor están conectadas entre sí.

15 [0013] De acuerdo con determinados aspectos, el circuito incluye además un tercer transistor conectado en paralelo con el primer transistor. Una puerta del tercer transistor se puede configurar para controlar la derivación del primer transistor. Para determinados aspectos, una masa y una fuente del tercer transistor están conectadas entre sí.

20 [0014] De acuerdo con determinados aspectos, el circuito incluye además un condensador conectado entre el segundo nodo y una tierra eléctrica. Para determinados aspectos, el circuito comprende un filtro, el primer nodo es una entrada del filtro y el segundo nodo es una salida del filtro.

[0015] De acuerdo con determinados aspectos, el potencial eléctrico es una tierra eléctrica. Para otros aspectos, el potencial eléctrico puede ser un voltaje de referencia diferente. Por ejemplo, el potencial eléctrico puede ser un voltaje de fuente de alimentación.

25 [0016] De acuerdo con determinados aspectos, el primer transistor es un transistor PMOS. Para determinados aspectos, el dispositivo limitador de voltaje está compuesto por un transistor PMOS conectado por diodo. En este caso, el segundo transistor puede ser un transistor NMOS. Para determinados aspectos, el dispositivo limitador de voltaje comprende un diodo que tiene un ánodo conectado con la fuente del primer transistor y un cátodo conectado con la puerta del primer transistor.

30 [0017] De acuerdo con determinados aspectos, el primer transistor es un transistor NMOS. Para determinados aspectos, el dispositivo limitador de voltaje está compuesto por un transistor NMOS conectado por diodo. En este caso, el segundo transistor puede ser un transistor PMOS. Para determinados aspectos, el dispositivo limitador de voltaje comprende un diodo que tiene un ánodo conectado con la puerta del primer transistor y un cátodo conectado con la fuente del primer transistor.

35 [0018] Determinados aspectos de la presente divulgación proporcionan un procedimiento para generar una gran resistencia eléctrica. El procedimiento en general incluye proporcionar un primer transistor que tiene una puerta, una fuente conectada con un primer nodo de un circuito y un drenaje conectado con un segundo nodo del circuito; controlar un segundo transistor para generar o reducir una corriente, en el que: un drenaje del segundo transistor está conectado con la puerta del primer transistor; una puerta del segundo transistor está conectada con el primer nodo del circuito; y una fuente del segundo transistor está conectada con un potencial eléctrico; y polarizar directamente un dispositivo limitador de voltaje con la corriente, en el que el dispositivo limitador de voltaje está conectado entre la puerta y la fuente del primer transistor y en el que el dispositivo limitador de voltaje está configurado para limitar un V_{GS} del primer transistor cuando se polariza directamente, de modo que el primer transistor funciona en una región de subumbral.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

50 [0019] Para que la forma en que los rasgos característicos mencionados anteriormente de la presente divulgación se puedan entender en detalle, se puede realizar una descripción más particular, resumida de forma breve anteriormente, por referencia a algunos de los aspectos que se ilustran en los dibujos adjuntos. Sin embargo, se debe observar que los dibujos adjuntos ilustran solo determinados aspectos típicos de esta divulgación y, por lo tanto, no se deben considerar limitantes de su alcance, ya que la descripción puede admitir otros aspectos igualmente eficaces.

55 La FIG. 1A es un diagrama de circuito de la técnica anterior de un circuito de resistor-condensador (RC) ejemplar, que puede usar un resistor de polisilicio para generar un gran valor de resistencia.

La FIG. 1B es un diagrama de circuito de la técnica anterior que implementa el circuito de RC de la FIG. 1A, donde el resistor se reemplaza con una serie de transistores en cascada.

60 La FIG. 2 proporciona diagramas de circuito ejemplares de configuraciones de transistores que funcionan como resistores con grandes valores de resistencia eléctrica, de acuerdo con determinados aspectos de la presente divulgación.

65 La FIG. 3 es un diagrama de circuito de un circuito de RC eficaz ejemplar que tiene un transistor PMOS, un circuito de sesgo y un interruptor de carga rápida, de acuerdo con determinados aspectos de la presente divulgación.

La FIG. 4 es un diagrama de circuito de un circuito de RC eficaz ejemplar que tiene un transistor NMOS, un circuito de sesgo y un interruptor de carga rápida, de acuerdo con determinados aspectos de la presente divulgación.

5 La FIG. 5 es un diagrama de circuito de un uso ejemplar de la configuración principalmente PMOS ilustrada en la FIG. 2 como la resistencia en un filtro de RC de paso bajo de un espejo de corriente, de acuerdo con determinados aspectos de la presente divulgación.

10 La FIG. 6 es un diagrama de flujo de operaciones ejemplares para generar una gran resistencia eléctrica, de acuerdo con determinados aspectos de la presente divulgación.

DESCRIPCIÓN DETALLADA

15 **[0020]** Diversos aspectos de la presente divulgación se describen a continuación. Debería ser evidente que las enseñanzas del presente documento se pueden realizar en una amplia variedad de formas y que cualquier estructura, función específica o ambas que se divulguen en el presente documento son meramente representativas. En base a las enseñanzas del presente documento, un experto en la técnica debería apreciar que un aspecto divulgado en el presente documento se puede implementar independientemente de cualquier otro aspecto y que dos o más de estos aspectos se pueden combinar de varias maneras. Por ejemplo, se puede implementar un aparato o se puede practicar un procedimiento usando cualquier número de los aspectos establecidos en el presente documento. Además, dicho aparato se puede implementar o dicho procedimiento se puede practicar usando otra estructura, funcionalidad o estructura y funcionalidad además de o distinta a uno o más de los aspectos establecidos en el presente documento. Además, un aspecto puede comprender al menos un elemento de una reivindicación.

25 **[0021]** La palabra "ejemplar" se usa en el presente documento para referirse a "que sirve como ejemplo, caso o ilustración". Cualquier aspecto descrito en el presente documento como "ejemplar" no se debe interpretar necesariamente como preferente o ventajoso con respecto a otros aspectos.

SEMICONDUCTOR DE ÓXIDO METÁLICO (MOS) DE SUBUMBRAL EJEMPLAR PARA GRAN RESISTENCIA

30 **[0022]** En muchos bloques de circuito integrado de radiofrecuencia (RFIC) y otros circuitos, los diseñadores usan filtros de resistor-condensador (RC) por diferentes razones. Por ejemplo, en un bucle de fase bloqueada (PLL), los filtros de RC se usan ampliamente para filtrar el ruido. Sin embargo, para filtrar ruido de muy baja frecuencia, se puede usar una constante de tiempo de RC muy alta ya sea teniendo un gran valor de resistencia eléctrica (R) en los megaohmios (MΩ) o un gran valor de capacitancia (C) en las decenas de picofaradios (pF). Sin embargo, los componentes de R y C de gran valor típicamente ocupan una cantidad considerable de estado real de circuito integrado (CI). Típicamente, es ventajoso aumentar la resistencia en lugar de la capacitancia, porque el área superficial del resistor tiene una mejor compensación que el área superficial del condensador para la misma constante de tiempo de RC.

40 **[0023]** Por ejemplo, como se ilustra en el diagrama 100 del circuito de RC de la FIG. 1A, se puede usar un (poli)-resistor de polisilicio de gran valor R (por ejemplo, que tiene un valor de resistencia del orden de 20 MΩ). Sin embargo, como se analiza anteriormente, el polirresistor R puede ocupar una cantidad significativa de área en un CI. Como alternativa, los transistores en cascada 102 (por ejemplo, NMOS o PMOS) que funcionan en la región de triodo, como se ilustra en la FIG. 1B, pueden alcanzar un gran valor de resistencia. Con los transistores en cascada en serie, los valores de resistencia de cada transistor se pueden sumar para obtener un valor de resistencia total. Sin embargo, para obtener un gran valor de resistencia total, se puede usar una gran cantidad de transistores. Por tanto, los transistores en cascada para obtener un gran valor resistivo también ocupan una cantidad sustancial de estado real de CI.

50 **[0024]** En consecuencia, lo que se necesita son técnicas y aparatos para generar un gran valor de resistencia con un consumo de área reducido.

55 **[0025]** Determinados aspectos de la presente divulgación proporcionan un enfoque sólido para reemplazar el gran polirresistor, que implica el empleo de un pequeño dispositivo semiconductor de óxido metálico (MOS) que está polarizado en la región de subumbral. La resistencia del dispositivo MOS se puede controlar mediante el proceso, el voltaje y la temperatura (PVT). El uso de un MOS en el subumbral como se analiza en el presente documento puede reemplazar el uso de polirresistores analizado anteriormente, que tienen sobrecarga de gran área. Además, al usar un MOS en el subumbral, también se puede usar una capacitancia inferior en el filtro de RC porque el MOS puede tener un valor de resistencia mucho mayor que el que pueden ofrecer los polirresistores, lo que potencialmente ofrece una reducción de área aún mayor.

60 **[0026]** La FIG. 2 proporciona diagramas de circuito ejemplares de configuraciones de transistores que funcionan como resistores con grandes valores de resistencia eléctrica. La FIG. 2 ilustra un circuito ejemplar 202 que es equivalente a un resistor con un gran valor de resistencia eléctrica. La resistencia en serie se genera con un transistor de efecto de campo MOS (PMOS) de canal p (MOSFET) 210 (eficazmente, un "resistor PMOS") que funciona en la

región de subumbral. Por ejemplo, la fuente del transistor PMOS 210 puede estar conectada a un primer nodo 214 (por ejemplo, un nodo de voltaje de entrada), mientras que el drenaje puede estar conectado a un segundo nodo 216 (por ejemplo, un nodo de voltaje de salida). Por tanto, la resistencia entre un drenaje y una fuente del transistor PMOS 210 se puede usar para alcanzar una alta resistencia entre el primer nodo 214 y el segundo nodo 216.

[0027] El transistor PMOS 210 puede estar polarizado en la región de subumbral por un circuito de sesgo 206 que está conectado con la puerta y la fuente del transistor PMOS 210. El circuito de sesgo 206 puede limitar el potencial de voltaje entre la puerta y la fuente (V_{GS}) del transistor PMOS 210 con un dispositivo limitador de voltaje. En determinados aspectos, el dispositivo limitador de voltaje puede comprender un transistor PMOS conectado por diodo 224 (denominado "diodo PMOS"), en el que la puerta y el drenaje del transistor PMOS 224 están en cortocircuito entre sí. Como se ilustra en el circuito 202, el drenaje y la puerta del transistor PMOS 224 se pueden conectar con la puerta del transistor PMOS 210, mientras que la fuente del transistor PMOS 224 se puede conectar con la fuente del transistor PMOS 210 y el primer nodo 214. En determinados aspectos, el dispositivo limitador de voltaje puede comprender un diodo (no ilustrado) que tiene un ánodo conectado con la fuente del transistor PMOS 210 y un cátodo conectado con la puerta del transistor PMOS 210.

[0028] Además, el circuito de sesgo 206 puede comprender además un transistor MOS de canal n limitador de corriente (NMOS) 212 que tiene un drenaje conectado con el drenaje del transistor PMOS 224 y con la puerta del transistor PMOS 210 y una fuente conectada con un potencial de referencia (por ejemplo, tierra eléctrica). La puerta del transistor limitador de corriente 212 se puede conectar con el primer nodo 214. El transistor limitador de corriente 212 se puede configurar para tener una pequeña corriente de drenaje a fuente. En determinados aspectos, en un esfuerzo por reducir la corriente de fuga, una masa y una fuente del transistor PMOS 210 se pueden conectar entre sí. De forma similar, una masa y una fuente del transistor PMOS conectado por diodo 224 se pueden conectar entre sí.

[0029] Para otros aspectos, se puede generar una gran resistencia usando un transistor NMOS 220 que funciona en la región de subumbral, como se ilustra en el circuito 204 de la FIG. 2. El transistor NMOS 220 (eficazmente, un "resistor NMOS") se puede conectar entre los nodos 214 y 216. De forma similar al circuito 202, un circuito de sesgo 218 se puede conectar con la fuente y la puerta del transistor NMOS 220 y utilizar para polarizar el transistor NMOS 220 en la región de subumbral.

[0030] El circuito de sesgo 218 puede limitar el potencial de voltaje entre la puerta y la fuente (V_{GS}) del transistor NMOS 220 con un dispositivo limitador de voltaje. En determinados aspectos, el dispositivo limitador de voltaje puede comprender un transistor NMOS conectado por diodo 226 (denominado "diodo NMOS"), en el que la puerta y el drenaje del transistor NMOS 226 están en cortocircuito entre sí. Un drenaje y la puerta del transistor NMOS 226 se pueden conectar con la puerta del transistor NMOS 220, mientras que la fuente del transistor NMOS 226 se puede conectar con la fuente del transistor NMOS 220 y con el primer nodo 214. En determinados aspectos, el dispositivo limitador de voltaje puede comprender un diodo (no ilustrado) que tiene un ánodo conectado con la puerta del transistor NMOS 220 y un cátodo conectado con la fuente del transistor NMOS 220. Además, el circuito de sesgo 218 puede comprender además un transistor PMOS limitador de corriente 222 que tiene un drenaje conectado con la puerta del transistor NMOS 220 y una fuente conectada con un voltaje de fuente de alimentación (por ejemplo, V_{SS}). La puerta del transistor PMOS limitador de corriente 222 se puede conectar con el primer nodo 214. El transistor PMOS limitador de corriente 222 se puede configurar para tener una pequeña corriente de fuente a drenaje. Para determinados aspectos, una masa y una fuente del transistor NMOS 222 pueden estar conectadas entre sí. De forma similar, la masa y la fuente del transistor NMOS conectado por diodo 226 se pueden conectar entre sí, aunque no se muestran en la FIG. 2.

[0031] Determinados aspectos de la presente divulgación agregan un transistor PMOS 304 al circuito 202, donde el transistor PMOS 304 está configurado para funcionar como un interruptor de carga rápida (FC) y se puede conectar en paralelo con el transistor PMOS 210, como se ilustra en la FIG. 3. Por ejemplo, una fuente del transistor PMOS 304 se puede conectar con el drenaje del transistor PMOS 210, mientras que un drenaje del transistor PMOS 304 se puede conectar con la fuente del transistor PMOS 210. La puerta del transistor PMOS 304 puede ser accionada para polarizar el transistor PMOS 304 en una región de saturación (activa) para cortocircuitar eficazmente y desviar la resistencia de drenaje a fuente del transistor PMOS 210. Por tanto, al colocar el transistor PMOS 304 en saturación, el condensador 302 se puede cargar a una velocidad mayor (de ahí el término "interruptor de carga rápida"). En determinados aspectos, una masa y una fuente del transistor PMOS 304 se pueden conectar entre sí en un esfuerzo por reducir la corriente de fuga.

[0032] De forma similar, otros aspectos agregan un transistor NMOS 404 al circuito 204, donde el transistor NMOS 404 está configurado para funcionar como un interruptor de FC y se puede conectar en paralelo con el transistor NMOS 220, como se ilustra en la FIG. 4. En determinados aspectos, una fuente y una masa del transistor NMOS 404 se pueden conectar entre sí en un esfuerzo por reducir la corriente de fuga. Además, el transistor NMOS 404 puede ser un transistor NMOS de pozo n profundo para reducir la corriente de fuga de sustrato.

[0033] La FIG. 5 es un circuito 500 que ilustra un uso ejemplar del circuito 202 como la resistencia en un filtro de paso bajo de primer orden de un espejo de corriente, de acuerdo con determinados aspectos de la presente divulgación. Un espejo de corriente es un tipo de amplificador de corriente que proporciona una corriente de salida de

alta impedancia proporcional a una corriente de entrada. La corriente de salida (I_{salida}) se usa típicamente para accionar una carga de alta ganancia. Un espejo de corriente simple como se muestra en la FIG. 5 en general consiste en un par de transistores 502, 504, con las puertas del par atadas entre sí y a un nodo de voltaje de entrada en el drenaje del transistor de entrada 502. En la FIG. 5, las puertas de los transistores 502, 504 están conectadas con un

5 filtro de paso bajo con una gran constante de tiempo de RC, obtenida por medio de una gran resistencia eléctrica generada por un resistor PMOS que funciona en la región de subumbral. Esta gran constante de tiempo de RC crea un polo que tiene una frecuencia de corte muy baja, de modo que el ruido y otras altas frecuencias se derivan a tierra por medio del condensador C, mientras que las puertas de los transistores 502, 504 se acortan eficazmente para bajas frecuencias.

10 **[0034]** Las fuentes de los transistores 502, 504 están conectadas a un nodo de voltaje de referencia (por ejemplo, tierra eléctrica en la FIG. 5) que es común a ambos transistores. El drenaje y la puerta del transistor de entrada 502 están conectados entre sí y a una fuente de corriente que proporciona una corriente de referencia quiescente (I_{sesgo}). Debido a que los transistores de entrada y salida 502, 504 tienen sus puertas y fuentes atadas entre sí, surge una

15 corriente de salida correspondiente (I_{salida}) en la ruta de conducción del transistor de salida 504. En general, los transistores de entrada y salida 502, 504 son idénticos, y hay una ganancia sustancialmente unitaria en la corriente. Dichos espejos de corriente se usan comúnmente para proporcionar cargas activas en etapas de amplificador de alta ganancia.

20 **[0035]** La FIG. 6 es un diagrama de flujo de operaciones ejemplares 600 para generar una gran resistencia eléctrica entre el primer y el segundo nodo de un circuito, de acuerdo con determinados aspectos de la presente divulgación. Las operaciones 600 se pueden realizar, por ejemplo, por cualquiera de los circuitos descritos anteriormente, tal como los circuitos 202, 204.

25 **[0036]** Las operaciones 600 pueden comenzar, en el bloque 602, proporcionando un primer transistor. El primer transistor puede tener una puerta, una fuente conectada con un primer nodo de un circuito y un drenaje conectado con un segundo nodo del circuito.

30 **[0037]** En el bloque 604, un segundo transistor se puede controlar para generar o reducir una corriente. Se puede conectar un drenaje del segundo transistor con la puerta del primer transistor, se puede conectar una puerta del segundo transistor con el primer nodo del circuito, y una fuente del segundo transistor se conecta con un potencial eléctrico (por ejemplo, tierra eléctrica o un riel de fuente de alimentación).

35 **[0038]** En el bloque 606, un dispositivo limitador de voltaje se puede polarizar directamente con la corriente. El dispositivo limitador de voltaje puede estar conectado entre la puerta y la fuente del primer transistor. El dispositivo limitador de voltaje se puede configurar para limitar un V_{GS} del primer transistor cuando se polariza directamente, de modo que el primer transistor funciona en una región de subumbral.

40 **[0039]** Las diversas operaciones o procedimientos descritos anteriormente se pueden realizar por cualquier medio adecuado capaz de realizar las funciones correspondientes. Los medios pueden incluir diversos componentes y/o módulos de hardware y/o software, incluyendo, pero sin limitarse a, un circuito, un circuito integrado específico de la aplicación (ASIC) o un procesador. En general, donde hay operaciones ilustradas en las figuras, esas operaciones pueden tener componentes equivalentes correspondientes de medios más funciones con numeración similar.

45 **[0040]** Por ejemplo, los medios para obtener o reducir una corriente pueden comprender un transistor limitador de corriente, tal como el transistor NMOS 212 o el transistor PMOS 222 representado en la FIG. 2. Los medios para limitar un voltaje de puerta a fuente (V_{GS}) de un transistor pueden incluir un dispositivo limitador de voltaje, tal como un diodo o un transistor conectado por diodo (por ejemplo, el transistor PMOS 224 o el transistor NMOS 226 en la FIG. 2).

50 **[0041]** Como se usa en el presente documento, el término "determinar" abarca una amplia variedad de acciones. Por ejemplo, "determinar" puede incluir calcular, computar, procesar, derivar, investigar, buscar (por ejemplo, buscar en una tabla, una base de datos u otra estructura de datos), comprobar y similares. Además, "determinar" puede incluir recibir (por ejemplo, recibir información), acceder (por ejemplo, acceder a datos en una memoria) y similares. Además, "determinar" puede incluir resolver, seleccionar, elegir, establecer y similares.

55 **[0042]** Como se usa en el presente documento, una frase que hace referencia a "al menos uno de" una lista de elementos se refiere a cualquier combinación de esos elementos, incluidos los elementos individuales. Como ejemplo, "al menos uno de: a , b , o c " está destinado a abarcar: a , b , c , $a-b$, $a-c$, $b-c$, $a-b-c$, así como cualquier combinación con múltiplos del mismo elemento (por ejemplo, $a-a$, $a-a-a$, $a-a-b$, $a-a-c$, $a-b-b$, $a-c-c$, $b-b$, $b-b-b$, $b-b-c$, $c-c$, y $c-c-c$ o cualquier otro orden de a , b y c).

60 **[0043]** Los procedimientos divulgados en el presente documento comprenden una o más etapas o acciones para lograr el procedimiento descrito. Las etapas y/o acciones del procedimiento pueden intercambiarse entre sí sin apartarse del alcance de las reivindicaciones. En otras palabras, a menos que se especifique un orden específico de las etapas o acciones, el orden y/o uso de etapas específicas y/o acciones pueden modificarse sin apartarse del alcance de las reivindicaciones.

[0044] Debe entenderse que las reivindicaciones no se limitan a la configuración precisa y los componentes ilustrados anteriormente. Se pueden hacer diversas modificaciones, cambios y variaciones en la disposición, operación y detalles de los procedimientos y aparatos descritos anteriormente sin apartarse del alcance de las reivindicaciones.

REIVINDICACIONES

1. Un circuito (202, 204), que comprende:
- 5 un primer transistor (210, 220) que tiene una puerta, una fuente conectada con un primer nodo (214) del circuito (202, 204) y un drenaje conectado con un segundo nodo (216) del circuito (202, 204);
- 10 un dispositivo limitador de voltaje (224, 226) conectado entre la puerta y la fuente del primer transistor (210, 220), en el que el dispositivo (224, 226), si está polarizado directamente está configurado para limitar un voltaje de puerta a fuente, V_{GS} , del primer transistor (210, 220) de modo que el primer transistor (210, 220) funciona en una región de subumbral; y
- 15 un segundo transistor (212, 222) configurado para polarizar el dispositivo limitador de voltaje (224, 226) con una corriente, en el que:
- un drenaje del segundo transistor (212, 222) está conectado con la puerta del primer transistor (210, 220);
- una puerta del segundo transistor (212, 222) está conectada con el primer nodo (214); y
- 20 una fuente del segundo transistor (212, 222) está conectada con un potencial eléctrico.
2. El circuito (202, 204) de la reivindicación 1, en el que el dispositivo limitador de voltaje (224, 226) comprende un transistor conectado por diodo (224, 226), preferentemente, en el que una puerta y un drenaje del transistor conectado por diodo (224, 226) están conectados con la puerta del primer transistor (210, 220) y en el que una
- 25 fuente del transistor conectado por diodo (224, 226) está conectada con la fuente del primer transistor (210, 220), preferentemente, en el que la fuente y una masa del transistor conectado por diodo (224, 226) están conectadas entre sí.
3. El circuito (202, 204) de la reivindicación 1, en el que la fuente y una masa del primer transistor (210, 220) están conectadas entre sí.
- 30 4. El circuito (202, 204) de la reivindicación 1, que comprende además un tercer transistor (304) conectado en paralelo con el primer transistor (210, 220), en el que una puerta del tercer transistor (304) está configurada para controlar la derivación del primer transistor (210, 220), preferentemente, en el que una masa y una fuente del tercer transistor (304) están conectadas entre sí.
- 35 5. El circuito (202, 204) de la reivindicación 1, que comprende además un condensador (302, 402) conectado entre el segundo nodo (216) y una tierra eléctrica, preferentemente, en el que el circuito (202, 204) comprende un filtro, en el que el primer nodo (214) es una entrada del filtro, y en el que el segundo nodo (216) es una salida del filtro.
- 40 6. El circuito (202, 204) de la reivindicación 1, en el que el potencial eléctrico es una tierra eléctrica.
7. El circuito (202, 204) de la reivindicación 1, en el que el primer transistor (210, 220) es un transistor PMOS.
- 45 8. El circuito (202, 204) de la reivindicación 7, en el que el dispositivo limitador de voltaje (224, 226) comprende un transistor PMOS conectado por diodo.
9. El circuito (202, 204) de la reivindicación 8, en el que el segundo transistor (212, 222) es un transistor NMOS.
- 50 10. El circuito (202, 204) de la reivindicación 7, en el que el dispositivo limitador de voltaje (224, 226) comprende un diodo que tiene un ánodo conectado con la fuente del primer transistor (210, 220) y un cátodo conectado con la puerta del primer transistor (210, 220).
11. El circuito (202, 204) de la reivindicación 1, en el que el primer transistor (210, 220) es un transistor NMOS.
- 55 12. El circuito (202, 204) de la reivindicación 11, en el que el dispositivo limitador de voltaje (224, 226) comprende un transistor NMOS conectado por diodo.
13. El circuito (202, 204) de la reivindicación 12, en el que el segundo transistor (212, 222) es un transistor PMOS.
- 60 14. El circuito (202, 204) de la reivindicación 11, en el que el dispositivo limitador de voltaje (224, 226) comprende un diodo que tiene un ánodo conectado con la puerta del primer transistor (210, 220) y un cátodo conectado con la fuente del primer transistor (210, 220).
- 65 15. Un procedimiento que comprende:

proporcionar (602) un primer transistor (210, 220) que tiene una puerta, una fuente conectada con un primer nodo (214) de un circuito (202, 204) y un drenaje conectado con un segundo nodo (216) del circuito (202, 204);

5 controlar (604) un segundo transistor (212, 222) para generar o reducir una corriente, en el que:

un drenaje del segundo transistor (212, 222) está conectado con la puerta del primer transistor (210, 220);

10 una puerta del segundo transistor (212, 222) está conectada con el primer nodo (214) del circuito (202, 204); y

una fuente del segundo transistor (212, 222) está conectada con un potencial eléctrico; y

15 polarizar directamente (606) un dispositivo limitador de voltaje (224, 226) con la corriente, en el que el dispositivo limitador de voltaje (224, 226) está conectado entre la puerta y la fuente del primer transistor (210, 220) y en el que el dispositivo limitador de voltaje (224, 226) está configurado para limitar un voltaje de puerta a fuente, V_{GS} , del primer transistor (210, 220) cuando está polarizado directamente, de modo que el primer transistor (210, 220) funciona en una región de subumbral.

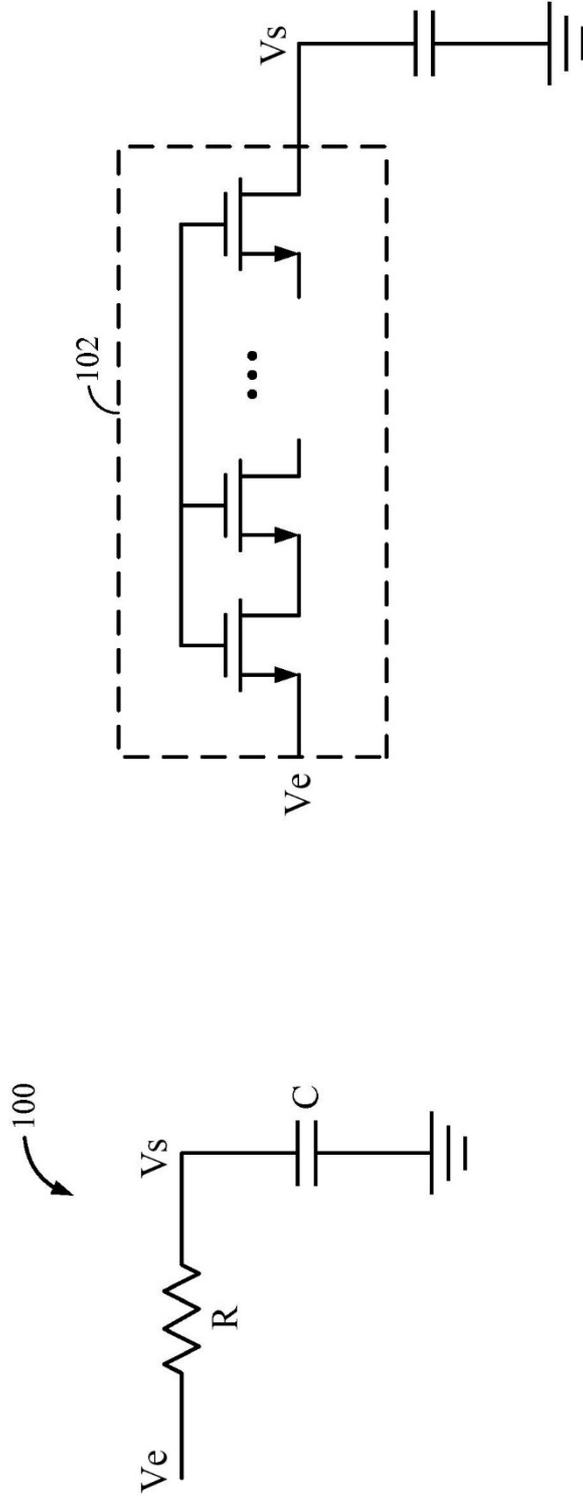


FIG. 1A
(TÉCNICA ANTERIOR)

FIG. 1B
(TÉCNICA ANTERIOR)

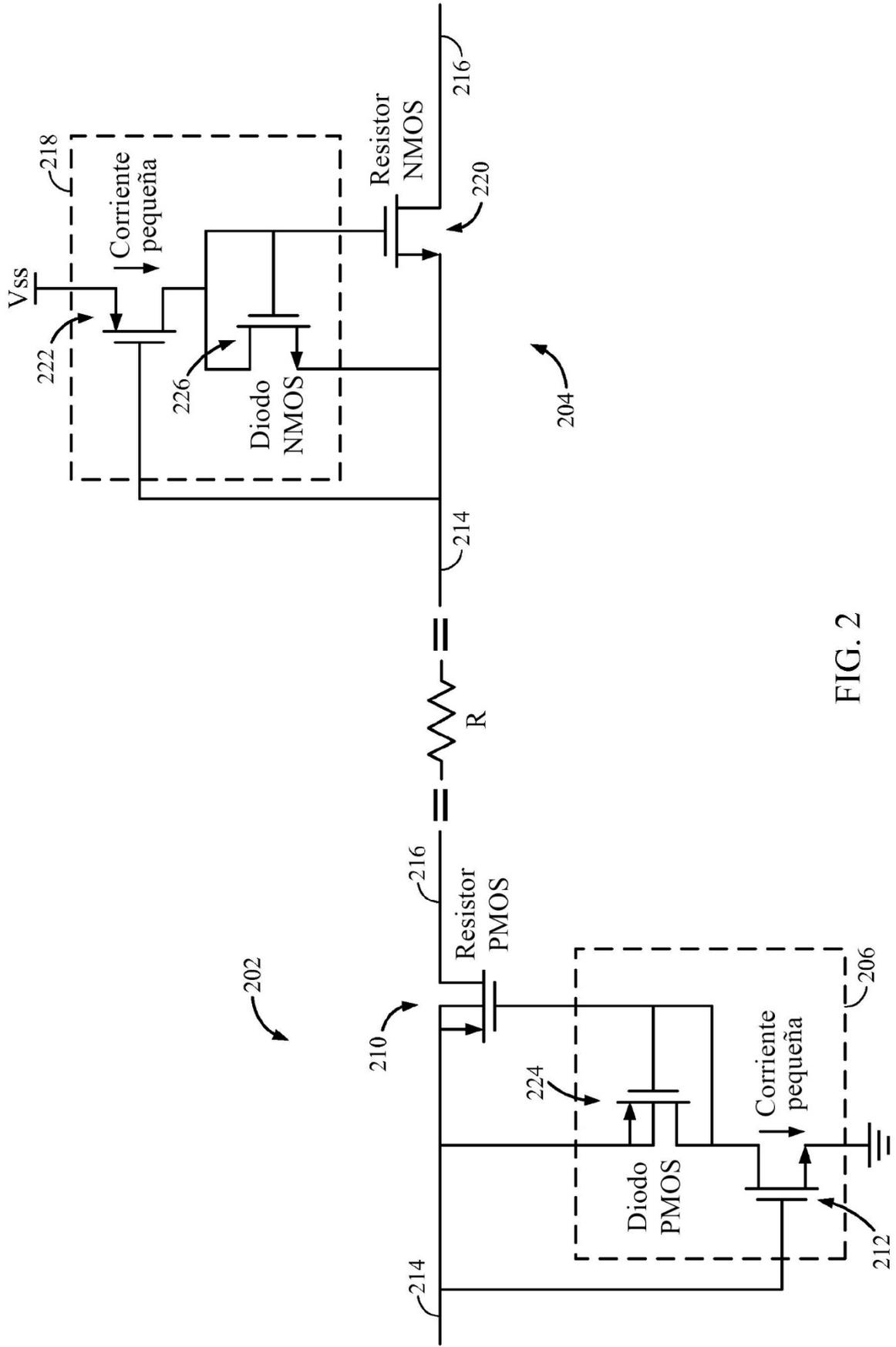


FIG. 2

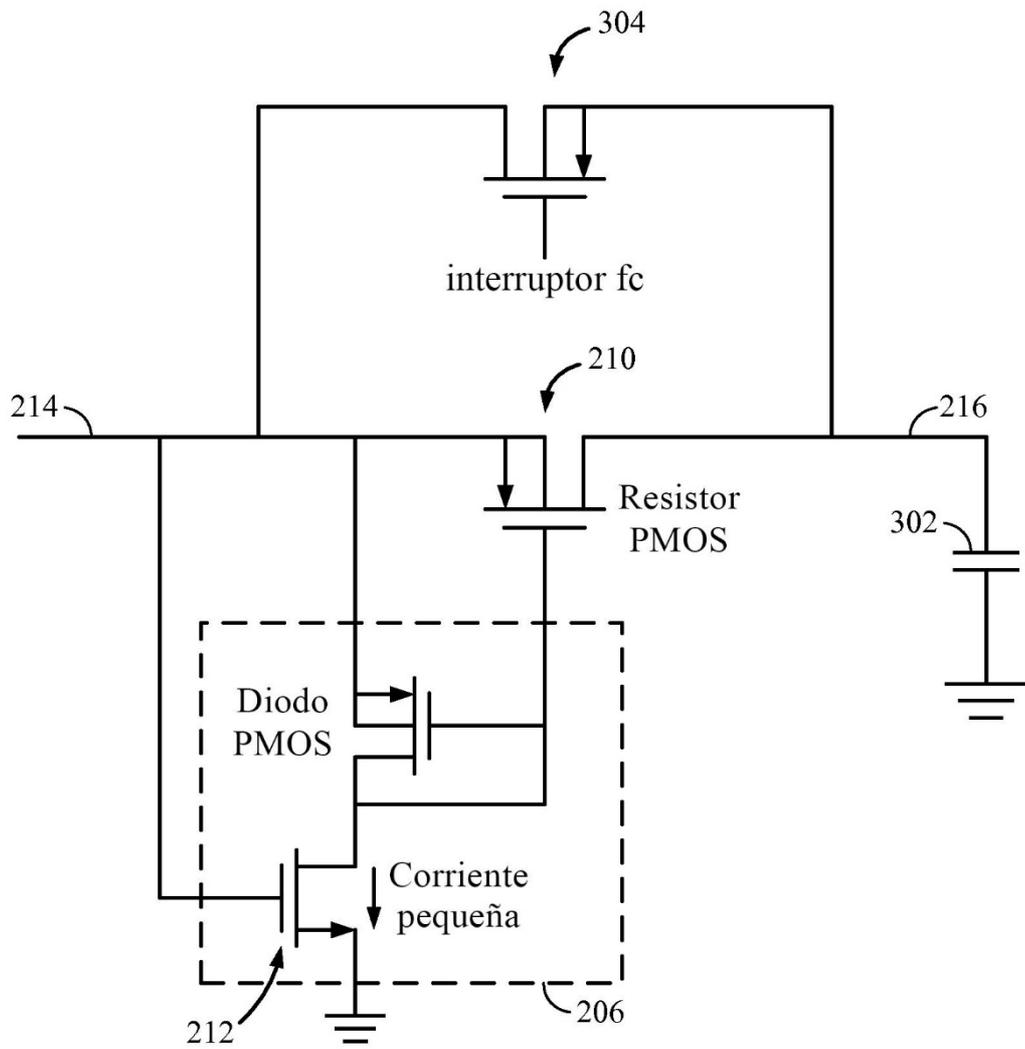


FIG. 3

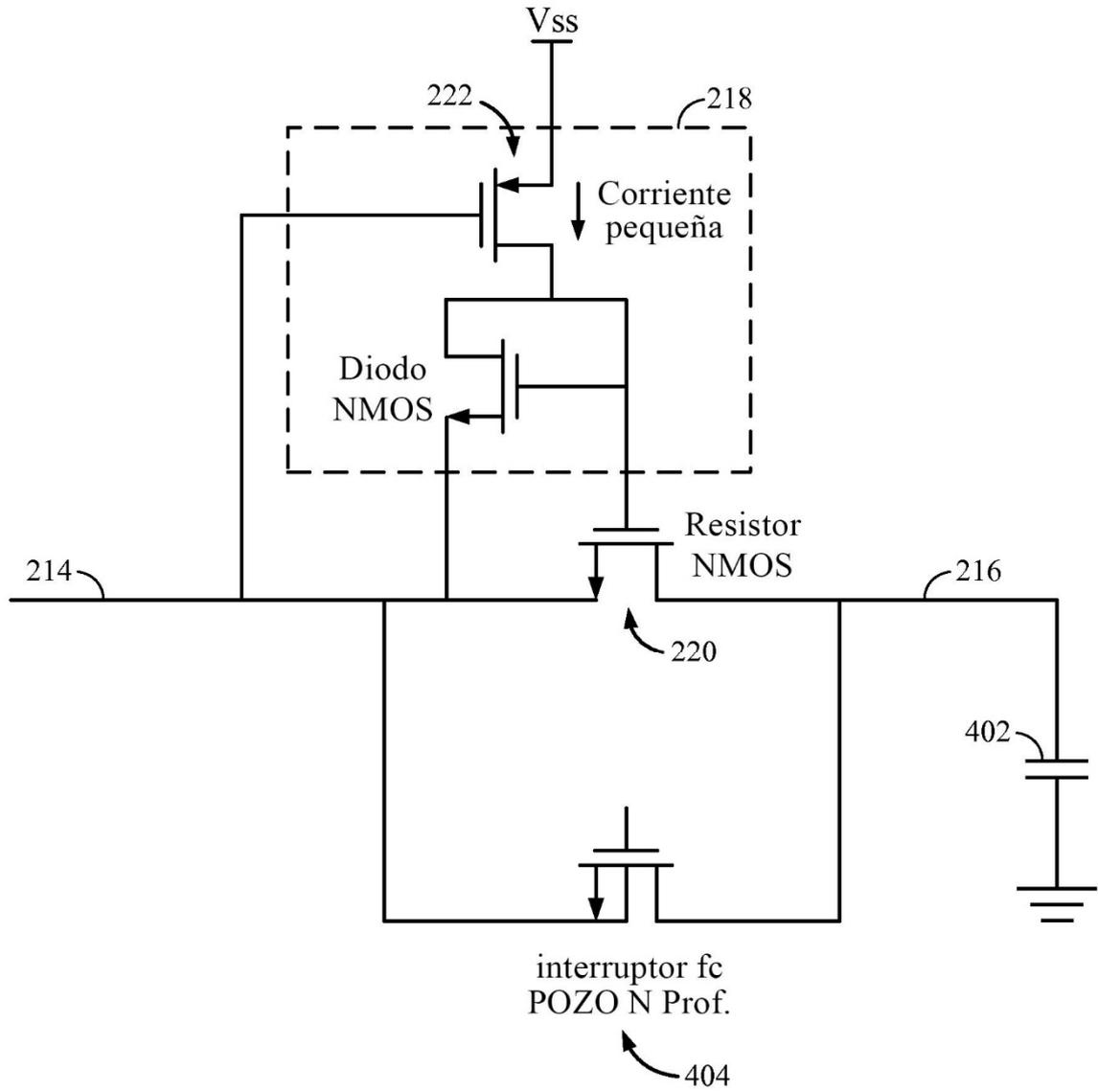


FIG. 4

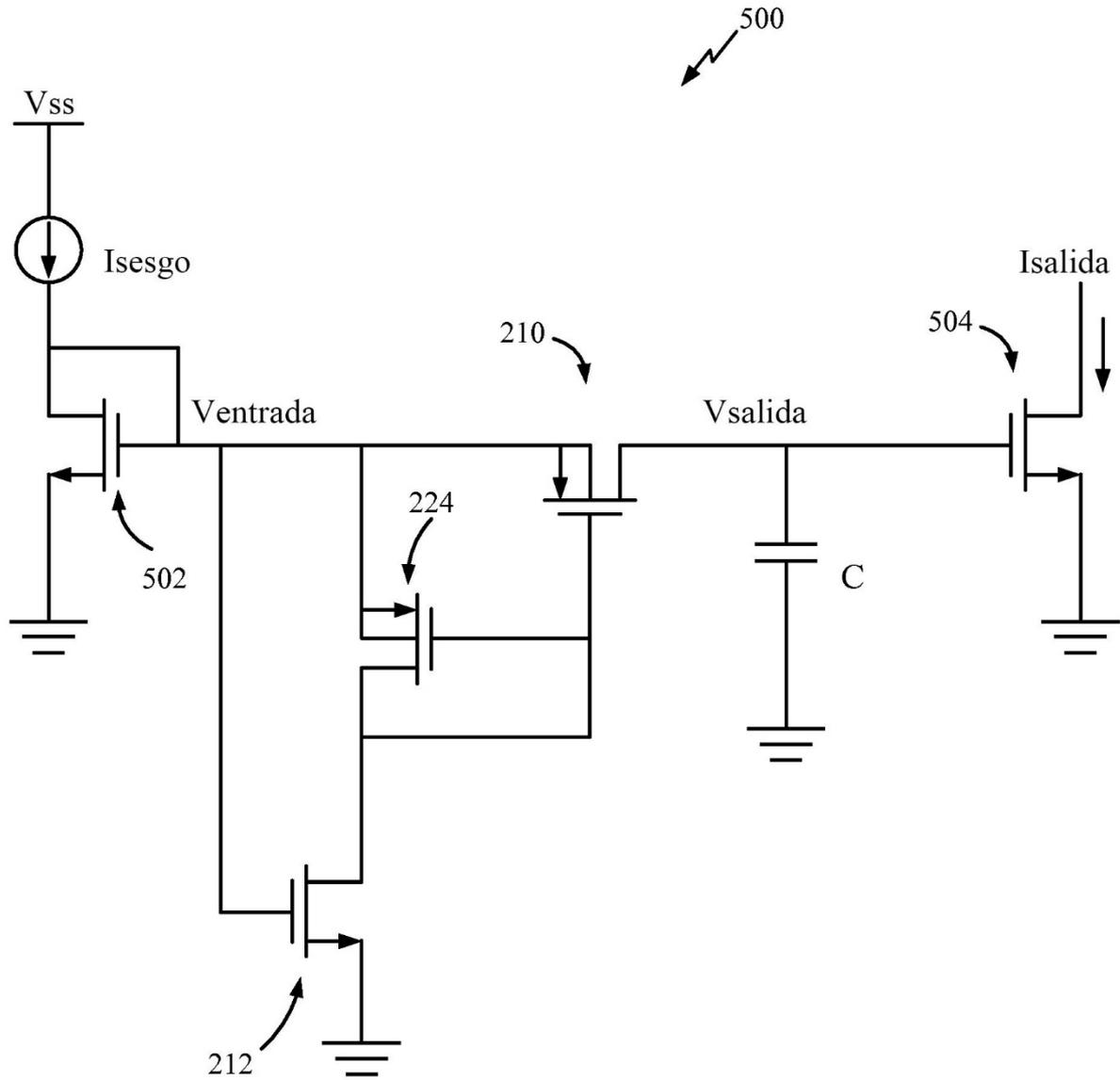


FIG. 5



FIG. 6