

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 818 079**

51 Int. Cl.:

**H03K 5/13** (2014.01)

**G06F 1/10** (2006.01)

**G06F 13/16** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.07.2015 E 15179024 (3)**

97 Fecha y número de publicación de la concesión europea: **22.07.2020 EP 2980992**

54 Título: **Circuito integrado foto-repetido con compensación de retardos de propagación de señal, especialmente de señales de reloj**

30 Prioridad:

**01.08.2014 FR 1457486**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**09.04.2021**

73 Titular/es:

**PYXALIS (100.0%)  
170 rue Chatagnon  
38430 Moirans, FR**

72 Inventor/es:

**CHENEBAUX, GRÉGOIRE**

74 Agente/Representante:

**GONZÁLEZ PECES, Gustavo Adolfo**

ES 2 818 079 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Circuito integrado foto-repetido con compensación de retardos de propagación de señal, especialmente de señales de reloj

5 La invención se refiere a grandes circuitos integrados con patrones repetitivos yuxtapuestos producidos por exposición parcial repetida del mismo patrón en varias áreas del mismo sustrato.

Esta técnica de realización se denomina a veces técnica de "cosido", en la que se utiliza una misma máscara que define el patrón a reproducir en un paso de exposición fotolitográfica de un sustrato de circuito integrado, máscara que se va desfasando sucesivamente de una zona del sustrato a otra zona adyacente en los sub-pasos de exposición. La etapa de fotolitografía que consiste en esta sucesión de sub-pasos puede complementarse con otros  
10 sub-pasos de exposición de áreas adicionales correspondientes a diferentes patrones, por lo tanto expuestas a través de una o más máscaras diferentes. El paso de fotolitografía es, por ejemplo, un paso para definir un patrón de conductores en una capa conductora depositada en el sustrato. Para la fabricación del circuito integrado se realizan otros pasos de fotolitografía, y para cada uno de ellos se procederá también por costura, por lo tanto por exposición repetida del mismo patrón en áreas adyacentes; resultando, al final de todos los pasos de litografía y al final de los  
15 tratamientos físicos o químicos asociados, un circuito integrado en el que ciertas áreas, adyacentes entre sí, son estrictamente idénticas entre sí.

En los circuitos integrados de grandes dimensiones de varios centímetros de lado y que tienen que trabajar a altas velocidades de funcionamiento, una dificultad es la velocidad limitada de propagación de la señal; esta velocidad limitada crea el riesgo de que la misma señal de control, que debe utilizarse para controlar varios circuitos idénticos  
20 simultáneamente, pueda transmitirse con un desfase temporal distinto de cero entre las diferentes zonas idénticas. En particular, en los circuitos que funcionan con un reloj de alta frecuencia, la misma señal de reloj producida en un lugar del circuito integrado puede llegar a las diferentes partes del circuito en momentos que están desfasados unos de otros, mientras que estas señales deberían llegar simultáneamente para el correcto funcionamiento del conjunto. Para circuitos de varios centímetros de lado, el desfase puede ser de varias decenas de nanosegundos, lo que no es  
25 compatible con frecuencias de funcionamiento de varias decenas de megahercios.

El documento US 2008/201597 describe un sistema de memoria en el que la señal de un reloj se propaga de un dispositivo de memoria a otro. Este sistema comprende una interfaz de memoria que incluye un circuito de compensación del retardo de propagación de la señal basado en el uso de una línea de retardo con derivaciones ("tapped delay line" en inglés) y multiplexores para seleccionar una de las señales de salida de dicha línea de  
30 retardo.

La invención tiene por objeto facilitar la transmisión de señales, y en particular de señales de reloj en circuitos cosidos de grandes dimensiones, de manera que los bordes ascendentes o descendentes de estas señales no se desfasen demasiado en el tiempo cuando llegan a puntos similares en zonas idénticas.

Con este fin, se propone un circuito integrado que comprende N patrones idénticos adyacentes, correspondientes a  
35 N circuitos parciales idénticos adyacentes de rango  $i = 1$  a  $i = N$  en el orden de sucesión geográfica de los circuitos parciales, de acuerdo con la invención, comprendiendo cada circuito parcial una entrada de señal de reloj ascendente, una salida de señal de reloj descendente y una línea conductora principal que se extiende entre la entrada de señal de reloj ascendente y la salida de señal de reloj descendente e introduce un retardo de propagación de duración T, la salida de la señal de reloj descendente de cada circuito parcial, excepto el de rango N, estando conectada directamente a la entrada de la señal de reloj ascendente del circuito parcial inmediatamente  
40 posterior de tal manera que las líneas conductoras principales de los circuitos parciales permitan la transmisión en cascada de una señal maestra recibida en el circuito parcial de rango 1, caracterizado porque comprende en cada circuito parcial de rango i:

- 45 • una línea conductora de compensación con N salidas sucesivas de rango  $i = 1$  a N, conectada a la línea principal del circuito parcial y estableciendo un retardo de propagación de duración T entre las salidas sucesivas,
- un multiplexor con N entradas conectadas respectivamente a cada una de las N salidas de la línea de conductor de compensación,
- 50 • líneas de control del multiplexor, dispuestas para seleccionar la entrada de rango i del multiplexor, conectadas a la salida de rango N-i+1 entre las N salidas de la línea conductora de compensación,
- la salida del multiplexor del circuito parcial de rango i que proporciona una señal local (preferentemente una señal de reloj local) para este circuito parcial,
- 55 • las líneas de control del multiplexor del circuito parcial de rango 1 reciben una señal de selección de la entrada de rango 1 de este multiplexor, y propagan esta señal de un multiplexor al siguiente, modificándola cada vez para incrementar en una unidad el rango de la entrada seleccionada, y así disminuir en una

unidad el rango de la salida seleccionada. Así, las líneas de control que conducen al multiplexor del circuito parcial de rango  $i$  seleccionan la salida de rango  $N-i+1$  de este circuito y transmiten al multiplexor del circuito parcial de rango  $i+1$  un comando para seleccionar la salida de rango  $N-i$ .

5 Una forma de hacerlo es utilizar  $N$  líneas de control para los multiplexores, de las cuales sólo una línea de rango  $i$  (para el multiplexor del circuito de rango  $i$ ) está activa para seleccionar la entrada de rango  $i$  del multiplexor, es decir, la salida de rango  $N-i+1$  de la línea de compensación; las otras líneas de control están inactivas; las líneas de control recibidas por el multiplexor del circuito parcial de rango  $i$  se conectan a las líneas de control del multiplexor del circuito parcial de rango  $i+1$  con permutación circular, de modo que la línea de control activa de rango  $i$  del multiplexor de circuito parcial de rango  $i$  se conecta a una línea de control de rango  $i+1$  del multiplexor de circuito  
10 parcial de rango  $i+1$ , seleccionando esta última línea, cuando está activa, la salida de rango  $N-i$  de la línea de compensación del circuito parcial de rango  $i+1$ .

En una realización práctica, se inserta un amplificador búfer en la línea principal y se inserta un respectivo amplificador búfer idéntico en la línea de compensación, entre cada salida de la línea de compensación y la salida de la línea de rango inmediatamente siguiente. Todos los amplificadores introducen el mismo retardo de propagación y en la práctica todos son idénticos en un circuito parcial determinado y en todos los demás circuitos  
15 parciales.

Otras características y ventajas de la invención serán evidentes en la siguiente descripción detallada que se hace con referencia a los dibujos anexos en los que:

- 20 • La figura 1 muestra un esquema de organización general de un ejemplo de chip de circuito integrado obtenido mediante foto-repetición de patrones estrictamente idénticos;
- La figura 2 muestra un esquema en el que se introduce un circuito de compensación en cada circuito parcial de acuerdo con la invención ;
- La figura 3 muestra un esquema de realización del circuito de compensación de la invención;
- 25 • La figura 4 muestra una realización del circuito de compensación con un amplificador búfer en la línea principal y amplificadores búfer en las secciones de la línea de compensación;
- La figura 5 muestra un esquema de varios circuitos parciales yuxtapuestos, con el control del multiplexor mediante una simple permutación circular del orden de las  $N$  líneas de control.

Para ilustrar la invención, se muestra en la figura 1 un chip de circuito integrado IC realizado en parte mediante foto-repetición de patrones idénticos, en un ejemplo que es un sensor de imagen. El chip en este ejemplo comprende tres circuitos parciales idénticos  $C1$ ,  $C2$ ,  $C3$  representados como rectángulos de línea continua, y son estos tres circuitos los que están hechos por foto-repetición del mismo patrón. No puede haber ninguna diferencia entre los tres circuitos. Los patrones se yuxtaponen y se establecen conexiones conductoras entre los circuitos adyacentes simplemente uniendo un patrón de un circuito parcial con un patrón del circuito adyacente.  
30

En este ejemplo, cada circuito parcial comprende una matriz  $MP$  de píxeles fotosensibles y, en la parte inferior de la matriz, un circuito de lectura  $CL$  para recoger señales de los píxeles del circuito parcial, y un circuito de control digital  $CTRL$  para controlar los circuitos de lectura del circuito parcial. Estos diferentes circuitos están delimitados por líneas de puntos.  
35

Además, el chip puede comprender otros circuitos electrónicos no foto-repetidos, por ejemplo, un circuito secuenciador general  $SEQ$  para generar señales de control para los circuitos parciales, y en particular una señal de reloj maestro  $CLK$  que sirve como referencia general para las secuencias de funcionamiento del sensor. Otro circuito  $DEC$  incluye un decodificador de filas para el direccionamiento sucesivo de las líneas de la matriz durante las operaciones de lectura de las señales de los píxeles. Este decodificador se dirige simultáneamente a las líneas del mismo rango de la matriz  $MP$  de los tres circuitos parciales. Esta organización general del chip se da sólo como ejemplo, siendo la invención aplicable independientemente de los circuitos del chip desde el momento en que hay una necesidad de controlar estrechamente la sincronización de los bordes de la señal del reloj utilizados en los diversos circuitos parciales idénticos, o la sincronización de otras señales de control utilizadas en los circuitos parciales. En esta organización, como es bien sabido para los circuitos formados por foto-repetición, los circuitos parciales están conectados entre sí, es decir, un conductor que llega al borde del lado derecho de un circuito parcial está en contacto directo con un conductor que sale en el mismo lugar del borde del lado izquierdo del circuito inmediatamente adyacente de la siguiente fila. Así, por ejemplo, un conductor de línea que reúne los píxeles de una línea de una matriz  $MP$  está en continuidad con un conductor de línea de las matrices  $MP$  de los otros circuitos parciales.  
40  
45  
50

A título indicativo, los procesos de foto-repetición de circuitos parciales idénticos en el mismo chip se utilizan para chips de grandes dimensiones, es decir, de más de 2 cm de ancho. Los tiempos de propagación en distancias de este orden no pueden ser inferiores a 20 nanosegundos, lo que no es despreciable cuando se trabaja en frecuencias  
55

de varias decenas o cientos de MHz. Si hay N circuitos parciales adyacentes, cada uno de 2 cm de ancho, los tiempos de propagación hasta el último circuito parcial se multiplican por N.

La figura 2 representa una arquitectura general tomada de la de la figura 1, pero en la que se representa, en cada circuito parcial idéntico, una porción del área reservada para un circuito CCMP de compensación del riesgo de una mala sincronización debido a los tiempos de propagación de las señales de un circuito parcial a otro. Este circuito CCMP, que es idéntico en los diversos circuitos parciales, comprende esencialmente los siguientes elementos: una entrada de reloj ascendente, una salida de reloj descendente, una línea de transmisión principal entre esta entrada y esta salida, una línea de compensación con múltiples salidas y un multiplexor conectado a las múltiples salidas. El multiplexor proporciona una señal de reloj local al resto del circuito parcial. Lo que aquí se dice de las señales de reloj originadas por un reloj maestro CLK del secuenciador SEQ puede aplicarse a otras señales de control distintas de la señal del reloj maestro, y para simplificar las explicaciones sólo se considerará la compensación de la señal del reloj maestro CLK.

La porción del circuito de compensación del CCMP se muestra más precisamente en la figura 3, para un circuito parcial de rango intermedio i donde i es un índice de 1 a N si hay N circuitos parciales adyacentes idénticos. En este ejemplo, N=3.

La entrada de la señal del reloj ascendente se designa como  $EH_{AMi}$ . La salida de la señal del reloj descendente se designa como  $SH_{AVi}$ , y se conecta directamente a la entrada de la señal del reloj ascendente del circuito parcial inmediatamente posterior. La conexión es una única conexión que conecta los patrones de los dos circuitos parciales, siendo la línea principal una línea continua que se extiende a través de la sucesión de circuitos parciales. La entrada  $EH_{AMi}$  recibe una señal de reloj ascendente  $CLK_i$  de un circuito parcial de rango precedente y la salida  $SH_{AVi}$  transmite una señal de reloj descendente  $CLK_{i+1}$  a un circuito parcial de rango siguiente si lo hay. El primer circuito parcial, de rango 1, recibe una señal de reloj ascendente  $CLK_1$  que es la señal de reloj maestro CLK del secuenciador de las figuras 1 y 2.

La línea conductora principal que transmite la señal del reloj de un circuito parcial al siguiente se designa como LP; se extiende entre la entrada  $EH_{AMi}$  y la salida  $SH_{AVi}$ , y tiene una longitud L que provoca un retardo de transmisión de duración T de los bordes de transición de las señales de reloj propagadas por esta línea. En la configuración más simple, la línea principal LP es una línea conductora recta que va directamente de la entrada a la salida y que tiene una longitud igual al ancho del circuito parcial (ancho contado en la dirección de yuxtaposición de los circuitos parciales, es decir, en la dirección horizontal en todas las figuras. Inevitablemente introduce un retardo de propagación de duración T entre los flancos ascendentes de la señal de reloj ascendente  $CLK_i$  presente en la entrada  $EH_{AMi}$  y los flancos ascendentes de la señal de reloj descendente  $CLK_{i+1}$  presente en la salida  $SH_{AVi}$ . Este retardo se debe, por un lado, a la velocidad de propagación no infinita de los electrones y, por otro lado, a las constantes de tiempo resultantes de las propiedades resistivas, capacitivas e inductivas de la línea. Se verá que la línea principal también puede incluir otros elementos que introducen un retardo, en particular un amplificador de búfer LF, insertado entre la entrada y la salida de la línea para regenerar la señal del reloj. En este caso, el retardo introducido necesariamente por este amplificador forma parte del retardo global de duración T introducido por la línea.

Una línea conductora de compensación LS con múltiples salidas está dispuesta en varias secciones de línea en serie, cada una con una salida S1, S2, S3 en los extremos de las secciones.

La línea de compensación está conectada a la línea principal en cualquier punto de la misma y se extiende desde la línea principal hasta una primera salida S1 de línea. La distancia entre el punto de conexión a la línea principal y la primera salida no importa, pero es obviamente la misma para todos los circuitos parciales. Cada sección tiene entonces una longitud igual a la longitud L de la línea principal o, más precisamente, está configurada para introducir un retardo de propagación de duración T como la línea principal. Si hay un amplificador búfer en la línea principal que contribuye al retardo T, se introducirá un amplificador búfer similar en cada sección de la línea de compensación para obtener este retardo de propagación T en cada sección.

En la figura 3, debido a que deseamos tener tres circuitos parciales yuxtapuestos como en la figura 2, hay tres salidas S1, S2, S3 de la línea de compensación y dos secciones con un retardo T cada una, respectivamente entre las salidas S1 y S2, y S2 y S3. En términos más generales, si hay N circuitos parciales, hay N salidas sucesivas de rango  $i = 1$  a N y estas salidas proporcionan una señal de reloj con retardos sucesivos (relativos a la señal de reloj ascendente) que se desfasan entre sí por la duración T. Así, cualquiera que sea el retardo de propagación existente entre la entrada  $EH_{AMi}$  y la salida S1, el retardo se incrementará en T en la salida S2 y en 2T en la salida S3; de forma más general, si hay N salidas, se incrementa en  $(i-1)T$  en la salida de rango i.

Las salidas de la línea de compensación están cada una conectada a una entrada respectiva de un multiplexor MUX. Las longitudes de conexión entre las salidas de la línea de compensación y las entradas del multiplexor son idénticas o prácticamente idénticas para no introducir retardos de propagación significativamente diferentes (en comparación con el retardo T de la línea principal) entre estas salidas y el multiplexor. Una entrada de cualquier rango j del multiplexor se conecta a una salida de rango  $S_{N+j+1}$  de la línea de compensación.

El multiplexor es controlado por líneas de control LC que definen qué entrada del multiplexor es la entrada del multiplexor y por lo tanto cual es la salida de la línea de compensación que será transmitida a la salida del multiplexor. Para el circuito parcial de rango  $i$ , la línea de control LC proporciona una señal  $sel_i$  para seleccionar la entrada de rango  $i$  del multiplexor, seleccionando así la salida de rango  $N-i+1$  de la línea de compensación. Los estados de las líneas de control son estáticos en el momento de la utilización del circuito de compensación.

La señal presente en esta salida de rango  $N-i+1$  es la que será transmitida a la salida del multiplexor. La salida del multiplexor del circuito de rango  $i$  proporciona entonces una señal de reloj local  $CLK_i$  que se utilizará en el circuito parcial de rango  $i$ ; esta señal se transmite, por ejemplo, para su uso, al correspondiente circuito de control CTRL. Las señales del reloj local de los diferentes circuitos parciales son simultáneas debido a la compensación establecida por la línea de compensación.

El retardo existente entre la señal del reloj local  $CLK_i$  y la señal del reloj maestro CLK no se conoce con precisión: depende de la ubicación del punto de unión entre la línea principal y la línea de compensación (distancia entre este punto de unión y la entrada  $EH_{AMI}$ ); depende de la distancia entre este punto de unión y la primera salida  $S1$  de la línea de compensación; depende de la longitud de conexión entre las salidas de la línea de compensación y el multiplexor; depende del propio retardo introducido por el multiplexor; depende de la longitud de conexión a la salida del multiplexor. Pero estos elementos de retardo son los mismos para todos los circuitos parciales; cualquiera que sea el retardo que introducen, puede decirse que no hay retardo entre una señal de reloj local  $CLK_i$  y una señal de reloj local  $CLK_{i+1}$  de un circuito parcial adyacente; de hecho, el retardo  $T$  introducido por la longitud de la línea principal para pasar de un circuito parcial al siguiente circuito parcial se compensa plenamente por el hecho de que el circuito parcial de rango  $i$  utiliza la salida de rango  $N-i+1$  de la línea secundaria mientras que el siguiente circuito parcial de rango  $i+1$  utiliza la salida del rango anterior  $N-i$  de la línea de compensación, estando estas dos salidas separadas por una sección que introduce el mismo retardo de propagación  $T$  de la línea principal.

Para que cada circuito parcial de rango  $i$  seleccione la entrada apropiada del multiplexor, es decir, la entrada de rango  $i$  conectada a la salida de rango  $N-i+1$  de la línea de compensación, el multiplexor debe tener preferentemente líneas de control que se propaguen desde una entrada de control del circuito parcial a una salida de control que a su vez esté conectada a la entrada de control del siguiente circuito parcial (simple conexión de los patrones de los circuitos parciales yuxtapuestos); pero esta propagación tiene lugar en cada caso incrementando el rango de la entrada seleccionada; en otras palabras, la señal de control propagada es ligeramente diferente de la señal de control recibida, pero la diferencia (incremento de una unidad) es la misma para todos los circuitos parciales. Así, aunque los circuitos parciales y en particular la organización de las líneas de control es exactamente la misma de un circuito al siguiente (incluyendo el circuito que permite el incremento), el multiplexor del circuito parcial de rango  $i$  se controla de manera diferente al siguiente circuito parcial. El primer circuito parcial recibe un control que selecciona la entrada de rango 1 y, por tanto, la salida de rango 1 ( $S3$  en la figura 2) de la línea de compensación.

La figura 3 muestra las líneas de control asociadas al multiplexor del circuito parcial de rango  $i$ : reciben una señal específica de selección  $sel_i$  y transmiten una señal  $sel_{i+1}$  al circuito del siguiente rango  $i+1$ . A continuación se inserta un circuito para incrementar una unidad, denominado INCR, entre las líneas de control que llegan al multiplexor y las salidas de control destinadas al siguiente circuito parcial.

La figura 4 muestra una vista ampliada de la línea principal LP y la línea de compensación LS en el caso de que la línea principal tenga al menos un amplificador búfer cuya función es restaurar la amplitud de la señal de reloj transmitida, que tiende a debilitarse durante su propagación en la línea principal. En este caso, el amplificador búfer (denominado genéricamente BF en la Fig. 4) introduce un retardo adicional en la propagación de los bordes del reloj. El tiempo  $T$  de retardo de propagación de la línea principal es la suma de este retardo y el retardo de la propia línea conductora. Es necesario entonces proporcionar en cada sección de la línea de compensación LS un retardo  $T$  idéntico, por lo que es mejor insertar en cada sección un amplificador búfer de LF idéntico al amplificador insertado en la línea principal.

En el ejemplo de la Fig. 4, el amplificador búfer se coloca inmediatamente a la entrada de la línea principal, y se prevé un amplificador BF insertado en la primera sección de la línea de compensación entre la salida  $S1$  y la salida  $S2$ , y luego otro amplificador de BF insertado en la segunda sección entre la salida  $S2$  y la salida  $S3$ .

Además, como el retardo inherente introducido por un amplificador puede depender de la carga de ese amplificador, en la medida de lo posible las cargas de todos estos amplificadores deben ser idénticas. Por esta razón, como se puede ver en la Fig. 4, se puede esperar que la línea de compensación LS se extienda aguas abajo de la salida  $S3$  por una sección de línea cargada por un amplificador. Asimismo, cabe esperar que la línea de compensación tenga un amplificador aguas arriba de la salida  $S1$  entre la línea principal y la salida  $S1$ . Por último, la carga del amplificador de BF de la línea principal está constituida por la propia línea principal cargada por el amplificador BF de la línea principal del circuito parcial situado inmediatamente después.

De esta manera, todos los amplificadores entre la línea principal y la última salida  $S3$  están cargados sustancialmente por la misma impedancia, que es principalmente la impedancia de una sección de línea cargada por un amplificador.

La figura 5 muestra un ejemplo de realización de las líneas de control del multiplexor, permitiendo asegurar que el rango de entrada del multiplexor se incremente y el rango de salida seleccionado por el multiplexor se reduzca. En este ejemplo, hay tantas líneas de control como circuitos parciales y el multiplexor recibe las N líneas de control; sólo una de estas líneas recibe un nivel lógico activo (1) y el multiplexor está dispuesto para seleccionar la entrada de rango i cuando la línea de control de rango i está activada; las otras líneas reciben un nivel no activo (0). La entrada de rango i está conectada a la salida de rango N-i+1 de la línea de compensación y es entonces la señal de reloj presente en esta salida la que se transmitirá a la salida del multiplexor. La figura 5 muestra la conexión entre una entrada del multiplexor y la salida seleccionada en líneas continuas, y las conexiones con las salidas no seleccionadas en líneas discontinuas para cada uno de los tres circuitos parciales mostrados. La configuración se puede transponer a N circuitos parciales, usando N líneas de control para los multiplexores.

El circuito de incremento puede, como se muestra en la figura 5, ser simplemente un circuito de permutación circular de las líneas de control: una línea de rango j cualquiera en un circuito parcial de rango i se convierte en una línea de rango j+1 en el circuito parcial de rango i+1. En particular, la línea de rango i en el circuito parcial de rango i selecciona la salida de rango N-i+1 de este circuito parcial, luego continúa como una línea de rango i+1 en el siguiente circuito de rango i+1 y selecciona la salida del rango N-i de este siguiente circuito.

Podrían proporcionarse otros circuitos de incremento, en particular utilizando registros de desfase cuyo incremento esté garantizado por el circuito parcial, de modo que después de una fase de inicialización del circuito integrado los registros de desfase contengan códigos (001, 010, 100) diferentes para cada circuito parcial, estos códigos controlan la selección de las diferentes entradas del multiplexor. El multiplexor también puede decodificar códigos de recuento más convencionales como los códigos binarios (00, 01, 10) o los códigos Gray (00, 01, 11), en particular si se utilizan registros de desfase.

La invención se aplica principalmente a los circuitos integrados formados por foto-repetición, pero puede aplicarse más generalmente a cualquier circuito integrado formado por una pluralidad de patrones idénticos adyacentes, independientemente de su modo de fabricación.

25

**REIVINDICACIONES**

1. Circuito integrado que comprende N patrones adyacentes, todos idénticos, que corresponden a N circuitos parciales adyacentes idénticos (C1, C2, C3) de rango  $i = 1$  a  $i = N$  en el orden de sucesión geográfica de los circuitos parciales, comprendiendo cada circuito parcial una entrada de señal de reloj ascendente ( $EH_{Ami}$ ), una salida de señal de reloj descendente ( $SH_{Av}$ ) y una línea conductora principal (LP) que se extiende entre la entrada de señal de reloj ascendente ( $EH_{Ami}$ ) y la salida de señal de reloj descendente ( $SH_{Av}$ ) e introduce un retardo de propagación de duración T, estando la salida de la señal de reloj descendente ( $SH_{Av}$ ) de cada circuito parcial, excepto el de rango N, conectada directamente a la entrada de la señal de reloj ascendente ( $EH_{Ami}$ ) del circuito parcial inmediatamente posterior de manera que las líneas conductoras principales (LP) de los circuitos parciales permiten la transmisión en cascada de una señal maestra (CLK) recibida en el circuito parcial de rango 1, **caracterizado porque** comprende en cada circuito parcial de rango i :
- una línea conductora de compensación (LS) con N salidas sucesivas (S1, S2, S3) de rango  $i = 1$  a N, conectada a la línea principal (LP) del circuito parcial y estableciendo un retardo de propagación de duración T entre las salidas sucesivas,
  - un multiplexor (MUX) con N entradas conectadas respectivamente a cada una de las N salidas de la línea conductora de compensación, y
  - líneas de control (LC) del multiplexor, dispuestas para seleccionar la entrada de rango i del multiplexor, conectadas a la salida de rango N-i+1 entre las N salidas de la línea conductora de compensación,
- proporcionando así la salida del multiplexor del circuito parcial de rango i, una señal local ( $ClkL_i$ ) para este circuito parcial;
- y porque:**
- las líneas de control del multiplexor del circuito parcial de rango 1 están configuradas para recibir una señal de selección de la entrada de rango N de este multiplexor y para propagar esta señal de un multiplexor al siguiente modificándola cada vez para incrementar en una unidad el rango de la entrada seleccionada, para que las líneas de control que conducen al multiplexor del circuito parcial de rango i seleccionen la salida de rango N-i+1 de la línea de compensación y transmitan al multiplexor del circuito parcial de rango i+1 un comando para seleccionar la salida de rango N-i.
2. Circuito integrado según la reivindicación 1, **caracterizado porque** la señal maestra es una señal de reloj general y la señal local del multiplexor de rango i es una señal de reloj local para el circuito parcial de rango i.
3. Circuito integrado según una de las reivindicaciones 1 y 2, **caracterizado porque** las líneas de control del multiplexor del circuito parcial de rango i son:
- en número de N,
  - configuradas de tal manera que la activación de una línea de control de rango i, con las otras líneas de control inactivas, permite la selección de la salida de rango N-i+1 de la línea de compensación, y
  - conectadas directamente a las líneas de control del multiplexor del circuito parcial de rango i+1 con una permutación circular, de modo que la línea de control de rango i activa del multiplexor del circuito parcial de rango i está conectada a una línea de control de rango i+1 del multiplexor del circuito parcial de rango i+1, estando esta última línea configurada para seleccionar, cuando esté activa, la salida de rango N-i de la línea de compensación del circuito parcial de rango i+1.
4. Circuito integrado según una de las reivindicaciones 1 a 3, **caracterizado porque** un respectivo amplificador búfer (BF) está insertado en la línea principal y un respectivo amplificador búfer idéntico (BF) está insertado en la línea de compensación (LS) entre cada salida de esta línea y la salida de rango inmediatamente posterior de la línea.

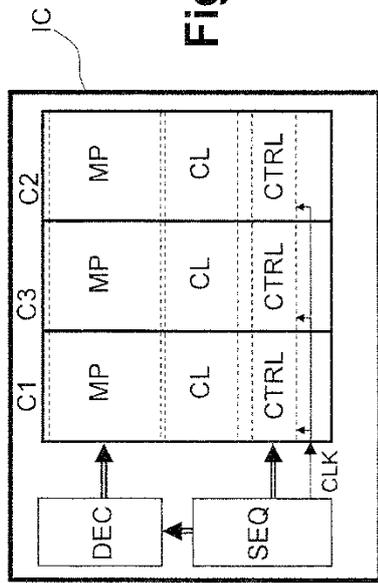


Fig. 1

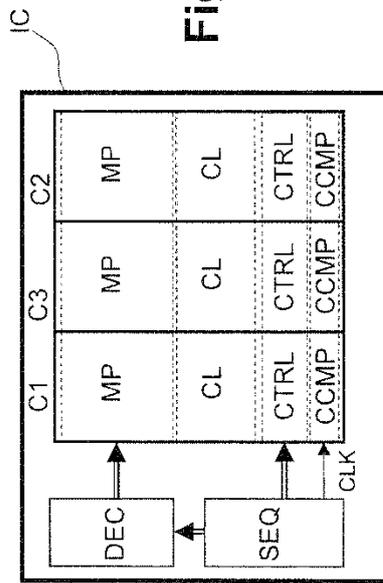


Fig. 2

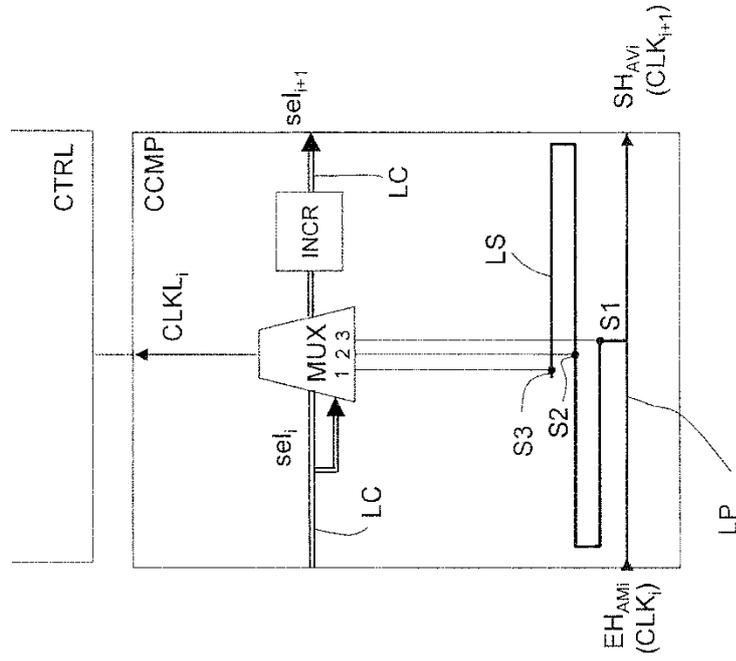


Fig. 3

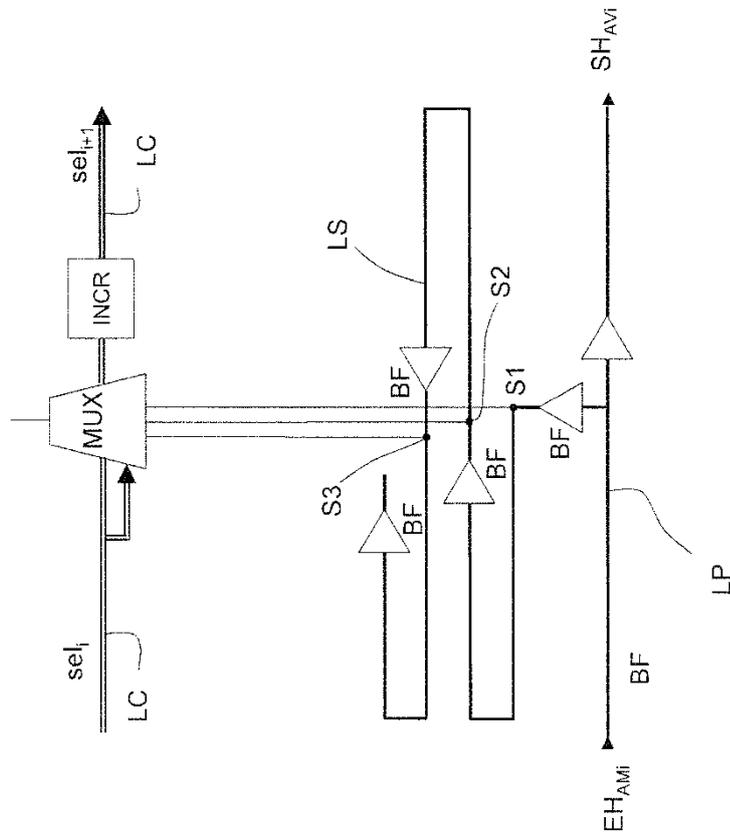


Fig. 4

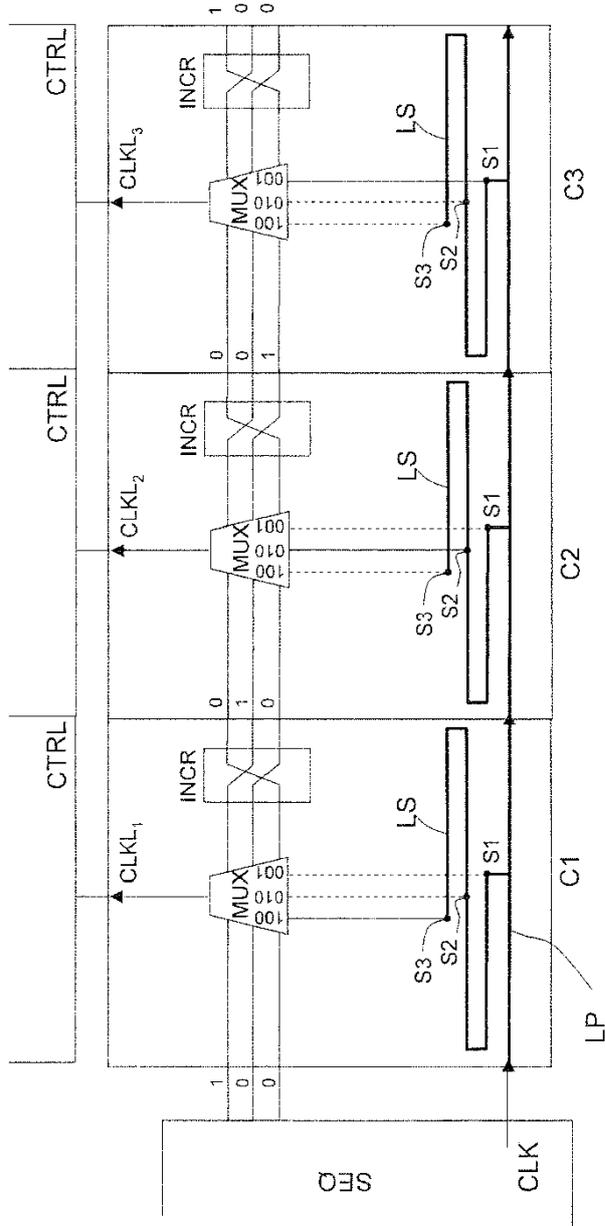


Fig. 5