

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 814 350**

51 Int. Cl.:

H01L 27/02 (2006.01)

H02H 9/04 (2006.01)

H03K 19/003 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **01.11.2012** **PCT/US2012/063095**

87 Fecha y número de publicación internacional: **10.05.2013** **WO13067205**

96 Fecha de presentación y número de la solicitud europea: **01.11.2012** **E 12806731 (1)**

97 Fecha y número de publicación de la concesión europea: **01.07.2020** **EP 2774179**

54 Título: **Interruptor de alimentación de bloque con protección integrada contra descargas electrostáticas (esd) y polarización adaptativa del cuerpo**

30 Prioridad:

01.11.2011 US 201113286498

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
26.03.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

POPOVICH, MIKHAIL;
PAN, YUAN-CHENG CHRISTOPHER;
ANDREEV, BORIS;
ZHANG, JUNMOU y
JALILIZEINALI, REZA

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 814 350 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Interruptor de alimentación de bloque con protección integrada contra descargas electrostáticas (esd) y polarización adaptativa del cuerpo

CAMPO TÉCNICO

[0001] La presente divulgación se refiere en general a circuitos integrados (CI). Más específicamente, la presente divulgación se refiere a la protección contra descargas electrostáticas (ESD) de circuitos integrados.

ANTECEDENTES

[0002] Los eventos de descarga electrostática (ESD) son una parte común de la vida cotidiana y algunas de las descargas más grandes son detectables por los humanos. La ESD es una sobretensión transitoria de tensión (negativa o positiva) que puede inducir una gran corriente en un circuito. Las descargas más pequeñas a menudo pasan desapercibidas porque la relación entre la fuerza de descarga y el área de superficie sobre la cual se produce la descarga puede ser muy pequeña.

[0003] Los circuitos integrados (CI) se han reducido a un ritmo increíble en las últimas décadas. A medida que los transistores disminuyen de tamaño, los componentes de soporte alrededor de los transistores en general también se reducen. La reducción de las dimensiones de los CI disminuye la tolerancia de las ESD de los transistores, aumentando de este modo la sensibilidad de los circuitos integrados al estrés de las ESD.

[0004] Un evento de ESD se produce cuando un objeto en un primer potencial se acerca o entra en contacto con un objeto en un segundo potencial. La transferencia rápida de carga del primer objeto al segundo objeto se produce de modo que los dos objetos tienen un potencial aproximadamente igual. Cuando el objeto con carga más baja es un circuito integrado, la descarga intenta encontrar la ruta de menor resistencia a través del circuito integrado a tierra. A menudo, esta ruta fluye a través de interconexiones. Las partes de esta ruta que no pueden soportar la energía asociada con la descarga pueden sufrir daños, haciendo posiblemente que el circuito integrado no sea apto para su uso.

[0005] La ESD es una preocupación importante para los circuitos integrados. Para proteger los circuitos contra daños por sobretensiones de ESD, los esquemas de protección intentan proporcionar una ruta de descarga para sobretensiones de ESD positivas y negativas. Se pueden emplear diodos convencionales en los circuitos de protección contra ESD para sujetar la tensión de las sobretensiones de ESD positivas y negativas para derivar la corriente y evitar que se aplique una tensión excesiva a un circuito protegido. La FIGURA 1 ilustra un circuito de protección contra ESD convencional a este respecto. Como se ilustra en la FIGURA 1, se proporcionan un carril de tensión (Vdd) 10 y un carril de tierra (GND) 12 para alimentar un circuito protegido 14. En este ejemplo, un terminal en forma de un pin de señal 16 proporciona una ruta de señal al circuito protegido 14 para proporcionar información y/o control al circuito protegido 14. Por ejemplo, el circuito protegido 14 puede incluirse en un CI, siendo el pin de señal 16 un pin disponible externamente en el CI.

[0006] Un circuito de protección contra ESD 18 convencional puede estar acoplado entre el carril de tensión 10 y el carril de tierra 12 para proteger el circuito protegido 14 de sobretensiones de ESD. El circuito de protección contra ESD 18 ejemplar en la FIGURA 1 incluye dos diodos convencionales: un diodo de sobretensión positiva de ESD 20 y un diodo de sobretensión negativa de ESD 22. El diodo de sobretensión positiva de ESD 20 y el diodo de sobretensión negativa de ESD 22 están acoplados en serie. El diodo de sobretensión positiva de ESD 20 sujeta la tensión positiva en el pin de señal 16 a una caída de diodo por encima del carril de tensión 10. El diodo de sobretensión negativa de ESD 22 sujeta la tensión negativa en el pin de señal 16 a una caída de diodo debajo del carril de tierra 12. Un cátodo (k) del diodo de sobretensión positiva de ESD 20 está acoplado al carril de tensión 10. Un ánodo (a) del diodo de sobretensión positiva de ESD 20 está acoplado al pin de señal 16 en un nodo 24 en la ruta de señal entre el pin de señal 16 y el circuito protegido 14. Un cátodo (k) del diodo de sobretensión negativa de ESD 22 también está acoplado al nodo 24 en la ruta de señal desde el pin de señal 16 al circuito protegido 14. Un ánodo (a) del diodo de sobretensión negativa ESD 22 está acoplado al carril de tierra 12.

[0007] Para sobretensiones positivas de ESD en el pin de señal 16, el diodo de sobretensión positiva de ESD 20 se polarizará hacia adelante y sujetará la tensión en el pin de señal 16 a una caída de diodo por encima del carril de tensión 10 para proteger el circuito protegido 14. La energía de dicha sobretensión de ESD se conducirá a través del diodo de sobretensión positiva de ESD 20 en un modo polarizado hacia adelante y se dispersará en el carril de tensión 10. Se pueden implementar estructuras de protección contra ESD apropiadas (no mostradas) en el carril de tensión 10 para disipar finalmente una sobretensión positiva de ESD al carril de tierra 12. Para sobretensiones negativas de ESD en el pin de señal 16, la sobretensión se disipa de forma similar. Una sobretensión negativa de ESD en el pin de señal 16 colocará el diodo de sobretensión negativa de ESD 22 en un modo polarizado hacia adelante, proporcionando por tanto una ruta de baja impedancia en relación con el circuito protegido 14. La energía de la sobretensión negativa de ESD se disipará en el carril de tierra 12.

[0008] Aunque no se muestra, otros tipos de circuitos de ESD convencionales pueden incluir una abrazadera de resistencia-condensador (RC) para proporcionar protección contra ESD.

[0009] Las estructuras de protección contra ESD convencionales están diseñadas para garantizar una protección de alta tensión y tiempos de respuesta rápidos. Sin embargo, una cantidad considerable de área (de decenas a miles de micrones cuadradas para cada estructura de protección contra ESD) de un circuito integrado se consume por las estructuras de protección contra ESD que de otro modo podrían estar disponibles para los circuitos activos. Para satisfacer la creciente demanda en los circuitos integrados de factores de forma más pequeños, se debe reducir el tamaño del circuito de protección contra ESD.

BREVE EXPLICACIÓN

[0010] Se ofrece un interruptor de alimentación para su uso en un bloque de circuito. El interruptor de alimentación incluye un circuito de protección contra descargas electrostáticas. El interruptor de alimentación también incluye circuitos de interruptores de alimentación que comparten al menos un componente con el circuito de protección contra descargas electrostáticas.

[0011] Se ofrece un procedimiento de fabricación de un circuito. El procedimiento incluye depositar circuitos de protección contra descargas electrostáticas. El procedimiento también incluye depositar circuitos de interruptores de alimentación que comparten al menos un componente con los circuitos de protección contra descargas electrostáticas.

[0012] Se ofrece un aparato. El aparato incluye medios de protección contra descargas electrostáticas. El aparato también incluye medios de interruptor de alimentación que comparten al menos un componente con los medios de protección contra descargas electrostáticas.

[0013] Hasta aquí se han resumido, a grandes rasgos, las características y las ventajas técnicas de la presente divulgación para que se pueda entender mejor la descripción detallada siguiente. A continuación, se describirán características y ventajas adicionales de la divulgación. Los expertos en la técnica deberían apreciar que la presente divulgación se puede utilizar fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. Los expertos en la técnica también deberían tener en cuenta que dichas estructuras equivalentes no se apartan de las enseñanzas de la divulgación como se expone en las reivindicaciones adjuntas. Las características novedosas, que se consideran rasgos característicos de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con otros objetivos y ventajas, se comprenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. Sin embargo, ha de entenderse expresamente que cada una de las figuras se proporciona solo con el propósito de ilustración y descripción, y no pretende ser una definición de los límites de la presente divulgación.

[0014] (de decenas a miles de micrones cuadrados para cada estructura de protección contra ESD) de un circuito integrado se consume por las estructuras de protección contra ESD que de otro modo podrían estar disponibles para los circuitos activos. Para satisfacer la creciente demanda en los circuitos integrados de factores de forma más pequeños, se debe reducir el tamaño del circuito de protección contra ESD.

[0015] Se llama la atención sobre el documento US2007/133137 A1 que describe un circuito integrado que incluye unos primer y segundo terminales de tensión de la fuente de alimentación, un oscilador controlado por tensión (VCO) y un transistor de efecto de campo de N pozo profundo (FET). El VCO tiene un primer nodo acoplado al primer terminal de fuente de alimentación, un segundo nodo y unos primer y segundo terminales de salida de oscilador, al menos uno de los cuales está acoplado a un pin común. El transistor de efecto de campo (FET) de N pozo profundo tiene un primer terminal acoplado al segundo nodo del oscilador controlado por la tensión, un segundo terminal acoplado al segundo terminal de fuente de alimentación y un electrodo de control para recibir una señal de encendido, un N pozo profundo está acoplado al primer terminal de fuente de alimentación y un canal P está acoplado al segundo terminal de fuente de alimentación para formar una ruta de descarga electrostática de alta impedancia entre el pin común y los primer y segundo terminales de fuente de alimentación a través del N pozo profundo.

[0016] Se llama la atención además sobre el documento US2011/255200 A1 que describe un circuito de protección contra ESD con múltiples dominios, que comprende: un dispositivo de protección contra ESD, acoplado entre una primera línea de suministro eléctrico y una primera línea a tierra; un primer circuito interno, que tiene un primer terminal acoplado a la primera línea de suministro eléctrico; un primer interruptor, acoplado entre un segundo terminal del primer circuito interno y una segunda línea de tierra; y un primer circuito de detección de ESD, acoplado al primer interruptor, para detectar una señal de ESD, y controla el primer interruptor para que no sea conductor cuando se produzca la señal de ESD.

[0017] También se llama la atención sobre el documento US2009/231021 A1 que describe que un elemento está protegido sin obstaculizar una operación real en el caso de que se aplique una sobretensión que podría dañar el

elemento. Un dispositivo semiconductor incluye un primer terminal de suministro potencial; un segundo terminal de suministro potencial; un circuito de protección que incluye un divisor de tensión conectado eléctricamente al primer terminal de suministro potencial y al segundo terminal de suministro potencial, un circuito de control y un circuito de derivación; y un circuito funcional que está conectado eléctricamente al primer terminal de suministro potencial y al segundo terminal de suministro potencial a través del circuito de protección.

BREVE EXPLICACIÓN

[0018] De acuerdo con la presente invención, se divulgan un procedimiento, y un aparato, como se exponen en las reivindicaciones independientes, respectivamente. Los modos de realización preferentes de la invención se describen en las reivindicaciones dependientes.

[0019] Se ofrece un interruptor de alimentación para su uso en un bloque de circuito. El interruptor de alimentación incluye circuitos de protección contra descargas electrostáticas. El interruptor de alimentación también incluye circuitos de interruptores de alimentación que comparten al menos un componente con los circuitos de protección contra descargas electrostáticas.

[0020] Se ofrece un procedimiento de fabricación de un circuito. El procedimiento incluye depositar circuitos de protección contra descargas electrostáticas. El procedimiento también incluye depositar circuitos de interruptores de alimentación que comparten al menos un componente con los circuitos de protección contra descargas electrostáticas.

[0021] Se ofrece un aparato. El aparato incluye medios de protección contra descargas electrostáticas. El aparato también incluye medios de interruptor de alimentación que comparten al menos un componente con los medios de protección contra descargas electrostáticas.

[0022] Hasta aquí se han resumido, a grandes rasgos, las características y las ventajas técnicas de la presente divulgación para que se pueda entender mejor la descripción detallada siguiente. A continuación, se describirán características y ventajas adicionales de la divulgación. Los expertos en la técnica deberían apreciar que la presente divulgación se puede utilizar fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. Los expertos en la técnica también deberían tener en cuenta que dichas estructuras equivalentes no se apartan de las enseñanzas de la divulgación como se expone en las reivindicaciones adjuntas. Las características novedosas, que se consideran rasgos característicos de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con otros objetivos y ventajas, se comprenderán mejor a partir de la siguiente descripción cuando se considera en relación con las figuras adjuntas. Sin embargo, ha de entenderse expresamente que cada una de las figuras se proporciona solo con el propósito de ilustración y descripción, y no pretende ser una definición de los límites de la presente divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0023] Para una comprensión más completa de la presente divulgación, ahora se hace referencia a la siguiente descripción tomada junto con las figuras adjuntas.

La FIGURA 1 es un ejemplo de un circuito de protección contra descargas electrostáticas (ESD) convencional en la técnica anterior.

La FIGURA 2A muestra estructuras genéricas de un interruptor de pie de acuerdo con un aspecto de la presente divulgación.

La FIGURA 2B muestra estructuras genéricas de un interruptor de cabeza de acuerdo con un aspecto de la presente divulgación.

Las FIGURAS 3A-C muestran unas configuraciones de interruptor de alimentación de bloque, de acuerdo con un aspecto de la presente divulgación.

La FIGURA 4 muestra un interruptor de alimentación de bloque con protección contra ESD incorporada y polarización adaptativa del cuerpo de acuerdo con un aspecto de la presente divulgación.

La FIGURA 5 muestra un interruptor de alimentación de bloque con protección contra ESD incorporada de acuerdo con un aspecto de la presente divulgación.

La FIGURA 6 es un diagrama de bloques que muestra un sistema de comunicación inalámbrica ejemplar en el que se puede emplear de forma ventajosa un modo de realización de la invención.

La FIGURA 7 es un diagrama de bloques que ilustra una estación de trabajo de diseño, usada para el diseño, disposición y lógica de circuitos de un componente semiconductor de acuerdo con un modo de acuerdo con un modo de realización.

- 5 La FIGURA 8 describe un procedimiento ejemplar para fabricar circuitos de acuerdo con un aspecto de la presente divulgación.

DESCRIPCIÓN DETALLADA

10 **[0024]** En general, los interruptores de alimentación distribuidos (DPS) se usan para reducir el consumo eléctrico de los bloques de circuitos inactivos desconectando efectivamente la tierra o la electricidad global. Del mismo modo, un interruptor de alimentación de bloque (BPS), un grupo de interruptores de alimentación distribuidos localizados en un área más pequeña, también se puede usar para la reducción de electricidad. Sin embargo, debido a que uno o varios nodos de un interruptor de alimentación de bloque están conectados al pin de alimentación, que puede estar expuesto a eventos electrostáticos externos, se desea una protección contra ESD adecuada.

15 **[0025]** Un circuito de ESD emplea dispositivos grandes para soportar corriente de alta magnitud durante un evento de ESD. Con los dispositivos de interruptor de alimentación de bloque, el tamaño efectivo del transistor de energía es comparable al tamaño de los dispositivos en los circuitos de protección contra ESD. Por tanto, puede ser ventajoso emplear protección contra ESD integrada en el interruptor de alimentación de bloque. Además, al combinar la protección contra ESD con la polarización adaptativa del cuerpo (ABB), la eficiencia del BPS aumenta aún más. La polarización adaptativa del cuerpo se refiere a una tensión generada en el chip o suministrado externamente al terminal del cuerpo de un interruptor de alimentación de bloque.

20 **[0026]** De acuerdo con aspectos de la presente divulgación, se describe un interruptor de alimentación de bloque con protección contra ESD y polarización adaptativa del cuerpo para la reducción de energía en un diseño de sistema en chip de múltiples núcleos.

25 **[0027]** Un interruptor de alimentación de bloque está diseñado como un bloque (dispositivo de NMOS o de PMOS grande) colocado cerca de un circuito para controlar la conexión a tierra interna o la electricidad. El tamaño de un interruptor de alimentación de bloque está determinado por la corriente generada por el bloque de circuito y la caída de tensión tolerable a través del interruptor de alimentación. Se puede usar un dispositivo grande (con una resistencia de encendido efectiva de unos pocos miliohmios). La caída de tensión resultante en un estado activo es, por lo tanto, insignificante. En el modo de "suspensión", la resistencia de APAGADO del interruptor de alimentación es varias veces mayor que la resistencia del bloque de circuito, lo que reduce la corriente de fuga.

30 **[0028]** Las FIGURAS 2A-B muestran implementaciones genéricas de un interruptor de alimentación de bloque. La tensión externa (Vdd_ext) se define como la tensión del carril de la fuente de alimentación externa regulada por un regulador de tensión externa, que puede provenir de baterías u otras fuentes externas. La tensión interna (Vdd_int) se define como un suministro de tensión visto por los dispositivos en el circuito integrado. En la presente divulgación, el interruptor de alimentación se refiere a un interruptor de pie 202 (por ejemplo, transistor de NMOS) mostrado en la FIGURA 2A o a un interruptor de cabeza 204 (por ejemplo, transistor de PMOS) mostrado en la FIGURA 2B.

35 **[0029]** La implementación de un interruptor de alimentación de bloque se representa en las FIGURAS 3A-C. Un interruptor de alimentación de bloque está diseñado como una agrupación de interruptores de alimentación tales como los transistores de NMOS y los transistores de PMOS localizados cerca de un circuito para controlar la tierra interna o la electricidad del circuito. El tamaño del interruptor de alimentación de bloque puede determinarse por la cantidad de corriente generada por el bloque de circuito y por la magnitud de una caída de tensión que puede tolerarse a través del interruptor de alimentación. Un dispositivo lo suficientemente grande (con un interruptor de alimentación efectivo a través del bloque en un estado "activo" es insignificante. En el modo de "suspensión", la resistencia de apagado del interruptor de alimentación de bloque es varias veces mayor que la resistencia del bloque de circuito, lo que reduce la corriente de fuga. El interruptor de alimentación de bloque puede colocarse en un lado del bloque de circuito (como se muestra en la FIGURA 3A), en lados opuestos del bloque de circuito (como se muestra en la FIGURA -3B) o en una estructura de anillo (como se muestra en la FIGURA 3C), por ejemplo.

40 **[0030]** Para limitar la corriente cuando se pasa del modo "en suspensión" al modo "activo", de acuerdo con los aspectos de la presente divulgación, se puede emplear una estrategia de activación de dos etapas o de múltiples etapas. De acuerdo con la estrategia de activación de dos etapas, primero se enciende un pequeño número de interruptores de alimentación en el interruptor de alimentación de bloque (indicado por las anotaciones de "habilitar algunos" en las FIGURAS 3A-C). Esto precarga la capacitancia parásita del bloque de circuito. A continuación, se activan el resto de los interruptores de alimentación en el interruptor de alimentación de bloque (indicado por las anotaciones de "habilitar reposo" en las FIGURAS 3A-C). La estrategia de activación de dos etapas proporciona una transición de estado gradual que limita la corriente de transición. Otra ventaja de utilizar un interruptor de alimentación de bloque procede del hecho de que todos los dispositivos en un clúster suministran corriente a varias

áreas diferentes de un circuito. Esto reduce las áreas de un troquel dado que están sometidas a fluctuaciones de tensión excesiva, mitigando de este modo los puntos calientes en un troquel.

[0031] Se pueden usar dispositivos grandes como interruptores de alimentación en bloque para limitar la penalización por caída de tensión en un modo activo. De acuerdo con los aspectos de la presente divulgación, el interruptor de alimentación de bloque puede usarse efectivamente como un componente activo de un dispositivo de protección contra ESD, tal como una abrazadera de Resistencia-Condensador (RC). Es decir, el dispositivo de protección contra ESD activo en un circuito de protección contra ESD convencional puede reemplazarse por una porción de un interruptor de alimentación de bloque. Una abrazadera de Resistencia-Condensador (RC) está diseñada para responder a cambios repentinos de tensión (picos) y no limita el funcionamiento normal del interruptor de alimentación de bloque.

[0032] En este aspecto, los circuitos de ESD de chip incorporado puede usar uno o más transistores que también se usan para el interruptor de alimentación de bloque. Es decir, se puede(n) usar el(los) mismo(s) transistor(es) para dos propósitos, la protección contra ESD y la conmutación de alimentación en bloque. El interruptor de alimentación de bloque puede ser un interruptor de cabeza (por ejemplo, un transistor de PMOS) o un interruptor de pie (por ejemplo, un transistor de NMOS). Al compartir un transistor (o varios transistores) de esta manera, se guarda el área del chip. En un aspecto, la abrazadera de RC se proporciona dentro del banco de interruptores de alimentación en bloque. En otros aspectos, la abrazadera de RC se coloca como una célula RC separada.

[0033] En otro aspecto, se puede emplear una técnica de polarización adaptativa del cuerpo (ABB) para aumentar la eficiencia del interruptor de alimentación de bloque. Como se muestra en la FIGURA 4, un generador de tensión externo 408 o un circuito de polarización en chip (no mostrado) se puede acoplar directamente al transistor 406 para modular la resistencia de ENCENDIDO y la resistencia de APAGADO del interruptor de alimentación de bloque. Una implementación de ABB es la polarización directa del cuerpo (FBB), en la cual el generador de tensión 408 o el circuito de polarización aplica una tensión de fuente de alimentación inferior al transistor de PMOS 406. La polarización hacia adelante del cuerpo del transistor 406 reduce la resistencia ON del interruptor de alimentación de bloque. Esto permite el uso de un dispositivo más pequeño para lograr una caída de tensión igual a través del interruptor de alimentación de bloque. Como resultado, el área en el chip para el interruptor de alimentación de bloque puede reducirse significativamente de acuerdo con los aspectos de la presente divulgación. Otra implementación de ABB es la polarización inversa del cuerpo (RBB), en la cual el generador de tensión 408 o el circuito de polarización aplica una tensión de alimentación más alta que la del transistor de PMOS 406. La polarización inversa del cuerpo del transistor 406 aumenta la resistencia del interruptor de bloqueo. Esto reduce aún más la corriente de fuga en modo "en suspensión" de acuerdo con aspectos de la presente divulgación.

[0034] La FIGURA 5 muestra un modo de realización de la presente invención, que implica un interruptor de alimentación de bloque que emplea protección contra ESD incorporada. La FIGURA 5 muestra una abrazadera de RC 502, un interruptor de cabeza en bloque (BHS) 504 y un diodo incorporado 506 de la abrazadera de RC 502. Aunque en la FIGURA 5 se muestra un interruptor de cabeza en bloque, como se indica anteriormente, también se puede usar un interruptor de pie en bloque. El interruptor de cabeza en bloque 504 incluye múltiples etapas para escalar la corriente al circuito subyacente cuando se enciende. Es decir, solo algunos de los interruptores de cabeza se abren a la vez. Por ejemplo, un primer interruptor de cabeza se enciende cuando se afirma la señal en `_few` y los interruptores de cabeza restantes se encienden cuando se afirma la señal en `_rest`.

[0035] Durante un evento de ESD en el nodo 510, uno de los transistores 508 del BHS 504 funciona como parte de la abrazadera de RC 502. Es decir, el transistor 508 del BHS 504 se puede usar como un dispositivo activo durante los eventos de ESD para proteger el circuito subyacente. El circuito 512 (por ejemplo, una puerta de NAND y un inversor) prioriza el evento de ESD y transmite una señal a la puerta del transistor 508. El transistor 508 se abre para evitar la sobrecarga de tensión al circuito subyacente. Dependiendo de la polaridad de una tensión de gran magnitud aplicada, el interruptor de alimentación de bloque 504 funciona como un diodo o el diodo incorporado 506 limita la corriente durante un evento de ESD. Los circuitos 512 también reaccionan a la señal en `_rest` para permitir que el transistor 508 funcione como parte del interruptor de cabeza en bloque 504, cuando se desee. Aunque se muestra un solo transistor 508 como parte de la abrazadera de RC 502, por supuesto, también se pueden usar múltiples transistores del interruptor de alimentación 504. En un ejemplo, la porción del transistor para la protección contra ESD puede tener un ancho de 3,5 mm, que es aproximadamente el 10 % del ancho de un bloque de transistor de un interruptor de alimentación de bloque. Convencionalmente, una abrazadera de RC 502 que incluye uno o más transistores puede localizarse como un circuito separado. El aspecto anterior puede eliminar la fabricación de un transistor separado de una abrazadera de RC para su protección contra ESD.

[0036] Al emplear aspectos de la presente divulgación, se puede lograr una reducción efectiva de la energía de fuga. Además, al utilizar al menos una porción del interruptor de alimentación de bloque como un dispositivo activo en la protección contra ESD, se puede lograr la reducción del área del chip. Otros aspectos de la presente divulgación dan como resultado una reducción del área y una reducción de la resistencia por polarización hacia adelante del cuerpo. Otros aspectos pueden dar lugar a la reducción de la corriente de fuga y al aumento de la resistencia por polarización inversa del cuerpo.

[0037] La FIGURA 6 es un diagrama de bloques que muestra un sistema de comunicación inalámbrica 600 ejemplar o en el que se puede emplear de forma ventajosa un modo de realización de la invención. Con fines ilustrativos, la FIGURA 6 muestra tres unidades remotas 620, 630 y 650 y dos estaciones base 640. Se reconocerá que los sistemas de comunicación inalámbrica pueden tener muchas más unidades remotas y estaciones base. Las unidades remotas 620, 630 y 650 incluyen dispositivos CI 625A, 625C y 625B, que incluyen la protección contra ESD descrita. Se reconocerá que los dispositivos que contienen un CI también pueden incluir la protección contra ESD divulgada aquí, incluyendo las estaciones base, los dispositivos de conmutación y los equipos de red. La FIGURA 6 muestra las señales de enlace directo 680 desde las estaciones base 640 y las unidades remotas 620, 630 y 650, y las señales de enlace inverso 690 desde las unidades remotas 620, 630 y 650 a las estaciones base 640.

[0038] En la FIGURA 6, la unidad remota 620 se muestra como un teléfono móvil, la unidad remota 630 se muestra como un ordenador portátil y la unidad remota 650 se muestra como una unidad remota de localización fija en un sistema de bucle local inalámbrico. Por ejemplo, las unidades remotas pueden ser teléfonos móviles, sistemas de comunicación personal (PCS) portátil, unidades de datos portátiles tales como asistentes personales de datos (PDA), dispositivos habilitados para GPS, dispositivos de navegación, decodificadores, reproductores de música, reproductores de vídeo, unidades recreativas, unidades de datos de localización fija, tales como equipos de lectura de contadores o cualquier otro tipo de dispositivo que almacene o recupere datos o instrucciones de ordenador, o cualquier combinación de estos. Aunque la FIGURA 6 ilustra unidades remotas de acuerdo con las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ilustradas ejemplares. Los modos de realización de la divulgación pueden emplearse adecuadamente en un dispositivo que incluya protección contra ESD.

[0039] La FIGURA 7 es un diagrama de bloques que ilustra una estación de trabajo de diseño usada para circuitos, diseño y diseño lógico de un componente semiconductor, tal como una configuración de protección contra ESD como se divulga anteriormente. Una estación de trabajo de diseño 700 incluye un disco duro 701 que contiene software de sistema operativo, ficheros de soporte y software de diseño, tal como Cadence u OrCAD. La estación de trabajo de diseño 700 también incluye una pantalla para facilitar el diseño de un circuito 710 o un componente semiconductor 712 tal como un circuito integrado empaquetado que tiene protección contra ESD. Se proporciona un medio de almacenamiento 704 para almacenar de forma tangible el diseño de circuito 710 o el componente semiconductor 712. El diseño de circuito 710 o el componente de semiconductor 712 se puede almacenar en el medio de almacenamiento 704 en un formato de fichero tal como GDSII o GERBER. El medio de almacenamiento 704 puede ser un CD-ROM, DVD, un disco duro, memoria flash u otro dispositivo apropiado. Además, la estación de trabajo de diseño 700 incluye un aparato de accionamiento 703 para aceptar entrada desde, o escribir salida en, el medio de almacenamiento 704.

[0040] Los datos grabados en el medio de almacenamiento 704 pueden especificar configuraciones de circuito lógico, datos de patrón para máscaras de fotolitografía o datos de patrón de máscara para herramientas de escritura en serie, tales como litografía de haz de electrones. Los datos pueden incluir además datos de verificación lógica tales como diagramas de temporización o circuitos de red asociados a simulaciones lógicas. Proporcionar datos en el medio de almacenamiento 704 facilita el diseño del diseño de circuito 710 o el componente de semiconductor 712 al disminuir el número de procesos para diseñar circuitos integrados semiconductores.

[0041] La FIGURA 8 es un procedimiento de fabricación de circuitos de acuerdo con un aspecto de la presente divulgación. Como se muestra en el bloque 802, se depositan los circuitos de protección contra descargas electrostáticas (ESD). Como se muestra en el bloque 804, se depositan los circuitos de interruptores de alimentación que comparten al menos un componente con los circuitos de protección contra ESD.

[0042] Un aparato puede tener medios para la protección contra descargas electrostáticas. Los medios pueden incluir los circuitos de protección contra ESD descritos anteriormente. El aparato también puede incluir medios de interruptor de alimentación que comparten al menos un componente con los medios de protección contra ESD. Los medios de interruptor de alimentación pueden incluir un circuito de interruptores de cabeza o de interruptor pie tal como se describió anteriormente.

[0043] En una implementación en firmware y/o software, las metodologías se pueden implementar con módulos (por ejemplo, procedimientos, funciones, etc.) que realizan las funciones descritas en el presente documento. Cualquier medio legible por máquina que realice instrucciones de forma tangible puede usarse para implementar las metodologías descritas en el presente documento. Por ejemplo, los códigos de software pueden almacenarse en una memoria y ejecutarse mediante una unidad de procesador. La memoria se puede implementar dentro de la unidad de procesador o ser externa a la unidad de procesador. Como se usa en el presente documento, el término "memoria" se refiere a cualquier tipo de memoria a largo plazo, a corto plazo, volátil, no volátil u otra diferente, y no se debe limitar a ningún tipo de memoria o número de memorias en particular, ni al tipo de medio en el cual se almacene la memoria.

[0044] Si se implementa en firmware y/o en software, las funciones se pueden almacenar como una o más instrucciones o códigos en un medio legible por ordenador. Los ejemplos incluyen medios legibles por ordenador codificados con una estructura de datos y medios legibles por ordenador codificados con un programa informático. Los medios legibles por ordenador incluyen medios de almacenamiento informáticos físicos. Un medio de almacenamiento puede ser cualquier medio disponible al que se pueda acceder mediante un ordenador. A modo de ejemplo, y sin limitación, dichos medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otro almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que se pueda usar para almacenar código de programa deseado en forma de instrucciones o estructuras de datos y al que se puede acceder mediante un ordenador; el término disco, como se usa en el presente documento, incluye disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disco flexible y disco Blu-ray, donde unos discos reproducen normalmente los datos magnéticamente, mientras que otros discos reproducen datos ópticamente con láseres. Las combinaciones de lo anterior también se deben incluir dentro del alcance de los medios legibles por ordenador.

[0045] Además de almacenarse en un medio legible por ordenador, las instrucciones y/o los datos se pueden proporcionar como señales en medios de transmisión incluidos en un aparato de comunicación. Por ejemplo, un aparato de comunicación puede incluir un transceptor que tenga señales que indiquen instrucciones y datos. Las instrucciones y los datos están configurados para causar que uno o más procesadores implementen las funciones descritas de forma general en las reivindicaciones.

[0046] Aunque se han expuesto unos circuitos específicos, los expertos en la técnica apreciarán que pueden llevarse a la práctica los aspectos de la divulgación con porciones de los circuitos divulgados. Además, determinados circuitos bien conocidos no se han descrito, para mantener el enfoque en la divulgación.

[0047] Aunque la presente divulgación y sus ventajas se han descrito en detalle, debería entenderse que pueden realizarse diversos cambios, sustituciones y alteraciones en el presente documento sin apartarse del alcance de la divulgación, como se define en las reivindicaciones adjuntas. Por ejemplo, los términos relacionales, como "arriba" y "abajo" se usan con respecto a un sustrato o dispositivo electrónico. Por supuesto, si el sustrato o dispositivo electrónico está invertido, arriba se convierte en abajo, y viceversa. Adicionalmente, si se orienta hacia los lados, arriba y abajo pueden referirse a los lados de un sustrato o dispositivo electrónico. Además, el alcance de la presente solicitud no pretende limitarse a los modos de realización particulares del proceso, la máquina, la fabricación, la composición de la materia, los medios, los procedimientos y los pasos descritos en la memoria descriptiva. Como un experto en la técnica ordinario apreciará fácilmente a partir de la divulgación, se pueden utilizar los procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o etapas, actualmente existentes o que van a desarrollarse en un futuro, que realizan sustancialmente la misma función o logran sustancialmente el mismo resultado que los aspectos correspondientes divulgados en el presente documento de acuerdo con la presente divulgación.

REIVINDICACIONES

1. Un procedimiento de fabricación de un circuito, que comprende:

5 formar un interruptor de alimentación (504) que comprenda múltiples etapas conectadas en paralelo, conectar el interruptor de alimentación (504) entre una tensión de alimentación externa (Vdd_ex) y una
tensión de alimentación interna (Vdd_in) y operable para encenderse en respuesta a un par de señales
de activación (en_rest, en_few), las señales de activación independientes de un evento de descarga
electrostática (ESD) e independientes de una tensión de carril de fuente de alimentación externa, en el
10 que cada etapa de las etapas múltiples está formada por un transistor de PMOS, en el que se controla
al menos una primera etapa mediante una primera señal de activación (en_few) y al menos una segunda
etapa está controlada por una segunda señal de activación (en_rest), y las señales de activación se
aplican directamente a la puerta del transistor de PMOS de las respectivas primera y segunda etapas,
comprendiendo el interruptor de alimentación (504) además al menos una tercera etapa (508) de las
15 etapas múltiples;

formar medios para la protección contra ESD (512) que comprendan una abrazadera de RC (502), la al
menos una tercera etapa (508) y un circuito de protección contra ESD, comprendiendo la abrazadera
de RC una resistencia conectada en serie a un condensador y un diodo de ESD (506), un ánodo del
cual está acoplado a la tensión de alimentación interna y un cátodo del cual está acoplado a la tensión
de alimentación externa, teniendo la resistencia un terminal conectado a la tensión de alimentación
externa (Vdd_ex), teniendo el condensador un terminal conectado a la tensión de alimentación interna
(Vdd_in);

25 en el que el circuito de protección contra ESD consiste en:

una puerta de NAND que tiene una primera entrada que recibe la segunda señal de activación (en_rest),
una segunda entrada conectada al nodo común (510) de la resistencia y el condensador, y una salida
que produce una señal intermedia; y

30 un inversor que recibe la señal intermedia y produce una señal de salida proporcionada a la puerta del
transistor de PMOS de al menos una tercera etapa.

2. El procedimiento de la reivindicación 1, que comprende además formar circuitos de polarización adaptativos
35 del cuerpo acoplados al al menos un transistor.

3. El procedimiento de la reivindicación 1, en el que el interruptor de alimentación comprende circuitos de
interruptores de cabeza.

4. El aparato de la reivindicación 1, que comprende integrar el teléfono en al menos uno de un teléfono móvil,
40 un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un
dispositivo de navegación, un ordenador, una unidad de sistemas de comunicación personal (PCS) de mano,
una unidad de datos portátil, y/o una unidad de datos de localización fija.

5. Un aparato, que comprende:

50 un interruptor de alimentación (504) que comprende múltiples etapas conectadas en paralelo, que están
conectadas entre una tensión de alimentación externa (Vdd_ex) y una tensión de alimentación interna
(Vdd_in) y operable para encenderse en respuesta a un par de señales de activación (en_rest, en_few),
las señales de activación independientes de un evento de descarga electrostática (ESD) e
independientes de una tensión de carril de fuente de alimentación externa, en el que cada etapa de las
etapas múltiples está formada por un transistor de PMOS, en el que al menos una primera etapa está
controlada por una primera señal de activación (en_few) y al menos una segunda etapa está controlada
por una segunda señal de activación (en_rest), y las señales de activación se aplican directamente a la
puerta del transistor de PMOS de las respectivas primera y segunda etapas, comprendiendo el
55 interruptor de alimentación (504) además al menos una tercera etapa (508) de las etapas múltiples;

un medio (512) para la protección contra ESD que comprende una abrazadera de RC (502), la al menos
una tercera etapa (508) y un circuito de protección contra ESD, comprendiendo la pinza de RC una
60 resistencia conectada en serie a un condensador y a un diodo de ESD (506), un ánodo del cual está
acoplado a la tensión de alimentación interna y un cátodo del cual está acoplado a la tensión de
alimentación externa, teniendo la resistencia un terminal conectado a la tensión de alimentación externa
(Vdd_ex), teniendo el condensador un terminal conectado a la tensión de alimentación interna (Vdd_in);

65 en el que el circuito de protección contra ESD consiste en:

una puerta de NAND que tiene una primera entrada que recibe la segunda señal de activación (en_rest), una segunda entrada conectada al nodo común (510) de la resistencia y el condensador, y una salida que produce una señal intermedia; y

5 un inversor que recibe la señal intermedia y produce una señal de salida proporcionada a la puerta del transistor de PMOS de al menos una tercera etapa.

6. El aparato de la reivindicación 5, que comprende además medios adaptativos de polarización del cuerpo acoplados al al menos un transistor.

10

7. El aparato de acuerdo con la reivindicación 5, en el que el interruptor de alimentación comprende medios de interruptor de cabeza.

15

8. El aparato de la reivindicación 5, integrado en un teléfono móvil, un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un ordenador, una unidad de sistemas de comunicación personal (PCS) de mano, una unidad de datos portátil y/o una unidad de datos de localización fija.

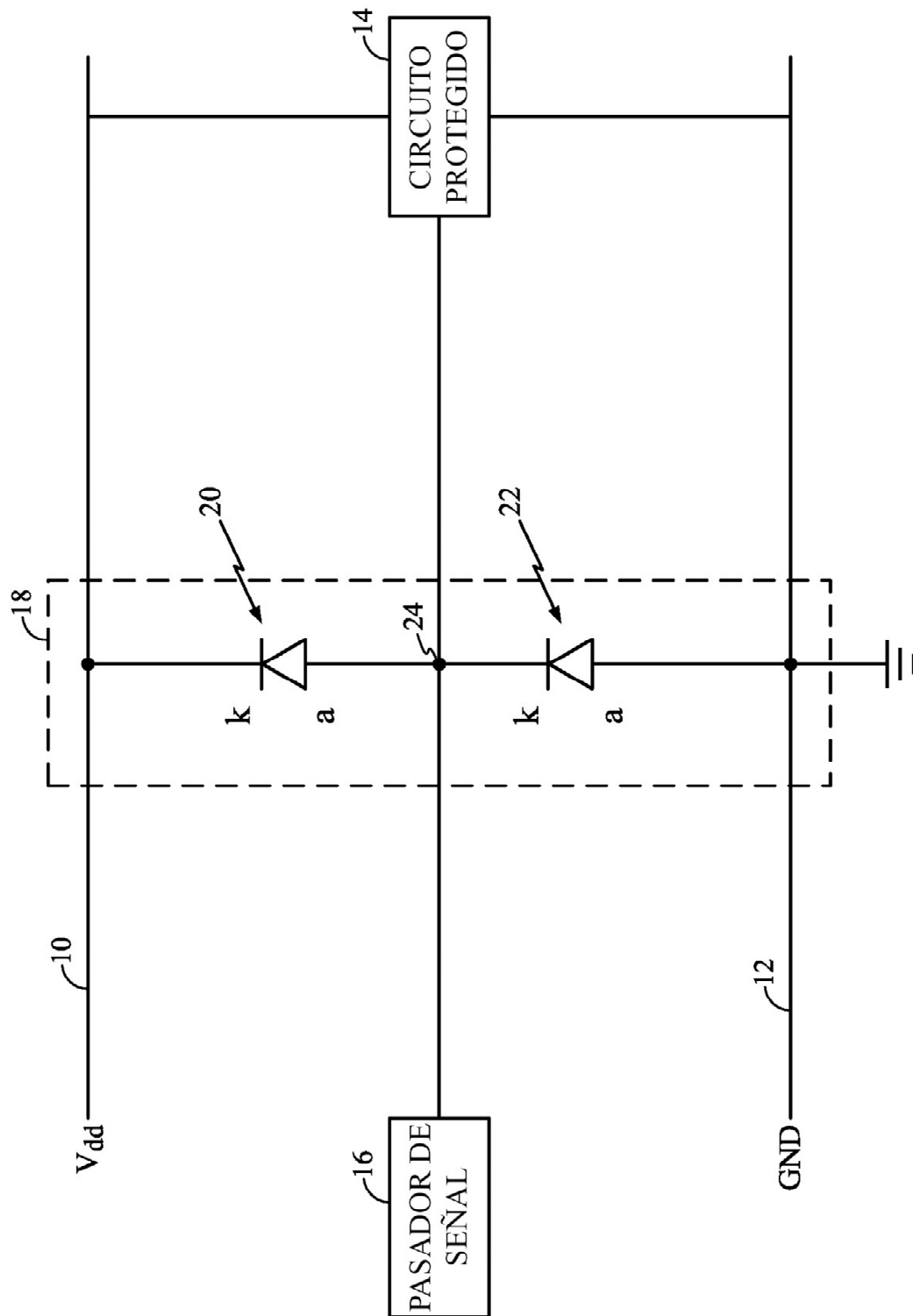


FIG. 1
(TÉCNICA ANTERIOR)

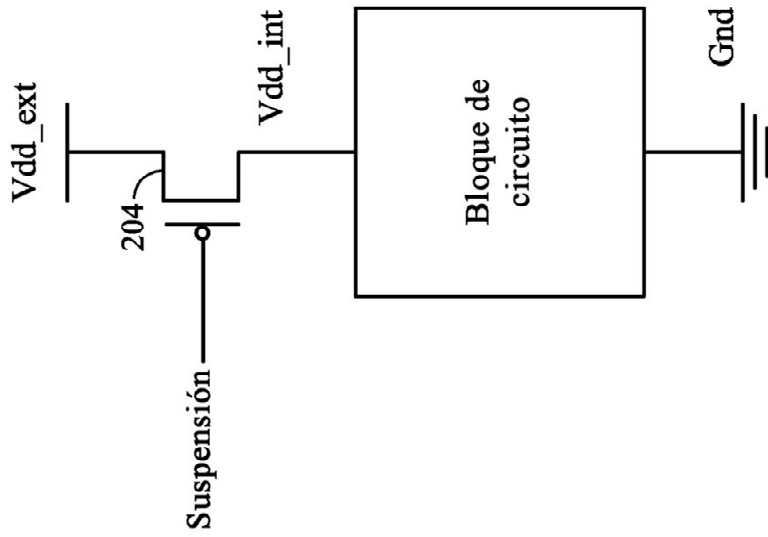


FIG. 2B

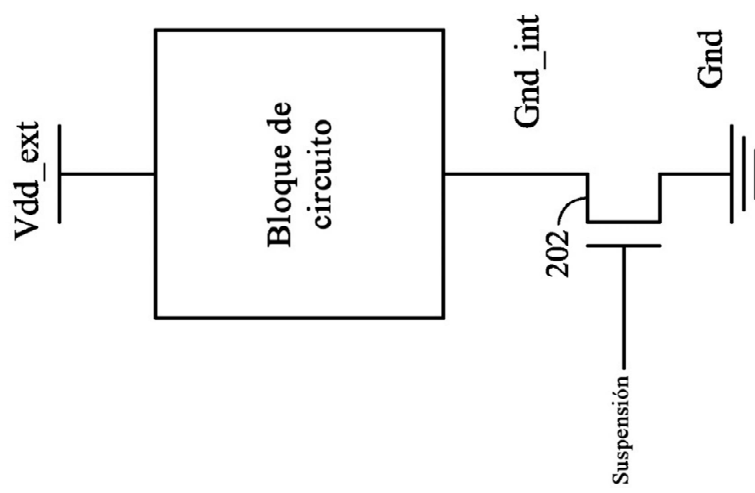
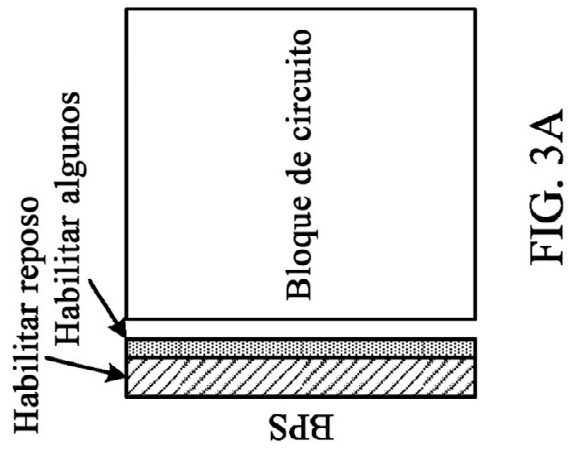
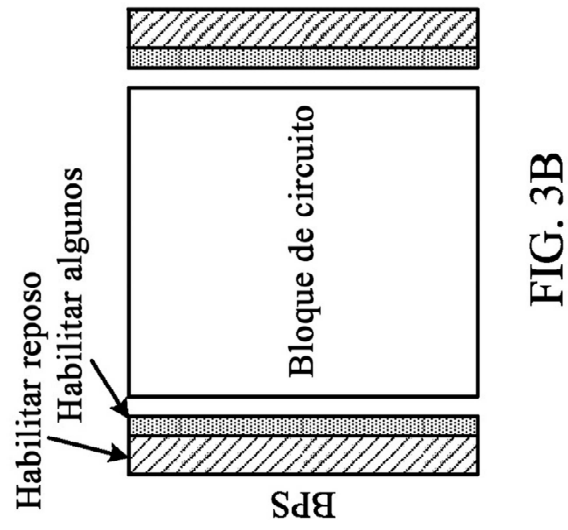
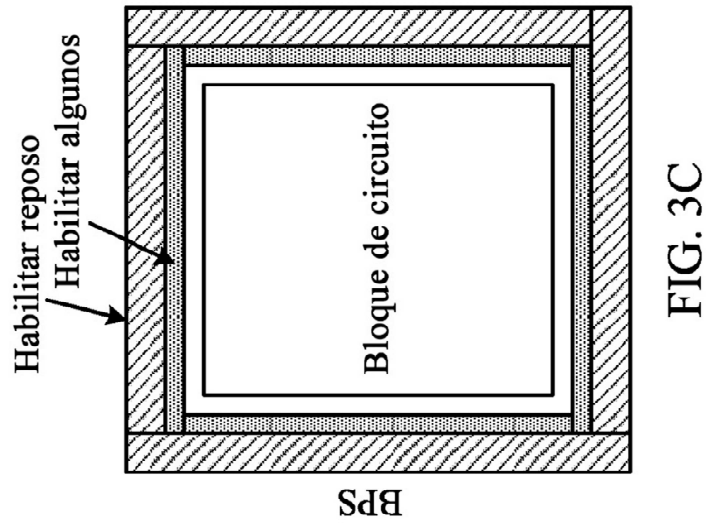


FIG. 2A



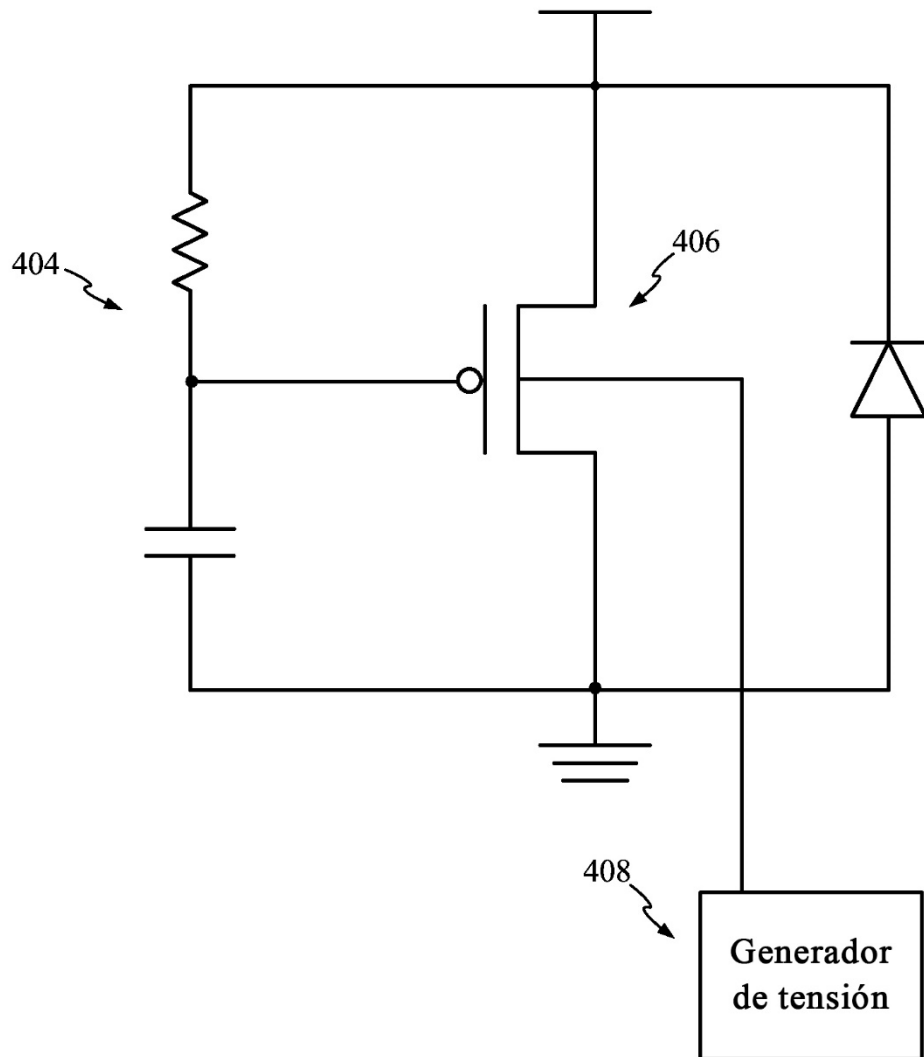


FIG. 4

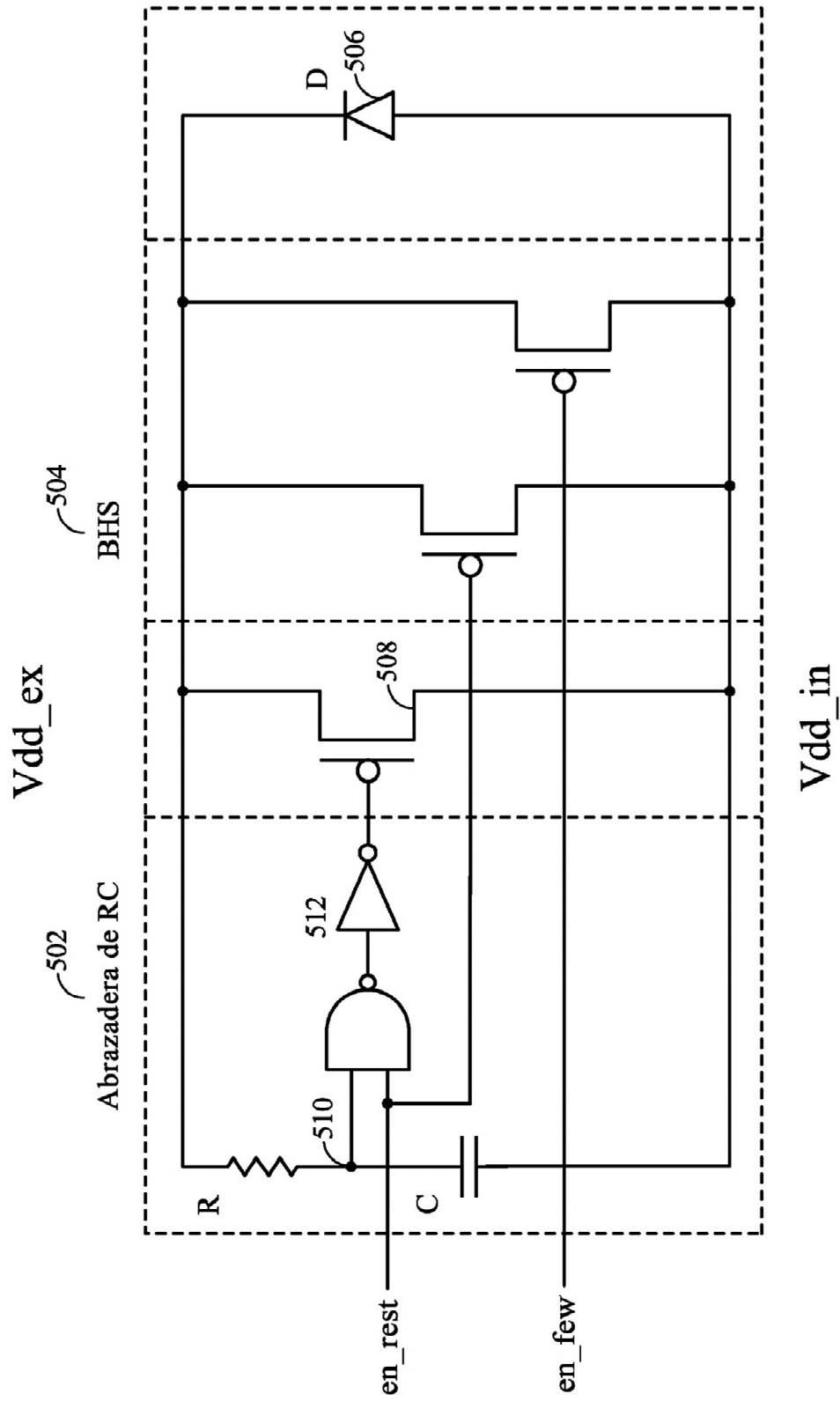


FIG. 5

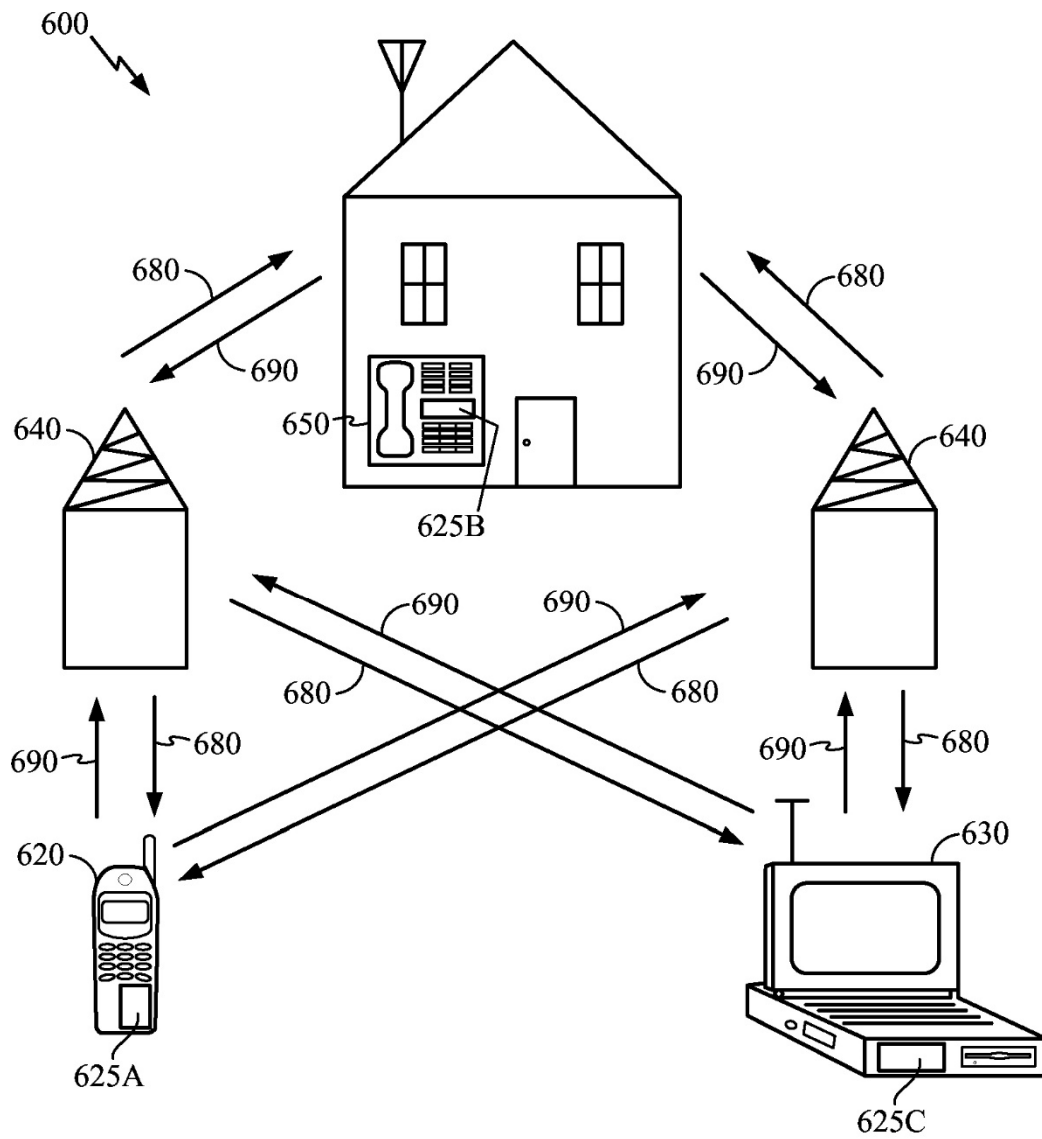


FIG. 6

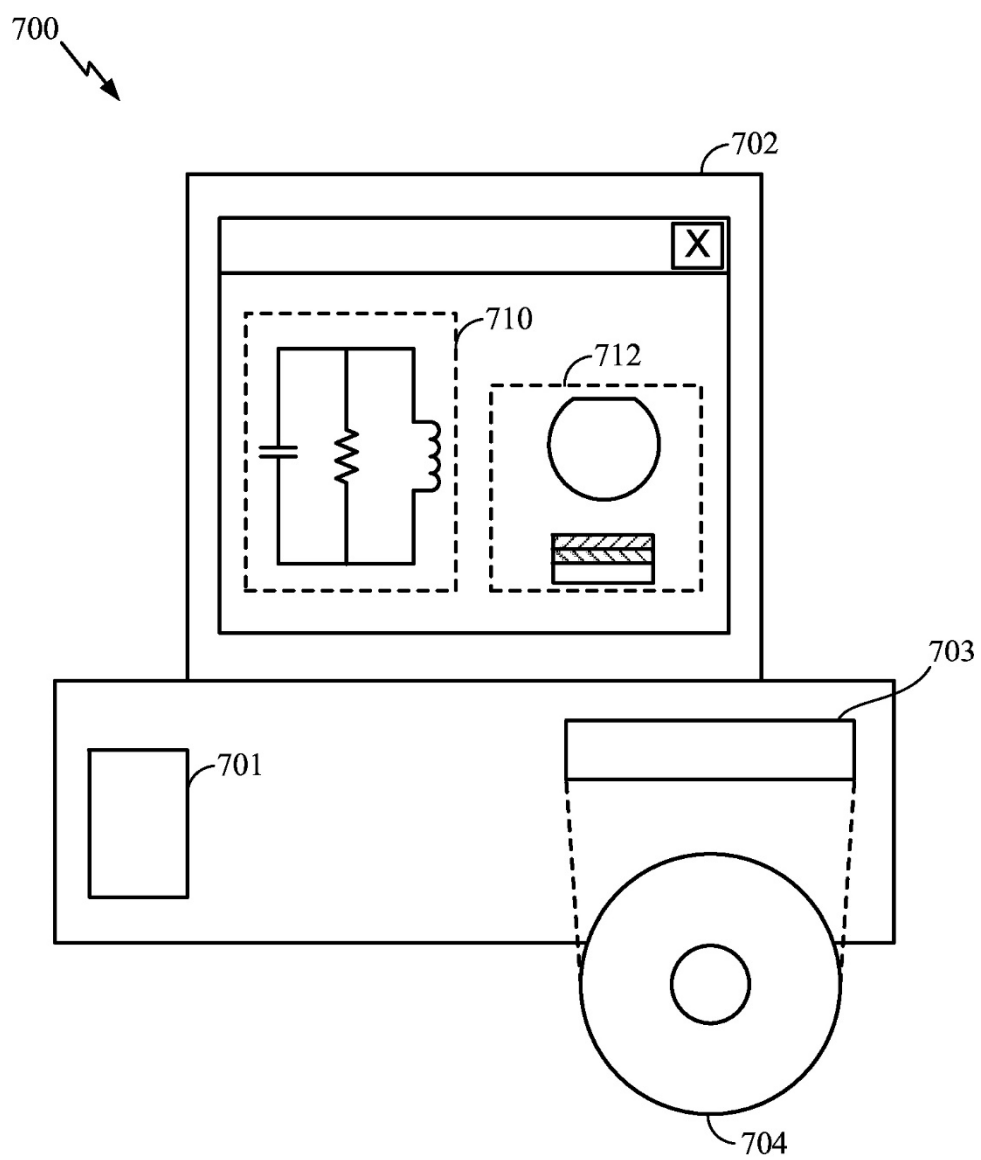


FIG. 7

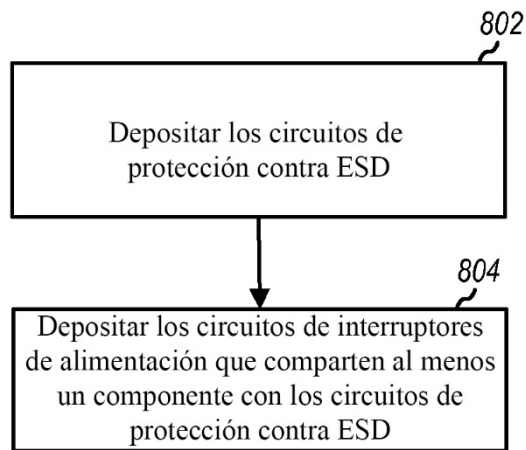


FIG. 8