

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 813 864**

51 Int. Cl.:

H03M 1/14 (2006.01)

H03M 1/12 (2006.01)

H03M 1/46 (2006.01)

H03M 1/56 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **26.02.2013 PCT/EP2013/053751**

87 Fecha y número de publicación internacional: **06.09.2013 WO13127751**

96 Fecha de presentación y número de la solicitud europea: **26.02.2013 E 13706007 (5)**

97 Fecha y número de publicación de la concesión europea: **03.06.2020 EP 2820760**

54 Título: **Dispositivo de conversión de señales analógicas en señales digitales**

30 Prioridad:

27.02.2012 FR 1251736

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.03.2021

73 Titular/es:

**CENTRE NATIONAL DE LA RECHERCHE
SCIENTIFIQUE (C.N.R.S.) (100.0%)
3, rue Michel-Ange
75016 Paris, FR**

72 Inventor/es:

**DZAHINI, DANIEL;
RARBI, FATAH-ELLAH y
GALLIN-MARTEL, LAURENT**

74 Agente/Representante:

GONZÁLEZ PECES, Gustavo Adolfo

ES 2 813 864 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de conversión de señales analógicas en señales digitales

La presente invención se refiere al campo de la conversión de señales analógicas en señales digitales.

5 En particular en el campo de los procesadores de imágenes, que comprenden una matriz de sensores, la señales analógicas presentes en los extremos de columna de sensores deben convertirse en señales digitales.

El documento US- 2007/0279506 describe un dispositivo de conversión que implementa una conversión con la ayuda de una rampa y una conversión por aproximaciones sucesivas. Este dispositivo sin embargo no es satisfactorio, en particular debido al uso de un gran número de componentes electrónicos, de su lentitud y de la incertidumbre en lo que concierne a la correspondencia entre la señal analógica de origen y la señal digital obtenida.

10 En la medida en la que la anchura de las columnas de sensores tiende a reducirse con el fin de mejorar la calidad de las imágenes, se plantean dificultades relacionadas con la rapidez de las conversiones, con la reducción del consumo de energía eléctrica de los circuitos electrónicos empleados, con la obtención de una gran resolución, es decir con la obtención de un número elevado de bits de señales digitales, con la obtención de una señal digital fiable, es decir que represente a la señal analógica de forma más exacta posible, y con la reducción de las superficies ocupadas por los circuitos electrónicos cuya anchura debe ser adaptada a la anchura de las columnas de sensores.

El objetivo de la presente invención es proponer una solución a estas dificultades.

Se propone un procedimiento según la reivindicación 1 de conversión de señales analógicas, presentes respectivamente sobre una pluralidad de canales, en señales digitales.

20 Éste procedimiento comprende: generar una sucesión, común a todos los canales, de primeras señales analógicas predeterminadas que presentan valores predeterminados en escalera con unos pasos sucesivos anchos, formando una rampa o sucesión de tramos, cuyo valor corresponde a bits de pesos grandes de señales digitales.

25 Para cada canal, el procedimiento comprende: en una primera fase, comparar el valor de la señal analógica al convertir sucesivamente en cada uno de dichos valores predeterminados de dicha rampa, detectar el primer valor predeterminado de dicha rampa, que proviene de la comparación anterior, que sucede al valor de la señal analógica que se va a compartir, memorizar los valores de los bits de pesos grandes correspondientes a dicho primer valor predeterminado detectado, memorizar la desviación o residuo resultante de la diferencia entre el valor de la señal analógica que se va a convertir y dicho valor predeterminado detectado; en una segunda fase, comparar por aproximaciones sucesivas dicha desviación o residuo con segunda señales analógicas predeterminadas comprendidas entre dos contactos de segunda señales analógicas cuya desviación entre contactos es superior a dicho paso de dicha rampa; memorizar sucesivamente los estados de los resultados de la comparación por aproximaciones sucesivas, correspondiente a bits de pesos reducidos de señales digitales.

35 Después, para cada canal, el procedimiento comprende: en una tercera fase, ensamblar los bits de pesos grandes y los bits de pesos reducidos, de manera que se entrega una señal digital correspondiente al valor de la señal analógica que se va a convertir, comprendiendo esta señal digital los bits de pesos reducidos, con la excepción del más grande, y los bit de pesos grandes a los cuales se añade el más grande de los bits de pesos reducidos, añadiendo el más grande de los bits de pesos reducidos y el más pequeño de los bits de pesos grandes, aunque el número de bits de la señal digital obtenida sea igual al número de bits de pesos grandes más el número de bits de pesos pequeños menos uno.

40 El procedimiento puede comprender: comparar el valor de la señal analógica que se va a convertir sucesivamente con cada uno de dichos valores predeterminados, en el sentido decreciente, y detectar el primer valor predeterminado de la primera señal analógica inferior al valor de la señal analógica que se va a convertir.

Se propone del mismo modo un dispositivo según la reivindicación 3 de conversión de señales analógicas, presentes respectivamente sobre una pluralidad de canales, en señales digitales, por la implementación del procedimiento anterior.

45 Este dispositivo comprende un circuito generador común adecuado para generar una sucesión de primeras señales analógicas predeterminadas que presentan primeros valores predeterminados correspondientes a bits de pesos grandes de las señales digitales.

50 Además, este dispositivo comprende para cada canal, un circuito local que comprende un primer medio de comparación, que incluye un comparador único, para comparar dichas primeras señales analógicas predeterminadas con la señal analógica que se va a convertir, un primer medio de memorización de los bits de pesos grandes de las señales digitales correspondientes al valor de una primera señal analógica predeterminada que sucede al valor de la señal analógica correspondiente que se va a convertir y detectada por dicho primer medio de comparación, un medio de memorización de la desviación o residuo resultante de la diferencia entre el valor de la señal analógica correspondiente que se va a convertir y dicho primer valor predeterminado detectado, un medio

5 generador adecuado para generar un número predeterminado de segundas señales analógicas, un segundo medio de comparación, que incluye dicho comparador único, para comparar por aproximaciones sucesivas dichas segundas señales analógicas con respectivamente dicha desviación o residuo, un segundo medio de digitalización de los bits de pesos reducidos de las señales digitales correspondientes a los resultados que provienen de dicho segundo medio de comparación, y un medio de ensamblaje para ensamblar dichos bits de pesos grandes y dichos bits de pesos reducidos, de manera que se entregue una señal digital correspondiente a la señal analógica correspondiente que se va a convertir.

El medio de memorización de la desviación o residuo puede comprender un condensador.

10 Del mismo modo se propone una matriz de sensores equipada de un dispositivo de conversión, estando colocados los circuitos locales en los extremos de las columnas de esta matriz, sobre una línea en el extremo de la cual se coloca el circuito común.

Un dispositivo de conversión según la presente invención se va a describir ahora a título de ejemplo no limitativo, ilustrado en el diseño en el cual:

- la figura 1 representa un esquema electrónico general del dispositivo de conversión;
- 15 - la figura 2 representa un esquema electrónico más detallado del dispositivo de conversión;
- la figura 3 representa un esquema electrónico del dispositivo de conversión según una primera configuración de funcionamiento;
- la figura 4 representa un esquema electrónico del dispositivo de conversión según una segunda configuración de funcionamiento;
- 20 - y la figura 5 representa esquemáticamente un montaje del dispositivo de conversión.

El dispositivo 1 de conversión ilustrado en la figura 1 está destinado a la conversión de señales analógicas Sa-1, Sa-2... Sa-i... Sa-n presentes sobre una pluralidad de canales V-1, V-2... V-i... V-n, que pueden por ejemplo estar formados por las conexiones terminales de matrices de sensores, en particular de sensores de imágenes, de sensores de radiaciones luminosas o térmicas tales como bolómetros, fotomultiplicadores, o incluso sensores sensoriales.

El dispositivo 1 de conversión comprende un circuito Cc electrónico común conectado a una pluralidad de circuitos CI-1, CI-2... CI-i...CI-n adaptados para que las señales digitales Sa-1, Sa-2... Sa-i... Sa-n, que se entregan respectivamente en los circuitos locales CI-1, CI-2 ... CI-i se conviertan en señales Sn-1, Sn-2... Sn-i... Sn-n digitales disponibles en las salidas de estos circuitos locales.

30 Como se ilustra en la figura 2, el circuito Cc electrónico común comprende un circuito 2 de control digital sometido a una señal clk1 de reloj y adecuado para generar primeras señales digitales y un convertidor 3 adecuado para convertir estas primeras señales digitales en primeras señales analógicas que son entregadas sobre una línea 4 común de conexión eléctrica

35 Cada circuito CI-i local comprende un comparador 5 una de cuyas entradas 6 está conectada al canal V-i correspondiente por medio de un interruptor 7 y está conectada a la línea 4 común por medio de un interruptor 8 y de un condensador 9, estando colocado el condensador 9 entre la entrada 6 y el interruptor 8.

La conexión común entre el interruptor 8 y el condensador 9 se conecta a la masa del dispositivo por medio de un interruptor 10.

40 Cada circuito CI-i local comprende un secuenciador 11 digital sometido a una señal clk2 de reloj y conectado a un convertidor 12 adecuado para entregar segundas señales analógicas en otra entrada 13 del comparador 5 por medio de un interruptor 14.

Esta otra entrada 13 está conectada a la línea 4 común por medio de un interruptor 15.

El secuenciador 11 digital presenta una salida conectada a una entrada de control de un circuito 16 de selección que recibe las señales clk1 y clk2 de reloj y cuya salida está conectada a una entrada 17 de control del comparador 5.

45 El secuenciador 11 digital presenta una salida entre una señal Φ_s de los interruptores 7, 8 y 15 y una salida que entrega una señal Φ_f de control de los interruptores 10 y 14.

El secuenciador 11 digital comprende además un registro 18 de memorización sometido a una señal de orden que proviene de una salida 19 del comparador 5 y una de cuyas entradas está conectada a una salida del circuito 2 de control digital.

El secuenciador 11 digital comprende además un registro 20 de memorización conectado a una salida 21 del comparador 5.

El secuenciador 11 digital comprende del mismo modo un circuito 22 de ensamblaje conectado a los registros 18 y 20 de memorización y presentan una salida 23 exterior.

5 El dispositivo 1 de conversión puede funcionar de la manera siguiente.

Para la ejecución de una primera fase de conversión, el dispositivo 1 de conversión se coloca según la configuración ilustrada en la figura 3.

10 Según esta configuración, los interruptores 7, 8 y 15 de cada circuito CI-i local están en el estado cerrado de tal manera que la entrada 6 del comparador 5 está conectada al canal V-i correspondiente y que la entrada 13 del comparador 5 está conectada a la línea 4 común. Los interruptores 10 y 14 de cada circuito CI-i local están en el estado abierto. El comparador 5 está sometido a un reloj clk1 a través del circuito 16.

Bajo el efecto de una sucesión de señales clk1 de reloj, el circuito 2 de control digital genera una sucesión de primeras señales codificadas predeterminadas. Cada señal codificada contiene una pluralidad de estados correspondientes a bits m de pesos grandes de señales digitales predeterminadas.

15 La sucesión de señales codificadas predeterminadas se convierte por el convertidor 3 en una sucesión de primeras señales analógicas entregadas por la línea 4 de conexión a cada uno de los circuitos CI-i locales. Estas primeras señales analógicas presentan valores en escalera que forman una rampa o una sucesión de tramos de paso grandes y regulares o irregulares, siendo estos valores sucesivamente decrecientes. Los valores predeterminados máximo y mínimo de estas primeras señales analógicas se eligen de tal manera que los valores de las señales Sa-i analógicas que se van a convertir estén incluidos entre estos valores máximo y mínimo.

El funcionamiento de cada circuito CI-i local es por tanto el siguiente.

25 Mientras que los valores de los tramos de señales analógicas que provienen del convertidor 3 sean superiores al valor de la señal Sa-i correspondiente que se va a convertir, la salida 19 del comparador 5 permanece inalterada. Por el contrario, cuando una señal analógica que proviene del convertidor 3 presenta un valor de tramo inferior al valor de la señal Sa-i analógica, la salida 19 del comparador 5 cambia de estado.

30 El cambio de estado de la señal de salida del comparador 5 se transmite al registro 18 de memorización y provoca la grabación en este registro 18 de memorización de la señal codificada de bits m de pesos grandes que proviene del circuito 2 de control digital y correspondiente a la señal analógica predeterminada que proviene del convertidor 3 y que hayan provocado este cambio de estado. Para el circuito CI-i local considerado, se termina una primera fase de conversión.

El cambio de estado de la señal de salida del comparador 5 se transmite del mismo modo al secuenciador 11, que coloca por tanto el circuito CI-i local según una segunda configuración ilustrada en la figura 4.

35 El secuenciador 11 coloca los interruptores 7, 8 y 18 en el estado abierto, aislando por tanto el circuito CI-i local con respecto al canal V-i y con respecto a la línea 4 común. Al hacerlo la tensión en los terminales del condensador 9 es igual a la diferencia entre el valor de la señal analógica del canal V-i y el valor de la señal analógica determinada que haya provocado dicho cambio de estado, siendo denominada esta diferencia "desviación" o "residuo". El condensador constituye una memoria de esta desviación o residuo cuyo valor es igual hoy inferior a dicho paso entre valores sucesivos de las señales analógicas entregadas por el convertidor 3 y se va a añadir al valor de dichas señal analógica detectada que haya provocado el cambio de estado de la salida del comparador para obtener el valor de la señal Sa-i analógica que se va a convertir.

40 El secuenciador 11 coloca el interruptor 10 en el estado cerrado para conectar el convertidor 12 a la entrada 13 del comparador 5, coloca el interruptor 14 en el estado cerrado para conectar el terminal correspondiente del condensador 9 a la entrada 8 del comparador 5, y controla el circuito 16 para que el comparador 5 esté sometido a la señal clk2 de reloj.

45 Comienza por tanto, para el circuito CI-i local considerado, la ejecución de una segunda fase de conversión realizada específicamente por aproximaciones sucesivas de manera que se va a convertir el residuo en bits n sucesivos de pesos reducidos de señales digitales. Dicha conversión por aproximaciones sucesivas se describe en particular en las páginas 143 y siguientes del manual que tiene por título "*Principles of Data Conversion System Design*" escrito por Behzad Razavi y editado por IEEE Press en 1995 y se puede realizar por ejemplo como se describe posteriormente.

50 En el convertidor 12 se memorizan un terminal analógico superior y un terminal analógico inferior cuya desviación es superior al paso de la sucesión de paso citado anteriormente. Por ejemplo, esta desviación entre terminales puede ser igual a dos pasos.

Bajo el efecto de una primera señal clk2 de reloj, el secuenciador genera una señal codificada convertida por el convertidor 12 en una señal analógica cuyo valor corresponde a la mitad de la desviación entre terminales anterior.

Se pueden producir dos casos.

5 Según un primer caso, si el valor de la señal analógica que proviene del convertidor 12 es superior al valor de las señales que proviene del condensador 9, la salida 21 del comparador 5 no cambia de estado.

Según un segundo caso, si por el contrario el valor de la señal analógica que proviene del convertidor 12 es inferior al valor de la señal que proviene del condensador 9, la salida 21 del comparador 5 cambia de estado.

En uno u otro caso, el estado de la salida 21 del comparador 5, que constituye un primer bit de peso reducido de una señal digital, se graba en el registro 20 de memorización.

10 A continuación, bajo el efecto de una segunda señal clk2 de reloj, si se produce el primer caso, el secuenciador 11 genera otras señal codificada convertida por el convertidor 12 en otras señal analógica cuyo valor corresponde a la mitad de la mitad inferior de la desviación entre terminales anterior. Si por el contrario se produce el segundo caso, el secuenciador 11 genera otras señal codificada convertida por el convertidor 12 en otras señal analógica cuyo valor corresponde a la mitad de la mitad superior de la desviación entre terminales anterior.

15 Del mismo modo, se pueden producir dos casos.

Según un primer caso, si la otra señal analógica que proviene del convertidor 12 es superior a la señal que proviene del condensador 9, la salida 21 del comparador 5 no cambia de estado.

Según un segundo caso, si por el contrario la otra señal analógica que proviene del convertidor 12 es inferior a la señal que proviene del condensador 9, la salida 21 del comparador 5 cambia de estado.

20 En uno u otro caso, el estado de la salida 21 del comparador 5, que constituye un segundo bit de pesos reducido de una señal digital, se graba en el registro 20 de memorización.

25 A continuación, en cada señal clk2 de reloj y de forma equivalente, el secuenciador genera una señal codificada convertida por el convertidor 12 en una señal analógica cuyo valor es igual a la mitad inferior o superior de la mitad restante y el estado de la salida 21 del comparador 5, que constituye cada vez un bit de pesos reducidos de una señal digital, se graba en el registro 20 de memorización.

Las etapas anteriores se repiten hasta que un número predeterminado de estados de la salida del comparador 5, igual al número de señales clk2 de reloj entregadas, sea grabada en el registro 20 de memorización. Se encuentra por tanto grabada en el registro 20 de memorización una señal codificada de un número n de bits de pesos reducidos de una señal digital, cuyo número es igual al número de señales clk2 de reloj entregadas.

30 Una vez que sea hecho esto, el secuenciador 11 controla el circuito 22 de ensamblaje de manera que éste último ensambla las señales codificadas de bits m de pesos grandes grabadas en el registro 18 de memorización y la señales codificadas de bits n de pesos reducidos grabadas en el registro 20 de memorización, de manera que se entrega en la salida 23 una señal S_n -i digital correspondiente a la conversión de la señal S_a -i analógica.

35 Este ensamblaje consiste en efectuar una concatenación por redundancia de dichas señales codificadas de bits de pesos grandes y de bits de pesos reducidos. La señal digital obtenida comprende los bits de pesos reducidos, con la excepción del más grande, y los bits de pesos grandes a los cuales se añade el más grande de los bits de pesos reducidos, añadiendo el más grande de los bits de pesos reducidos y el más pequeño de los bits de pesos grandes y transfiriendo cualquier resto sobre los bits siguientes de pesos grandes y así sucesivamente. Resulta que el número de bits de señal digital obtenido es igual al número de bits m de pesos grandes más el número de bits n de pesos reducidos menos uno.

40 Después de esto, el secuenciador devuelve a los interruptores 7, 8, 10, 14 y 15 a su estado inicial tal y como se describe con referencia a la figura 3.

45 La totalidad de la sucesión de primeras señales analógicas predeterminadas, que provienen del convertidor 3 del circuito Cc común, que hayan sido entregadas y los circuitos Cl-i locales que hayan realizado respectivamente la conversión de la señal S_a -i analógica correspondiente en una señal S_n -i digital, puede comenzar un nuevo ciclo de conversión.

El dispositivo 1 de conversión y el procedimiento de funcionamiento que se le asocia presentan las ventajas siguientes.

50 La duración total mínima para la realización de un ciclo de conversión es igual o ligeramente superior a la adición de la duración necesaria para generar la totalidad de la sucesión o rampa de primeras señales analógicas predeterminadas que provienen del convertidor 3 del circuito Cc común, de la duración necesaria, por un circuito Cc-i local, para la detección y la memorización de la señal codificada de bits de pesos grandes en el registro 18 de

memorización, de la duración de detección por aproximaciones sucesivas, por un circuito Cc-i local, y de memorización de la señal codificada de bits de pesos reducidos y de la duración del ensamblaje de bits de pesos grandes y de bits de pesos reducidos por el circuito 22 de ensamblaje. Esta duración total puede ser muy reducida, considerando el número de bits de señales Sn-i codificadas entregadas que se puede aumentar.

- 5 Teniendo en cuenta en particular la existencia de una línea 4 común que conecta el circuito Cc común a los circuitos Cl-i locales que incluye cada uno un comparador 5 único, se puede reducir la superficie ocupada por los circuitos y en consecuencia se puede reducir el consumo. La existencia de un comparador 5 único en cada circuito Cl-i local permite limitar las consecuencias ligadas a las pérdidas de compensaciones entre las dos fases de conversión. Además, el ensamblaje por redundancia de los bits de pesos fuertes y de los bits de pesos reducidos permite
- 10 compensar al menos en parte las posibles imperfecciones del comparador 5 y las posibles irregularidades de paso de la sucesión citada anteriormente de paso.

En la figura 5 se ilustra una matriz 100 que comprende una pluralidad de sensores 101 dispuestos unos al lado de otros en líneas y columnas. En un lado de esta matriz 100 se dispone un dispositivo 1 de conversión cuyos circuitos Cl-i locales ocupan la anchura de las columnas correspondientes y se disponen sobre la línea en el extremo de la

15 cual se coloca el circuito Cc común.

En la descripción anterior, se considera que los tramos de valores en escalera de primeras señales analógicas son decrecientes. Según una variante de realización, estos valores podrían ser sucesivamente crecientes. En este caso, el cambio de estado del comparador 5 se produce en el paso de un valor de tramos superior al valor de la señal analógica que se va a convertir. El residuo almacenado en la capacidad 9 es por tanto el complemento del residuo

20 citado anteriormente con respecto a la desviación o paso entre los valores de tramos.

Según un ejemplo de realización, se podría intercalar un amplificador entre la capacidad 9 y la entrada 6 del comparador 5 de manera que se amplifica el valor del residuo almacenado en la capacidad 9 de manera que se mejora la inmunidad al ruido y se facilita la producción de las señales que provienen del convertidor 12.

La presente invención no se limita a los ejemplos descritos anteriormente. Son posibles muchas otras variantes de

25 realización, sin salir del ámbito de la invención.

REIVINDICACIONES

1. Procedimiento de conversión de señales analógicas, presentes respectivamente en una pluralidad de canales, y de señales digitales, que comprende:

5 generar sobre una línea (4) común, por un circuito (2, 3) generador común que comprende un circuito de control (2) digital sometido a una señal clk1 de reloj, una sucesión, común a todos los canales, de primeras señales analógicas predeterminadas que presentan valores predeterminados en escalera con pasos sucesivos grandes, que forman una rampa o sucesión de tramos que evolucionan de manera monótona, cuyo cada valor corresponde a bits de pesos grandes de señales digitales,

y, para cada canal,

10 cada canal comprende un circuito Cl-i local que comprende un comparador (5), un primer medio (18) de memorización de bits de pesos grandes de señales digitales, un medio (9) de memorización de una desviación o residuo, un medio (11, 12) generador adecuado para generar un número predeterminado de segunda señales analógicas y señales de control de interruptores, un segundo medio (20) de memorización de bits de pesos reducidos de señales digitales, y un medio (22) de ensamblaje para ensamblar bits de pesos grandes y bits de pesos reducidos,

- en una primera fase:

comparar, por el comparador (5), el valor de la señal analógica que se va a convertir sucesivamente con cada uno de dichos valores predeterminados de dicha rampa,

20 detectar el primer valor predeterminado de dicha rampa, que proviene de la comparación anterior, sucediendo al valor de la señal analógica que se va a convertir,

memorizar, por el primer medio (18) de memorización, los valores de los bits de pesos grandes correspondientes a dicho primer valor predeterminado detectado,

25 memorizar, por el medio (9) de memorización una desviación o residuo, resultando la desviación o residuo de la diferencia entre el valor de la señal analógica que se va a convertir y dicho valor predeterminado detectado,

- en una primera fase:

comparar, por el comparador (5), por aproximaciones sucesivas dicha desviación o residuo en las segundas señales analógicas predeterminadas por el medio (11, 12) generador, estando comprendidas la segunda señales analógicas predeterminadas entre dos terminales de segundas señales analógicas cuya desviación entre terminales es superior a dicho paso de dicha rampa,

30 memorizar, por el segundo medio (20) de memorización, sucesivamente los estados de los resultados de la comparación por aproximaciones sucesivas, correspondientes a bits de pesos reducidos de señales digitales,

- en una tercera fase:

35 ensamblar, por medio de un ensamblaje, los bits de pesos grandes y los bits de pesos reducidos, de manera que se entrega una señal digital correspondiente al valor de la señal analógica que se va a convertir, comprendiendo esta señal digital los bits de pesos reducidos, con la excepción del más grande, y los bits de pesos grandes a los cuales se añade el más grande de los bits de pesos reducidos, añadiendo el más grande de los bits de pesos reducidos y el más pequeño de los bits de pesos grandes, aunque el número de bits de la señal digital obtenida sea igual al número de bits de pesos grandes más el número de bits de pesos reducidos menos uno,

40 para cada canal:

45 el comparador (5) que presenta una entrada (6) conectada al canal V-i correspondiente por medio de un interruptor 7 y conectada a la línea (4) común por medio de un interruptor 8 y de un condensador (9), como medio (9) de memorización de la desviación o residuo, estando el condensador (9) colocado entre la entrada (6) y el interruptor 8, estando conectada la conexión común entre el interruptor 8 y el condensador (9) a la masa por medio de un interruptor 10,

50 cada medio (11, 12) generador comprende un secuenciador (11) digital y un convertidor (12), estando el secuenciador (11) digital sometido a una señal clk2 de reloj y estando conectado al convertidor (12) adecuado para entregar las segundas señales analógicas a otra entrada (13) del comparador (5) por medio de un interruptor 14, estando conectada esta otra entrada (13) a la línea (4) común por medio de un interruptor 15, y

cada secuenciador (11) digital que presenta una salida conectada a una entrada de control de un circuito (16) de selección que recibe las señales clk1 y clk2 de reloj y cuya salida está conectada a una entrada (17) de control del comparador (5),

5 para la ejecución de la primera fase de conversión, estando los interruptores 7, 8 y 15 de cada circuito CI-i local en el estado cerrado, de tal manera que la entrada (6) del comparador (5) está conectada al canal V-i correspondiente y que la entrada (13) del comparador (5) está conectada a la línea (4) común, estando los interruptores 10 y 14 de cada circuito CI-i local en el estado abierto, estando el comparador (5) sometido al reloj clk1 a través del circuito (16) de selección, y después

10 a continuación de la memorización, por el primer medio (18) de memorización, de los valores de los bits de pesos grandes, el secuenciador (11) digital coloca los interruptores 7, 8 y 18 en el estado abierto, aislando por tanto el circuito CI-i local con respecto al canal V-i y con respecto a la línea (4) común, y coloca el interruptor 10 en el estado cerrado para conectar el convertidor (12) a la entrada (13) del comparador (5), coloca el interruptor 14 en el estado cerrado para conectar el terminal correspondiente del condensador (9) a la entrada (8) del comparador (5), y controlar el circuito (16) de selección para que el comparador (5) esté sometido a la señal clk2 de reloj de manera que comience la segunda fase de conversión.

2. Procedimiento según la reivindicación 1, que comprende:

20 comparar el valor de la señal analógica que se va a convertir sucesivamente con cada uno de dichos valores predeterminados, en el sentido decreciente, detectar el primer valor predeterminado de la primera señal analógica inferior al valor de la señal analógica que se va a convertir.

3. Dispositivo de conversión de señales analógicas, presentes respectivamente sobre una pluralidad de canales, en señales digitales, por la implementación del procedimiento según una de las reivindicaciones 1 y 2, que comprende:

25 un circuito (2, 3) generador común adecuado para generar una sucesión de primeras señales analógicas predeterminadas que presentan primeros valores predeterminados correspondientes a bits de pesos grandes de señales digitales y que comprenden un circuito (2) de control digital sometido a una señal clk1 de reloj,

y, para cada canal, un circuito local que comprende:

un primer medio de comparación, que incluye un comparador (5) único para comparar dichas primera señales analógicas predeterminadas con la señal analógica que se va a convertir,

30 un primer medio (18) de memorización de bits de pesos grandes de señales digitales correspondientes al valor de la primera señal analógica predeterminada que sucede al valor de la señal analógica correspondiente que se va a convertir detectada por dicho primer medio de comparación,

un medio (9) de memorización de la desviación o residuo resultante de la diferencia entre el valor de la señal analógica correspondiente que se va a convertir y dicho primer valor predeterminado detectado,

35 un medio (11, 12) generador adecuado para generar un número predeterminado de segundas señales analógicas,

un segundo medio de comparación, que incluye dicho comparador (5) único, para comparar por aproximaciones sucesivas dicha segunda señales analógicas con respectivamente dicha desviación o residuo,

40 un segundo medio (20) de memorización de bits de pesos reducidos de señales digitales correspondientes a los resultados que provienen de dicho segundo medio de comparación,

y un medio de ensamblaje para ensamblar dichos bits de pesos grandes y dichos bits de pesos reducidos, de manera que se entrega una señal digital correspondiente a la señal analógica correspondiente que se va a convertir,

45 el comparador (5) presenta una entrada (6) conectada al canal V-i correspondiente por medio de un interruptor 7 y conectada a la línea (4) común por medio de un interruptor 8 y de un condensador (9), como medio (9) de memorización de la desviación o residuo, estando el condensador (9) colocado entre la entrada (6) y el interruptor 8, estando conectada la conexión común entre el interruptor 8 y el condensador (9) a la masa por medio de un interruptor 10,

50 cada medio (11, 12) generador que comprende un secuenciador (11) digital y un convertidor (12), estando el secuenciador (11) digital sometido a una señal clk2 de reloj y estando conectado al convertidor (12) adecuado para entregar las segundas señales analógicas a otra entrada (13) del comparador (5) por medio de un interruptor 14, estando conectada esta otra entrada (13) a la línea (4) común por medio de un interruptor 15, y

cada secuenciador (11) digital que presenta una salida conectada a una entrada de control de un circuito (16) de selección que recibe las señales clk1 y clk2 de reloj y cuya salida está conectada a una entrada (17) de control del comparador (5).

- 5 4. Matriz de sensores equipada de un dispositivo de conversión según la reivindicación 3, estando colocados los circuitos locales en los extremos de columnas de esta matriz, sobre una línea en el extremo de la cual se coloca el circuito común.

FIG.1

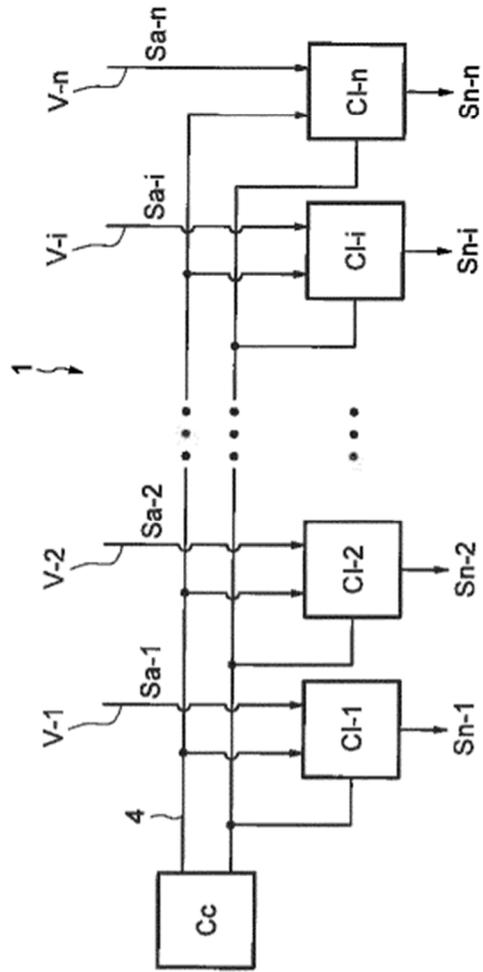


FIG.2

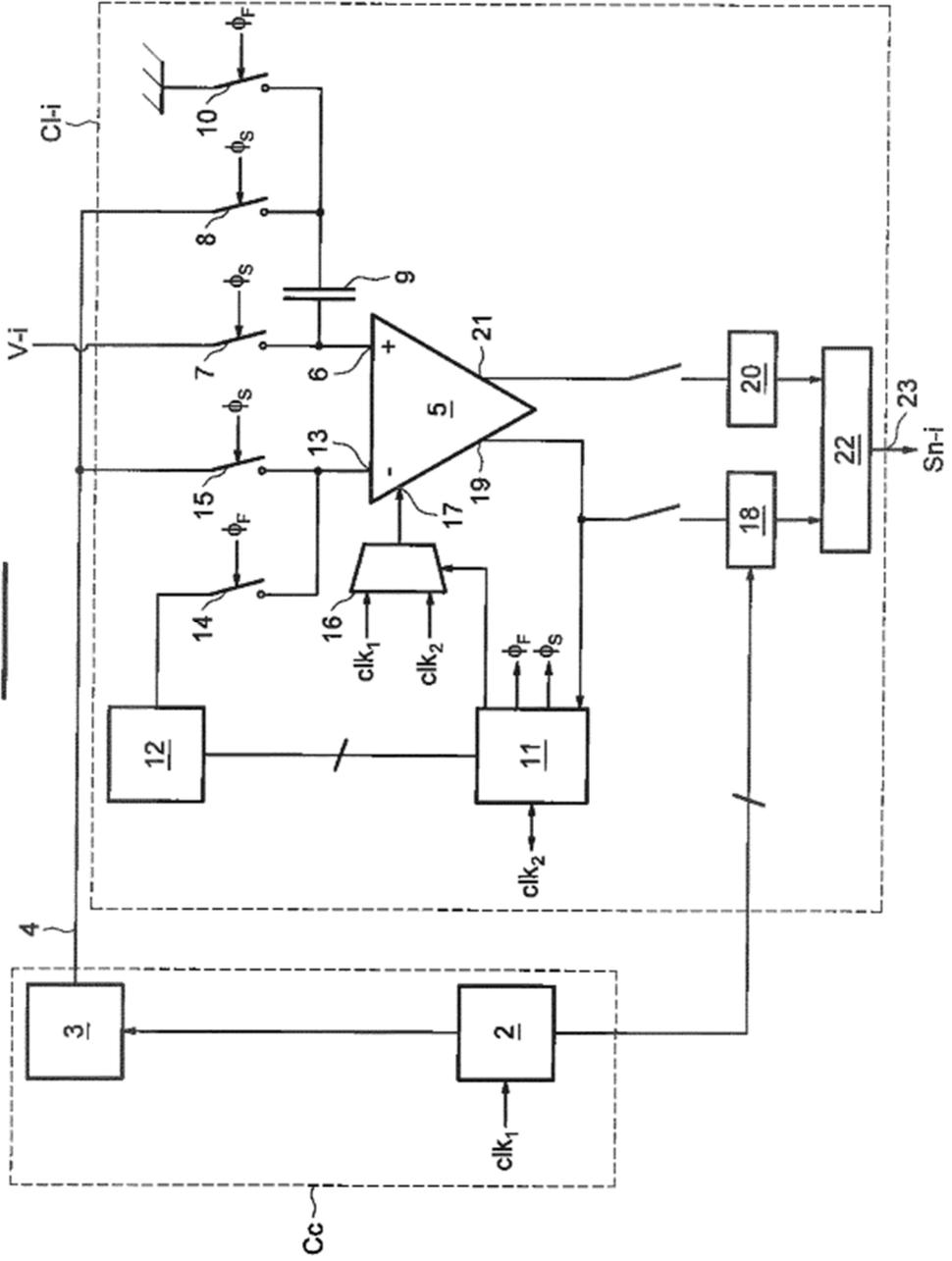


FIG.3

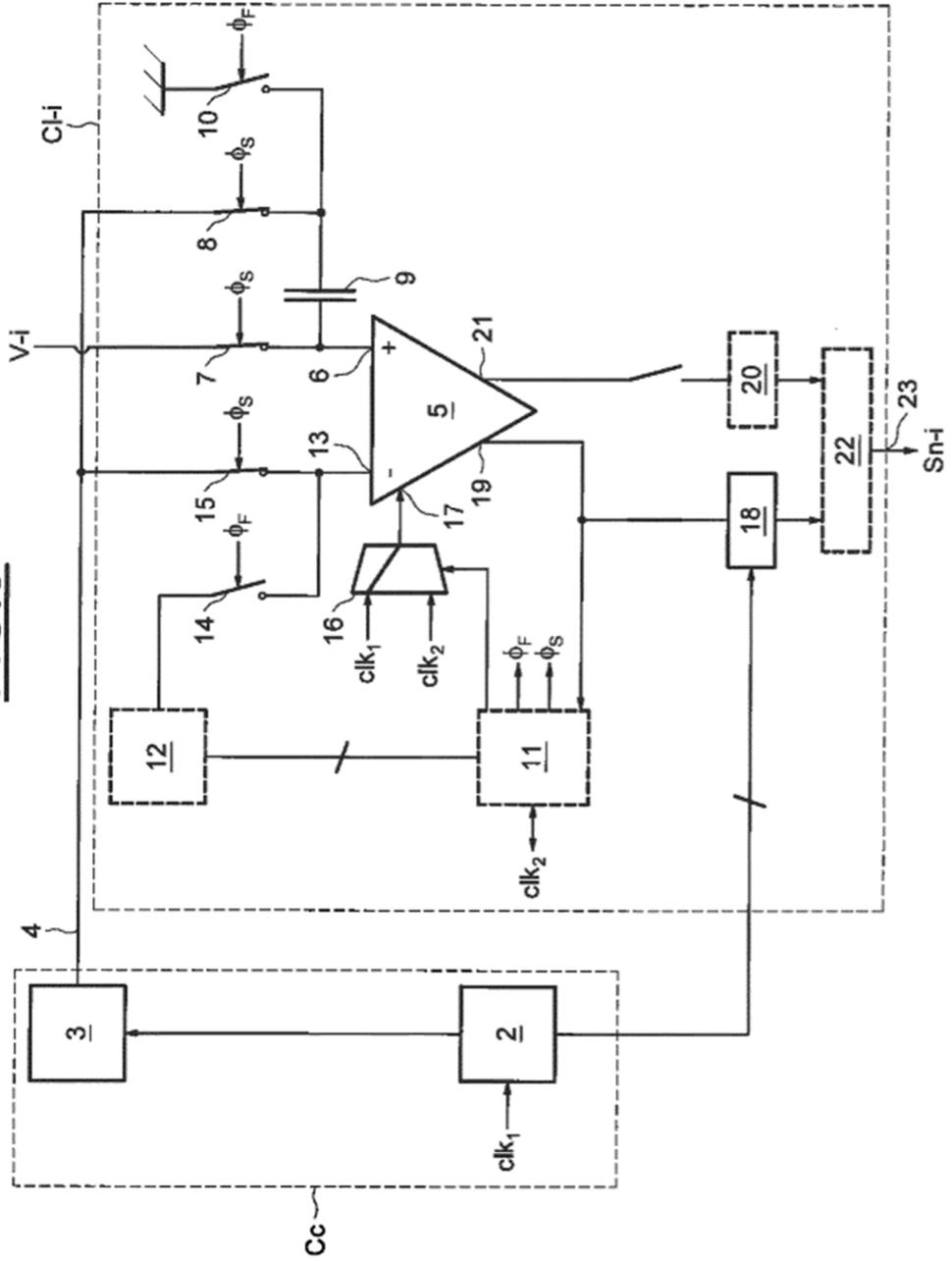


FIG.5

