

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 810 100**

51 Int. Cl.:

**G11C 8/08** (2006.01)

**G11C 8/16** (2006.01)

**G11C 11/16** (2006.01)

**G11C 13/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.03.2011 PCT/US2011/029477**

87 Fecha y número de publicación internacional: **29.09.2011 WO11119641**

96 Fecha de presentación y número de la solicitud europea: **22.03.2011 E 11713405 (6)**

97 Fecha y número de publicación de la concesión europea: **06.05.2020 EP 2550656**

54 Título: **Sistema de memoria de múltiples flujos de instrucciones**

30 Prioridad:

**22.03.2010 US 728506**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**08.03.2021**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**RAO, HARI M.;  
KIM, JUNG PILL y  
HAGHIGHI, SIAMACK**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 810 100 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema de memoria de múltiples flujos de instrucciones

5 **I. Campo**

[0001] La presente divulgación se refiere en general a una célula de memoria que incluye múltiples memorias no volátiles.

10 **II. Descripción de la técnica relacionada**

[0002] Los avances en la tecnología han dado como resultado dispositivos informáticos más pequeños y más potentes. Por ejemplo, existe actualmente una variedad de dispositivos informáticos personales portátiles, incluyendo dispositivos informáticos inalámbricos, tales como teléfonos inalámbricos, asistentes digitales personales (PDA) y dispositivos de paginación que son pequeños, ligeros y fáciles de transportar por los usuarios. Más específicamente, los teléfonos inalámbricos, tales como los teléfonos celulares y los teléfonos de Protocolo de Internet (IP), pueden transmitir paquetes de voz y datos a través de redes inalámbricas. Además, muchos de dichos teléfonos inalámbricos incluyen otros tipos de dispositivos que están incorporados en los mismos. Por ejemplo, un teléfono inalámbrico también puede incluir una cámara fotográfica digital, una cámara de vídeo digital, un grabador digital y un reproductor de archivos de audio. Además, dichos teléfonos inalámbricos pueden procesar instrucciones ejecutables, incluyendo aplicaciones de software, tales como una aplicación de navegador web, que se pueden usar para acceder a Internet. Como tales, estos teléfonos inalámbricos pueden incluir capacidades informáticas significativas.

[0003] Las capacidades informáticas de un procesador pueden aumentarse mediante el uso de ejecución de multihilos simultáneos (SMT). El SMT proporciona instrucciones más altas por ciclo (IPC) al permitir la emisión de múltiples instrucciones de múltiples hilos en un ciclo. Los archivos de registro asociados con un procesador SMT se usan para almacenar los "estados" arquitectónicos asociados con cada hilo y también pueden admitir múltiples puertos de lectura y escritura para el rendimiento. Por ejemplo, en un sistema de la unidad central de procesamiento (CPU), múltiples agentes pueden intentar acceder a una localización común en un archivo de registro en el mismo ciclo de reloj del procesador. Con múltiples puertos, un primer agente no necesita esperar a que un segundo agente complete una operación de lectura/escritura antes de que el primer agente pueda realizar la operación de lectura/escritura. Permitir que ambos agentes accedan al registro común a través de diferentes puertos conduce a un mayor ancho de banda de memoria para operaciones de lectura y escritura.

[0004] Añadir múltiples puertos a cada célula de memoria de un dispositivo RAM aumenta el tamaño de cada célula de memoria. El aumento del tamaño de la célula de memoria debido a la adición de puertos adicionales puede depender del tipo de dispositivo de memoria. Por ejemplo, añadir un puerto de escritura adicional a una célula de memoria estática de acceso aleatorio (SRAM) de puerto único para formar una célula SRAM de doble puerto implica típicamente circuitos adicionales. Una célula de memoria más grande tiende a aumentar el retraso y el uso de energía, lo cual es desventajoso en muchos dispositivos electrónicos.

[0005] El documento US 7359232 se refiere a una célula de memoria de contexto múltiple que tiene un primer medio de memoria y una pluralidad de segundos medios de memoria, siendo posible que la información de datos digitales almacenada en los primeros medios de memoria se guarde en cada uno de los segundos medios de memoria. El documento US 6172531 se refiere a circuitos decodificadores con reloj, y más en particular a un circuito decodificador de línea de palabras mejorado. Este documento divulga un dispositivo de memoria de doble hilo de puerto único. El documento US 2008084736 divulga un dispositivo de memoria resistiva no volátil multipuerto que comprende una pluralidad de células de memoria, en el que cada una de las células de memoria comprende un elemento de memoria no volátil que incluye un elemento de memoria resistivo, siendo el elemento de memoria no volátil un elemento de memoria multipuerto.

**III. Breve explicación**

[0006] En un modo de realización particular, se introduce una célula SMT (es decir, una célula de memoria con múltiples puertos y múltiples hilos) con múltiples memorias no volátiles. Se divulga un dispositivo de memoria de acceso aleatorio magnetorresistiva (MRAM) con múltiples puertos y múltiples hilos que tiene un tamaño más pequeño que una equivalente de SRAM estándar. Además, el dispositivo MRAM no volátil incluye memoria no volátil que permite el uso de una arquitectura de encendido instantáneo.

[0007] De acuerdo con la presente invención, se proporciona un aparato como el expuesto en la reivindicación 1, un procedimiento como se expone en la reivindicación 8 y un medio no transitorio legible por ordenador como se expone en la reivindicación 9. Otros aspectos de la invención pueden encontrarse en las reivindicaciones dependientes.

5 [0008] En un ejemplo particular, se divulga un sistema que incluye un procesador y una pluralidad de células de memoria accesibles al procesador, donde al menos una de las células de memoria comprende una primera memoria no volátil multipuerto que incluye un primer elemento de memoria resistivo y una segunda memoria no volátil multipuerto que incluye un segundo elemento de memoria resistivo.

10 [0009] En un ejemplo particular, se divulga un procedimiento que incluye recibir primeros datos y recibir segundos datos en una única célula de memoria que comprende una primera memoria no volátil y una segunda memoria no volátil. El procedimiento también incluye almacenar los primeros datos en un primer elemento de memoria resistivo de la primera memoria no volátil y almacenar los segundos datos en un segundo elemento de memoria resistivo de la segunda memoria no volátil.

15 [0010] Otros aspectos, ventajas y rasgos característicos de la presente divulgación resultarán evidentes después de revisar la solicitud completa, incluyendo las siguientes secciones: Breve descripción de los dibujos, Descripción detallada y Reivindicaciones.

15 **IV. Breve descripción de los dibujos**

[0011]

20 La FIG. 1 es un diagrama de bloques de un modo de realización ilustrativo particular de un sistema con una célula que incluye múltiples memorias no volátiles;

25 la FIG. 2 es un diagrama de un segundo modo de realización ilustrativo de un sistema con una célula que incluye múltiples elementos resistivos;

la FIG. 3 es un diagrama de un tercer modo de realización ilustrativo de un sistema con una célula que incluye múltiples elementos resistivos;

30 la FIG. 4 es un diagrama de bloques de un cuarto modo de realización ilustrativo de un sistema con una célula que incluye múltiples memorias no volátiles;

la FIG. 5 es un diagrama de flujo de un modo de realización ilustrativo particular de un procedimiento para hacer funcionar una célula que incluye múltiples memorias no volátiles;

35 la FIG. 6 es un diagrama de bloques de un modo de realización particular de un dispositivo de comunicación inalámbrica que incluye una célula con múltiples memorias no volátiles multipuerto; y

40 la FIG. 7 es un diagrama de flujo de datos que ilustra un proceso de fabricación para su uso con un dispositivo que incluye una célula que incluye múltiples memorias no volátiles multipuerto.

40 **V. Descripción detallada**

45 [0012] La FIG. 1 es un diagrama de un primer modo de realización de un sistema con una célula que incluye múltiples memorias no volátiles y se designa en general con 100. El sistema 100 incluye un dispositivo de memoria 101 que incluye un selector de datos de puerto 130 acoplado a una pluralidad de células de memoria 104 que incluye una célula de memoria 106. La célula de memoria 106 incluye una primera memoria no volátil 108 que incluye un primer elemento de memoria resistivo 110, una segunda memoria no volátil 112 que incluye un segundo elemento de memoria resistivo 114 y una N.<sup>a</sup> memoria no volátil 116 que incluye un N.<sup>o</sup> elemento de memoria resistivo 118.

50 [0013] En un modo de realización particular, la célula de memoria 106 responde a una operación de escritura y responde a los primeros datos 139 y a los segundos datos 140 recibidos del selector de datos de puerto 130. Como parte de la operación de escritura, la célula de memoria 106 puede configurarse para almacenar los primeros datos 139 en la primera memoria no volátil 108 y los segundos datos 140 en la segunda memoria no volátil 112. Por ejemplo, la primera memoria no volátil 108 puede almacenar los primeros datos 139 configurando un primer valor de resistencia del primer elemento de memoria resistivo 110 para corresponder a un valor lógico "0" o lógico "1" y la segunda memoria no volátil 112 puede almacenar los segundos datos 140 configurando un segundo valor de resistencia del segundo elemento de memoria resistivo 114.

60 [0014] En un modo de realización particular, la célula de memoria 106 responde a una operación de lectura para generar datos de salida 122. Los datos de salida 122 pueden corresponder a un elemento resistivo 110, 114, 118 particular de la célula de memoria 106. Por ejemplo, los datos de salida 122 pueden basarse en el primer valor de resistencia del primer elemento de memoria resistivo 110. Como otro ejemplo, los datos de salida 122 pueden basarse en el segundo valor de resistencia del segundo elemento de memoria resistivo 114.

65 [0015] En un modo de realización particular, el selector de datos de puerto 130 responde al primer flujo de instrucciones 124 para generar los primeros datos 139. El selector de datos de puerto 130 puede configurarse para

proporcionar los primeros datos 139 a la célula de memoria 106. El selector de datos de puerto 130 también responde al segundo flujo de instrucciones 126 para generar los segundos datos 140 y el selector de datos de puerto 130 puede configurarse para proporcionar los segundos datos 140 a la célula de memoria 106.

5 **[0016]** En un modo de realización particular, el dispositivo de memoria 101 está configurado para implementar SMT. Por ejemplo, cada memoria no volátil 108, 112, 116 puede configurarse para corresponder a un flujo particular de instrucciones. Por ejemplo, la primera memoria no volátil 108 puede configurarse para asociarse con el primer flujo de instrucciones 124, y la segunda memoria no volátil 112 puede configurarse para asociarse con el segundo flujo de instrucciones 126. Cada flujo de instrucciones 124, 126 puede corresponder a uno o más hilos de una pluralidad de hilos que se están procesando por un procesador (no mostrado). Por ejemplo, el primer flujo de instrucciones 124 puede ser instrucciones asociadas con un primer hilo que está procesado por el procesador, y el segundo flujo de instrucciones 126 puede ser instrucciones asociadas con un segundo hilo que está procesado por el procesador.

15 **[0017]** En un modo de realización particular, el dispositivo de memoria 101 es una memoria de acceso aleatorio magnetorresistiva (MRAM) que está configurada para escribir datos usando la transferencia de par de espín (STT). El dispositivo de memoria 101 puede ser un archivo de registro único y la primera memoria no volátil 108 y la segunda memoria no volátil 112 pueden corresponder cada una a un registro común. Por ejemplo, la primera memoria no volátil 108 puede configurarse para almacenar la primera información de estado correspondiente al primer flujo de instrucciones 124, y la segunda memoria no volátil 112 puede configurarse para almacenar la segunda información de estado correspondiente al segundo flujo de instrucciones 126.

25 **[0018]** Durante la operación, la célula de memoria 106 responde a las operaciones de lectura y escritura. Por ejemplo, la célula de memoria 106 puede recibir los primeros datos 139 del selector de datos de puerto 130 que se almacenarán en la primera memoria no volátil 108. En respuesta a la recepción de los primeros datos 139, la primera memoria no volátil 108 puede almacenar los primeros datos 139 configurando el primer valor de resistencia del primer elemento de memoria resistivo 110. Durante una operación de lectura de la primera memoria no volátil 108, la célula de memoria 106 puede generar los datos de salida 122 en base al primer valor de resistencia del primer elemento de memoria resistivo 110. En un modo de realización particular, los primeros datos 139 corresponden al primer flujo de instrucciones 124 y a los datos de salida 122 que se generan en base al primer elemento de memoria resistivo 110.

30 **[0019]** En un modo de realización particular, la célula de memoria 106 recibe los segundos datos 140 del selector de datos de puerto 130 que se almacenarán en la segunda memoria no volátil 112. En respuesta a la recepción de los segundos datos 140, la segunda memoria no volátil 112 puede almacenar los segundos datos 140 como el segundo valor de resistencia del segundo elemento de memoria resistivo 114. Durante la operación de lectura de la segunda memoria no volátil 112, la célula de memoria 106 puede generar los datos de salida 122 en base al segundo valor de resistencia del segundo elemento de memoria resistivo 114. En un modo de realización particular, los segundos datos 140 corresponden al segundo flujo de instrucciones 126. Por ejemplo, los datos de salida 122 generados en base al segundo elemento de memoria resistivo 114 pueden corresponder al segundo flujo de instrucciones 126.

40 **[0020]** En un modo de realización particular, el dispositivo de memoria 101 se usa como RAM para un procesador. El almacenamiento de información de estado (por ejemplo, los primeros datos 139 y los segundos datos 140) en las memorias no volátiles 108, 112, 116 del dispositivo de memoria 101 permite al procesador implementar una arquitectura de encendido instantáneo. Con la arquitectura de encendido instantáneo, el procesador tiene acceso inmediato a la información de estado en la RAM sin tener que cargar la información de estado en la RAM. Las memorias no volátiles permiten que el dispositivo de memoria 101 se apague sin perder la información de estado almacenada. Al encender el dispositivo de memoria 101 con una arquitectura de encendido instantáneo, el procesador puede acceder a la información de estado almacenada sin tener que cargar la información de estado de un dispositivo externo que funciona como memoria no volátil, reduciendo por tanto el tiempo de arranque de un sistema que usa el procesador y el dispositivo de memoria 101.

50 **[0021]** Con referencia a la FIG. 2, se ilustra un diagrama de un segundo modo de realización de un sistema con una célula que incluye múltiples elementos resistivos, cada elemento resistivo accesible por múltiples puertos, y se designa en general con 200. El sistema 200 incluye una célula de memoria 206 acoplada a un decodificador 202 e incluye un selector de datos de puerto 230. En un modo de realización particular, la célula de memoria 206 es la célula de memoria 106 de la FIG. 1 y el selector de datos de puerto 230 es el selector de datos de puerto 130 de la FIG. 1.

60 **[0022]** En un modo de realización particular, el decodificador 202 está configurado para proporcionar señales de control a través de líneas de palabras para permitir la lectura y escritura de datos desde la célula de memoria 206. El decodificador 202 puede configurarse para recibir una dirección de entrada dirigida a un puerto particular de la célula de memoria 206. Por ejemplo, la dirección de entrada puede ser una señal wp0\_address 240 que se dirige a un puerto cero 213 de la célula de memoria 206. Como otro ejemplo, la dirección de entrada puede ser una señal wp1\_address 241 que se dirige a un primer puerto 211 de la célula de memoria 206. El decodificador 202 puede configurarse para recibir una señal (por ejemplo, la señal r/w\_thread 250) que indica un hilo particular que corresponde a la dirección de entrada. Por ejemplo, la señal r/w\_thread 250 puede indicar que un hilo cero se corresponde con la señal wp1\_address 241. Como otro ejemplo, la señal r/w\_thread 250 puede indicar que un primer hilo se corresponde con la señal wp0\_address 240.

**[0023]** En un modo de realización particular, el decodificador 202 incluye circuitos configurados para procesar la dirección de entrada en base al puerto y al hilo correspondientes a la dirección de entrada. Por ejemplo, la señal *r/w\_thread* 250 correspondiente a un hilo particular y a una señal *wp0\_address* 240 correspondiente al puerto cero 213 pueden recibirse por el decodificador 202. La señal *wp0\_address* 240 puede recibirse en un *flop* de dirección P0 252 acoplado a un predecodificador P0 258 y la señal *r/w\_thread* 250 puede recibirse en un *flop* de control 254. La salida del *flop* de control 254 puede estar acoplada a un decodificador P1\_T1 266 y a un decodificador P0\_T1 268. La inversa de la salida del *flop* de control 254 puede acoplarse a un decodificador P1\_T0 262 y a un decodificador P0\_T0 264. La salida del *flop* de control 254 puede invertirse por un inversor 265 que emite una tensión que representa el nivel lógico opuesto a su entrada. Por ejemplo, la salida del inversor 265 puede ser un "1" lógico en respuesta a la recepción de una entrada de un "0" lógico desde la salida del *flop* de control 254.

**[0024]** En un modo de realización particular, el predecodificador P0 258 es una compuerta AND que está configurada para emitir una señal alta en respuesta a la recepción de dos señales altas como entrada desde el *flop* de dirección P0 252. La salida del predecodificador P0 258 puede transmitirse al decodificador P0\_T0 264 y al decodificador P0\_T1 268. El decodificador P0\_T0 264 puede configurarse para emitir una señal en una línea de palabras (por ejemplo, una *WWL\_P0\_T0* 244) en respuesta a la recepción de una señal alta desde la salida del inversor 265 y la salida del predecodificador P0 258. El decodificador P0\_T1 268 puede configurarse para emitir una señal en una línea de palabras (por ejemplo, una *WWL\_P0\_T1* 248) en respuesta a la recepción de una señal alta desde la salida del *flop* de control 254 y la salida del predecodificador P0 258.

**[0025]** Como otro ejemplo, el decodificador 202 puede recibir la señal *r/w\_thread* 250 correspondiente a un hilo particular y una señal *wp1\_address* 241 correspondiente al primer puerto 211. La señal *wp1\_address* 241 puede recibirse en un *flop* de dirección PI 256 acoplado a un predecodificador PI 260 y la señal *r/w\_thread* 250 puede recibirse en el *flop* de control 254. En un modo de realización particular, el predecodificador PI 260 es una compuerta AND que está configurada para emitir una señal alta en respuesta a la recepción de dos señales altas como entrada desde el *flop* de dirección PI 256. La salida del predecodificador PI 260 puede transmitirse al decodificador P1\_T0 262 y al decodificador P1\_T1 266. El decodificador P1\_T1 262 puede configurarse para emitir una señal en una línea de palabras (por ejemplo, una *WWL\_P1\_T0* 242) en respuesta a la recepción de una señal alta desde la salida del inversor 265 y la salida del predecodificador PI 260. El decodificador P1\_T1 266 puede configurarse para emitir una señal en una línea de palabras (por ejemplo, una *WWL\_P1\_T1* 246) en respuesta a la recepción de una señal alta desde la salida del *flop* de control 254 y la salida del predecodificador PI 260.

**[0026]** En un modo de realización particular, el selector de datos de puerto 230 está configurado para recibir una señal de control de lectura/escritura 236. La señal de control *w/r* 236 puede indicar si la célula de memoria 206 debe realizar una operación de lectura o una operación de escritura en un puerto particular. Por ejemplo, la señal de control *w/r* 236 puede indicar que la operación de lectura debe realizarse en un primer puerto 211 de la célula de memoria 206. Como otro ejemplo, la señal de control *w/r* 236 puede indicar que la operación de escritura debe realizarse en un puerto cero 213 de la célula de memoria 206. El selector de datos de puerto 230 puede configurarse para recibir datos de entrada para escribir datos en los puertos de la célula de memoria 206 durante la operación de escritura. En un modo de realización particular, los datos de entrada también indican un valor que se almacenará. Por ejemplo, los datos de entrada pueden ser una señal *wData\_P1* 238 que indica que el primer puerto 211 se usará para escribir un valor de datos que represente un valor lógico de uno. Como otro ejemplo, los datos de entrada pueden ser una señal *wData\_P0* 239 que indica que el puerto cero 213 se usará para escribir un valor de datos que represente un valor lógico de cero.

**[0027]** En un modo de realización particular, el selector de datos de puerto 230 incluye circuitos configurados para procesar la señal de control de lectura/escritura 236 y durante la operación de escritura, para procesar los datos de entrada (por ejemplo, la señal *wData\_P1* 238 y la señal *wData\_P0* 239). Los circuitos del selector de datos de puerto 230 puede incluir un multiplexor de línea de bits (BL) 290, un multiplexor de línea de detección (SL) 291, un multiplexor de tensión de escritura BL 293 y un multiplexor de tensión de escritura SL 294. Aunque la FIG. 2 representa los circuitos para procesar el primer puerto 211 de la célula de memoria 206 para facilitar la explicación, el selector de datos de puerto 230 también puede incluir un multiplexor BL correspondiente, un multiplexor SL, un multiplexor de tensión de escritura BL y un multiplexor de tensión de escritura SL para cada puerto de la célula de memoria 206.

**[0028]** Tanto el multiplexor BL 290 como el multiplexor SL 291 pueden configurarse para recibir la señal de control de lectura/escritura 236. La señal de control de lectura/escritura 236 puede determinar si el multiplexor BL 290 y el multiplexor SL 291 se usarán en la operación de lectura o en la operación de escritura. La salida del multiplexor BL 290 está conectada a una línea de bits (por ejemplo, una *BL\_P1* 270) correspondiente al primer puerto 211, y la salida del multiplexor SL 291 está conectada a una línea de detección (por ejemplo, una *SL\_P1* 276) correspondiente al primer puerto 211.

**[0029]** En respuesta a la recepción de la señal de control de lectura/escritura 236 que indica una operación de lectura, el multiplexor BL 290 puede configurarse para emitir una tensión de .2 V en la *BL\_P1* 270 y el multiplexor SL 291 puede configurarse para emitir una tensión de 0 V en la *SL\_P1* 276. En respuesta a la señal de control de lectura/escritura 236 que indica una operación de escritura, el multiplexor BL 290 puede configurarse para emitir una

tensión a la BL\_P1 270 en base al multiplexor de tensión de escritura BL 293. En un modo de realización particular, la salida del multiplexor de tensión de escritura BL 293 se basa en los datos de entrada del selector de datos de puerto 230. Por ejemplo, la señal wData\_P1 238 puede indicar que un valor de datos de 1,2 V debe almacenarse en la célula de memoria 206 a través del primer puerto 211. El multiplexor de tensión de escritura BL 293 puede configurarse para emitir 1,2 V al multiplexor BL 290 y el multiplexor de tensión de escritura SL 294 puede configurarse para emitir 0 V al multiplexor SL 291. En un modo de realización particular, una salida de 1,2 V en la BL\_P1 270 y 0 V en la SL\_P1 276 da como resultado una representación de 1,2 V que se almacena en uno de los elementos resistivos de la célula de memoria 206. Aunque los valores numéricos específicos se describen en la presente divulgación como ejemplos ilustrativos, se entenderá que la presente divulgación no se limita a los valores específicos descritos y que en su lugar pueden usarse otros valores.

**[0030]** De forma alternativa, la señal wData\_P1 238 puede indicar que un valor de datos de 0 V debe almacenarse en la célula de memoria 206 a través del primer puerto 211. El multiplexor de tensión de escritura BL 293 puede configurarse para emitir 0 V al multiplexor BL 290 y el multiplexor de tensión de escritura SL 294 puede configurarse para emitir 1,2 V al multiplexor SL 291. En un modo de realización particular, una salida de 0 V en la BL\_P1 270 y 1,2 V en la SL\_P1 276 da como resultado una representación de 0 V que se almacena en uno de los elementos resistivos de la célula de memoria 206.

**[0031]** En un modo de realización particular, la célula de memoria 206 es una célula SMT que está configurada para almacenar datos en elementos resistivos. Por ejemplo, la célula de memoria 206 puede incluir un primer elemento resistivo 210 configurado para almacenar una primera representación de datos y un segundo elemento resistivo 214 configurado para almacenar una segunda representación de datos. La célula de memoria 206 puede configurarse para permitir que la primera representación de datos se lea desde el primer elemento resistivo 210 y la segunda representación de datos se lea desde el segundo elemento resistivo 214.

**[0032]** En un modo de realización particular, la célula de memoria 206 incluye circuitos para almacenar y leer los datos almacenados en los elementos resistivos (por ejemplo, el primer elemento resistivo 210 y el segundo elemento resistivo 214). La célula de memoria 206 puede incluir transistores de acceso que controlan el acceso a los elementos resistivos. Los transistores de acceso pueden ser transistores bipolares o transistores de efecto de campo y pueden configurarse como tipo n o tipo p. Por ejemplo, puede accederse al primer elemento resistivo 210 por el primer puerto 211 o por el puerto cero 213. El acceso del primer elemento resistivo 210 a través del primer puerto 211 está controlado por un transistor de acceso BL\_P1\_T0 280 y un transistor de acceso SL\_P1\_T0 282. El acceso del primer elemento resistivo 210 a través del puerto cero 213 está controlado por un transistor de acceso BL\_P0\_T0 281 y un transistor de acceso SL\_P1\_T0 283. El acceso del segundo elemento resistivo 214 a través del primer puerto 211 está controlado por un transistor de acceso BL\_P1\_T1 284 y un transistor de acceso SL\_P1\_T1 286. El acceso del segundo elemento resistivo 214 a través del puerto cero 213 está controlado por un transistor de acceso BL\_P0\_T1 285 y un transistor de acceso SL\_P1\_T1 287.

**[0033]** Los transistores de acceso de la célula de memoria 206 están conectados a las líneas de palabras desde el decodificador 202 (por ejemplo, la WWL\_P1\_T0 242, la WWL\_P0\_T0 244, la WWL\_P1\_T1 246 y la WWL\_P0\_T1 248), líneas de bits (por ejemplo, la BL\_P1 270 y una BL\_P0 272) y líneas de detección (por ejemplo, una SL\_P0 274 y la SL\_P1 276). Por ejemplo, el transistor de acceso BL\_P1\_T0 280 puede recibir una señal de la WWL\_P1\_T0 242 y de la BL\_P1 270. En un modo de realización particular, el transistor de acceso BL\_P1\_T0 280 puede ser un JFET de tipo n que incluye una fuente, una compuerta y un drenaje. El transistor de acceso BL\_P1\_T0 280 puede recibir la señal de la WWL\_P1\_T0 242 en la compuerta y la señal de la BL\_P1 270 en la fuente. El drenaje del transistor de acceso BL\_P1\_T0 280 puede conectarse al primer elemento resistivo 210.

**[0034]** En un modo de realización particular, la fuente del transistor de acceso SL\_P1\_T0 282 está conectada al primer elemento resistivo 210, la compuerta a la WWL\_P1\_T0 242 y el drenaje a la SL\_P1 276. La fuente del transistor de acceso BL\_P0\_T0 281 está conectada a la línea de bits BL\_P0 272, la compuerta a la WWL\_P0\_T0 244 y el drenaje al primer elemento resistivo 210. La fuente del transistor de acceso SL\_P1\_T0 283 está conectada al primer elemento resistivo 210, la compuerta a la WWL\_P0\_T0 244 y el drenaje a la SL\_P0 274.

**[0035]** En un modo de realización particular, la fuente del transistor de acceso BL\_P1\_T1 284 está conectada a la BL\_P1 270, la compuerta a la WWL\_P1\_T1 246 y el drenaje al segundo elemento resistivo 214. La fuente del transistor de acceso SL\_P1\_T1 286 está conectada al segundo elemento resistivo 214, la compuerta a la WWL\_P1\_T1 246 y el drenaje a la SL\_P1 276. La fuente del transistor de acceso BL\_P0\_T1 285 está conectada a la línea de bits BL\_P0 272, la compuerta a la WWL\_P0\_T1 248 y el drenaje al segundo elemento resistivo 214. La fuente del transistor de acceso SL\_P1\_T1 287 está conectada al segundo elemento resistivo 214, la compuerta a la WWL\_P0\_T1 248 y el drenaje a la SL\_P0 274.

**[0036]** En un modo de realización particular, los transistores de acceso controlan el acceso a los elementos resistivos de la célula de memoria 206. Por ejemplo, el acceso al primer elemento resistivo 210 a través del primer puerto 211 se habilita encendiendo tanto el transistor de acceso BL\_P1\_T0 280 como el transistor de acceso SL\_P1\_T0 282. El transistor de acceso BL\_P1\_T0 280 está configurado para encenderse al recibir una señal del decodificador 202 a través de la WWL\_P1\_T0 242. El transistor de acceso SL\_P1\_T0 282 está configurado para

encenderse al recibir una señal a través de la WWL\_P1\_T0 242. Encender el transistor de acceso BL\_P1\_T0 280 y el transistor de acceso SL\_P1\_T0 282 puede permitir que la corriente fluya a través del primer elemento resistivo 210 a través del primer puerto 211 de la célula de memoria 206.

5 **[0037]** Como otro ejemplo, el acceso al primer elemento resistivo 210 a través del puerto cero 213 se habilita encendiendo el transistor de acceso BL\_P0\_T0 281 y el transistor de acceso SL\_P0\_T0 283. El transistor de acceso BL\_P0\_T0 281 está configurado para encenderse al recibir una señal del decodificador 202 a través de la WWL\_P0\_T0 244. El transistor de acceso SL\_P0\_T0 283 está configurado para activarse al recibir una señal a través de la WWL\_P0\_T0 244. Encender el transistor de acceso BL\_P0\_T0 281 y el transistor de acceso SL\_P0\_T0 283  
10 puede permitir que la corriente fluya a través del primer elemento resistivo 210 a través del puerto cero 213 de la célula de memoria 206.

**[0038]** En un modo de realización particular, el acceso al segundo elemento resistivo 214 a través del primer puerto 211 se habilita encendiendo el transistor de acceso BL\_P1\_T1 284 y el transistor de acceso SL\_P1\_T1 286. El transistor de acceso BL\_P1\_T1 284 está configurado para encenderse al recibir una señal del decodificador 202 a través de la WWL\_P1\_T1 246. El transistor de acceso SL\_P1\_T1 286 está configurado para encenderse al recibir una señal a través de la WWL\_P1\_T1 246. Encender el transistor de acceso BL\_P1\_T1 284 y el transistor de acceso SL\_P1\_T1 286 puede permitir que la corriente fluya a través del segundo elemento resistivo 214 a través del primer  
15 puerto 211 de la célula de memoria 206.

**[0039]** Como otro ejemplo, el acceso al segundo elemento resistivo 214 a través del puerto cero 213 se habilita encendiendo el transistor de acceso BL\_P0\_T1 285 y el transistor de acceso SL\_P0\_T1 287. El transistor de acceso BL\_P0\_T1 285 está configurado para encenderse al recibir una señal del decodificador 202 a través de la WWL\_P0\_T1 248. El transistor de acceso SL\_P0\_T1 287 está configurado para activarse al recibir una señal a través de la WWL\_P0\_T1 248. Encender el transistor de acceso BL\_P0\_T1 285 y el transistor de acceso SL\_P0\_T1 287  
20 puede permitir que la corriente fluya a través del segundo elemento resistivo 214 a través del puerto cero 213 de la célula de memoria 206.

**[0040]** Durante la operación de escritura, el decodificador 202 puede generar una señal de salida en respuesta a la recepción de la dirección de entrada y la señal *r/w\_thread* 250. La señal de salida puede dirigirse a una línea de palabras particular en base a un puerto particular indicado por la dirección de entrada y a un hilo particular indicado por la señal *r/w\_thread* 250. Por ejemplo, el decodificador 202 puede recibir la señal *wp1\_address* 241 en el *flop* de dirección PI 256 y el *flop* de control 254 puede recibir la señal *r/w\_thread* 250 que indica el hilo cero. Una señal baja como la señal *r/w\_thread* 250 puede indicar el hilo cero y una señal alta puede indicar el primer hilo.  
30

**[0041]** En un modo de realización particular, la salida del *flop* de dirección PI 256 genera una salida en el predecodificador PI 260, que se proporciona al decodificador P1\_T0 262 y al decodificador P1\_T1 266. Por ejemplo, la salida del *flop* de dirección PI 256 puede ser una señal alta y la salida del inversor 265 puede ser cero. El decodificador P1\_T1 266 puede recibir una señal baja desde la salida del inversor 265 y una señal alta desde la salida del predecodificador PI 260. El decodificador P1\_T1 266 que funciona como una puerta AND no recibe dos señales altas y, por lo tanto, no genera una señal alta en la WWL\_P1\_T1 246. En respuesta a la recepción de una señal alta de la salida del inversor 265 y una señal alta de la salida del predecodificador PI 260, el decodificador P1\_T0 262 puede generar una señal alta en la WWL\_P1\_T0 242. El transistor de acceso BL\_P1\_T0 280 y el transistor de acceso SL\_P1\_T0 282 pueden recibir una señal alta en la WWL\_P1\_T0 242.  
35

**[0042]** En un modo de realización particular, la señal de control de lectura/escritura 236 recibida por el selector de datos de puerto 230 indica que la operación de escritura debe realizarse por la célula de memoria 206. El selector de datos de puerto 230 puede recibir los datos de entrada que se escribirán durante la operación de escritura. En respuesta a la señal de control de lectura/escritura 236 que indica la operación de escritura, el multiplexor BL 290 puede configurarse para emitir una tensión a la línea de bits BL 232 en base al multiplexor de tensión de escritura BL 293. En un modo de realización particular, la salida del multiplexor de tensión de escritura BL 293 se basa en los datos de entrada del selector de datos de puerto 230. Por ejemplo, la señal *wData\_P1* 238 puede indicar que un valor de datos de 1,2 V debe almacenarse en la célula de memoria 206 a través del primer puerto 211. El multiplexor de tensión de escritura BL 293 puede emitir 1,2 V al multiplexor BL 290 y el multiplexor de tensión de escritura SL 294 puede emitir 0 V al multiplexor SL 291.  
40

**[0043]** En un modo de realización particular, una salida de 1,2 V en la BL\_P1 270 y 0 V en la SL\_P1 276 da como resultado una representación de 1,2 V que se almacena en uno de los elementos resistivos de la célula de memoria 206. De forma alternativa, la señal *wData\_P1* 238 puede indicar que debe almacenarse una representación de 0 V en la célula de memoria 206 a través del primer puerto 211. El multiplexor de tensión de escritura BL 293 puede configurarse para emitir 0 V al multiplexor BL 290 y el multiplexor de tensión de escritura SL 294 puede configurarse para emitir 1,2 V al multiplexor SL 291. Una salida de 0 V en la BL\_P 1 270 y 1,2 V en la SL\_P1 276 puede dar como resultado una representación de 0 V almacenada en uno de los elementos resistivos de la célula de memoria 206.  
45

**[0044]** En un modo de realización particular, los valores de resistencia de los elementos resistivos indican una representación de los datos que se almacenarán por la célula de memoria 206. Por ejemplo, el primer elemento  
50

resistivo 210 puede ser una unión de túnel magnético (MTJ) que incluye capas alineadas en una orientación magnética particular. A medida que la corriente pasa a través de las capas, la orientación de las capas aumenta o disminuye la resistencia de la MTJ.

5 **[0045]** En un modo de realización particular, la BL\_P1 270 tiene una primera tensión y la SL\_P1 276 puede tener una segunda tensión durante la operación de escritura en el primer puerto 211. Que la primera tensión sea mayor que la segunda tensión puede basarse en qué valor de resistencia se escribirá en el primer elemento resistivo 210. Por ejemplo, el selector de datos de puerto 230 puede proporcionar a la BL\_P1 270 una tensión de 1,2 V y a la SL\_P1 276 con una tensión de 0 V. La corriente fluiría desde la línea de bits BL\_P1 270 a través del primer elemento resistivo 210 a la SL\_P1 276, alineando los momentos magnéticos de las capas de la MTJ en una dirección particular. De forma alternativa, si la tensión de la BL\_P1 270 es 0 V y la tensión de la SL\_P1 276 es 1,2 V, entonces la corriente puede fluir desde la SL\_P1 276 a través del primer elemento resistivo 210 a la línea de bits BL\_P0 272, alineando los momentos magnéticos de las capas del primer elemento resistivo 210 en la dirección opuesta. Si los momentos magnéticos de las capas de la MTJ están en una orientación paralela, entonces el valor de resistencia de la MTJ es menor que si los momentos magnéticos estuvieran en una orientación antiparalela. Un valor de resistencia pequeño de la MTJ (por ejemplo, el primer elemento resistivo 210) puede corresponderse con una primera representación de datos y un valor de resistencia grande puede corresponderse con una segunda representación de datos.

20 **[0046]** Durante la operación de lectura, el decodificador 202 puede generar una señal de salida en respuesta a la recepción de la dirección de entrada y la señal *r/w\_thread* 250. La señal de salida puede dirigirse a una línea de palabras particular en base a un puerto particular indicado por la dirección de entrada y a un hilo particular indicado por la señal *r/w\_thread* 250. Por ejemplo, el decodificador 202 puede recibir la señal *wp1\_address* 241 en el *flop* de dirección PI 256 y el *flop* de control 254 puede recibir la señal *r/w\_thread* 250 que indica el hilo cero. En un modo de realización particular, una señal baja como la señal *r/w\_thread* 250 indica el hilo cero y una señal alta puede indicar el primer hilo. La salida del *flop* de dirección PI 256 puede generar una salida en el predecodificador PI 260, que se proporciona al decodificador P1\_T0 262 y al decodificador P1\_T1 266. Por ejemplo, la salida del *flop* de dirección PI 256 puede ser una señal alta y la salida del inversor 265 puede ser cero.

30 **[0047]** En un modo de realización particular, el decodificador P1\_T1 266 recibe una señal baja desde la salida del inversor 265 y una señal alta desde la salida del predecodificador PI 260. El decodificador P1\_T1 266 que funciona como una puerta AND no recibe dos señales altas y, por lo tanto, no genera una señal alta en la WWL\_P1\_T1 246. En respuesta a la recepción de una señal alta de la salida del inversor 265 y una señal alta de la salida del predecodificador PI 260, el decodificador P1\_T0 262 puede generar una señal alta en la WWL\_P1\_T0 242. El transistor de acceso BL\_P1\_T0 280 y el transistor de acceso SL\_P1\_T0 282 pueden recibir una señal alta en la WWL\_P1\_T0 242.

40 **[0048]** En un modo de realización particular, la señal de control de lectura/escritura 236 recibida por el selector de datos de puerto 230 indica que la operación de lectura debe realizarse por la célula de memoria 206. En respuesta a la señal de control de lectura/escritura 236 que indica la operación de lectura, el multiplexor BL 290 puede configurarse para emitir una tensión de .2 V en la BL\_P1 270 y el multiplexor SL 291 puede configurarse para emitir una tensión de 0 V en la SL\_P1 276. En un modo de realización particular, la BL\_P1 270 proporciona el transistor de acceso BL\_P1\_T0 280 con .2 V y la SL\_P1 276 proporciona el transistor de acceso SL\_P1\_T0 282 con 0 V. La corriente puede fluir desde la BL\_P1 270 a través del primer elemento resistivo 210 a la SL\_P1 276.

45 **[0049]** En un modo de realización particular, el circuito del sensor conectado a la SL\_P1 276 compara la corriente en la SL\_P1 276 con una corriente de referencia para determinar el valor de resistencia del primer elemento resistivo 210. Por ejemplo, una corriente grande puede indicar un valor de resistencia pequeño y una corriente pequeña puede indicar un valor de resistencia grande. El valor de resistencia del primer elemento resistivo 210 puede servir como una indicación del valor lógico del elemento almacenado del primer elemento resistivo. Si los momentos magnéticos de las capas de la MTJ (por ejemplo, el primer elemento resistivo 210) están en una orientación paralela, entonces la resistencia detectada sería menor que si los momentos magnéticos estuvieran en una orientación antiparalela. Por ejemplo, un valor de resistencia grande puede representar un valor lógico de cero y un valor de resistencia pequeño puede representar un valor lógico de uno.

55 **[0050]** En un modo de realización particular, la célula de memoria 206 se usa como una célula RAM para un procesador. El almacenamiento de información de estado (por ejemplo, la señal *wData\_P1* 238 y la señal *wData\_P0* 239) como valores resistivos en los elementos de memoria resistivos 210, 214 de la célula de memoria 206 permite que un procesador implemente una arquitectura de encendido instantáneo. Con la arquitectura de encendido instantáneo, el procesador tiene acceso inmediato a la información de estado en la RAM sin tener que cargar la información de estado en la RAM. Los elementos de memoria resistivos permiten que la célula de memoria 206 se apague sin perder los valores resistivos que representan la información de estado. Al encender la célula de memoria 206, el procesador puede acceder a la información de estado almacenada sin tener que cargar la información de estado en la RAM desde un dispositivo externo que funciona como una memoria no volátil, reduciendo por tanto el tiempo de inicio de un sistema que usa la célula de memoria 206.

65

**[0051]** Con referencia a la FIG. 3, se ilustra un diagrama de un tercer modo de realización de un sistema con una célula que incluye múltiples memorias no volátiles y en general se designa con 300. El sistema 300 incluye una célula de memoria 306 acoplada a un decodificador 302 y un selector 330. La célula de memoria 306 tiene un único puerto, en contraste con la célula de memoria multipuerto 206 de la FIG. 2.

**[0052]** En un modo de realización particular, el decodificador 302 está configurado para proporcionar señales de control a través de líneas de palabras para permitir la lectura y escritura de datos desde la célula de memoria 306. El decodificador 302 puede configurarse para recibir una señal (por ejemplo, ar/w\_thread signal 350) que indique un hilo particular que corresponda a una dirección de entrada. Por ejemplo, la señal r/w\_thread 350 puede indicar que un hilo cero se corresponde con una primera señal de dirección 240. Como otro ejemplo, la señal 350 de r/w\_thread puede indicar que un primer hilo se corresponde con una segunda señal de dirección 241. El decodificador 302 puede configurarse para generar una primera señal de control a través de una primera línea de palabras 344 y una segunda señal de control a través de una segunda línea de palabras 348.

**[0053]** En un modo de realización particular, el selector 330 está configurado para recibir una señal de control de lectura/escritura 236. La señal de control w/r 236 puede indicar si la célula de memoria 306 debe realizar una operación de lectura o una operación de escritura. El selector 330 puede configurarse para recibir datos de entrada 338 para escribir datos en uno o más de los elementos resistivos 310, 314 de la célula de memoria 306. En un modo de realización particular, los datos de entrada 338 también indican un valor que se almacenará. Por ejemplo, los datos de entrada 338 pueden indicar que un valor de datos que representa un valor lógico de uno debe escribirse en el primer elemento resistivo 310. Como otro ejemplo, los datos de entrada 338 pueden indicar que un valor de datos que representa un valor lógico de cero debe escribirse en el segundo elemento resistivo 314.

**[0054]** En un modo de realización particular, la célula de memoria 306 está configurada para almacenar datos en los elementos resistivos 310, 314. Por ejemplo, el primer elemento resistivo 310 puede configurarse para almacenar una primera representación de datos y el segundo elemento resistivo 314 puede configurarse para almacenar una segunda representación de datos. La célula de memoria 306 puede configurarse para permitir que la primera representación de datos se lea desde el primer elemento resistivo 310 y la segunda representación de datos se lea desde el segundo elemento resistivo 314.

**[0055]** En un modo de realización particular, la célula de memoria 306 incluye circuitos para almacenar y leer los datos almacenados en los elementos resistivos 310, 314. La célula de memoria 306 puede incluir transistores de acceso que controlan el acceso a los elementos resistivos. Los transistores de acceso pueden ser transistores bipolares o transistores de efecto de campo y pueden configurarse como tipo n o tipo p. El acceso al primer elemento resistivo 310 está controlado por un primer transistor de acceso 383. El acceso al segundo elemento resistivo 314 está controlado por un segundo transistor de acceso 387.

**[0056]** Los transistores de acceso de la célula de memoria 306 están conectados a las líneas de palabras desde el decodificador 302 (por ejemplo, la primera línea de palabras 344 y la segunda línea de palabras 348), los elementos resistivos 310, 314 y la línea de detección (SL) 374. Por ejemplo, el primer transistor de acceso 383 puede recibir una señal de la primera línea de palabras 344 para permitir el acceso al primer elemento resistivo 310. Como otro ejemplo, el segundo transistor de acceso 387 puede recibir una señal de la segunda línea de palabras 348 para permitir el acceso al segundo elemento resistivo 314. En un modo de realización particular, los transistores de acceso 383, 387 pueden ser FET de tipo n que incluye cada uno una fuente, una compuerta y un drenaje. Por ejemplo, el primer transistor de acceso 383 puede recibir la señal de la primera línea de palabras 344 en la compuerta y una señal del primer elemento resistivo 310 en la fuente. El drenaje del primer transistor de acceso 383 puede conectarse a la SL 374. Como otro ejemplo, la puerta del segundo transistor de acceso 387 puede conectarse a la segunda línea de palabras 348, la fuente al segundo elemento resistivo 314, y el drenaje a la línea de detección 374.

**[0057]** En un modo de realización particular, los transistores de acceso 383, 387 controlan el acceso a los elementos resistivos 310, 314 de la célula de memoria 306. Por ejemplo, el acceso al primer elemento resistivo 310 se habilita encendiendo el primer transistor de acceso 383. El primer transistor de acceso 383 está configurado para activarse al recibir una señal del decodificador 302 a través de la primera línea de palabras 344. Encender el primer transistor de acceso 383 puede permitir que la corriente fluya a través del primer elemento resistivo 310 de la célula de memoria 306. Como otro ejemplo, el acceso al segundo elemento resistivo 314 se habilita encendiendo el segundo transistor de acceso 387. El segundo transistor de acceso 387 está configurado para encenderse al recibir una señal del decodificador 302 a través de la segunda línea de palabras 348. Encender el segundo transistor de acceso 387 puede permitir que la corriente fluya a través del segundo elemento resistivo 314 de la célula de memoria 306.

**[0058]** Durante la operación de escritura, el decodificador 302 puede generar una señal de salida en respuesta a la recepción de la dirección de entrada y la señal r/w\_thread 350. La señal de salida puede dirigirse a una línea de palabras particular indicada por la dirección de entrada y a un hilo particular indicado por la señal r/w\_thread 350.

**[0059]** En un modo de realización particular, los valores de resistencia de los elementos resistivos indican una representación de los datos que se almacenarán por la célula de memoria 306. Por ejemplo, el primer elemento resistivo 310 puede ser una unión de túnel magnético (MTJ) que incluya capas alineadas en una orientación magnética

particular. A medida que la corriente pasa a través de las capas, la orientación de las capas aumenta o disminuye la resistencia de la MTJ. Si los momentos magnéticos de las capas de la MTJ están en una orientación paralela, entonces el valor de resistencia de la MTJ es menor que si los momentos magnéticos estuvieran en una orientación antiparalela. Un pequeño valor de resistencia de la MTJ (por ejemplo, el primer elemento resistivo 310) puede corresponderse con una primera representación de datos y un valor de resistencia mayor puede corresponderse con una segunda representación de datos.

**[0060]** Durante una operación de lectura, el decodificador 302 puede generar una señal de salida en respuesta a la recepción de la dirección de entrada y la señal r/w\_thread 350. La señal de salida puede dirigirse a una línea de palabras particular en base a la dirección de entrada y a un hilo particular indicado por la señal r/w\_thread 350. La señal de control de lectura/escritura 236 recibida por el selector 330 puede indicar que la operación de lectura debe realizarse por la célula de memoria 306.

**[0061]** En un modo de realización particular, los circuitos de sensor (no mostrados) conectados a la línea de detección 374 compara la corriente en la línea de detección 374 con un circuito de referencia para determinar el valor de resistencia del primer elemento resistivo 310. Por ejemplo, una corriente grande puede indicar un valor de resistencia pequeño y una corriente pequeña puede indicar un valor de resistencia grande. Por ejemplo, el valor de resistencia del primer elemento resistivo 310 puede servir como una indicación del valor lógico almacenado en el primer elemento resistivo 310. Si los momentos magnéticos de las capas de la MTJ (por ejemplo, el primer elemento resistivo 310) están en una orientación paralela, entonces la resistencia detectada sería menor que si los momentos magnéticos estuvieran en una orientación antiparalela. Por ejemplo, un valor de resistencia grande puede representar un valor lógico de cero y un valor de resistencia pequeño puede representar un valor lógico de uno.

**[0062]** En un modo de realización particular, la célula de memoria 306 se usa como una célula RAM para un procesador. Almacenar información de estado (por ejemplo, los datos de entrada 338) como valores de resistencia en los elementos resistivos 310, 314 de la célula de memoria 306 permite que un procesador implemente una arquitectura de encendido instantáneo. Con la arquitectura de encendido instantáneo, el procesador tiene acceso inmediato a la información de estado en la RAM sin tener que cargar la información de estado en la RAM. Los elementos resistivos permiten que la célula de memoria 306 se apague sin perder los valores de resistencia que representan la información de estado. Al encender la célula de memoria 306, el procesador puede acceder a la información de estado almacenada sin tener que cargar la información de estado en la RAM desde un dispositivo externo que funciona como una memoria no volátil, reduciendo por tanto el tiempo de arranque de un sistema que usa la célula de memoria 306.

**[0063]** Con referencia a la FIG. 4, se ilustra un diagrama de un modo de realización de un sistema con una célula SMT que incluye múltiples memorias no volátiles multipuerto y en general se designa con 400. El sistema 400 incluye un núcleo de procesador 404, un decodificador de instrucciones 408, un programador 410, una memoria caché de instrucciones 409 y un archivo de registro 406 que incluye al menos una célula con múltiples memorias no volátiles multipuerto 412. El núcleo de procesador 404 está acoplado al archivo de registro 406 y al programador 410. El programador 410 está acoplado al decodificador de instrucciones 408, que está acoplado a la memoria caché de instrucciones 409.

**[0064]** En un modo de realización particular, el decodificador de instrucciones 408 recibe instrucciones 422 de la memoria caché de instrucciones 409. El decodificador de instrucciones 408 puede decodificar las instrucciones 422 y generar instrucciones con hilos 413 y una o más señales de control 420 que se proporcionarán al programador 410.

**[0065]** El programador 410 puede recibir las instrucciones con hilos 413 y las señales de control 420. El programador 410 puede configurarse para programar hilos 414 para su ejecución en el núcleo de procesador 404. En un modo de realización particular, el programador 410 está configurado para programar al menos dos flujos de instrucciones (por ejemplo, los hilos programados 414) para que se procesen de manera sustancialmente simultánea.

**[0066]** En un modo de realización particular, el núcleo de procesador 404 está configurado para recuperar operandos 430 del archivo de registro 406 en respuesta a la recepción de los hilos programados 414 y una o más señales de control 421 del programador 410. Por ejemplo, los operandos 430 pueden incluir datos de un registro que incluye la célula con múltiples memorias no volátiles multipuerto 412. El núcleo de procesador 404 puede generar datos en base a una ejecución de los hilos programados 414 con los operandos 430. El núcleo de procesador 404 puede reescribir 431 los datos generados en el archivo de registro 406.

**[0067]** En un modo de realización particular, la célula con múltiples memorias no volátiles multipuerto 412 puede ser la célula de memoria 106 de la FIG. 1 o la célula de memoria 206 de la FIG. 2. Por ejemplo, la primera memoria no volátil 108 puede corresponder a un primero de los hilos programados 414 y la segunda memoria no volátil 112 puede corresponder a un segundo de los hilos programados 414. En un modo de realización particular, la célula de múltiples memorias no volátiles multipuerto 412 almacena un bit de un registro para cada hilo. Por ejemplo, un bit de un operando puede almacenarse en la célula de múltiples memorias no volátiles multipuerto 412. Durante una operación de lectura, el archivo de registro 406 puede generar operandos (por ejemplo, los operandos 430) correspondientes a los hilos programados 414. Durante la reescritura 431, el archivo de registro 406 puede almacenar datos recibidos desde el núcleo de procesador 404.

**[0068]** En un modo de realización particular, el archivo de registro 406 se usa como RAM para el núcleo de procesador 404. El almacenamiento de información de estado (por ejemplo, los datos recibidos durante la reescritura 431) en la célula con múltiples memorias no volátiles multipuerto 412 del archivo de registro 406 permite que se implemente una arquitectura de encendido instantáneo en el archivo de registro 406. Las memorias no volátiles permiten que el archivo de registro 406 se apague sin perder la información de estado almacenada. Al encender el archivo de registro 406, el núcleo de procesador 404 puede acceder a la información de estado almacenada sin tener que cargar la información de estado en el archivo de registro 406 desde un dispositivo externo que funciona como memoria no volátil, reduciendo por tanto el tiempo de arranque del sistema 400 que usa el núcleo de procesador 404 y el archivo de registro 406.

**[0069]** La FIG. 5 es un diagrama de flujo de un primer modo de realización de un procedimiento 500 para hacer funcionar una célula que incluye múltiples memorias no volátiles multipuerto. En un modo de realización particular, el procedimiento 500 se realiza por cualquiera de los sistemas de las FIGS. 1-4, o cualquier combinación de los mismos. El procedimiento 500 incluye recibir primeros datos y recibir segundos datos en una única célula de memoria que incluye una primera memoria no volátil y una segunda memoria no volátil, en 502. Por ejemplo, la célula de memoria 106 de la FIG. 1 puede recibir los primeros datos 139 en la célula de memoria única 106 que incluye la primera memoria no volátil 108 y la segunda memoria no volátil 112. En un modo de realización particular, la primera memoria no volátil es una primera memoria no volátil multipuerto y la segunda memoria no volátil es una segunda memoria no volátil multipuerto. El procedimiento 500 también incluye almacenar los primeros datos en un primer elemento de memoria resistivo de la primera memoria no volátil, en 504. Por ejemplo, la célula de memoria 106 de la FIG. 1 puede almacenar los primeros datos 139 en el primer elemento de memoria resistivo 110 de la primera memoria no volátil 108. El procedimiento 500 también incluye almacenar los segundos datos en un segundo elemento de memoria resistivo de la segunda memoria no volátil, en 506. Por ejemplo, la célula de memoria 106 de la FIG. 1 puede almacenar los segundos datos 140 en el segundo elemento de memoria resistivo 114 de la segunda memoria no volátil 112.

**[0070]** En un modo de realización particular, el procedimiento 500 incluye opcionalmente generar una primera señal de salida correspondiente a un valor de datos almacenado en la primera memoria no volátil, donde la primera señal de salida responde a una señal de control de lectura/escritura, en 508. Por ejemplo, la célula de memoria 106 de la FIG. 1 puede generar la primera señal de salida (es decir, los datos de salida 122) correspondiente a un valor de datos almacenado en la primera memoria no volátil 108, donde la primera señal de salida (es decir, los datos de salida 122) responde a la señal de control de lectura/escritura (por ejemplo, señal de control de lectura/escritura 236 de la FIG. 2).

**[0071]** El procedimiento de la FIG. 5 puede realizarse en un procesador integrado en un dispositivo electrónico. Por ejemplo, como se describirá con respecto a la FIG. 6, los primeros datos y los segundos datos pueden recibirse y almacenarse por un ordenador u otro dispositivo electrónico. De forma alternativa, o además, un experto en la técnica reconocerá que el procedimiento 500 de la FIG. 5 puede implementarse o iniciarse por una matriz de compuerta programable por campo (FPGA), un circuito integrado específico de la aplicación (ASIC), una unidad central de procesamiento (CPU), un procesador de señales digitales (DSP), un controlador, otro dispositivo de hardware o cualquier combinación de los mismos.

**[0072]** La FIG. 6 es un diagrama de bloques de un modo de realización de un dispositivo de comunicación inalámbrica 600 que tiene una célula con múltiples memorias no volátiles multipuerto 664. El dispositivo de comunicación inalámbrica 600 puede implementarse como un dispositivo electrónico inalámbrico portátil que incluye un procesador 610, tal como un procesador de señales digitales (DSP), acoplado a una memoria 632.

**[0073]** La memoria 632 puede incluir un medio legible por ordenador que almacene instrucciones (por ejemplo, software 634) que sean ejecutables por un procesador, tal como el procesador 610. Por ejemplo, el software 634 puede incluir instrucciones que sean ejecutables por un ordenador para recibir primeros datos y recibir segundos datos en una única célula de memoria, tal como la célula con múltiples memorias no volátiles con múltiples puertos 664, que incluye una primera memoria no volátil multipuerto y una segunda memoria no volátil multipuerto. El software 634 también puede incluir instrucciones que sean ejecutables por el ordenador para almacenar los primeros datos en un primer elemento de memoria resistivo de la primera memoria no volátil multipuerto. El software 634 también puede incluir instrucciones que sean ejecutables por el ordenador para almacenar los segundos datos en un segundo elemento de memoria resistivo de la segunda memoria no volátil con múltiples puertos.

**[0074]** En un ejemplo ilustrativo, la célula con múltiples memorias no volátiles con múltiples puertos 664 incluye uno o más de los módulos o aparatos de las FIGS. 1-4, funciona de acuerdo con la FIG. 5, o cualquier combinación de los mismos. La célula con múltiples memorias no volátiles multipuerto 664 puede estar en el procesador 610 o puede estar en un dispositivo separado.

**[0075]** En un modo de realización particular, un controlador de visualización 626 está acoplado al procesador 610 y a un dispositivo de visualización 628. También puede acoplarse un codificador/decodificador (CÓDEC) 634 al procesador 610. Un altavoz 636 y un micrófono 638 pueden acoplarse al CÓDEC 634. Un controlador inalámbrico

640 puede acoplarse al procesador 610 y a una antena inalámbrica 642. La célula con múltiples memorias no volátiles con múltiples puertos 664 está acoplada al controlador inalámbrico 640, al CÓDEC 634 y al controlador de pantalla 626. En un modo de realización particular, la célula con múltiples memorias no volátiles multipuerto 664 está configurada para almacenar datos relacionados con el controlador de pantalla 626, el CÓDEC 634 y el controlador inalámbrico 640.

**[0076]** En un modo de realización particular, el procesador de señales 610, el controlador de visualización 626, la memoria 632, el CÓDEC 634 y el controlador inalámbrico 640 están incluidos en un dispositivo de sistema en paquete o de sistema en chip 622. En un modo de realización particular, un dispositivo de entrada 630 y una fuente de alimentación 644 están acoplados al dispositivo de sistema en chip 622. Además, en un modo de realización particular, ilustrado en la FIG. 6, el dispositivo de visualización 628, el dispositivo de entrada 630, el altavoz 636, el micrófono 638, la antena inalámbrica 642 y la fuente de alimentación 644 son externos al dispositivo de sistema en chip 622. Sin embargo, cada uno del dispositivo de visualización 628, el dispositivo de entrada 630, el altavoz 636, el micrófono 638, la antena inalámbrica 642 y la fuente de alimentación 644 pueden acoplarse a un componente del dispositivo de sistema en chip 622, tal como una interfaz o un controlador.

**[0077]** Los dispositivos y funcionalidades divulgados anteriormente pueden diseñarse y configurarse en archivos de ordenador (por ejemplo, RTL, GDSII, GERBER, etc.) almacenados en medios legibles por ordenador. Algunos o la totalidad de dichos archivos pueden proporcionarse a los responsables de fabricación que fabrican dispositivos en base a dichos archivos. Los productos resultantes incluyen obleas semiconductoras que, a continuación, se cortan como una pastilla semiconductor y se ofrecen como un chip semiconductor. Los chips se emplean a continuación en los dispositivos descritos anteriormente.

**[0078]** La FIG. 7 representa un modo de realización ilustrativo particular de un proceso de fabricación de dispositivos electrónicos 700. La información 702 del dispositivo físico se recibe en el proceso de fabricación 700, tal como en un ordenador de investigación 706. La información de dispositivo físico 702 puede incluir información de diseño que represente al menos una propiedad física de un dispositivo semiconductor, tal como el sistema 100 de la FIG. 1, el sistema 200 de la FIG. 2, el sistema 300 de la FIG. 3, el sistema 400 de la FIG. 4, o cualquier combinación de los mismos. Por ejemplo, la información de dispositivo físico 702 puede incluir parámetros físicos, características del material e información de la estructura que se introduce a través de una interfaz de usuario 704 acoplada al ordenador de investigación 706. El ordenador de investigación 706 incluye un procesador 708, tal como uno o más núcleos de procesamiento, acoplado a un medio legible por ordenador tal como una memoria 710. La memoria 710 puede almacenar instrucciones legibles por ordenador que sean ejecutables para causar que el procesador 708 transforme la información 702 del dispositivo físico para cumplir con un formato de archivo y generar un archivo de biblioteca 712.

**[0079]** En un modo de realización particular, el archivo de biblioteca 712 incluye al menos un archivo de datos que incluye la información de diseño transformada. Por ejemplo, el archivo de biblioteca 712 puede incluir una biblioteca de dispositivos semiconductores que incluya un dispositivo que incluya la célula de memoria 106 de la FIG. 1 (por ejemplo, el aparato 100 de la FIG. 1), un dispositivo que incluya la célula de memoria 206 de la FIG. 2 (por ejemplo, el aparato 200 de la FIG. 2), un dispositivo que incluya la célula de memoria 306 de la FIG. 3 (por ejemplo, el aparato 300 de la FIG. 3), un dispositivo que incluya la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 (por ejemplo, el aparato 400 de la FIG. 4), o cualquier combinación de los mismos, que se proporciona para usar con una herramienta de automatización de diseño electrónico (EDA) 720.

**[0080]** El archivo de biblioteca 712 puede usarse junto con la herramienta EDA 720 en un ordenador de diseño 714 que incluye un procesador 716, tal como uno o más núcleos de procesamiento, acoplado a una memoria 718. La herramienta EDA 720 puede almacenarse como instrucciones ejecutables por el procesador en la memoria 718 para permitir que un usuario del ordenador de diseño 714 diseñe un circuito que incluya un dispositivo que incluya la célula de memoria 106 de la FIG. 1 (por ejemplo, el aparato 100 de la FIG. 1), un dispositivo que incluya la célula de memoria 206 de la FIG. 2 (por ejemplo, el aparato 200 de la FIG. 2), un dispositivo que incluya la célula de memoria 306 de la FIG. 3 (por ejemplo, el aparato 300 de la FIG. 3), un dispositivo que incluya la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 (por ejemplo, el aparato 400 de la FIG. 4), o cualquier combinación de los mismos, del archivo de biblioteca 712. Por ejemplo, un usuario del ordenador de diseño 714 puede introducir la información de diseño de circuito 722 a través de una interfaz de usuario 724 acoplada al ordenador de diseño 714. La información de diseño de circuito 722 puede incluir información de diseño que represente al menos una propiedad física de un dispositivo semiconductor, tal como un dispositivo que incluya la célula de memoria 106 de la FIG. 1 (por ejemplo, el aparato 100 de la FIG. 1), un dispositivo que incluya la célula de memoria 206 de la FIG. 2 (por ejemplo, el aparato 200 de la FIG. 2), un dispositivo que incluya la célula de memoria 306 de la FIG. 3 (por ejemplo, el aparato 300 de la FIG. 3), un dispositivo que incluya la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 (por ejemplo, el aparato 400 de la FIG. 4), o cualquier combinación de los mismos. Para ilustrar, la propiedad de diseño de circuito puede incluir la identificación de circuitos particulares y las relaciones con otros elementos en un diseño de circuito, información de posicionamiento, información de tamaño del rasgo característico, información de interconexión u otra información que represente una propiedad física de un dispositivo semiconductor.

**[0081]** El ordenador de diseño 714 puede configurarse para transformar la información de diseño, incluyendo la información de diseño de circuito para cumplir con un formato de archivo 722. Para ilustrar, el formato de archivo

puede incluir un formato de archivo binario de base de datos que represente formas geométricas planas, etiquetas de texto y otra información sobre una disposición de circuito en un formato jerárquico, tal como el formato de archivo del sistema de datos gráficos (GDSII). El ordenador de diseño 714 puede configurarse para generar un archivo de datos que incluya la información de diseño transformada, tal como un archivo GDSII 726 que incluya información que describa la célula de memoria 106 de la FIG. 1, la célula de memoria 206 de la FIG. 2, la célula con múltiples memorias no volátiles multipuerto 312 de la FIG. 3, la célula de memoria con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 o cualquier combinación de los mismos, además de otros circuitos o información. Para ilustrar, el archivo de datos puede incluir información correspondiente a un sistema en chip (SOC) que incluya la célula de memoria 106 de la FIG. 1 y que también incluya circuitos electrónicos y componentes adicionales dentro del SOC.

**[0082]** El archivo GDSII 726 puede recibirse en un proceso de fabricación 728 para fabricar el dispositivo de memoria 106 de la FIG. 1, la célula de memoria 206 de la FIG. 2, la célula de memoria 306 de la FIG. 3, la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 o cualquier combinación de los mismos, de acuerdo con la información transformada en el archivo GDSII 726. Por ejemplo, un proceso de fabricación de dispositivos puede incluir proporcionar el archivo GDSII 726 a un fabricante de máscaras 730 para crear una o más máscaras, tales como máscaras que se usarán en el procesamiento de fotolitografías, ilustradas como una máscara representativa 732. La máscara 732 puede usarse durante el proceso de fabricación para generar una o más obleas 734, que pueden probarse y separarse en pastillas, tales como una pastilla representativa 736. La pastilla 736 incluye un circuito que incluye un dispositivo que incluye la célula de memoria 106 de la FIG. 1 (por ejemplo, el aparato 100 de la FIG. 1), un dispositivo que incluye la célula de memoria 206 de la FIG. 2 (por ejemplo, el aparato 200 de la FIG. 2), un dispositivo que incluye la célula de memoria 306 de la FIG. 3 (por ejemplo, el aparato 300 de la FIG. 3), un dispositivo que incluye la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 (por ejemplo, el aparato 400 de la FIG. 4), o cualquier combinación de los mismos.

**[0083]** La pastilla 736 puede proporcionarse a un proceso de empaquetado 738 donde la pastilla 736 se incorpora en un paquete representativo 740. Por ejemplo, el paquete 740 puede incluir una única pastilla 736 o múltiples pastillas, tal como una disposición de sistema en paquete (SiP). El paquete 740 puede configurarse para cumplir con una o más normas o especificaciones, tales como las normas del Consejo de Ingeniería de Dispositivos Electrónicos Conjuntos (JEDEC).

**[0084]** La información sobre el paquete 740 puede distribuirse a diversos diseñadores de productos, tal como a través de una biblioteca de componentes almacenada en un ordenador 746. El ordenador 746 puede incluir un procesador 748, tal como uno o más núcleos de procesamiento, acoplados a una memoria 750. Una herramienta de placa de circuito impreso (PCB) puede almacenarse como instrucciones ejecutables por procesador en la memoria 750 para procesar la información de diseño de PCB 742 recibida de un usuario del ordenador 746 a través de una interfaz de usuario 744. La información de diseño de PCB 742 puede incluir información de posicionamiento físico de un dispositivo semiconductor empaquetado en una placa de circuito, incluyendo el dispositivo semiconductor empaquetado correspondiente al paquete 740 que incluye la célula de memoria 106 de la FIG. 1, la célula de memoria 206 de la FIG. 2, la célula de memoria 306 de la FIG. 3, la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 o cualquier combinación de los mismos.

**[0085]** El ordenador 746 puede configurarse para transformar la información de diseño de PCB 742 para generar un archivo de datos, tal como un archivo GERBER 752 con datos que incluyen información de posicionamiento físico de un dispositivo semiconductor empaquetado en una placa de circuito, así como la disposición de conexiones eléctricas tales como trazas y vías, donde el dispositivo semiconductor empaquetado corresponde al paquete 740 que incluye la célula de memoria 106 de la FIG. 1, la célula de memoria 206 de la FIG. 2, la célula de memoria 306 de la FIG. 3, la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 o cualquier combinación de los mismos. En otros modos de realización, el archivo de datos generado por la información de diseño de PCB transformada puede tener un formato distinto del formato GERBER.

**[0086]** El archivo GERBER 752 puede recibirse en un proceso de montaje de placa 754 y usarse para crear PCB, tal como una PCB representativa 756, fabricada de acuerdo con la información de diseño almacenada en el archivo GERBER 752. Por ejemplo, el archivo GERBER 752 puede cargarse en una o más máquinas para realizar diversas etapas de un proceso de producción de PCB. La PCB 756 puede llenarse con componentes electrónicos que incluyan el paquete 740 para formar un montaje de circuito impreso (PCA) 758 representativo.

**[0087]** El PCA 758 puede recibirse en un proceso de fabricación de producto 760 e integrarse en uno o más dispositivos electrónicos, tal como un primer dispositivo electrónico representativo 762 y un segundo dispositivo electrónico representativo 764. Como ejemplo ilustrativo, no limitativo, el primer dispositivo electrónico representativo 762, el segundo dispositivo electrónico representativo 764, o ambos, puede seleccionarse del grupo de un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal (PDA), una unidad de datos de localización fija, y un ordenador, en el cual está integrado el al menos un módulo de consumo de energía controlable. Como otro ejemplo ilustrativo, no limitativo, uno o más de los dispositivos electrónicos 762 y 764 pueden ser unidades remotas tales como teléfonos móviles, unidades de los sistemas de comunicación personal portátiles (PCS), unidades de datos portátiles tales como asistentes de datos personales, dispositivos habilitados para el sistema de

posicionamiento global (GPS), dispositivos de navegación, unidades de datos de localización fija tales como equipos de lectura de medidores, o cualquier otro dispositivo que almacene o recupere datos o instrucciones de ordenador, o cualquier combinación de los mismos. Aunque la FIG. 7 ilustra unidades remotas de acuerdo con las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ilustradas ejemplares. Los modos de realización de la divulgación pueden emplearse adecuadamente en cualquier dispositivo que incluya circuitos integrados activos que incluyan la memoria y los circuitos en chip.

**[0088]** Un dispositivo que incluye la célula de memoria 106 de la FIG. 1 (por ejemplo, el aparato 100 de la FIG. 1), un dispositivo que incluye la célula de memoria 206 de la FIG. 2 (por ejemplo, el aparato 200 de la FIG. 2), un dispositivo que incluye la célula de memoria 306 de la FIG. 3 (por ejemplo, el aparato 300 de la FIG. 3), un dispositivo que incluye la célula con múltiples memorias no volátiles multipuerto 412 de la FIG. 4 (por ejemplo, el aparato 400 de la FIG. 4), o cualquier combinación de los mismos, puede fabricarse, procesarse e incorporarse a un dispositivo electrónico, como se describe en el proceso ilustrativo 700. Uno o más aspectos de los modos de realización divulgados con respecto a las FIGS. 1-4 puede incluirse en diversas etapas de procesamiento, tales como dentro del archivo de biblioteca 712, el archivo GDSII 726 y el archivo GERBER 752, así como almacenarse en la memoria 710 del ordenador de investigación 706, la memoria 718 del ordenador de diseño 714, la memoria 750 del ordenador 746, la memoria de uno o más de otros ordenadores o procesadores (no mostrados) usados en las diversas etapas, tal como en el proceso de montaje de placa 754, y también incorporarse en uno o más modos de realización físicos, tales como la máscara 732, la pastilla 736, el paquete 740, el PCA 758, otros productos tales como circuitos o dispositivos prototipo (no mostrados), o cualquier combinación de los mismos. Aunque se representan diversas etapas representativas de la producción desde el diseño de un dispositivo físico hasta un producto final, en otros modos de realización pueden usarse menos etapas o pueden incluirse etapas adicionales. De forma similar, el proceso 700 puede realizarse por una única entidad o por una o más entidades que realicen diversas etapas del proceso 700.

**[0089]** Los expertos apreciarán, además, que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de procedimiento ilustrativos descritos en conexión con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático ejecutado por un procesador o combinaciones de ambos. Se han descrito anteriormente diversos componentes, bloques, configuraciones, módulos, circuitos y etapas ilustrativos, en general en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software ejecutable depende de la solicitud en particular y de las restricciones de diseño impuestas al sistema global. Los expertos en la técnica pueden implementar la funcionalidad descrita de distintas formas para cada solicitud en particular, pero no debe interpretarse que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.

**[0090]** Un módulo de software puede residir en una memoria de acceso aleatorio (RAM), una memoria de acceso aleatorio magnetorresistiva (MRAM), una MRAM de transferencia de par de espín (STT-MRAM), una memoria flash, una memoria de solo lectura (ROM), una memoria de solo lectura programable (PROM), una memoria de solo lectura programable y borrrable (EPROM), una memoria de solo lectura programable y borrrable eléctricamente (EEPROM), registros, disco duro, disco extraíble, disco compacto con memoria de solo lectura (CD-ROM) o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar está acoplado al procesador de modo que el procesador puede leer información de, y escribir información en, el medio de almacenamiento. De forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un circuito integrado específico de la aplicación (ASIC). El ASIC puede residir en un dispositivo informático o en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o en un terminal de usuario.

**[0091]** La descripción anterior de los modos de realización divulgados se proporciona para permitir a un experto en la técnica crear o usar los modos de realización divulgados. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes para los expertos en la técnica, y los principios definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la divulgación. Por tanto, la presente divulgación no pretende limitarse a los modos de realización mostrados en el presente documento, sino que debe reconocerse el alcance más amplio posible consecuente con los principios y rasgos característicos novedosos como se define en las reivindicaciones siguientes.

**REIVINDICACIONES**

1. Un dispositivo de memoria (101) que comprende:

5 un decodificador (202);  
una pluralidad de células de memoria (106), en el que cada una de las células de memoria comprende:  
10 un primer elemento de memoria no volátil correspondiente (108) que incluye un primer elemento de memoria resistivo correspondiente (110) y asociado con un primer hilo; y  
un segundo elemento de memoria no volátil correspondiente (112) que incluye un segundo elemento de memoria resistivo correspondiente (114) y asociado con un segundo hilo,  
15 en el que cada uno del primer elemento de memoria no volátil (108) y el segundo elemento de memoria no volátil (112) es un elemento de memoria multipuerto, y  
en el que el decodificador está configurado para recibir, para cada puerto (P0, P1) de los elementos de memoria multipuerto, una entrada de dirección de puerto (240, 241) respectiva para seleccionar una correspondiente de las células de memoria a las que se accederá con dicho puerto y para recibir una entrada de selección de hilo (250); en el que  
20 si la entrada de selección de hilo (250) está en un nivel bajo, el decodificador (202) está configurado para, para cada puerto de los elementos de memoria multipuerto, seleccionar el primer elemento de memoria no volátil (108) de dicha célula de memoria correspondiente seleccionada a la que se accederá con dicho puerto, y  
25 si la entrada de selección de hilo (250) está en un nivel alto, el decodificador (202) está configurado para, para cada puerto de los elementos de memoria con múltiples puertos, seleccionar el segundo elemento de memoria no volátil (112) de dicha célula de memoria correspondiente seleccionada para acceder con dicho puerto.

2. El dispositivo de memoria de la reivindicación 1, en el que un controlador de línea de bits (230) acoplado a la al menos una de las células de memoria (106) responde a una entrada de control de lectura/escritura (236).

3. El dispositivo de memoria de la reivindicación 1, en el que el dispositivo de memoria es una memoria de acceso aleatorio magnetorresistiva, MRAM, que está configurada preferentemente para escribir datos usando transferencia de par de espín, STT.

4. El dispositivo de memoria de la reivindicación 1, en el que el primer elemento de memoria no volátil (108) y el segundo elemento de memoria no volátil (112) corresponden cada uno a un bit común dentro de un único archivo de registro, en el que el primer elemento de memoria no volátil (108) almacena la primera información de estado correspondiente a un primer flujo de instrucciones (124) y el segundo elemento de memoria no volátil (112) almacena la segunda información de estado correspondiente a un segundo flujo de instrucciones (126).

5. El controlador de acuerdo con la reivindicación 1, integrado en al menos una pastilla semiconductor (736).

6. El dispositivo de la reivindicación 1, que comprende además un dispositivo seleccionado de un grupo que consiste en un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal, PDA, una unidad de datos de localización fija y un ordenador, en el cual se integra el dispositivo de memoria.

7. Un sistema que comprende:

55 un procesador (708); y  
un dispositivo de memoria de acuerdo con la reivindicación 1.

8. Un procedimiento para hacer funcionar un dispositivo de memoria (101) que comprende un decodificador (202) y una pluralidad de células de memoria (106), en el que cada una de las células de memoria comprende un primer elemento de memoria no volátil correspondiente (108) que incluye un primer elemento de memoria resistivo correspondiente (110) y asociado con un primer hilo; y un segundo elemento de memoria no volátil correspondiente (112) que incluye un segundo elemento de memoria resistivo correspondiente (114) y asociado con un segundo hilo, en el que cada uno del primer elemento de memoria no volátil (108) y del segundo elemento de memoria no volátil (112) es un elemento de memoria multipuerto acoplado a un primer (213, P0) y un segundo puerto (211, P1), comprendiendo el procedimiento:

recibir, en el decodificador, para cada puerto (P0, P1) de los elementos de memoria multipuerto, una entrada de dirección de puerto (240, 241) respectiva para seleccionar una correspondiente de las células de memoria a las que se accederá con dicho puerto;

5

recibir, en el decodificador, una entrada de selección de hilo (250);

si la entrada de selección de hilo (250) está en un nivel bajo, para cada puerto de los elementos de memoria multipuerto, seleccionar el primer elemento de memoria no volátil (108) de dicha célula de memoria correspondiente seleccionada para acceder con dicho puerto;

10

si la entrada de selección de hilo (250) está en un nivel alto, para cada puerto de los elementos de memoria multipuerto, seleccionar el segundo elemento de memoria no volátil (112) de dicha célula de memoria correspondiente seleccionada para acceder con dicho puerto;

15

recibir (502) primeros datos (wData\_P0) asociados con el primer puerto y recibir segundos datos (wData P1) asociados con el segundo puerto;

almacenar (504) los primeros datos en el primero seleccionado del primer elemento de memoria no volátil (108) y en el segundo elemento de memoria no volátil (112) de dicha célula de memoria correspondiente seleccionada a la que accederá dicho primer puerto; y

20

almacenar (506) los segundos datos en el primero seleccionado del primer elemento de memoria no volátil (108) y en el segundo elemento de memoria no volátil (112) de dicha célula de memoria correspondiente seleccionada a la que accederá dicho segundo puerto.

25

9. Un medio legible por ordenador que almacena instrucciones ejecutables por un ordenador, las instrucciones, cuando se ejecutan por el ordenador, dan como resultado el cumplimiento de todas las etapas de la reivindicación 8.

30

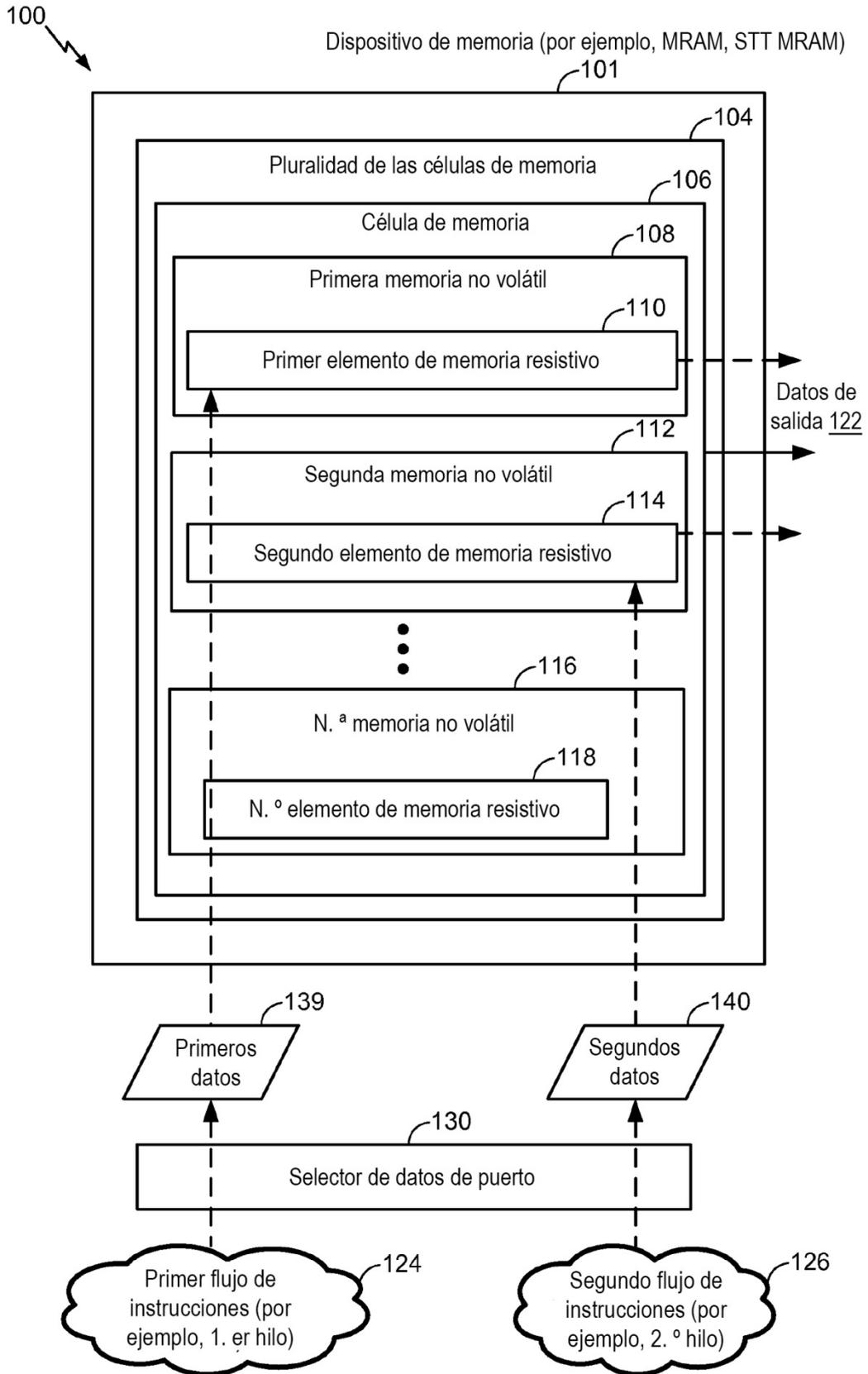


FIG. 1

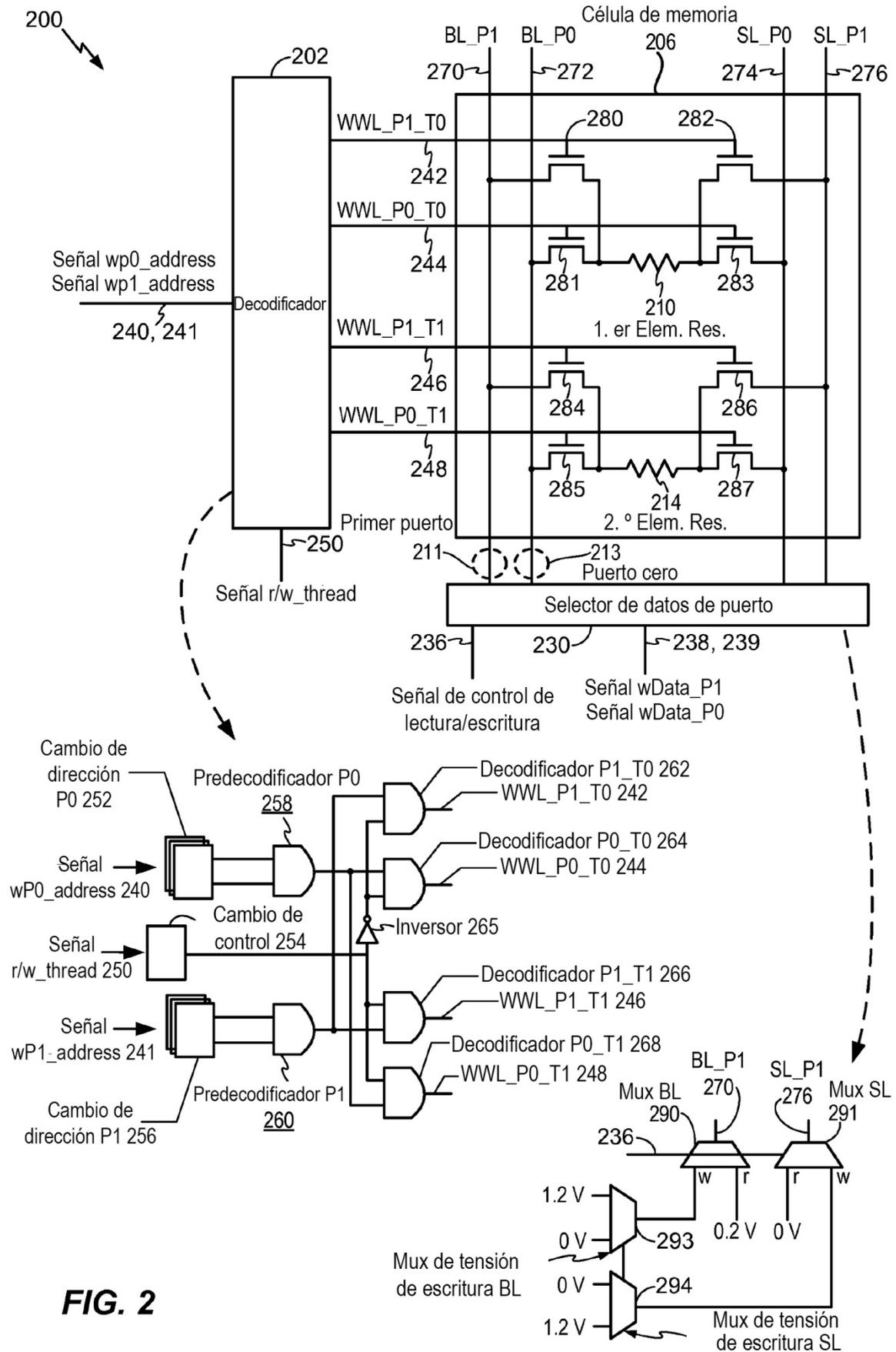
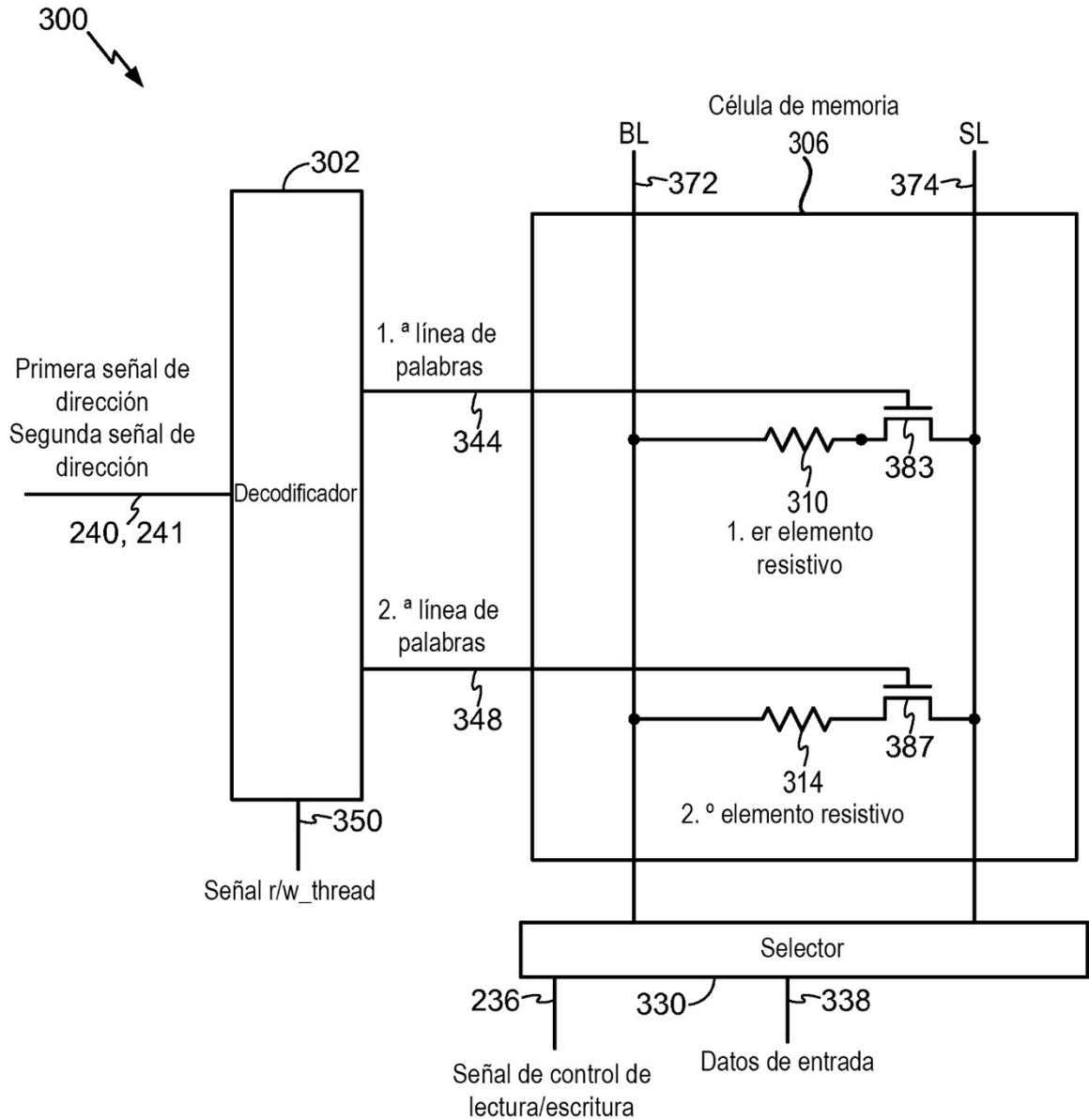
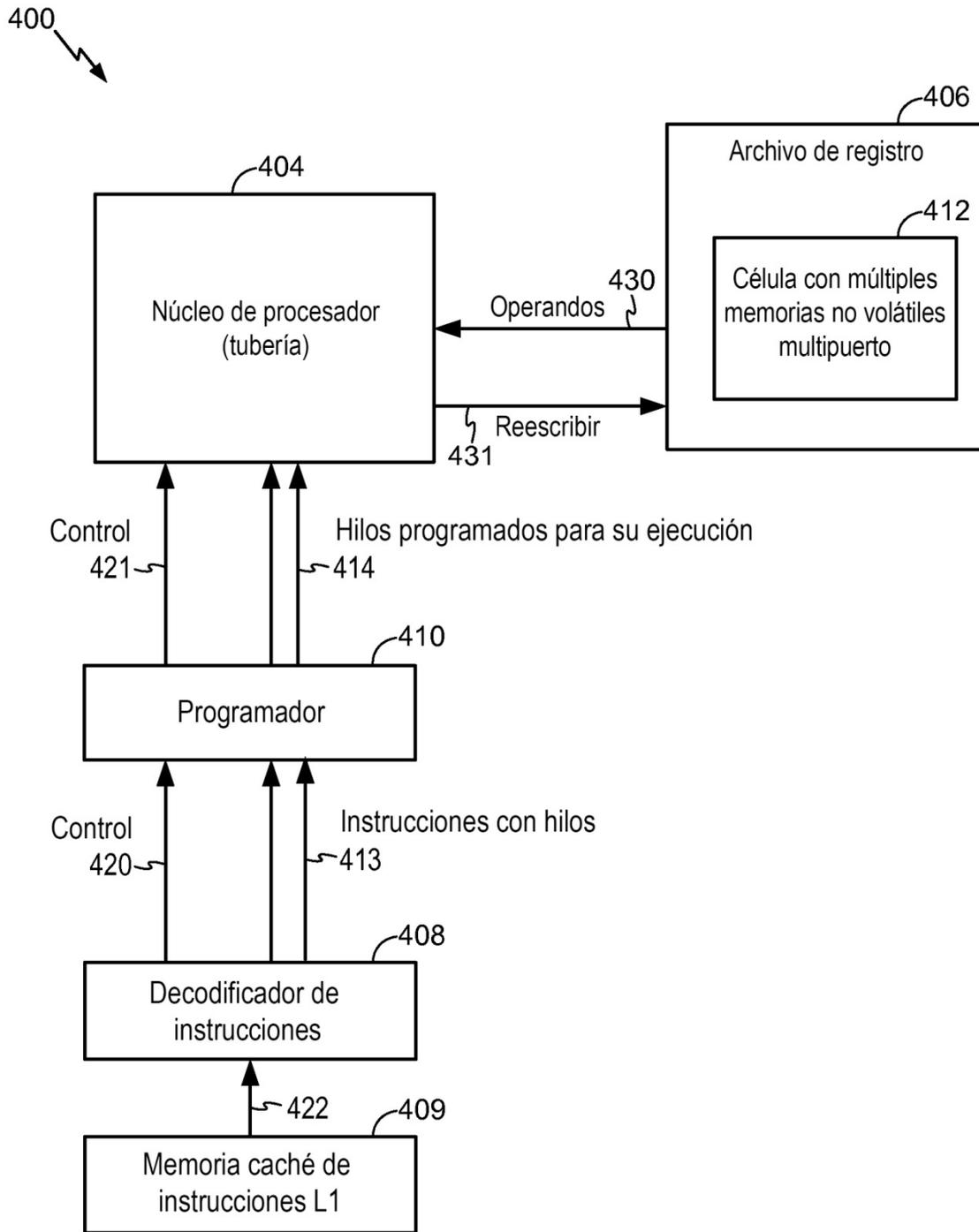


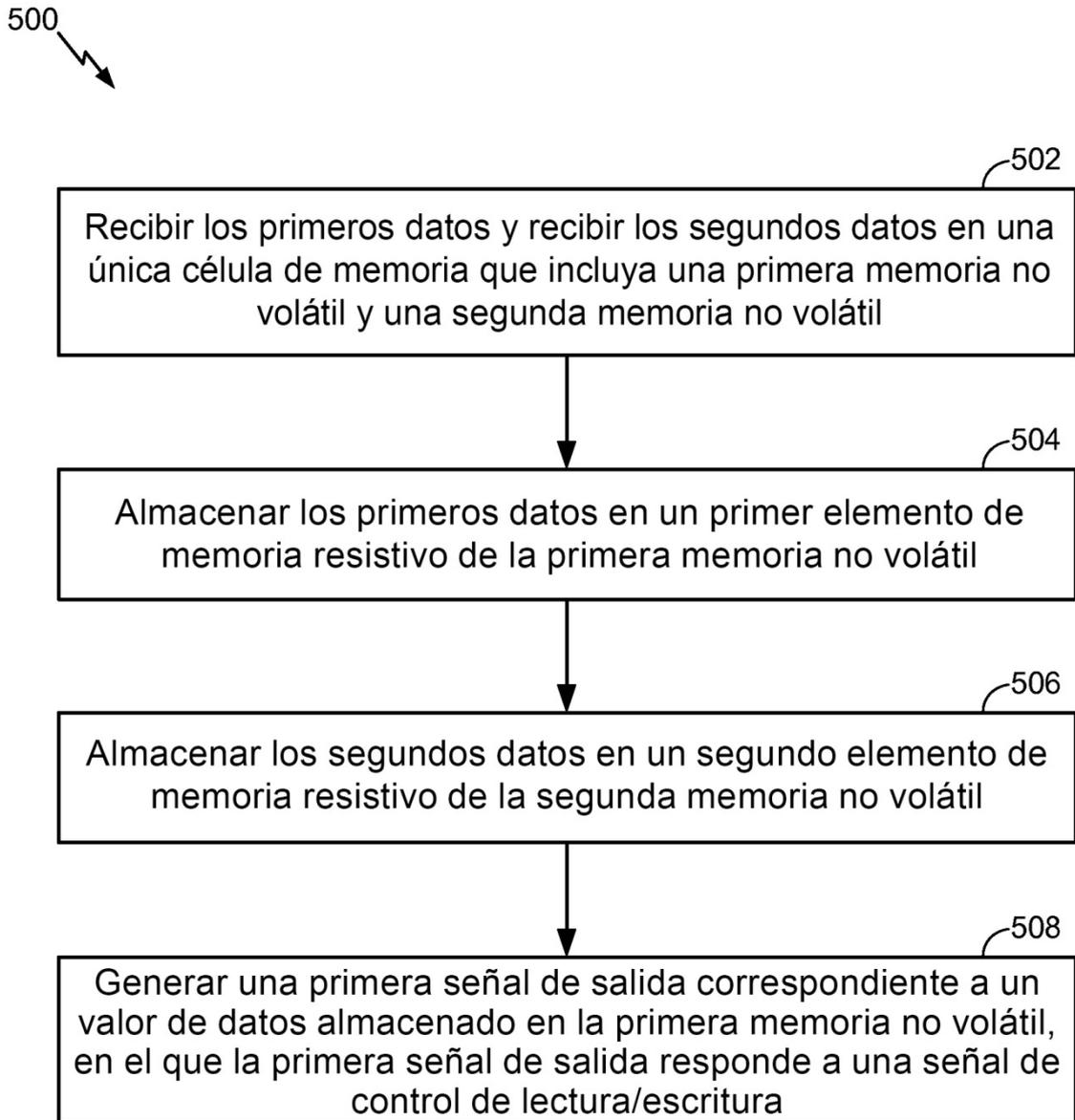
FIG. 2



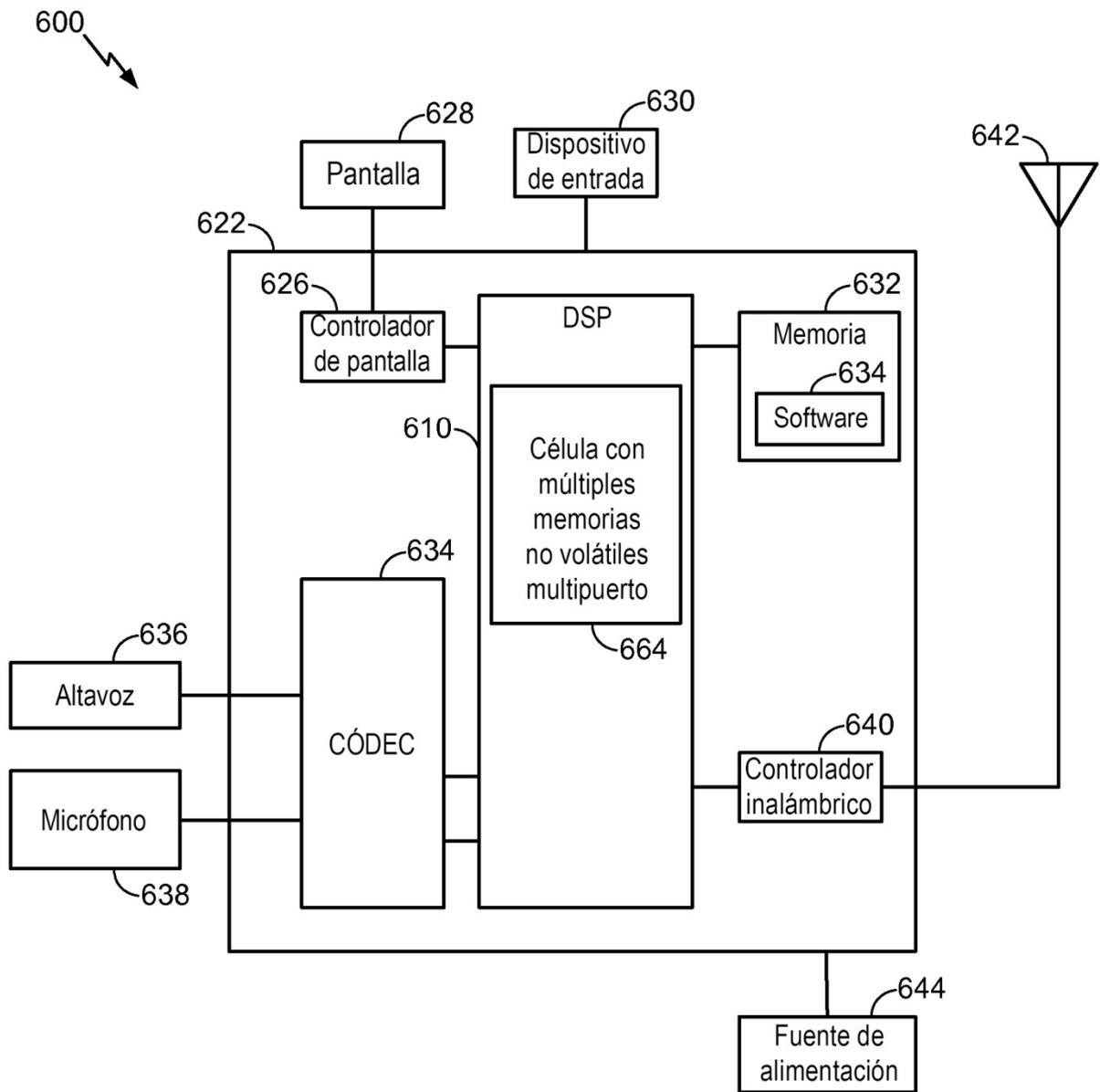
**FIG. 3**



**FIG. 4**



**FIG. 5**



**FIG. 6**

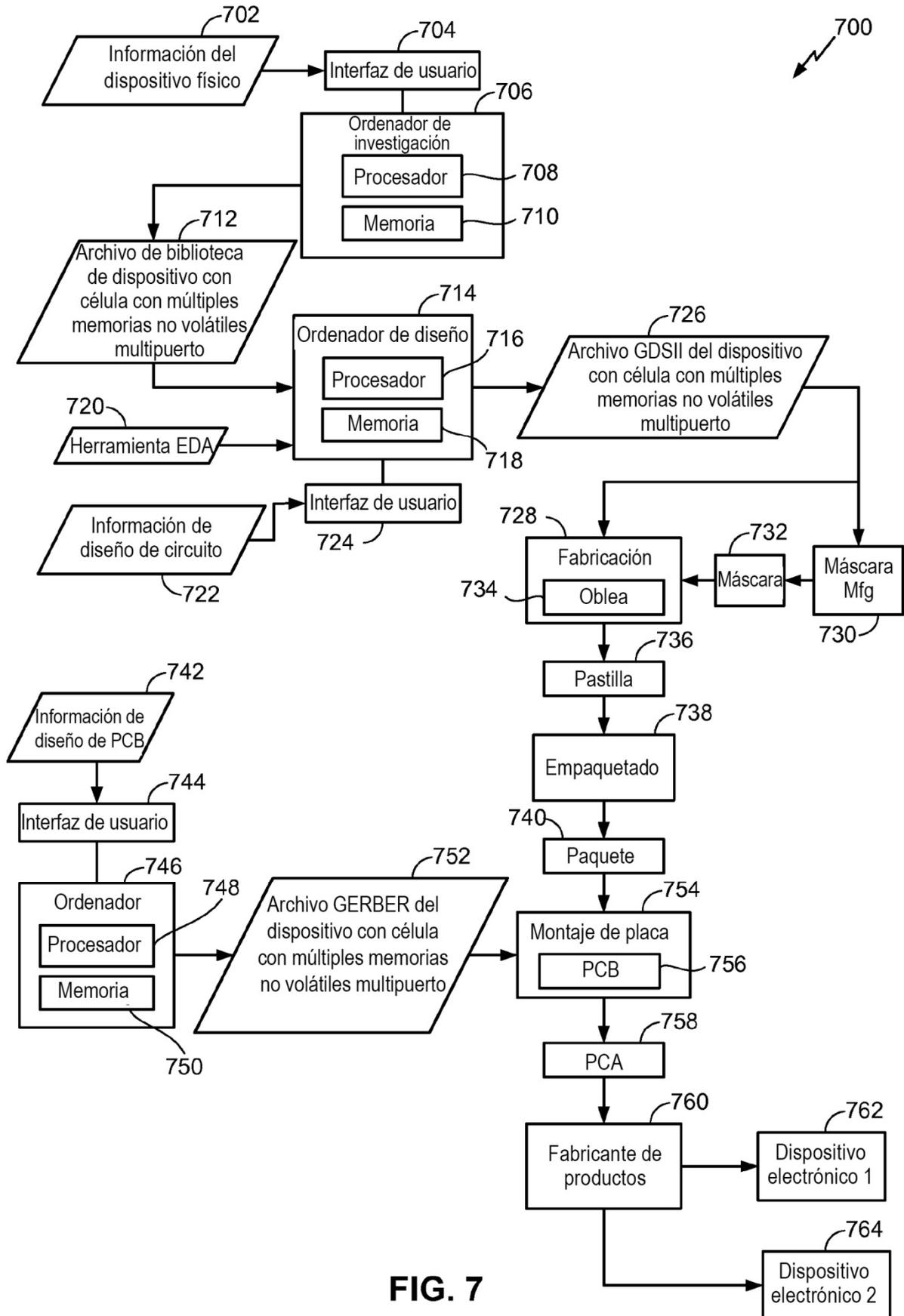


FIG. 7