

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 810 015**

51 Int. Cl.:

H02M 3/158 (2006.01)

H03K 19/00 (2006.01)

H02M 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **23.04.2007 PCT/US2007/067227**

87 Fecha y número de publicación internacional: **22.11.2007 WO07133899**

96 Fecha de presentación y número de la solicitud europea: **23.04.2007 E 07761131 (7)**

97 Fecha y número de publicación de la concesión europea: **06.05.2020 EP 2025059**

54 Título: **Sistema y procedimiento de control de distribución de energía de un circuito integrado**

30 Prioridad:

10.05.2006 US 431790

14.09.2006 US 532000

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

08.03.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

CHUA-EOAN, LEW G.;
ANDREEV, BORIS;
RIDDLE, CHRISTOPHER;
SHI, CHUNLEI;
JUNG, SEONG-OOK;
TOMS, THOMAS R. y
GAGNE, JUSTIN JOSEPH ROSEN

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 810 015 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento de control de distribución de energía de un circuito integrado

5 **ANTECEDENTES****Solicitudes relacionadas**

10 **[0001]** Esta solicitud está relacionada con la de número de serie 11/431,790, titulada "System and Method of Silicon Switched Power Delivery Using a Package [Sistema y procedimiento de fuente de alimentación conmutada de silicio usando un paquete]", presentada el 10 de mayo de 2006.

I. Campo

15 **[0002]** La presente divulgación se refiere en general a sistemas y procedimientos de control de distribución de energía.

II. Descripción de la técnica relacionada

20 **[0003]** Los avances en la tecnología han dado como resultado dispositivos informáticos personales más pequeños y más potentes. Por ejemplo, existe actualmente una variedad de dispositivos informáticos personales portátiles, que incluyen dispositivos informáticos inalámbricos, tales como teléfonos inalámbricos portátiles, asistentes digitales personales (PDA) y dispositivos de localización que son pequeños, ligeros y de fácil transporte por los usuarios. Más específicamente, los teléfonos inalámbricos portátiles, tales como los teléfonos móviles (analógicos y digitales) y los teléfonos de protocolo de Internet (IP), pueden comunicar paquetes de voz y datos a través de redes inalámbricas. Además, muchos de dichos teléfonos inalámbricos incluyen otros tipos de dispositivos que se incorporan en los mismos. Por ejemplo, un teléfono inalámbrico puede incluir también una cámara fotográfica digital, una cámara de vídeo digital, un grabador digital y un reproductor de archivos de audio. Además, dichos teléfonos inalámbricos pueden incluir una interfaz web que se puede utilizar para acceder a internet. Como tal, estos teléfonos inalámbricos incluyen capacidades informáticas significativas.

35 **[0004]** A medida que aumenta la demanda de nuevas características de alto rendimiento en los sistemas portátiles, la administración de energía a nivel del sistema se ha vuelto cada vez más importante para reducir el consumo de energía y prolongar la vida útil de la batería. La reducción del consumo de energía de los procesos digitales en dispositivos electrónicos portátiles puede mejorar la vida útil de la batería y aumentar la provisión de energía disponible para otras funciones, como pantallas a color y luz de fondo, por ejemplo. Para reducir el consumo de energía, los diseñadores de circuitos han adoptado varias técnicas de administración de energía.

40 **[0005]** Un circuito integrado típico incluye un sustrato, que puede incluir una pluralidad de estructuras de circuito embebido, así como uno o más dispositivos de circuito integrado que están eléctricamente acoplados al sustrato. Para reducir el consumo de energía por tales estructuras de circuitos integrados, una técnica utiliza una pluralidad de reguladores de energía para generar una pluralidad de fuentes de alimentación, que pueden utilizarse para satisfacer los requisitos de energía de las diversas estructuras de circuitos integrados. Dado que al menos una de las estructuras de circuito embebido puede usar menos energía que otras, se puede proporcionar una fuente de alimentación más baja a esa estructura, conservando así la energía en la provisión general de energía para otros componentes. Sin embargo, los reguladores de alto voltaje consumen una gran cantidad de área de chip.

50 **[0006]** Otra técnica para reducir el consumo de energía consiste en cambiar las fuentes de alimentación para deshabilitar la energía a una estructura de circuito embebido cuando no se necesite energía. Sin embargo, como las tecnologías de fabricación de semiconductores logran dispositivos cada vez más pequeños, los conmutadores de alto voltaje pueden ser difíciles de escalar. Además, tales conmutadores contribuyen a la complejidad del diseño y el enrutamiento.

55 **[0007]** El documento WO 2005/038920 A2 describe un chip semiconductor que comprende un sistema de gestión de energía para cooperar con una fuente externa. El sistema de administración de energía está bajo el control del núcleo digital y comprende un regulador de conmutación y reguladores de voltaje de baja caída para suministrar 1,2V regulado a un núcleo digital y 1,8V regulado a un circuito de E/S digital.

60 **[0008]** En consecuencia, sería ventajoso proporcionar un sistema y procedimiento de distribución de energía mejorado que reduzca la pérdida de energía.

BREVE EXPLICACIÓN

65 **[0009]** La necesidad antes mencionada se satisface con el tema en cuestión de las reivindicaciones independientes de la presente invención. En una realización particular, se describe un circuito integrado de administración de energía de acuerdo con la reivindicación 1 que incluye un primer pin para suministrar energía a

un primer dominio de energía de un circuito integrado, un segundo pin para suministrar energía a un segundo dominio de energía del circuito integrado, un regulador de conmutación y una lógica que comprende un controlador principal. El regulador de conmutación está acoplado al primer pin para proporcionar una primera fuente de alimentación regulada al primer dominio de energía y está acoplado al segundo pin para proporcionar una segunda fuente de alimentación regulada al segundo dominio de energía. El controlador principal está acoplado al primer pin y al segundo pin para mantener el flujo de corriente al primer pin mientras reduce selectivamente el flujo de corriente al segundo pin durante un evento de baja potencia. El circuito integrado de administración de energía comprende además un primer transistor que incluye un primer terminal conectado al primer pin, un terminal de control acoplado al controlador principal y un segundo terminal conectado al segundo pin; y un segundo transistor dispuesto en paralelo con el primer transistor que incluye un primer terminal conectado al primer pin, un terminal de control acoplado al terminal de control del primer transistor y un segundo terminal conectado al segundo pin; y en el que el controlador principal desactiva selectivamente el primer transistor y el segundo transistor para cortar el flujo de corriente al segundo pin durante el evento de baja potencia.

[0010] En otra realización particular más, se proporciona un procedimiento de acuerdo con la reivindicación 10 que incluye suministrar un primer voltaje de alimentación regulado a un primer pin de un circuito integrado de administración de energía y un segundo voltaje de alimentación regulado a un segundo pin del circuito integrado de administración de energía. El procedimiento incluye además mantener selectivamente el flujo de corriente hacia el segundo pin mientras reduce selectivamente el flujo de corriente hacia el segundo pin en un evento de baja potencia, en el que la reducción selectiva del flujo de corriente comprende: desactivar un primer transistor y un segundo transistor conectado al primer pin y al segundo pin para reducir sustancialmente el flujo de corriente al segundo pin durante el evento de baja potencia, en el que el primer transistor incluye un primer terminal conectado al primer pin, un terminal de control acoplado a un controlador principal del circuito integrado de administración de energía y un segundo terminal conectado al segundo pin y en el que el segundo transistor está dispuesto en paralelo con el primer transistor e incluye un primer terminal conectado al primer pin, un terminal de control acoplado al terminal de control del primer transistor y un segundo terminal conectado al segundo pin.

[0011] Una ventaja particular proporcionada por las realizaciones del circuito integrado de administración de energía es que los procesos de fabricación de semiconductores pueden utilizarse junto con un dispositivo de transistor de alto voltaje viable para limitar la fuga de corriente. En una realización particular, el circuito integrado de administración de energía puede fabricarse usando una tecnología de fabricación de semiconductores más antigua y de menor costo y puede utilizarse para suministrar energía a un dispositivo de circuito producido con tecnologías de fabricación de semiconductores más nuevas y/o más caras.

[0012] Las realizaciones del circuito integrado de administración de energía proporcionan otra ventaja particular porque el circuito integrado de administración de energía reduce sustancialmente la corriente de fuga de un dispositivo electrónico a un nivel de corriente de menos de aproximadamente 100 nanoamperios, cuando un conmutador principal está deshabilitado.

[0013] Otra ventaja particular es que se puede utilizar un solo regulador dentro de un circuito integrado de administración de energía para proporcionar una fuente de alimentación regulada a una pluralidad de dominios de energía de un dispositivo de circuito integrado. Una ventaja particular del regulador único es que los costes del circuito integrado de administración de energía se reducen. Además, el regulador único del circuito integrado de administración de energía permite conservar el estado del dispositivo electrónico a través de un solo dominio de energía.

[0014] Aún otra ventaja de una realización particular de un circuito integrado de administración de energía acoplado a un dispositivo de circuito integrado es que no se necesitan recursos de activación de fugas en el dispositivo de circuito integrado para evitar fugas de corriente. Al eliminar la necesidad de tales recursos de activación, puede ser posible reducir el área y la complejidad del enrutamiento de energía del dispositivo de circuito integrado durante un proceso de diseño de circuito integrado.

[0015] Otros aspectos, ventajas y características de la presente divulgación se volverán evidentes después de la revisión de toda la solicitud, incluyendo las secciones siguientes: Breve descripción de los dibujos, descripción detallada y reivindicaciones.

BREVE EXPLICACIÓN DE LOS DIBUJOS

[0016] Los aspectos y las ventajas concomitantes de las realizaciones descritas en el presente documento serán más evidentes haciendo referencia a la siguiente descripción detallada cuando se toma junto con los dibujos adjuntos en los que:

FIG. 1A es un diagrama de un ejemplo ilustrativo de un dispositivo electrónico que incluye un ejemplo particular de un circuito integrado de administración de energía en una configuración de conmutador principal;

FIG. 1B es un diagrama de un ejemplo alternativo de un dispositivo electrónico que incluye un ejemplo particular de un circuito integrado de administración de energía en una configuración de conmutador de pedal;

5 FIG. 2 es un diagrama de una porción ilustrativa de un ejemplo particular de un circuito integrado de administración de energía;

FIG. 3 es un diagrama de una porción ilustrativa de una realización particular de un circuito integrado de administración de energía;

10 FIG. 4 es un diagrama de una porción ilustrativa de otro ejemplo ilustrativo particular de un circuito integrado de administración de energía;

15 FIG. 5 es un diagrama de bloques de una realización ilustrativa particular de un dispositivo de circuito integrado que tiene una pluralidad de dominios de energía e incluye un circuito integrado de administración de energía de acuerdo con la FIG. 3;

FIG. 6 es un diagrama de flujo de una realización ilustrativa particular de un procedimiento para deshabilitar selectivamente el flujo de corriente a al menos un pin de un circuito integrado de administración de energía;

20 FIG. 7 es un diagrama general de un teléfono celular ejemplar que incorpora un procesador y una memoria en los que se pueden usar el sistema y el procedimiento de las FIG. 1-6;

FIG. 8 es un diagrama general de un ejemplo de teléfono con protocolo de internet inalámbrico que incorpora un procesador y una memoria en los que se pueden usar el sistema y el procedimiento de las FIG. 1-6;

25 FIG. 9 es un diagrama general de un asistente digital portátil ejemplar que incorpora un procesador y una memoria en los que se pueden usar el sistema y el procedimiento de las FIG. 1-6; y

30 FIG. 10 es un diagrama general de un reproductor de archivos de audio ejemplar que incorpora un procesador y una memoria en los que se pueden usar el sistema y el procedimiento de las FIG. 1-6.

DESCRIPCIÓN DETALLADA

35 **[0017]** La FIG. 1A es un diagrama de bloques de un ejemplo ilustrativo de un dispositivo electrónico 100 que incluye un ejemplo particular de un circuito integrado de administración de energía (PMIC) 102 y un dispositivo de circuito integrado 104. El dispositivo de circuito integrado 104 puede incluir múltiples dominios de energía, como un primer dominio de energía 106 y un segundo dominio de energía 108. El circuito integrado de administración de energía 102 puede incluir un regulador de conmutación 110, lógica 112, un transistor (conmutador) 114, un primer pin 116 y un segundo pin 118. El regulador de conmutación 110 está acoplado al primer pin 116 y está acoplado al segundo pin 118 a través del conmutador 114. El conmutador 114 puede ser un transistor de efecto de campo de semiconductor de óxido de metal (MOSFET), un transistor de efecto de campo (FET), un transistor de unión bipolar u otro dispositivo de circuito que puede controlarse mediante la lógica 112 para habilitar y deshabilitar selectivamente el flujo de corriente al segundo pin 118. En general, el conmutador 114 puede ser un MOSFET de n canales o un dispositivo MOSFET de p canales en la tecnología PMIC. Si el conmutador 114 es un dispositivo MOSFET de n canales, entonces el regulador de conmutación 110 puede tener un potencial de voltaje mayor que el dispositivo de circuito integrado 104.

50 **[0018]** El conmutador 114 incluye un primer terminal 120 acoplado al primer pin 116, un terminal de control 122 acoplado a la lógica 112, y un segundo terminal 124 acoplado al segundo pin 118. El primer pin 116 puede estar acoplado al primer dominio de energía 106 del dispositivo de circuito integrado 104, y el segundo pin 118 puede estar acoplado al segundo dominio de energía 108 del dispositivo de circuito integrado 104. Un tercer pin 126 puede proporcionar una conexión a tierra al PMIC 102 para el primer dominio de energía y el segundo dominio de energía.

55 **[0019]** En un modo de funcionamiento normal, el regulador de conmutación 110 proporciona una fuente de alimentación regulada al primer pin 116. La lógica 112 puede activar el conmutador 114 a través del terminal de control 122 para proporcionar al menos una parte de la fuente de alimentación regulada al segundo pin 118. Durante un evento de apagado o un evento de baja potencia, o durante otros modos de operación de ahorro de energía, la lógica 112 puede desactivar selectivamente el conmutador 114 para reducir sustancialmente el flujo de corriente al segundo pin 118. Al reducir el flujo de corriente al segundo pin 118, la lógica 112 reduce sustancialmente el flujo de corriente al segundo dominio de energía 108 del dispositivo de circuito integrado 104. En una realización particular, el regulador de conmutación 110 puede continuar suministrando energía al primer pin 116 y al primer dominio de energía 106 después de que se reduce el flujo de corriente al segundo pin 118. Por lo tanto, el regulador de conmutación 110 puede utilizarse para proporcionar selectivamente energía al segundo dominio de energía 108 del dispositivo de circuito integrado 104.

[0020] En general, debe entenderse que la memoria de acceso aleatorio (RAM), como la memoria de acceso aleatorio dinámico síncrono (SDRAM) y otros componentes de memoria representan una cantidad significativa de consumo de energía estática. Por ejemplo, una SDRAM de 256 Mbit (como la producida por Elpida Memory, Inc. de Japón) puede consumir hasta 275 microamperios a 1,8 voltios durante las operaciones normales o aproximadamente $1,844 \times 10^{-9}$ milivatios por bit. Una SDRAM que consume 1,02 pA por bit a 1,8 voltios consume aproximadamente 1,84 picovatios por bit. Al utilizar el PMIC 102 para apagar selectivamente el segundo dominio de energía 108 del dispositivo de circuito integrado 104, que puede incluir un dispositivo SDRAM, puede reducirse el consumo de energía para el dispositivo de circuito 100. Al utilizar un solo regulador de conmutación, como el regulador de conmutación 110, para producir la fuente de alimentación regulada, es posible entregar una fuente de alimentación constante a un dominio de energía, como el primer dominio de energía 106, que permite retener la información de estado en una ubicación de memoria dentro del primer dominio de energía 106, al tiempo que reduce significativamente la energía a otros dominios de energía del dispositivo de circuito integrado 104, tal como el segundo dominio de energía 108.

[0021] FIG. 1B es un diagrama de bloques de un ejemplo ilustrativo alternativo de un dispositivo electrónico 150 que incluye un ejemplo particular de un circuito integrado de administración de energía (PMIC) 152 y un dispositivo de circuito integrado 154. El dispositivo electrónico 150 incluye un PMIC 152 dispuesto en configuración de conmutador de pedal. En particular, el dispositivo de circuito integrado 154 puede incluir múltiples dominios de energía, tales como el primer dominio de energía 156 y el segundo dominio de energía 158. El circuito integrado de administración de energía 152 puede incluir un regulador de conmutación 160, lógica 162, un transistor (conmutador) 164, un primer pin 166, un segundo pin 168 y un tercer pin 176. El regulador de conmutación 160 está acoplado al primer dominio de energía 156 y al segundo dominio de energía 158 a través del primer pin 166. El conmutador 164 incluye un primer terminal 170 que está acoplado al segundo dominio de energía 158 a través del segundo pin 168. El conmutador 164 también incluye un terminal de control 172 que está acoplado a la lógica 162 y un segundo terminal 174 acoplado a la lógica 162 y al tercer pin 176. El primer dominio de energía 156 puede estar acoplado a la lógica 162 a través del tercer pin 176. En funcionamiento, el PMIC 152 puede deshabilitar selectivamente el segundo dominio de energía 158 desactivando el conmutador 164 para reducir el flujo de corriente, mientras proporciona energía al primer dominio de energía 156 a través del regulador de conmutación 160.

[0022] En general, debe entenderse que mientras que el PMIC 102 y el PMIC 152 de las FIG. 1A y 1B pueden incluir más de un conmutador 114 y que el dispositivo de circuito integrado 104 puede incluir una pluralidad de dominios de energía. En un ejemplo particular, los conmutadores pueden deshabilitarse selectivamente para desactivar la energía a dominios de energía seleccionados de una pluralidad de dominios de energía del dispositivo de circuito integrado 104.

[0023] La FIG. 2 es un diagrama de una porción ilustrativa 200 de un ejemplo particular de un circuito integrado de administración de energía (PMIC) 102. El PMIC 102 incluye un regulador de conmutación, como el regulador de conmutación 110 y la lógica 112. El regulador de conmutación 110 puede incluir un controlador reductor 204, un primer transistor 206 y un segundo transistor 208. La lógica 112 puede incluir un controlador principal 210. El PMIC 102 también puede incluir un tercer transistor 212, un primer pin 116, un segundo pin 118, un tercer pin 214 y un cuarto pin 218. El cuarto pin 218 puede estar acoplado a un terminal de fuente de alimentación tal como V_{DD} en la FIG. 1A.

[0024] En general, el primer transistor 206 incluye un primer terminal 220 acoplado al cuarto pin 218, un terminal de control 222 acoplado al regulador reductor 204, y un segundo terminal 224 acoplado al tercer pin 214. El segundo transistor 208 incluye un primer terminal 226 acoplado al tercer pin 214, un terminal de control 228 acoplado al controlador reductor 204, y un segundo terminal 230 acoplado a un terminal de fuente de voltaje, que puede ser una conexión a tierra. El tercer transistor 212 incluye un primer terminal 232 acoplado al primer pin 116, un terminal de control 234 acoplado al controlador principal 210, y un segundo terminal 236 acoplado al segundo pin 118.

[0025] Un inductor externo 238 puede estar acoplado entre el tercer pin 214 y el primer pin 116. Se puede acoplar un condensador 240 entre el primer pin 116 y un terminal de fuente de voltaje, que puede ser una conexión a tierra, para filtrar la fuente de alimentación al primer dominio de energía. Se puede acoplar un condensador 242 entre el segundo pin 118 y un terminal de fuente de voltaje, que puede ser una conexión a tierra, para filtrar la fuente de alimentación al segundo dominio de energía.

[0026] En un ejemplo particular, el regulador de conmutación 110 está acoplado al primer pin 116 para proporcionar una primera fuente de alimentación regulada al primer dominio de energía y está acoplado al segundo pin 118 para proporcionar una segunda fuente de alimentación regulada al segundo dominio de energía a través del tercer transistor 212. El controlador principal 210 está acoplado al terminal de control 234 del tercer transistor 212 y al segundo pin 118 para desactivar selectivamente el tercer transistor 212, tal como durante un evento de baja potencia. El tercer transistor 212 puede ser un transistor de alto voltaje y puede funcionar como un conmutador para desactivar selectivamente una segunda fuente de alimentación regulada al segundo dominio de energía.

[0027] En funcionamiento, el controlador principal 210 puede activar selectivamente el tercer transistor 212 para proporcionar flujo de corriente al segundo pin 118 durante un modo de funcionamiento normal. El controlador principal 210 puede desactivar selectivamente el tercer transistor 212 para reducir o cortar sustancialmente el flujo de corriente al segundo pin 118 durante un evento de baja potencia, tal como un evento de apagado, un evento inactivo, un evento de energía reducida o cualquier combinación de los mismos. En una realización particular, el controlador principal 210 puede funcionar para reducir sustancialmente la corriente de fuga a través del tercer transistor 212, por ejemplo, a un nivel de corriente inferior a aproximadamente 100 nanoamperios.

[0028] En general, el tercer transistor 212 coopera con el controlador principal 210 para usar el fuente de voltaje regulado provisto por el regulador reductor (por ejemplo, el controlador reductor 204, el primer transistor 206 y el segundo transistor 208) para proporcionar una fuente de alimentación conmutada al segundo pin 118 sin usar componentes adicionales, tales como reguladores de voltaje adicionales. El primer pin 116 recibe una salida regulada del regulador reductor 204, y el segundo pin 116 recibe una salida no regulada generada a partir de la salida regulada a través del tercer transistor (conmutación principal) 212. En una realización particular, el tercer transistor 212 puede diseñarse para proporcionar una caída de voltaje de aproximadamente 5 mV cuando una carga de 100 mA está acoplada al segundo pin 118.

[0029] En general, un proceso de diseño de circuito típicamente incluye establecer y mantener el comportamiento correcto del circuito bajo una variedad de condiciones de operación, incluyendo variaciones en el proceso, voltaje y temperatura (PVT). Por lo tanto, el modelado de comportamiento de los circuitos analógicos generalmente incluye extender el modelo de circuito integrado para representar con precisión el comportamiento del circuito integrado a los posibles valores de PVT. Para cumplir con una especificación de pérdida de CC de 5 mV, por ejemplo, el tercer transistor 212 debe estar diseñado para tener una resistencia de encendido que sea lo suficientemente pequeña como para mantener un rendimiento constante en los valores de PVT. Por ejemplo, la resistencia a la pérdida total (R_{loss}) del PMIC 102 puede plasmarse como una suma de la resistencia en el encendido (R_{on}), la resistencia de enrutamiento ($R_{routing}$) y la resistencia del paquete ($R_{package}$) de la siguiente manera:

$$R_{loss} = R_{on} + R_{routing} + R_{package} \quad (\text{Ecuación 1})$$

Si un R_{loss} máximo es de aproximadamente 50 mohms y si $R_{package}$ y $R_{routing}$ son de aproximadamente 10 mohms y 20 mohms, respectivamente, la resistencia en el encendido máxima (R_{on}) debería ser inferior a aproximadamente 20 mohms en todos los extremos de PVT. En una realización particular, la resistencia en el encendido es inferior a aproximadamente 7 mohms.

[0030] En un ejemplo particular, la especificación de voltaje de salida especifica un transistor de efecto de campo de n canales de voltaje medio (NFET) para el tercer transistor 212. Los datos de resistencia en el encendido de un NFET de voltaje medio en un proceso de semiconductor de óxido de metal complementario (CMOS) de alto voltaje de 0,18 nm pueden calcularse de acuerdo con la siguiente ecuación:

$$R_{on} = 3.5mohm * nm^2 \quad (\text{Ecuación 2})$$

Si la resistencia en el encendido es de aproximadamente 7 mohms, el área de disposición del tercer transistor puede estimarse en 0,5 mm². En una realización particular, el precio estimado de la oblea de aproximadamente 2,4 centavos por milímetro cuadrado indica que el coste del silicio es de 1,2 centavos para el tercer conmutador 212.

[0031] En un ejemplo particular, el PMIC 102 y un circuito integrado asociado que incluye múltiples dominios de energía (tal como el dispositivo de circuito integrado 104 de la FIG. 1A) pueden fabricarse usando diferentes tecnologías de fabricación de semiconductores. Por ejemplo, el PMIC 102 puede fabricarse utilizando un proceso de CMOS de alto voltaje de 0,18 nm, mientras que el dispositivo de circuito integrado 104 puede fabricarse utilizando un proceso de 45 nm. En otra realización particular, el PMIC 102 puede fabricarse utilizando una tecnología de 45 nm y el dispositivo de circuito integrado puede fabricarse utilizando una tecnología de 100 nm (por ejemplo, el PMIC 102 puede fabricarse utilizando una tecnología de fabricación más antigua, mientras que el dispositivo de circuito integrado, tal como el dispositivo de circuito integrado 104 de la FIG. 1A, puede fabricarse usando una tecnología de fabricación más novedosa).

[0032] La FIG. 3 es un diagrama de una porción 300 de una realización ilustrativa particular de un circuito integrado de administración de energía (PMIC) 102. El PMIC 102 puede incluir el regulador de conmutación 110, la lógica 112 y otros elementos de la porción 200 de la FIG. 2, así como un cuarto transistor 302 dispuesto en paralelo con el tercer transistor 212. El cuarto transistor 302 puede incluir un primer terminal 304 conectado al primer pin 116, un terminal de control 306 acoplado al terminal de control 234 del tercer transistor 212, y un segundo terminal 306 conectado al segundo pin 118.

[0033] En funcionamiento, el cuarto transistor 302 puede reducir una caída de voltaje a través del tercer transistor

212 durante el funcionamiento normal, en parte, dividiendo el flujo de corriente entre el tercer transistor 212 y el cuarto transistor 214. Además, al activar el tercer transistor 212 y el cuarto transistor 302, puede fluir más corriente al segundo pin 118 de lo que sería posible sin exceder una clasificación de corriente del tercer transistor 212. Durante un evento de baja potencia o apagado, el controlador principal 210 puede desactivar el tercer transistor 212 y el cuarto transistor 302 para apagar el flujo de corriente al segundo pin 118 y reducir las fugas. En una realización particular, la corriente de fuga puede reducirse a un nivel que sea inferior a aproximadamente 100 nanoamperios.

[0034] La FIG. 4 es un diagrama ilustrativo de un ejemplo ilustrativo particular de una porción 400 de otro ejemplo particular de un circuito integrado de administración de energía (PMIC) 102. El PMIC 102 incluye el regulador de conmutación 110 y la lógica 112. En este ejemplo ilustrativo particular, la lógica 112 incluye un primer regulador de baja caída 402 y un segundo regulador de baja caída 404. Como se usa en el presente documento, un regulador de baja caída puede incluir un regulador de voltaje que proporciona una fuente de voltaje regulado con una baja caída de voltaje (por ejemplo, bajo consumo de energía). La línea 406 acopla los reguladores de baja caída 402 y 404 al primer pin 116. El primer regulador de baja caída 402 está acoplado al segundo pin 118 para proporcionar una segunda fuente de alimentación regulada derivado de la primera fuente de alimentación regulada proporcionado al primer pin 116 por el regulador de conmutación 110, y el segundo regulador de baja caída 404 está acoplado a un quinto pin 408. En este ejemplo, el primer pin 116 puede estar acoplado a un primer dominio de energía de un dispositivo de circuito (tal como el dispositivo de circuito integrado 104 de la FIG. 1A) para proporcionar una primera fuente de alimentación regulada al primer dominio de energía. El segundo pin 118 puede estar acoplado a un segundo dominio de energía del dispositivo de circuito para proporcionar una segunda fuente de alimentación regulada al segundo dominio de energía. El quinto pin 408 puede estar acoplado a un tercer dominio de energía de un dispositivo de circuito para proporcionar una tercera fuente de alimentación regulada al tercer dominio de energía. La lógica 112 puede incluir múltiples reguladores de baja caída y puede adaptarse para controlar selectivamente cada uno de los reguladores de baja caída para activar y desactivar una fuente de alimentación regulada a un dominio de energía asociado del circuito integrado. Se puede acoplar un condensador 410 entre el quinto pin 408 y un terminal de fuente de alimentación, que puede ser una conexión a tierra, para filtrar la fuente de alimentación al tercer dominio de energía.

[0035] En este enfoque, el regulador de conmutación 110 proporciona la primera fuente de alimentación regulada al primer pin 116 y los reguladores de baja caída 402 y 404 generan la segunda y tercera fuentes de alimentación reguladas, respectivamente, basadas en la primera fuente de alimentación regulada. Los reguladores de baja caída 402 y 404 pueden diseñarse para proporcionar fuentes de alimentación que sean fuentes aproximadamente coincidentes (como dentro de 5 mV una respecto a otra). En una realización particular, el primer regulador de baja caída (LDO) 402 puede ser un regulador LDO de aproximadamente 300 mA y el segundo regulador LDO 404 puede ser un regulador LDO de aproximadamente 150 mA. El área de disposición del primer regulador LDO 402 y el segundo regulador LDO 404 puede estimarse en aproximadamente 0,17 mm² y 0,11 mm², respectivamente. El coste total de silicio de los dos reguladores LDO 402 y 404 puede ser de aproximadamente 0,67 centavos.

[0036] En un ejemplo particular, el regulador de conmutación 110 puede ser un regulador de energía de alto voltaje. Los reguladores LDO 402 y 404 pueden ser reguladores de bajo voltaje, que están adaptados para derivar energía desde el regulador de conmutación 110. Por lo tanto, los reguladores LDO 402 y 404 pueden producirse usando menos área de silicio que el regulador de conmutación 110.

[0037] La FIG. 5 es un diagrama de bloques de un sistema 500 que incluye un dispositivo de circuito integrado 104 que tiene una pluralidad de dominios de energía e incluye un circuito integrado de administración de energía 102 de acuerdo con las FIG. 1-4. El dispositivo de circuito integrado 104 puede incluir una pluralidad de dominios de energía, que incluyen un dominio de energía V_{C1Z1} 502, un dominio de energía distribuida 504, un dominio de energía V_{C1Z3} 506, un dominio de energía distribuida 508, un dominio de energía V_{CC1} 510, dominios de energía distribuida 512 y 514, un dominio de energía V_{C1Z2} 516, un dominio de energía V_{C2Z1} 518 y un dominio de energía V_{CC2} 520. El circuito integrado de administración de energía (PMIC) 102 puede adaptarse para proporcionar una o más fuentes de alimentación reguladas a uno o más de los dominios de energía, utilizando un único regulador de conmutación, como se muestra en las FIG. 1-4. El PMIC 102 puede proporcionar una primera fuente de alimentación regulada V_{REG} , por ejemplo, al dominio de energía V_{C1Z1} 502 a través de la línea 522. El PMIC 102 también puede proporcionar una segunda fuente de alimentación (V_2) al dominio de energía V_{C1Z2} 516 a través de la línea 524, una tercera fuente de alimentación (V_3) al dominio de energía V_{C2Z1} 518 a través de la línea 526 y una cuarta fuente de alimentación (V_4) al dominio de energía V_{C1Z3} 506 a través de la línea 528. Las fuentes de alimentación segunda, tercera y cuarta (V_2 , V_3 y V_4) pueden no estar reguladas si el PMIC 102 incluye la disposición particular de las FIG. 1-3 o pueden estar reguladas si el PMIC 102 incluye la disposición particular de la FIG. 4.

[0038] La FIG. 6 es un diagrama de flujo de un procedimiento para deshabilitar selectivamente o reducir sustancialmente el flujo de corriente a al menos un pin de un circuito integrado de administración de energía de un sistema. Se puede recibir una fuente de alimentación desde un terminal de fuente de voltaje en un circuito integrado de administración de energía (bloque 600). Se suministra un primer voltaje de alimentación regulado a un primer pin del circuito integrado de administración de energía (bloque 602). Cuando el sistema está en un modo de funcionamiento normal (bloque 604), se habilita selectivamente un flujo de corriente al segundo pin, donde el

segundo pin está acoplado a un segundo dominio de energía del dispositivo de circuito integrado que incluye un primer dominio de energía que responde al primero pin y el segundo dominio de energía en respuesta al segundo pin (bloque 606). En general, el flujo de corriente puede habilitarse selectivamente activando un transistor (tal como el tercer transistor 212 de las FIG. 2 y 3) para permitir el flujo de corriente al segundo pin. Cuando el sistema no está en un modo de funcionamiento normal, el flujo de corriente puede deshabilitarse selectivamente al segundo pin, por ejemplo, cuando el sistema está en un modo de funcionamiento de baja potencia o apagado (bloque 608). El nivel de voltaje puede escalar opcionalmente a uno del primer dominio de energía o al segundo dominio de energía (bloque 610). En una realización particular, la lógica del PMIC (como la lógica 112 en la FIG. 1A) puede operar para escalar un nivel de voltaje a uno o más dominios de energía del dispositivo de circuito integrado, para escalar o ajustar una fuente de alimentación a un dominio de energía colapsable, por ejemplo.

[0039] En una realización particular, el flujo de corriente se puede deshabilitar selectivamente desactivando uno o más transistores (por ejemplo, el tercer transistor 212 y el cuarto transistor 302 de la FIG. 3) para reducir sustancialmente el flujo de corriente al segundo pin (tal como el segundo pin 118 de las FIG. 1-4). En una realización particular, el flujo de corriente al segundo pin puede reducirse a un nivel de corriente que es inferior a aproximadamente 100 nanoamperios, reduciendo así la energía al segundo dominio de energía.

[0040] En una realización particular, el procedimiento puede incluir proporcionar la fuente de alimentación regulada al primer pin para proporcionar energía al primer dominio de energía, que puede incluir una memoria, durante el modo de baja potencia para conservar un estado del dispositivo de circuito integrado. En una realización particular, la primera fuente de alimentación regulada y la segunda fuente de alimentación regulada pueden estar a diferentes niveles de energía. Por ejemplo, el circuito integrado de administración de energía puede proporcionar una fuente de alimentación regulada diferente a cada dominio de una pluralidad de dominios de energía del circuito integrado, y cada una de las fuentes de alimentación puede desactivarse selectivamente.

[0041] La FIG. 7 ilustra una realización ejemplar y no limitativa de un dispositivo de comunicación portátil que generalmente se designa como 700. Como se ilustra en la FIG. 7, el dispositivo de comunicación portátil incluye un sistema en chip 722 que incluye una unidad de procesamiento 710, que puede ser un procesador de propósito general, un procesador de señal digital, un procesador de máquina de cómputo de conjunto de instrucciones reducidas avanzadas, o cualquier combinación de los mismos. La FIG. 7 muestra también un controlador de pantalla 726 que está acoplado al procesador 710 y a una pantalla 728. Además, un dispositivo de entrada 730 está acoplado a la unidad de procesamiento 710. Como se muestra, una memoria 732 está acoplada a la unidad de procesamiento 710. Adicionalmente, un codificador/decodificador (CÓDEC) 734 puede estar acoplado también a la unidad de procesamiento 710. Un altavoz 736 y un micrófono 738 pueden estar acoplados al CÓDEC 730. En una realización particular, la unidad de procesamiento 710, el controlador de pantalla 726, la memoria 732, el CÓDEC 734, otros componentes, o cualquier combinación de los mismos, pueden recibir energía a través de uno o más pin de un circuito integrado de administración de energía (PMIC) 757, como mostrado en las FIG. 1-6 y se describe aquí.

[0042] La FIG. 7 indica también que un controlador inalámbrico 740 puede estar acoplado a la unidad de procesamiento 710 y a una antena inalámbrica 742. En una realización particular, una fuente de alimentación 744 está acoplado al sistema en chip 722. Además, en una realización particular, como se ilustra en la FIG. 7, la pantalla 728, el dispositivo de entrada 730, el altavoz 736, el micrófono 738, la antena inalámbrica 742 y la fuente de alimentación 744 son externos al dispositivo de sistema en chip 722. Sin embargo, cada uno está acoplado a un componente del sistema en chip 722. El PMIC 757 se puede acoplar a la fuente de alimentación 744 para recibir una fuente de alimentación no regulada, que el PMIC 757 puede utilizar para generar la fuente de alimentación regulada y activar selectivamente la energía a uno o más dominios de energía de un dispositivo de circuito integrado, que puede incluir uno o más elementos (tales como la unidad de procesamiento 710, el controlador inalámbrico 740, la memoria 732, el controlador de pantalla 726 y el CÓDEC 734).

[0043] En una realización particular, la unidad de procesamiento 710 puede procesar instrucciones asociadas con los programas necesarios para realizar la funcionalidad y las operaciones necesarias para los diversos componentes del dispositivo de comunicación portátil 700. Por ejemplo, cuando se establece una sesión de comunicación inalámbrica a través de la antena inalámbrica, un usuario puede hablar por el micrófono 738. Las señales electrónicas que representan la voz del usuario pueden enviarse al CÓDEC 734 para su codificación. La unidad de procesamiento 710 puede realizar el procesamiento de datos para el CÓDEC 734 para codificar las señales electrónicas del micrófono. Además, las señales entrantes recibidas a través de la antena inalámbrica 742 pueden enviarse al CÓDEC 734 por el controlador inalámbrico 740 para ser decodificadas y enviadas al altavoz 736. La unidad de procesamiento 710 también puede realizar el procesamiento de datos para el CÓDEC 734 cuando decodifica la señal recibida a través de la antena inalámbrica 742.

[0044] Además, antes, durante o después de la sesión de comunicación inalámbrica, la unidad de procesamiento 710 puede procesar las entradas que se reciben del dispositivo de entrada 730. Por ejemplo, durante la sesión de comunicación inalámbrica, un usuario puede estar utilizando el dispositivo de entrada 730 y la pantalla 728 para navegar por Internet a través de un navegador web que está incrustado en la memoria 732 del dispositivo de comunicación portátil 700.

[0045] Con referencia a la FIG. 8, se muestra una realización ejemplar y no limitativa de un teléfono inalámbrico y generalmente se designa como 800. Como se muestra, el teléfono inalámbrico 800 incluye un sistema en chip 822 que incluye un procesador digital de banda base 810 y un procesador analógico de banda base 826 que están acoplados entre sí. El teléfono inalámbrico 800 puede incluir alternativamente un procesador de propósito general que está adaptado para ejecutar instrucciones legibles por el procesador para realizar el procesamiento de señales digitales o analógicas, así como otras operaciones. En una realización particular, se puede incluir un procesador de propósito general (no mostrado) además del procesador digital de banda base 810 y el procesador analógico de banda base 826 para ejecutar instrucciones legibles por el procesador. Como se ilustra en la FIG. 8, un controlador de pantalla 828 y un controlador de pantalla táctil 830 están acoplados al procesador digital de banda base 810. A su vez, una pantalla táctil 832 externa al sistema en chip 822 está acoplada al controlador de pantalla 828 y al controlador de pantalla táctil 830. En una realización particular, el procesador digital de banda base 810, el procesador analógico de banda base 826, el controlador de pantalla 828, el controlador de pantalla táctil 830, otros componentes o cualquier combinación de los mismos pueden recibir energía de un circuito integrado de administración de energía (PMIC) 857, tal como los dispositivos PMIC mostrados en las FIG. 1-6 y se describe aquí.

[0046] La FIG. 8 indica además que un codificador de vídeo 834, por ejemplo, un codificador de línea alterna de fase (PAL), un codificador sequential couleur avec memoire (SECAM), o un codificador national television system(s) committee (NTSC), está acoplado al procesador de banda base digital 810. Además, un amplificador de vídeo 836 está acoplado al codificador de vídeo 834 y a la pantalla táctil 832. Además, un puerto de vídeo 838 está acoplado al amplificador de vídeo 836. Como se representa en la FIG. 8, un controlador de bus en serie universal (USB) 840 está acoplado al procesador de banda base digital 810. Además, un puerto USB 842 está acoplado al controlador USB 840. Una memoria 844 y una tarjeta de módulo de identidad de suscriptor (SIM) 846 también se pueden acoplar al procesador de banda base digital 810. Además, como se muestra en la FIG. 8, una cámara digital 848 puede acoplarse al procesador de banda base digital 810. En una realización ejemplar, la cámara digital 848 es una cámara de dispositivo acoplado a carga (CCD) o una cámara de semiconductor de óxido de metal complementario (CMOS).

[0047] Como se ilustra adicionalmente en la FIG. 8, un CÓDEC 850 de audio estéreo se puede acoplar al procesador de banda base analógica 826. Además, un amplificador de audio 852 puede acoplarse al audio estéreo CÓDEC 880. En una realización ejemplar, un primer altavoz estéreo 854 y un segundo altavoz estéreo 856 están acoplados al amplificador de audio 852. La FIG. 8 muestra que un amplificador de micrófono 858 también se puede acoplar al audio estéreo CÓDEC 850. Además, se puede acoplar un micrófono 860 al amplificador de micrófono 858. En una realización particular, un sintonizador de radio de frecuencia modulada (FM) 862 se puede acoplar al audio estéreo CÓDEC 850. Además, una antena FM 864 está acoplada al sintonizador de radio FM 862. Además, los auriculares estéreo 866 se pueden acoplar al audio estéreo CÓDEC 850.

[0048] La FIG. 8 indica además que un transceptor de radiofrecuencia (RF) 868 se puede acoplar al procesador de banda base analógica 826. Se puede acoplar un conmutador de RF 870 al transceptor de RF 868 y a una antena de RF 872. Como se muestra en la FIG. 8, un teclado 874 se puede acoplar al procesador de banda base analógica 826. Además, se pueden acoplar unos monoauriculares con micrófono 876 al procesador de banda base analógica 826. Además, se puede acoplar un dispositivo vibrador 878 al procesador de banda base analógica 826. La FIG. 8 también muestra que una fuente de alimentación 880 se puede acoplar al sistema en chip 822. En una realización particular, la fuente de alimentación 880 es una fuente de alimentación de corriente continua (CC) que proporciona energía a los diversos componentes del teléfono inalámbrico 800 que requieren energía. Además, en una realización particular, la fuente de alimentación es una batería de CC recargable o una fuente de alimentación de CC que se deriva de un transformador de corriente alterna (CA) a CC que está conectado a una fuente de energía de CA. El PMIC 857 puede estar acoplado a la fuente de alimentación 880 para recibir una fuente de alimentación no regulada, que puede utilizar el PMIC 857 para generar una fuente de alimentación regulada. El PMIC 857 puede proporcionar la fuente de alimentación regulada a uno o más dominios de energía de un dispositivo de circuito integrado, que puede incluir uno o más elementos (tal como el controlador de pantalla 828, el procesador de señal digital 810, el controlador USB 840, el controlador de pantalla táctil 830, el amplificador de vídeo 836, el codificador PAL/SECAM/NTSC 834, la memoria 844, la tarjeta SIM 846, el amplificador de audio 852, el amplificador de micrófono 858, el sintonizador de radio FM 862, el audio estéreo CÓDEC 850, el procesador de banda base analógica 826 y el transceptor RF 868). Un dominio de energía del dispositivo de circuito integrado puede incluir uno o más de los elementos. La unidad de control de energía 857 puede activar selectivamente la energía a uno o más de los dominios de energía, como se describe anteriormente con respecto a las FIG. 1-6.

[0049] En una realización particular, como se representa en la FIG. 8, la pantalla táctil 832, el puerto de vídeo 838, el puerto USB 842, la cámara 848, el primer altavoz estéreo 854, el segundo altavoz estéreo 856, el micrófono 860, la antena FM 864, los auriculares estéreo 866, el conmutador de RF 870, la antena de RF 872, el teclado 874, los auriculares mono 876, el vibrador 878 y la fuente de alimentación 880 son externos al sistema en chip 822.

[0050] Con referencia a la FIG. 9, se muestra una realización ejemplar y no limitativa de un teléfono con protocolo de Internet inalámbrico (IP) y generalmente se designa 900. Como se muestra, el teléfono IP inalámbrico 900

incluye un sistema en chip 902 que incluye una unidad de procesamiento 904. La unidad de procesamiento 904 puede ser un procesador de señal digital, un procesador de propósito general, un procesador de máquina de cómputo de conjunto de instrucciones reducidas avanzadas, un procesador de señal analógica, un procesador para ejecutar conjuntos de instrucciones legibles por procesador, o cualquier combinación de los mismos. Como se ilustra en la FIG. 9, un controlador de pantalla 906 está acoplado a la unidad de procesamiento 904 y una pantalla 908 está acoplada al controlador de pantalla 906. En una realización particular, la pantalla 908 es una pantalla de cristal líquido (LCD). Se puede acoplar un teclado 910 a la unidad de procesamiento 904. En un modo de realización particular, la unidad de procesamiento 904, el controlador de pantalla 906, otros componentes, o cualquier combinación de los mismos pueden recibir energía a través de un circuito integrado de administración de energía (PMIC) 957, como el que se muestra en las FIG. 1-6 y se describe aquí.

[0051] Como se representa adicionalmente en la FIG. 9, se puede acoplar una memoria flash 912 a la unidad de procesamiento 904. También se pueden acoplar a la unidad de procesamiento 904 una memoria dinámica de acceso aleatorio síncrono (SDRAM) 914, una memoria estática de acceso aleatorio (SRAM) 916 y una memoria de solo lectura programable y borrrable eléctricamente (EEPROM) 918. La FIG. 9 también muestra que un diodo emisor de luz (LED) 920 se puede acoplar a la unidad de procesamiento 904. Además, en una realización particular, un CÓDEC de voz 922 se puede acoplar a la unidad de procesamiento 904. Se puede acoplar un amplificador 924 al CÓDEC de voz 922 y se puede acoplar un altavoz mono 926 al amplificador 924. La FIG. 9 indica además que unos monoauriculares 928 también se puede acoplar al CÓDEC de voz 922. En una realización particular, los monoauriculares 928 incluyen un micrófono.

[0052] La FIG. 9 también ilustra que un procesador de banda base de red de área local inalámbrica (WLAN) 930 se puede acoplar a la unidad de procesamiento 904. Se puede acoplar un transceptor de RF 932 al procesador de banda base WLAN 930 y se puede acoplar una antena de RF 934 al transceptor de RF 932. En una realización particular, un controlador de Bluetooth 936 también se puede acoplar a la unidad de procesamiento 904 y se puede acoplar una antena Bluetooth 938 al controlador 936. Se puede acoplar un puerto USB 940 a la unidad de procesamiento 904. Además, está acoplado una fuente de alimentación 942 al sistema en chip 902 y proporciona energía a los diversos componentes del teléfono IP inalámbrico 900 a través del PMIC 957.

[0053] En una realización particular, como se indica en la FIG. 9, la pantalla 908, el teclado 910, el LED 920, el altavoz mono 926, los monoauriculares 928, la antena RF 934, la antena Bluetooth 938, el puerto USB 940 y la fuente de alimentación 942 son externos a la sistema en chip 902. Sin embargo, cada uno de estos componentes está acoplado a uno o más componentes del sistema en chip 902. El dispositivo inalámbrico de VoIP 900 incluye el PMIC 957, que puede acoplarse a la fuente de alimentación 942 para recibir una fuente de alimentación no regulada, que el PMIC 957 puede utilizar para generar la fuente de alimentación regulada. Si el sistema en chip 902 incluye una pluralidad de dominios de energía, el PMIC 957 puede proporcionar selectivamente la fuente de alimentación regulada a uno o más de la pluralidad de dominios de energía del sistema en chip. Un dominio de energía del sistema en chip 902 puede incluir uno o más elementos, tales como el controlador de pantalla 906, el amplificador 924, el CÓDEC de voz 922, la unidad de procesamiento 904, la memoria flash 912, la SDRAM 914, la SRAM 916, la EEPROM 918, el transceptor RF 932, el procesador de banda base MAC WLAN 930 y el controlador de Bluetooth 936. La unidad de control de energía 957 puede activar selectivamente la energía a uno o más de los dominios de energía, como se describe anteriormente con respecto a las FIG. 1-6.

[0054] La FIG. 10 ilustra una realización ejemplar y no limitativa de un asistente digital portátil (PDA) que generalmente se designa como 1000. Como se muestra, el PDA 1000 incluye un sistema en chip 1002 que incluye una unidad de procesamiento 1004. Como se representa en la FIG. 10, un controlador de pantalla táctil 1006 y un controlador de pantalla 1008 están acoplados a la unidad de procesamiento 1004. Además, una pantalla táctil 1010 está acoplada al controlador de pantalla táctil 1006 y al controlador de pantalla 1008. La FIG. 10 también indica que se puede acoplar un teclado 1012 a la unidad de procesamiento 1004. En una realización particular, la unidad de procesamiento 1004, el controlador de pantalla táctil 1006, el controlador de pantalla 1008, otros componentes o cualquier combinación de los mismos pueden recibir energía a través de un circuito integrado de administración de energía (PMIC) 1057, como se muestra en las FIG. 1-6 y se describe aquí.

[0055] Como se representa adicionalmente en la FIG. 10, se puede acoplar una memoria flash 1014 a la unidad de procesamiento 1004. La unidad de procesamiento 1004 puede ser un procesador de señal digital (DSP), un procesador de propósito general, una máquina de cómputo de conjunto de instrucciones reducidas avanzadas, un procesador de señales analógicas, un procesador adaptado para ejecutar conjuntos de instrucciones legibles por procesador, o cualquier combinación de los mismos. Además, una memoria de solo lectura (ROM) 1016, una memoria dinámica de acceso aleatorio (DRAM) 1018 y una memoria de solo lectura programable y borrrable eléctricamente (EEPROM) 1020 se pueden acoplar a la unidad de procesamiento 1004. La FIG. 10 también muestra que un puerto 1022 de asociación de datos infrarrojos (IrDA) se puede acoplar a la unidad de procesamiento 1004. Además, en una realización particular se puede acoplar una cámara digital 1024 a la unidad de procesamiento 1004.

[0056] Como se muestra en la FIG. 10, en una realización particular, un audio estéreo CÓDEC 1026 puede acoplarse a la unidad de procesamiento 1004. Se puede acoplar un primer amplificador estéreo 1028 al CÓDEC

de audio estéreo 1026 y se puede acoplar un primer altavoz estéreo 1030 al primer amplificador estéreo 1028. Además, un amplificador de micrófono 1032 se puede acoplar al audio estéreo CÓDEC 1026 y se puede acoplar un micrófono 1034 al amplificador de micrófono 1032. La FIG. 10 muestra además que un segundo amplificador estéreo 1036 puede acoplarse al CÓDEC de audio estéreo 1026 y a un segundo altavoz estéreo 1038. En una realización particular, los auriculares estéreo 1040 también se pueden acoplar al audio estéreo CÓDEC 1026.

[0057] La FIG. 10 también ilustra que un controlador 802.11 1042 puede acoplarse a la unidad de procesamiento 1004 y una antena 802.11 1044 puede acoplarse al controlador 802.11 1042. Además, un controlador de Bluetooth 1046 se puede acoplar a la unidad de procesamiento 1004 y una antena Bluetooth 1048 se puede acoplar al controlador de Bluetooth 1046. Como se representa en la FIG. 10, un controlador USB 1050 se puede acoplar a la unidad de procesamiento 1004 y se puede acoplar un puerto USB 1052 al controlador USB 1050. Además, se puede acoplar una tarjeta inteligente 1054, por ejemplo, una tarjeta multimedia (MMC) o una tarjeta digital segura (SD) a la unidad de procesamiento 1004. Además, como se muestra en la FIG. 10, una fuente de alimentación 1056 puede estar acoplada al PMIC 1057 del sistema en chip 1002 para proporcionar energía a los diversos componentes del PDA 1000.

[0058] En una realización particular, como se indica en la FIG. 10, la pantalla 1010, el teclado 1012, el puerto IrDA 1022, la cámara digital 1024, el primer altavoz estéreo 1030, el micrófono 1034, el segundo altavoz estéreo 1038, los auriculares estéreo 1040, la antena 802.11 1044, la antena Bluetooth 1048, el puerto USB 1052 y la fuente de alimentación 1056 son externos al sistema en chip 1002. Sin embargo, cada uno de estos componentes está acoplado a uno o más componentes en el sistema en chip 1002. El PMIC 1057 puede estar acoplado a la fuente de alimentación 1056 para recibir una fuente de alimentación no regulada, que el PMIC 1057 puede utilizar para generar la fuente de alimentación regulada. El PMIC 1057 puede proporcionar energía a uno o más dominios de energía del sistema en chip 1002, que puede incluir uno o más elementos (tal como el controlador de pantalla 1008, el controlador de pantalla táctil 1006, el amplificador estéreo 1028, el amplificador de micrófono 1032, el amplificador estéreo 1036, la unidad de procesamiento 1004, el CÓDEC de audio estéreo 1026, la memoria flash 1014, la ROM 1016, la DRAM 1018, la EEPROM 1020, el controlador 802.11 1042, el controlador de Bluetooth 1046, el controlador USB 1050 y el tarjeta inteligente MMC SD 1054). Un dominio de energía del sistema en chip 1002 puede incluir uno o más de estos elementos, y la unidad de control de energía 1057 puede activar selectivamente la energía a uno o más de los dominios de energía, como se describió anteriormente con respecto a las FIG. 1-6.

[0059] Los diversos bloques, configuraciones, módulos, circuitos y etapas de algoritmos lógicos ilustrativos descritos en relación con las realizaciones divulgadas en el presente documento pueden implementarse como hardware electrónico, como software informático o como combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y etapas ilustrativas, en general, en lo que respecta a su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación particular y de las restricciones de diseño impuestas en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de diferentes maneras para cada aplicación particular, pero no se debe interpretar que dichas decisiones de implementación supongan una desviación del alcance de la presente divulgación.

[0060] Las etapas de un procedimiento o algoritmo descrito en relación con las realizaciones divulgadas en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria RAM, en una memoria flash, en una memoria ROM, en una memoria PROM, en una memoria EPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar puede estar acoplado al procesador, de tal manera que el procesador pueda leer información desde, y escribir información en, el medio de almacenamiento. En la alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un dispositivo informático o en un terminal de usuario. En la alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o en un terminal de usuario.

[0061] La descripción anterior de las realizaciones divulgadas se proporciona para permitir que cualquier experto en la técnica haga o use la presente divulgación. Varias modificaciones a estas realizaciones resultarán inmediatamente evidentes para los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras realizaciones sin apartarse del alcance de la divulgación. Por consiguiente, la presente divulgación no pretende limitarse a las realizaciones mostradas en el presente documento sino que ha de estar de acuerdo con el alcance más amplio posible coherente con los principios y las características novedosas como se definen en las siguientes reivindicaciones.

REIVINDICACIONES

1. Un circuito integrado de administración de energía (102) que comprende:

5 un primer pin (116) para suministrar energía a un primer dominio de energía (106) de un dispositivo de circuito integrado (104);

10 un segundo pin (118) para suministrar energía a un segundo dominio de energía (108) del dispositivo de circuito integrado (104);

15 un regulador de conmutación (110) acoplado al primer pin (116) para proporcionar una primera fuente de alimentación regulada al primer dominio de energía (106) y acoplado al segundo pin (118) para proporcionar una segunda fuente de alimentación regulada al segundo dominio de energía (108);

20 una lógica (112) que comprende un controlador principal (210) acoplado al primer pin (116) y al segundo pin (118) para mantener el flujo de corriente al primer pin (116) mientras se reduce selectivamente el flujo de corriente al segundo pin (118) durante un evento de baja potencia;

25 un primer transistor (212) que incluye un primer terminal (232) conectado al primer pin (116), un terminal de control (234) acoplado al controlador principal (210) y un segundo terminal (236) conectado al segundo pin (118);

30 un segundo transistor (302) dispuesto en paralelo con el primer transistor (212) que incluye un primer terminal (304) conectado al primer pin (116), un terminal de control (306) acoplado al terminal de control (234) del primer transistor (212), y un segundo terminal (306) conectado al segundo pin (118);
y

35 en donde el controlador principal (210) desactiva selectivamente el primer transistor (212) y el segundo transistor (302) para cortar el flujo de corriente al segundo pin (118) durante el evento de baja potencia.

2. El circuito integrado de administración de energía (102) de la reivindicación 1, en el que el evento de baja potencia se selecciona de un grupo que consiste en un evento de apagado, un evento de inactividad y un evento de energía reducida.

35 3. El circuito integrado de administración de energía (102) de la reivindicación 1, en el que el controlador principal (210) limita el flujo de corriente a un nivel de corriente inferior a aproximadamente 100 nanoamperios durante el evento de baja potencia.

40 4. El circuito integrado de administración de energía (102) de la reivindicación 1, en el que el regulador de conmutación (110) comprende un controlador reductor (204) y un regulador reductor que responde al controlador reductor.

5. El circuito integrado de administración de energía (102) de la reivindicación 1,

45 en el que el regulador de conmutación (110) comprende un controlador reductor (204) para producir una primera fuente de alimentación regulada y en el que el primer pin (116) acoplado al primer dominio de energía (106) del dispositivo de circuito integrado (104) responde al controlador reductor (204) para proporcionar la primera fuente de alimentación regulada al primer dominio de energía (106), y en donde el segundo pin (118) acoplado al segundo dominio de energía (108) del dispositivo de circuito integrado (104) proporciona una segunda fuente de alimentación regulada derivado de la primera fuente de alimentación regulada al segundo dominio de energía (108).

6. El circuito integrado de administración de energía (102) de la reivindicación 5, que comprende además:

55 un tercer pin (214) acoplado a un inductor externo (238);

60 un tercer transistor (206) que incluye un primer terminal (220) acoplado a un primer terminal de fuente de voltaje, un terminal de control (222) acoplado al controlador reductor (204) y un segundo terminal (224) acoplado al tercer pin (214));

un cuarto transistor (208) que incluye un primer terminal (226) acoplado al tercer pin (214), un terminal de control (228) acoplado al controlador reductor (204), y

65 un segundo terminal (230) acoplado a un segundo terminal de fuente de alimentación;

en donde el tercer transistor (206) y el cuarto transistor (208) responden al controlador reductor (204)

para proporcionar una fuente de alimentación al inductor a través del tercer pin (214).

7. El circuito integrado de administración de energía (102) de la reivindicación 5, en el que el controlador reductor (204) proporciona la primera fuente de alimentación regulada al primer dominio (106) a través del primer pin (116) y proporciona selectivamente la segunda fuente de alimentación regulada al segundo dominio (108) a través del segundo pin (118).

8. El circuito integrado de administración de energía (102) de la reivindicación 5, en el que el dispositivo de circuito integrado (104) incluye una pluralidad de dominios de energía (106, 108) y en el que el controlador reductor (204) está adaptado para proporcionar la primera fuente de alimentación regulada al primer dominio de energía (106) a través del primer pin (116) y el controlador principal (210) está adaptado para proporcionar la segunda fuente de alimentación regulada al segundo dominio de energía (108) y al menos una fuente de alimentación regulada adicional a uno o más dominios de energía de la pluralidad de dominios de energía.

9. El circuito integrado de administración de energía (102) de la reivindicación 5, en el que el controlador principal (210) está adaptado para escalar al menos uno de un nivel de corriente o un nivel de voltaje al segundo pin (118) para controlar la segunda fuente de alimentación regulada al segundo dominio de energía (108).

10. Un procedimiento que comprende:

suministrar un primer voltaje de alimentación regulado a un primer pin (116) de un circuito integrado de administración de energía (102) y un segundo voltaje de alimentación regulado a un segundo pin (118) del circuito integrado de administración de energía (102); y

durante un evento de baja potencia, mantener el flujo de corriente al primer pin (116) mientras se reduce selectivamente el flujo de corriente al segundo pin (118), en donde la reducción selectiva del flujo de corriente comprende:

desactivar un primer transistor (212) y un segundo transistor (302) conectados al primer pin (116) y al segundo pin (118) para reducir sustancialmente el flujo de corriente al segundo pin (118) durante el evento de baja potencia, en el que el primer transistor (212) incluye un primer terminal (232) conectado al primer pin (116),

un terminal de control (234) acoplado a un controlador principal (210) del circuito integrado de administración de energía (102), y un segundo terminal (236) conectado al segundo pin (118) y en el que el segundo transistor (302) está dispuesto en paralelo al primer transistor (212) e incluye un primer terminal (304) conectado al primer pin (116), un terminal de control (306) acoplado al terminal de control (234) del primer transistor (212), y un segundo terminal (306) conectado al segundo pin (118).

11. El procedimiento de la reivindicación 10, que comprende además:

proporcionar un voltaje de alimentación al primer pin (116) durante el modo de baja potencia para conservar un estado del dispositivo de circuito integrado (104).

12. El procedimiento de la reivindicación 10, en el que la primera fuente de alimentación regulada está a un nivel de energía diferente que la segunda fuente de alimentación regulada.

13. El procedimiento de la reivindicación 10, en el que la reducción selectiva del flujo de corriente comprende reducir el flujo de corriente al segundo pin (118) a un nivel de corriente que es inferior a aproximadamente 100 nanoamperios.

14. El procedimiento de la reivindicación 10, que comprende además:

escalar un nivel de voltaje al segundo dominio de energía (108) para ajustar un nivel de energía del segundo dominio de energía (108) durante un período de tiempo.

15. Un sistema que comprende:

un circuito integrado de administración de energía (102) de acuerdo con cualquiera de las reivindicaciones 1 a 9; y

un dispositivo de circuito integrado (104) que incluye un primer dominio de energía (106) que responde al primer pin (116) y un segundo dominio de energía (108) que responde al segundo pin (118).

16. Un dispositivo de comunicación móvil (800, 900, 1000) que comprende:

un dispositivo de circuito integrado (104) que incluye una pluralidad de dominios de energía (106, 108);
y

5 un circuito integrado de administración de energía (102) de acuerdo con cualquiera de las reivindicaciones 1 a 9.

17. El dispositivo de comunicaciones móviles de la reivindicación 16, en el que el evento de baja potencia comprende un modo de operación de ahorro de energía.

10

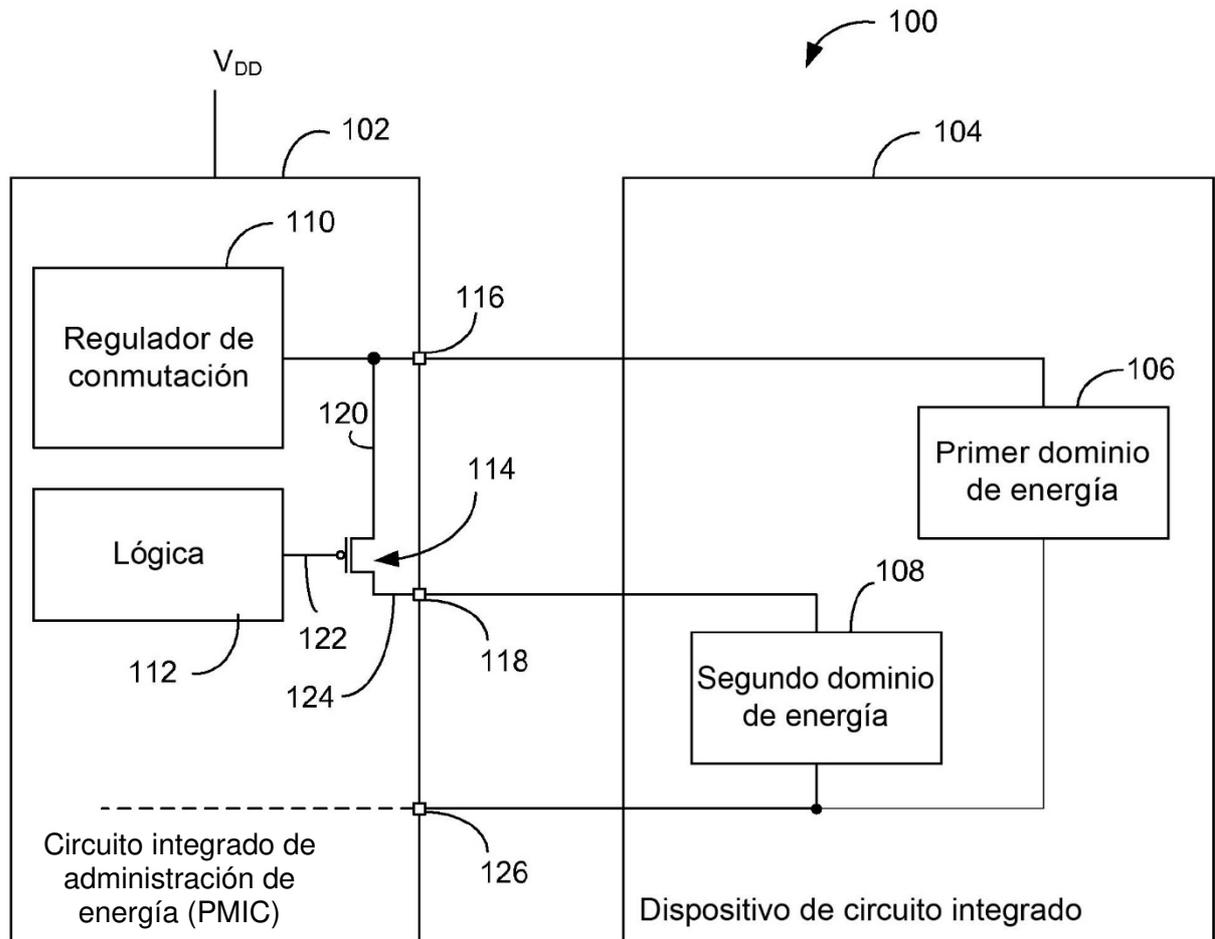


FIG. 1A

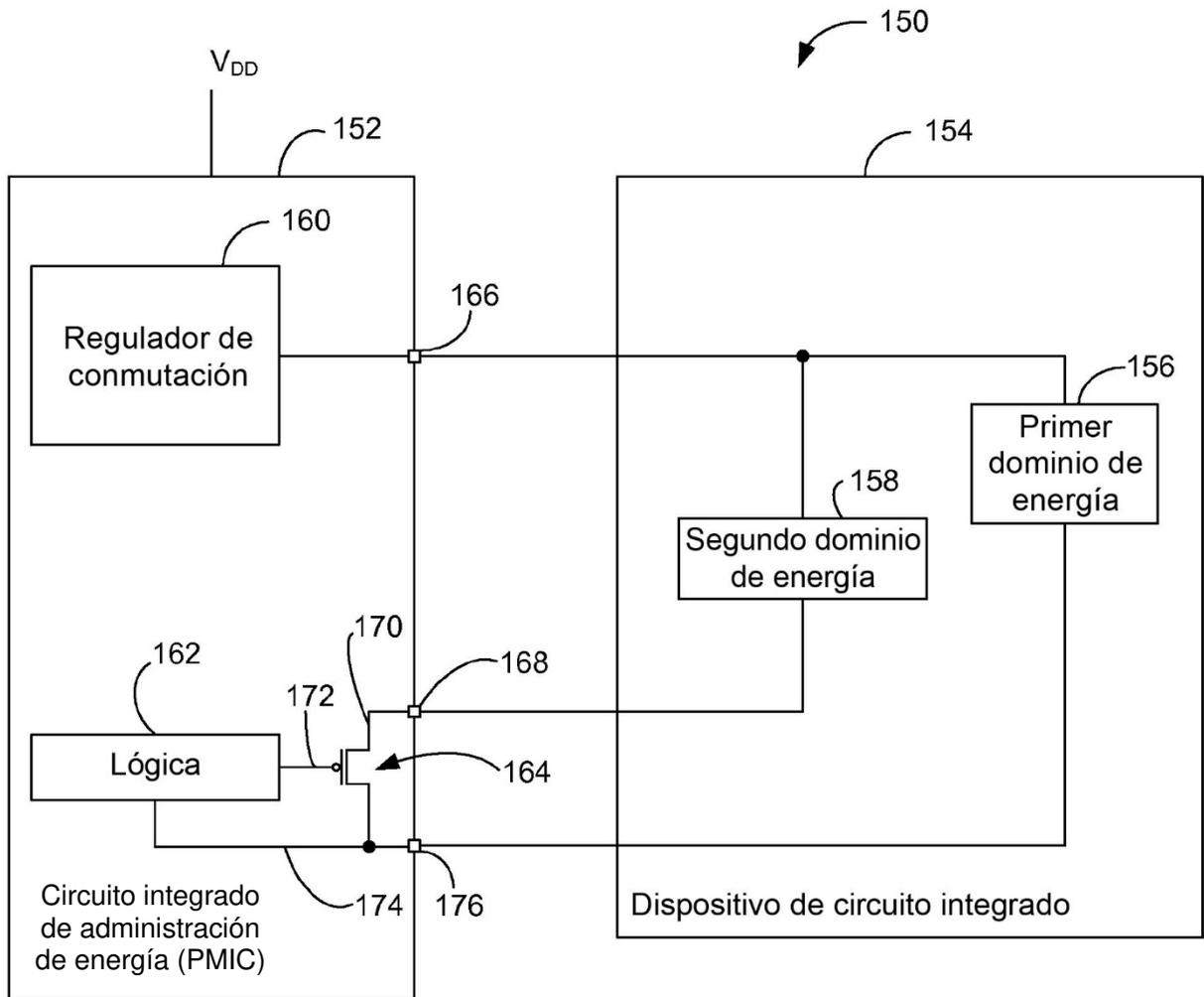


FIG. 1B

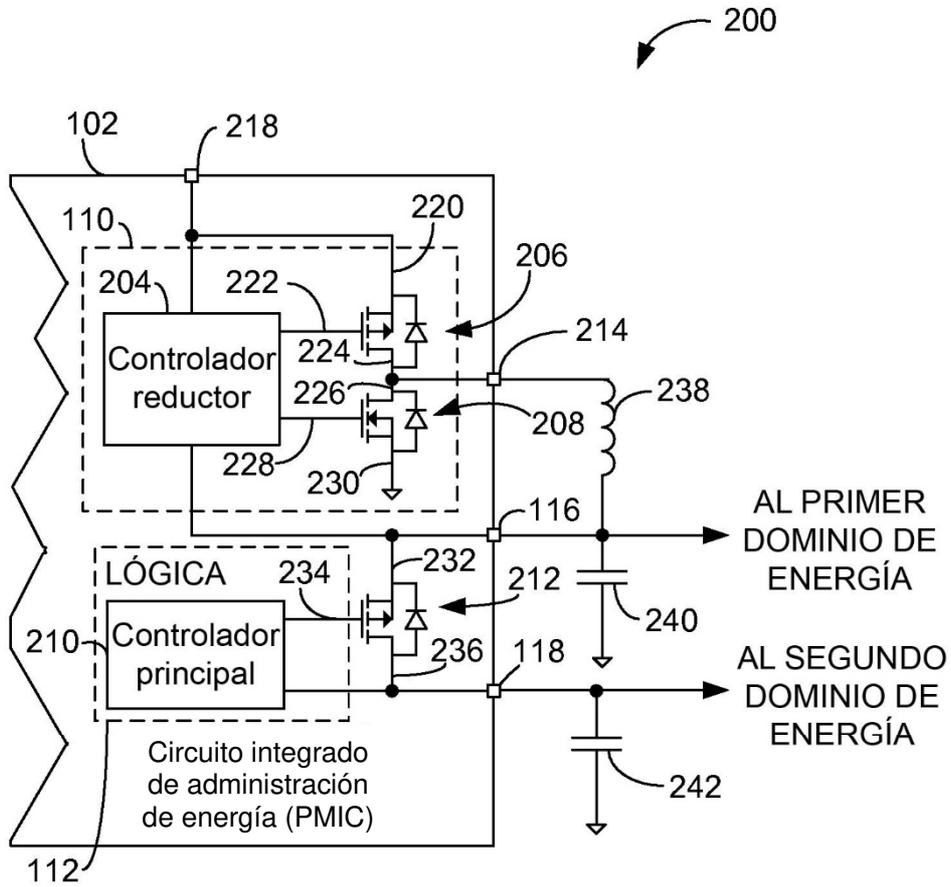


FIG. 2

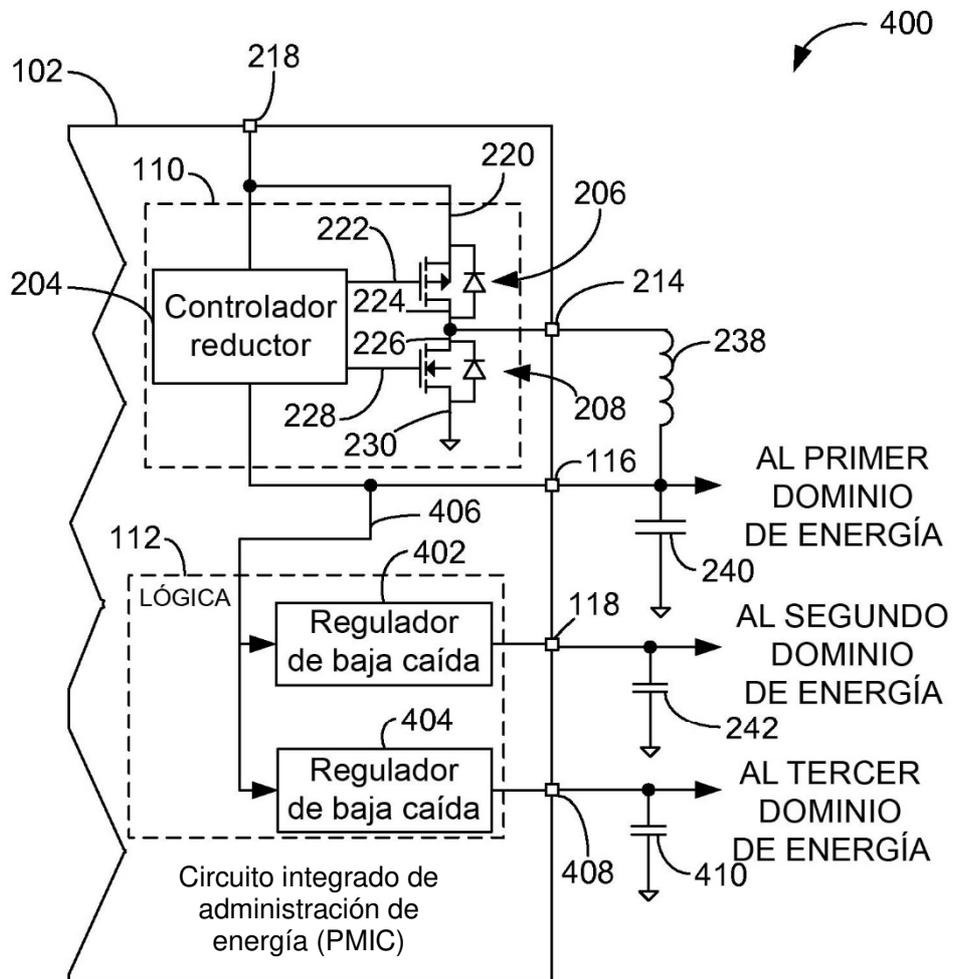


FIG. 4

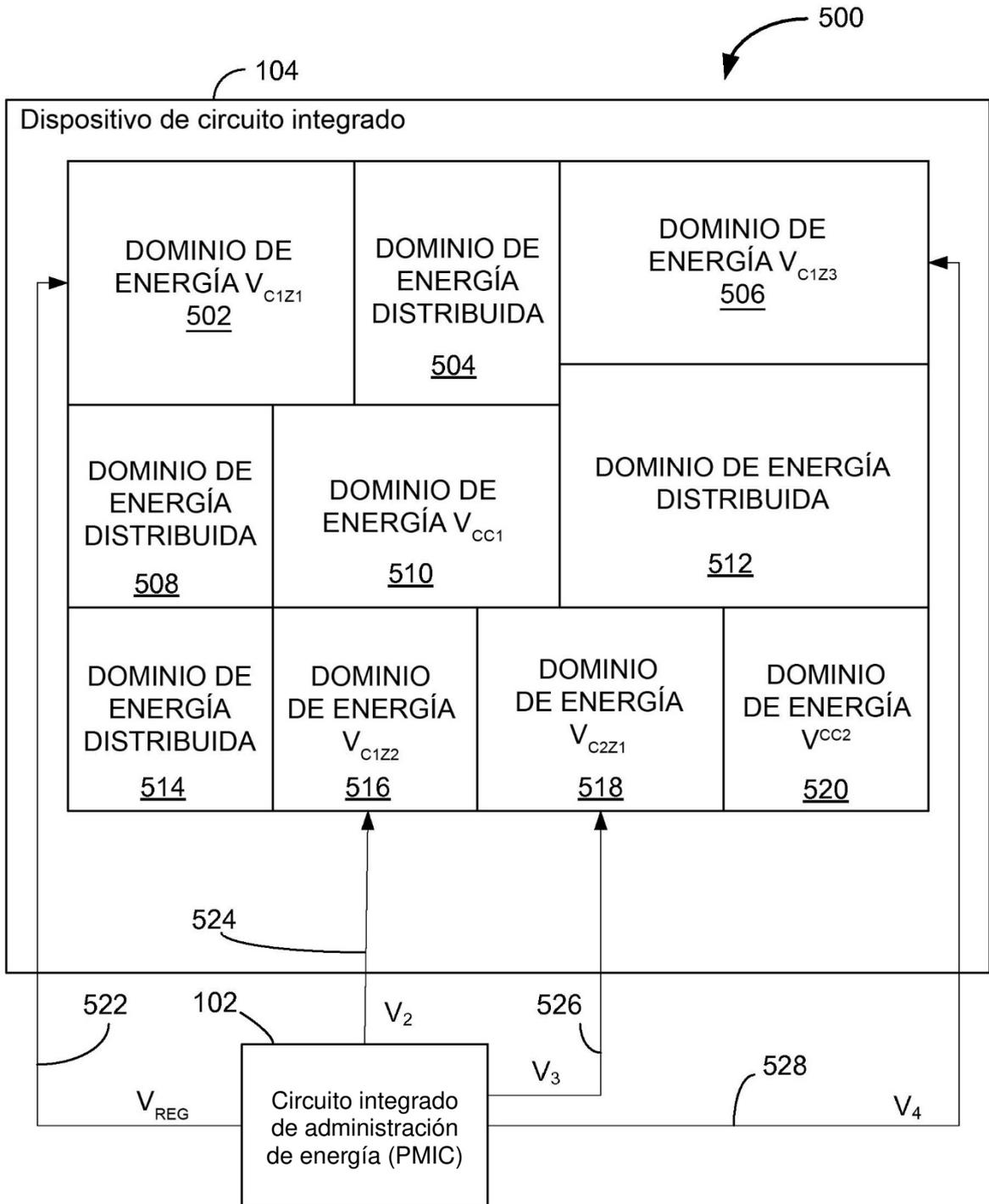


FIG. 5

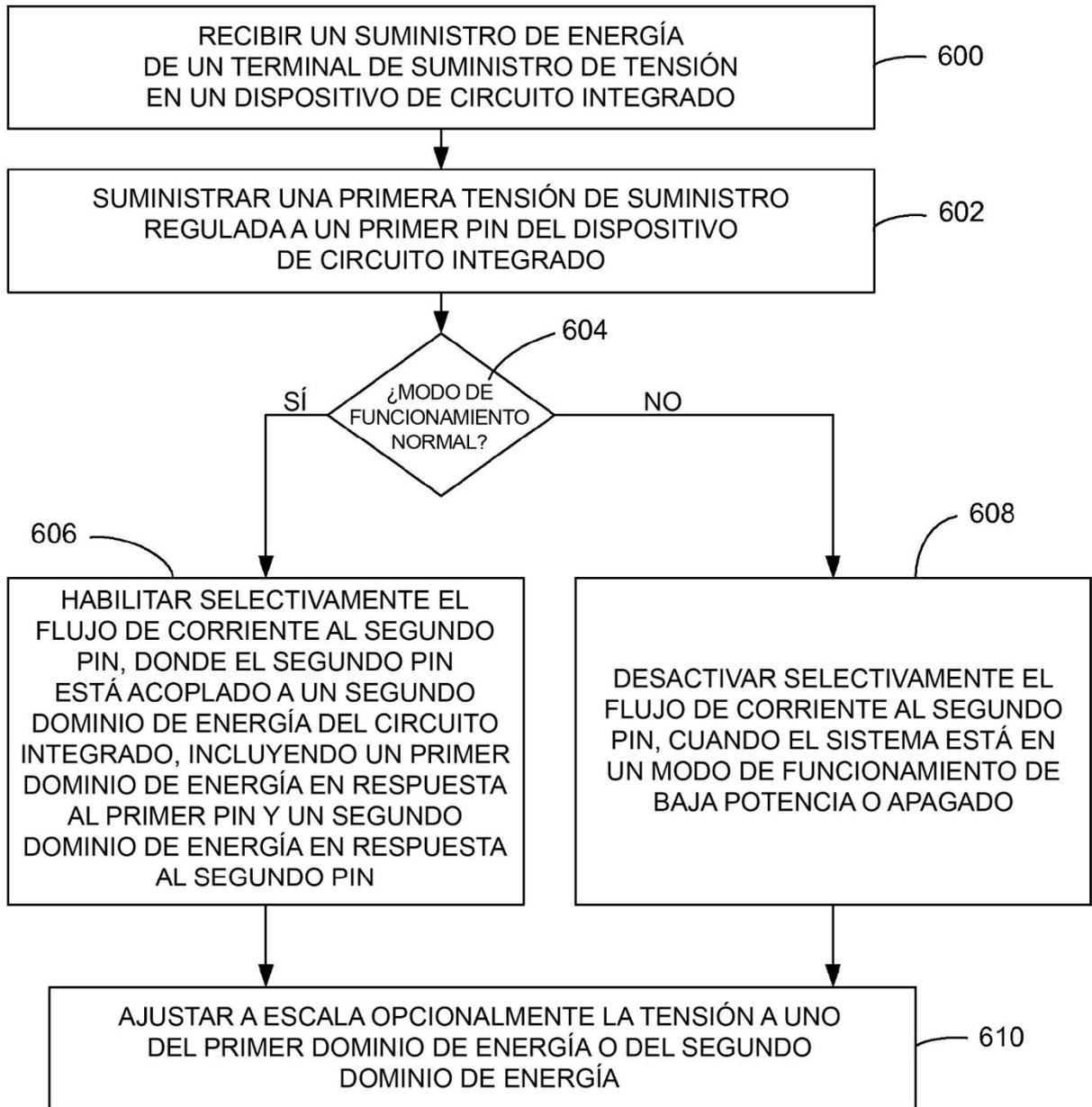


FIG. 6

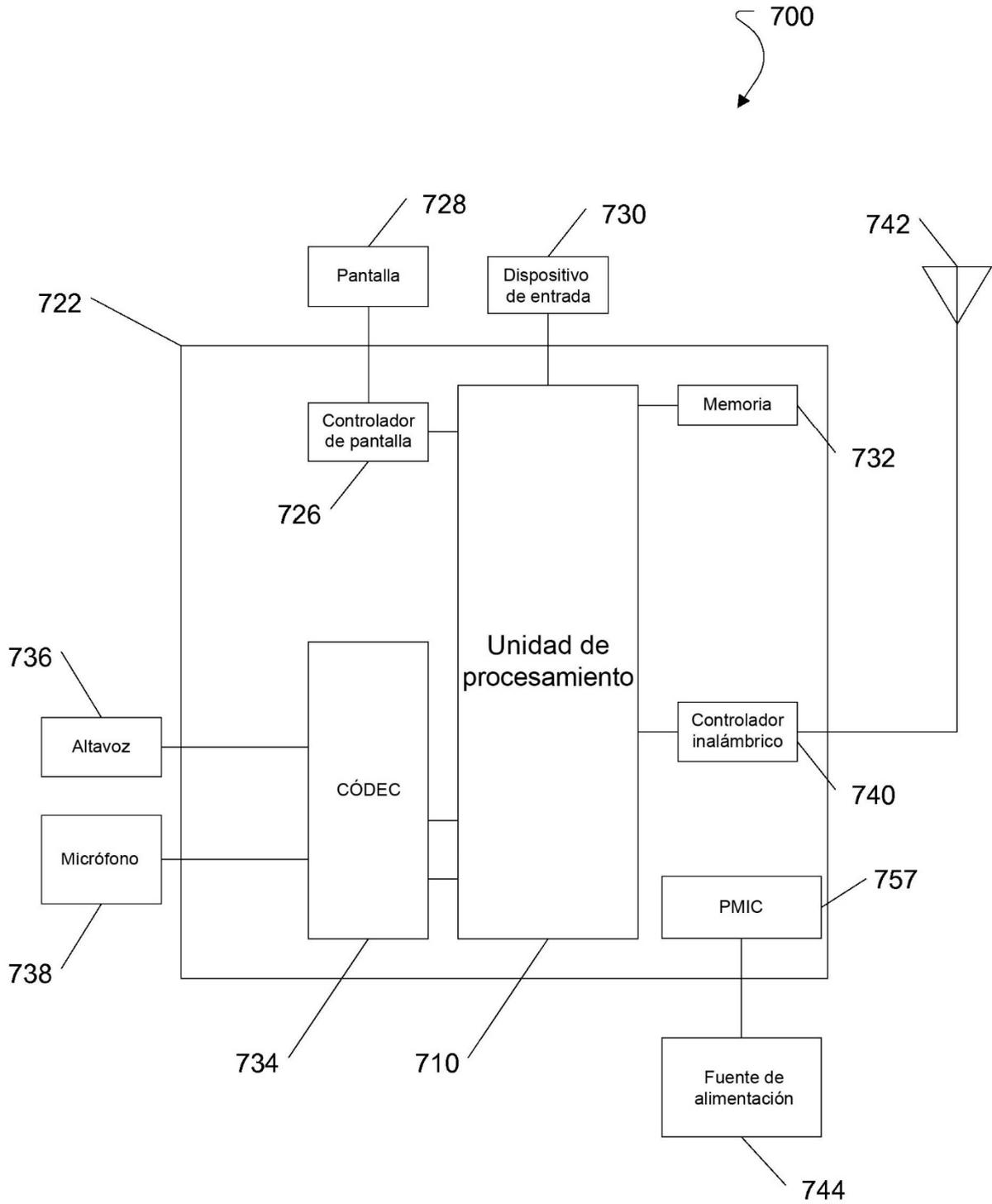


FIG. 7

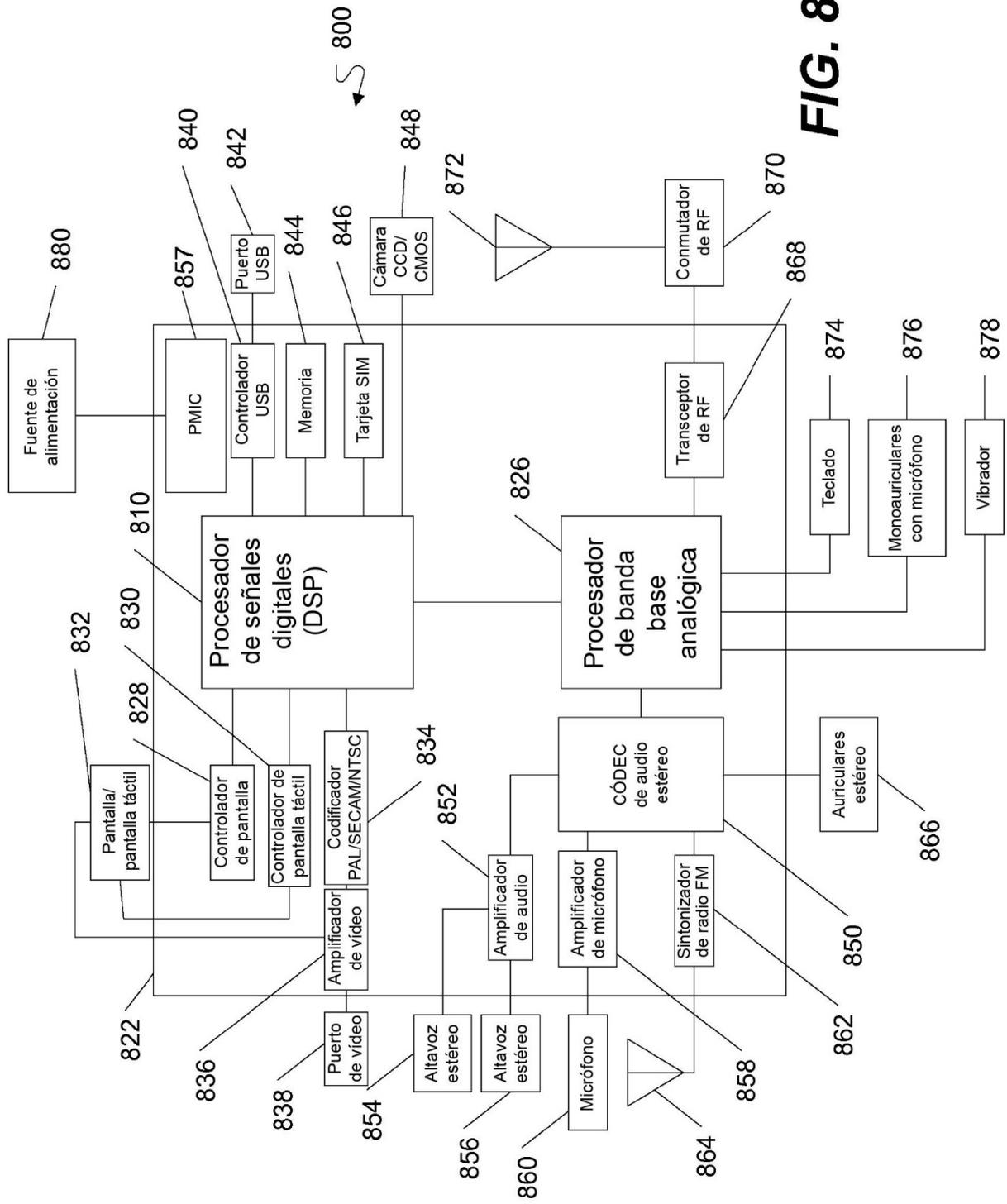


FIG. 8

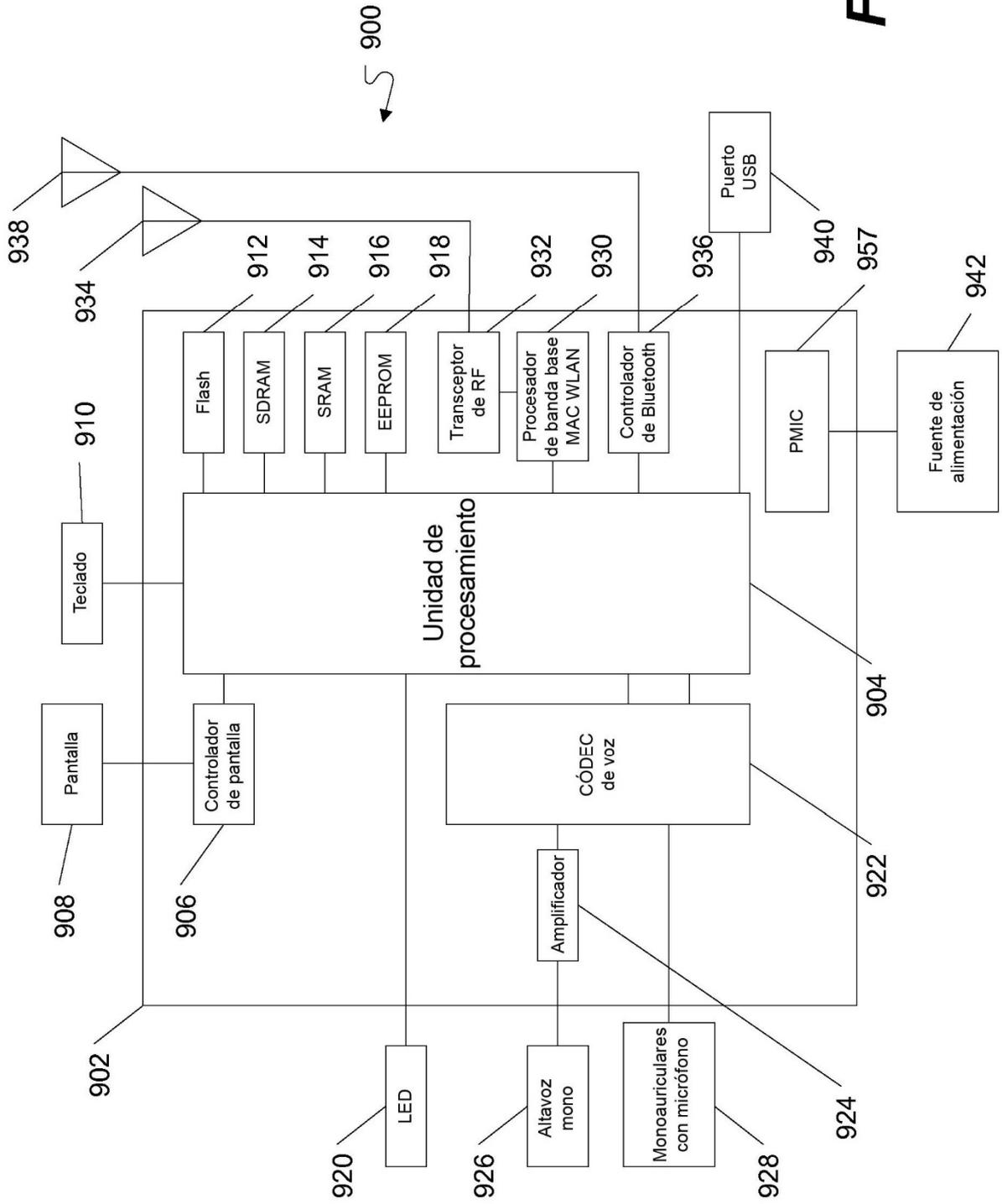


FIG. 9

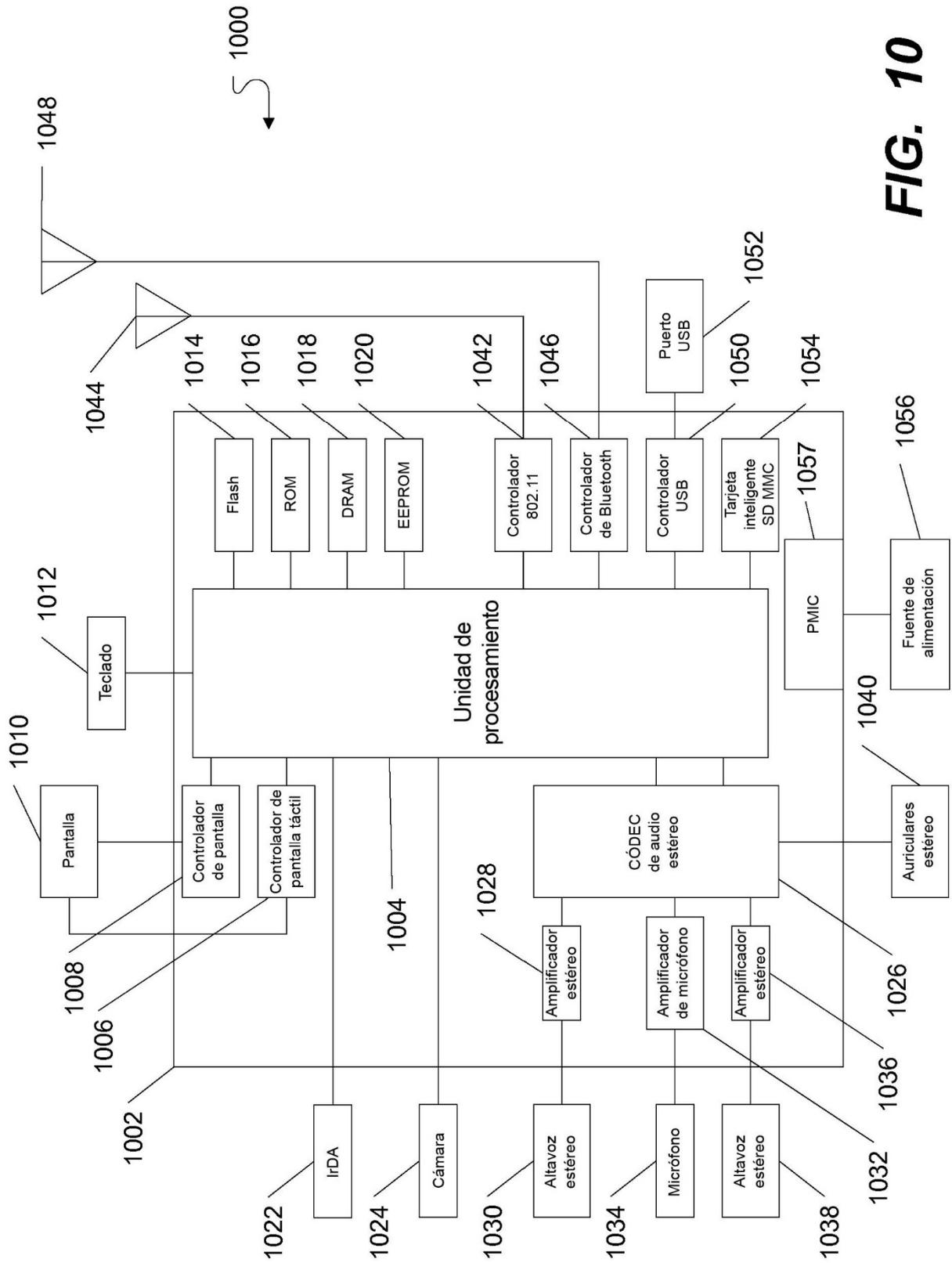


FIG. 10