(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 809 488**

(51) Int. CI.:

***H03L 7/197*** (2006.01)
***H03L 7/089*** (2006.01)
***H03L 7/085*** (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(86) Fecha de presentación y número de la solicitud internacional: **14.04.2009 PCT/US2009/040555**

(87) Fecha y número de publicación internacional: **22.10.2009 WO09129258**

(96) Fecha de presentación y número de la solicitud europea: **14.04.2009 E 09733358 (7)**

(97) Fecha y número de publicación de la concesión europea: **03.06.2020 EP 2281344**

(54) Título: **Convertidor de fase a digital en bucle de bloqueo de fase totalmente digital**

(30) Prioridad:

**14.04.2008 US 102768**

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
**04.03.2021**

(73) Titular/es:

**QUALCOMM INCORPORATED (100.0%)**
**Attn: International IP Administration 5775 Morehouse Drive**
**San Diego, CA 92121, US**

(72) Inventor/es:

**ZHANG, GANG;**
**JAJOO, ABHISHEK y**
**HAN, YIPING**

(74) Agente/Representante:

**FORTEA LAGUNA, Juan José**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Convertidor de fase a digital en bucle de bloqueo de fase totalmente digital

### ANTECEDENTES

#### Campo de la invención

**[0001]** La invención se refiere al campo de los circuitos electrónicos. Más particularmente, la invención se refiere al campo de los osciladores y los bucles de bloqueo de fase (PLL).

#### Descripción de la técnica relacionada

**[0002]** Los osciladores controlados por fase y frecuencia se utilizan en una variedad de aplicaciones electrónicas para proporcionar referencias de frecuencia estables y controladas. Un dispositivo digital puede usar un oscilador controlado por frecuencia como fuente de reloj para temporización, por ejemplo, como reloj para un circuito de microprocesador digital. Un dispositivo analógico puede incluir un oscilador de bloqueo de fase como un oscilador local utilizado para convertir en frecuencia señales de radiofrecuencia (RF). El oscilador controlado por fase y frecuencia puede ser un oscilador de frecuencia fija o puede ser un oscilador sintonizable que se implementa usando un sintetizador de frecuencia programable.

**[0003]** Un oscilador controlado por frecuencia para un dispositivo digital puede implementarse digitalmente, mientras que un oscilador de bloqueo de fase para un dispositivo analógico puede implementarse utilizando bloques de construcción exclusivamente analógicos. Sin embargo, a medida que aumentan las velocidades de funcionamiento de los circuitos digitales, es cada vez más factible implementar al menos partes de un oscilador de bloqueo de fase para aplicaciones tradicionalmente analógicas que utilizan bloques de construcción digitales.

**[0004]** Algunas de las mejoras en las velocidades de funcionamiento de los circuitos digitales puede ser atribuible a las mejoras en los procesos de usos para la fabricación de los circuitos digitales. Las mejoras en los procesos que reducen el tamaño de los transistores subyacentes utilizados en los diseños de circuitos integrados digitales están relacionadas con mejoras en las velocidades de funcionamiento. Los circuitos CMOS pueden implementarse utilizando procesos sub-micra, como procesos de 90 nm, 65 nm, 45 nm o 35 nm.

**[0005]** El voltaje de alimentación utilizada en circuitos CMOS ha disminuido continuamente debido en parte a las disminuciones en las dimensiones y también debido en parte a los deseos de reducir la potencia total consumida por tales dispositivos. En procesos CMOS avanzados, como 65 nm, el voltaje de la fuente de alimentación en general se reduce a alrededor de 1.1 V. A este bajo voltaje, los bloques de construcción analógicos convencionales, como los amplificadores de funcionamiento y los espejos de corriente, no funcionan bien y son difíciles de diseñar. Por lo tanto, un PLL analógico convencional es difícil y difícil de diseñar. Por lo tanto, un PLL analógico convencional es difícil de diseñar con dicho proceso. Además, un PLL analógico típicamente necesita un área grande para implementar una función de filtro, mientras que a 65 nm, el área de la unidad de silicio es más costosa que el área de troquel para procesos más grandes.

**[0006]** Los avances en los procesos digitales dan como resultado mayores limitaciones en la capacidad de implementar circuitos analógicos tradicionales, tales como un PLL. Además, los procesos digitales avanzados encarecen las implementaciones analógicas tradicionales. Es deseable capitalizar las mejoras del proceso en el dominio digital mientras se minimizan los efectos negativos en los circuitos implementados tradicionalmente usando bloques de construcción analógicos.

**[0007]** Se llama la atención sobre el documento WO 2008/005853 (A2), que describe un sistema de audio digital que incluye un circuito de bucle de bloqueo de fase digital (26) para la generación de una señal de reloj con modulación de ancho de pulso, PWM, aplicada a un convertidor de modulación de código de pulso a modulación de ancho de pulso. El bucle de bloqueo de fase digital incluye un detector de fase para medir el error de fase entre una señal de referencia y una señal de retroalimentación. Una versión digital del error de fase, después de filtrar mediante un filtro de bucle, se convierte en una palabra de control de retardo digital que se muestrea al doble de su frecuencia. Las muestras sucesivas de la palabra de control de retardo controlan el retardo de propagación de las células de retardo primera y segunda en un oscilador.

**[0008]** Se llama también la atención sobre un artículo de VOLODYMYR KRATYUK ET AL, "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II: EXPRESS BRIEFS, IEEE SERVICE CENTER, NUEVA YORK, NY, Estados Unidos, (20070301), vol. 54, n.º 3, ISSN 1057-7130.

**[0009]** Además, se dirige la atención al documento US 2003/076913 (A1). Describe un compilador de bucle de bloqueo de fase digital que incluye un pre-divisor, un convertidor digital de fase, un convertidor de voltaje digital a analógico, un oscilador de control de voltaje, un oscilador de alta frecuencia, un divisor posterior, una divisor de salida y un

autocomprobador incorporado. El compilador de bucle de bloqueo de fase digital funciona en modo digital y utiliza un valor de ajuste de fase preestablecido para reducir el tiempo de bloqueo de fase. Además, la ausencia de un filtro de paso bajo en el compilador de bucle de bloqueo de fase digital y el pequeño tamaño del autocomprobador incorporado reducen en gran medida el área general del compilador de bucle de bloqueo de fase digital.

**[0010]** Además, se dirige la atención al documento US 2007/075785 (A1). Aquí se describe un bucle de bloqueo de fase (PLL) que incluye un detector de frecuencia de fase junto con un convertidor de tiempo a digital capaz de comparar una señal de referencia con una señal de oscilador y generar un valor digital que representa la diferencia de fase entre la señal de referencia y la señal del oscilador. El PLL incluye además una máquina de estado para la adquisición de fase que es capaz de generar un valor de control dependiendo del valor digital, y un oscilador controlable que es capaz de generar la señal del oscilador dependiendo del valor de control.

**[0011]** Finalmente se llama la atención sobre el documento US 2006/103566 (A1) que describe un nuevo convertidor de tiempo a digital (TDC) utilizado como un reemplazo de la bomba de carga y el detector de fase/frecuencia en un PLL totalmente digital dentro de un procesador de radio digital. El núcleo TDC se basa en una arquitectura digital pseudodiferencial que lo hace insensible a los desajustes de transistores NMOS y PMOS. La resolución de conversión de tiempo es igual a un retardo de propagación del inversor, que es el mejor tiempo regenerativo de nivel lógico en CMOS. El TDC se autocalibra con una precisión de estimación superior al 1 %. El circuito TDC también puede servir como un estimador de resistencia del proceso CMOS para circuitos analógicos en troqueles SoC grandes. El circuito también emplea circuitos de administración de energía para reducir el consumo de energía.

## BREVE EXPLICACIÓN

**[0012]** De acuerdo con la presente invención, se proporciona un procedimiento y un convertidor de fase a digital, como se expone en las reivindicaciones independientes. Los modos de realización de la invención se reivindican en las reivindicaciones dependientes.

**[0013]** Los modos de realización que no se hallan dentro del alcance de las reivindicaciones se deben interpretar como ejemplos útiles para entender la invención.

**[0014]** En el presente documento se describe un convertidor de fase a digital, un bucle de bloqueo de fase totalmente digital y un aparato que tiene un bucle de bloqueo de fase totalmente digital. El convertidor de fase a digital incluye un convertidor de fase a frecuencia que acciona un convertidor de tiempo a digital. El tiempo para el convertidor digital determina una magnitud y un signo de las diferencias de fase emitidas por el convertidor de fase a frecuencia. El convertidor de tiempo a digital utiliza líneas de retardo con derivaciones y contadores de retroalimentación en bucle para permitir la medición de pequeñas diferencias de temporización típicas de un proceso de seguimiento de bucle y grandes diferencias de temporización típicas de un proceso de adquisición de bucle. Las líneas de retardo con derivaciones permiten la medición de fracciones de un período de referencia y permiten un funcionamiento de menor potencia del convertidor de fase a digital al reducir los requisitos de velocidad del reloj de referencia.

**[0015]** Un PDC puede tomar de reloj de referencia (FREF) y la salida de N-divisor fraccional (NDIV) como entradas y puede proporcionar una representación digital de su diferencia de fase como salida. El PDDC actualiza la salida de cada borde FREF (donde por borde FREF se refiere al borde ascendente, a menos que se especifique) y la salida que sigue a un borde FREF corresponde a un par de señales ARRIBA-ABAJO generadas por un detector de fase a frecuencia en el que el borde FREF anterior estaba involucrado. Si un par ARRIBA-ABAJO se extiende en más de un ciclo de FREF (lo cual sucederá si FREF viene primero, es decir, comienza el par y el borde NDIV no llega antes del próximo borde FREF), entonces la diferencia de fase se divide en subdivisiones en FREF bordes tales que ningún par ARRIBA-ABAJO es más largo que TREF (1/FREF) y cada subdivisión se considera un par ARRIBA-ABAJO separado.

**[0016]** El PDC puede proporcionar la salida como un contador y la salida digital de una línea de retardo con derivaciones. Cuando la salida del contador (código binario C <0:4>) no es cero, la salida de línea de retardo (código de termómetro D <0:47>) puede ignorarse ya que este es un caso de gran diferencia de fase (> ~1,5 ns), que es típico de un período de adquisición de un bucle de bloqueo de fase, y en el que es aceptable una precisión reducida.

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

**[0017]** Las características, los objetos y las ventajas de los modos de realización de la presente divulgación se harán más evidentes a partir de la descripción detallada expuesta a continuación cuando se considere junto con los dibujos, en los que los mismos elementos se identifican mediante los mismos números de referencia.

La Figura 1 es un diagrama de bloques funcional simplificado de un modo de realización de un dispositivo de comunicación inalámbrica que tiene todos los bucles de bloqueo de fase totalmente digitales.

La Figura 2 es un diagrama de bloques funcional simplificado de un bucle de bloqueo de fase totalmente digital.

Las Figuras 3A-3B son diagramas de bloques funcionales simplificados de un modo de realización de un detector de fase a frecuencia y modos de realización de generadores de signos.

La Figura 4A es un diagrama de bloques funcional simplificado de un modo de realización de un convertidor de tiempo a digital.

La Figura 4B es un diagrama de bloques funcional simplificado de un modo de realización de un convertidor de fase a digital.

La Figura 5 es un diagrama de bloques funcional simplificado de un modo de realización de un generador de pulsos.

La Figura 6 es un diagrama de bloques funcional simplificado de un modo de realización de una línea de retardo con derivaciones.

La Figura 7 es un diagrama de bloques funcional simplificado de un modo de realización de un alineador de bordes.

La Figura 8 es un diagrama de bloques funcional simplificado de un modo de realización de un contador.

La Figura 9 es un diagrama de bloques funcional simplificado de un modo de realización alternativo de un contador.

La Figura 10 es un esquema simplificado de un modo de realización de un generador de borrado de contador.

La Figura 11 es un diagrama esquemático simplificado de un modo de realización de un generador de señal de control "Sel".

La Figura 12 es un esquema simplificado de un modo de realización de un generador de inicio/parada.

Las Figuras 13A y 13B ilustran modos de realización de generadores para las señales Sel_1 y Sel_2.

Las Figuras 14A y 14B ilustran modos de realización de generadores para señales de control de retroalimentación.

La Figura 15 es un esquema simplificado de un modo de realización de un generador de control de descarga.

La Figura 16 es un diagrama de flujo simplificado de un modo de realización de un procedimiento de conversión de fase a digital.

La Figura 17 es un diagrama de flujo simplificado de un modo de realización de un procedimiento de conversión de tiempo a digital.

**DESCRIPCIÓN DETALLADA DE LOS MODOS DE REALIZACIÓN DE LA INVENCIÓN**

**[0018]** En el presente documento se describe un bucle de bloqueo de fase totalmente digital (ADPLL) que implementa todas las funciones PLL en circuitos digitales con área de silicio reducida y sin componentes fuera del chip. El PLL digital puede funcionar con bajo voltaje de alimentación. Un diseño de convertidor de fase a digital (PDC) descrito en el presente documento forma un bloque operativo importante que permite el PLL totalmente digital.

**[0019]** El PDC propuesto convierte información de fase analógica en una palabra digital que puede a su vez alimentarse a un procesador de señales digitales. El PDC funciona para convertir la información de la fase de entrada con resolución fina y alta linealidad, especialmente alrededor del punto de transición de fase cero. Debido a los desajustes del dispositivo, un PDC puede convertir las entradas de fase positiva y fase negativa con diferentes ganancias o compensaciones. Las diferentes ganancias o compensaciones son equivalentes a la no linealidad en una función de transferencia de conversión PDC. Esta no linealidad degrada el rendimiento general de PLL y funciona para aumentar el ruido de fase y la respuesta espuria. El ADPLL propuesto con PDC resuelve las no linealidades con una topología simétrica. El PDC descrito en el presente documento también cubre un amplio rango de entrada de fase durante los modos de adquisición y bloqueo de PLL. El ADPLL propuesto y, en particular, el PDC descrito en el presente documento soporta amplios rangos de entrada de fase que típicamente ocurren durante la adquisición mediante la implementación de un contador de reciclaje de borde que contribuye con una pequeña sobrecarga de consumo de energía.

**[0020]** El PDC puede convertir tanto el signo como la magnitud de una señal de fase en palabra digital para el procesamiento de señal digital y puede ser utilizado en un PLL totalmente digital en proceso sub-micra profundo y bajo voltaje de fuente de alimentación. El PDC propuesto puede convertir tanto entradas de fase grande (pulsos anchos)

del orden de decenas de nanosegundos como entradas de fase pequeña (pulso estrecho) en decenas de picosegundos. Se necesita soporte para fases anchas y estrechas para soportar diferentes condiciones de funcionamiento de PLL, a saber, modos de adquisición y bloqueado. Las entradas de fase grandes son procesadas por un contador de reciclaje de borde sin gastos generales de consumo de energía.

**[0021]** El PDC procesa señales de fase de entrada grande y pequeña mediante la aplicación de una línea de retardo fino para procesar las pequeñas entradas de fase y un contador de reciclaje de borde para procesar las entradas de fase grandes. El PDC logra una alta linealidad incluso cuando procesa entradas de fase negativa y positiva al tener una topología simétrica para las señales ARRIBA y ABAJO que se generan basándose en una señal de oscilador y un reloj de referencia. Los desajustes de retardo en las partes simétricas típicamente introducirán una compensación pero no una no linealidad. El retardo en un DFF (flip-flop D) se mide y resta de los resultados. Además, otras técnicas, como la generación de pulsos y el control de descarga, se utilizan en el PDC para lograr las funciones generales utilizadas en el funcionamiento en estado estable de un ADPLL.

**[0022]** La capacidad de determinar conversión de fase a digital tanto fina como aproximada, así como de funcionar linealmente, permite al ADPLL y el PDC implementarse en configuraciones tradicionalmente analógicas, tales como aplicaciones de RF que típicamente requieren un mayor rendimiento que típicamente se requiere en un oscilador para una aplicación de microprocesador digital.

**[0023]** La Figura 1 es un diagrama de bloques funcional simplificado de un modo de realización de un dispositivo de comunicación inalámbrica 100 que tiene bucles de bloqueo de fase totalmente digitales. El dispositivo de comunicación inalámbrica 100 se implementa como un transceptor que tiene distintas rutas de procesamiento de transmisión y recepción. Cada una de las rutas de procesamiento de transmisión y recepción puede implementar y utilizar un ADPLL como parte de un circuito oscilador local. Los osciladores de transmisión y recepción distintos permiten un funcionamiento dúplex completo, en el que el dispositivo de comunicación inalámbrica 100 transmite y recibe señales simultáneamente.

**[0024]** El dispositivo de comunicación inalámbrica 100 incluye una antena 102 que puede ser compartida tanto por rutas de procesamiento tanto de transmisión como de recepción. La antena 102 acopla la señal inalámbrica recibida a un duplexor 110 que puede configurarse para acoplar las señales de recepción desde la antena 102 al resto de la ruta operativa de recepción mientras se aísla la ruta de recepción de las señales de transmisión. La salida de recepción del duplexor 110 está acoplada a un amplificador frontal 120, que puede ser, por ejemplo, un amplificador de bajo ruido (LNA). El amplificador de extremo frontal 120 típicamente funciona para regular sustancialmente la cifra de ruido total del receptor y, por lo tanto, se implementa típicamente como un LNA que tiene una ganancia de 10-20 dB. La salida del amplificador frontal 120 está acoplada a un filtro receptor de RF 122.

**[0025]** El filtro de recepción RF 122 funciona para realizar la selección de RF mediante la eliminación o la atenuación de las señales de fuera de una banda de funcionamiento de RF de recepción deseada. El filtro de RF 122 puede, por ejemplo, contribuir al rechazo del canal adyacente. La salida del filtro de recepción de RF 122 se puede acoplar a una entrada de RF de un convertidor de frecuencia, aquí representado como un mezclador 130. La segunda entrada al mezclador 130 es accionada por una señal de oscilador local que puede ser generada por un primer ADPLL 154 que se implementa sustancial o totalmente dentro de un circuito integrado de transceptor 180 que se fabrica usando un proceso CMOS avanzado, como un proceso de 65 nm.

**[0026]** La salida del mezclador 130 puede ser una señal de banda base que está acoplada a un convertidor analógico a digital 132 que funciona para generar una representación digital de la señal de banda base. La señal digital de banda base está acoplada a una entrada de recepción del circuito integrado del transceptor 180. La entrada de recepción del circuito integrado de transceptor 180 acopla la señal de banda base digital a un procesador de banda base de recepción 140 para su posterior procesamiento.

**[0027]** El circuito 180 integrado de transceptor incluye un primer ADPLL 154 que funciona en conjunción con una primera referencia de frecuencia 152 para generar una primera señal de oscilador. La primera señal del oscilador puede usarse como un oscilador local para la operación de desplazamiento de frecuencia de recepción. La primera salida de señal del oscilador desde el primer ADPLL 154 se puede acoplar a la entrada LO del mezclador 130 para convertir con frecuencia la señal de recepción a banda base.

**[0028]** La forma de realización del receptor ilustrado en la Figura 1 implementa una técnica de conversión directa en el que la señal de recepción RF se convierte a banda base en una etapa única de conversión de frecuencia. Por supuesto, el receptor en el dispositivo de comunicación inalámbrica 100 no está limitado a ninguna configuración particular y puede utilizar conversión directa, superheterodina o alguna otra configuración.

**[0029]** El dispositivo de comunicación inalámbrica 100 puede incluir un transmisor complementario. El transmisor puede incluir una parte de generación de señal en el circuito integrado 180 del transceptor que genera sustancialmente la señal de transmisión. Un procesador 160 de banda base de transmisión puede configurarse para interactuar con una fuente de datos (no mostrada) y puede formatear los datos para su posterior transmisión.

**[0030]** El procesador de banda base de transmisión 160 se puede configurar, por ejemplo, para proporcionar la señal de transmisión de banda base a un modulador 170. El modulador 170 se puede configurar para modular directamente la señal de banda base en una segunda señal de oscilador. El modulador 170 puede ser, por ejemplo, un modulador de dos puntos.

**[0031]** Un segundo ADPLL 158 en conjunción con una segunda referencia de frecuencia 156 puede generar la segunda señal de oscilador, que puede estar, por ejemplo, a la RF de transmisión deseada. Aunque la segunda referencia de frecuencia 156 se representa como distinta de la primera referencia de frecuencia 152, tanto el primer ADPLL 154 como el segundo ADPLL 158 pueden compartir la misma referencia de frecuencia, por ejemplo, la primera referencia de frecuencia 152. El segundo ADPLL 158 puede configurarse para aceptar la señal de modulación del modulador 170 y puede modular directamente la señal de transmisión sobre la segunda señal del oscilador.

**[0032]** La salida del segundo ADPLL 158 puede acoplarse a un filtro de RF de transmisión 192 que puede funcionar para sustancialmente eliminar los productos no deseados, incluyendo productos espurios y armónicos, que pueden ser enviados por el segundo ADPLL 158. La salida del filtro de transmisión de RF 192 está acoplada a un amplificador de transmisión 194 que de forma alternativa puede denominarse amplificador de alta potencia (HPA). El amplificador de transmisión 194 puede tener una ganancia variable o una etapa de ganancia variable y puede configurarse para amplificar la segunda señal modulada del oscilador a un nivel de potencia de transmisión deseado. La salida del amplificador de transmisión 194 está acoplada a una entrada de transmisión del duplexor 110 donde está acoplada a la antena 102.

**[0033]** El circuito integrado de transceptor 180 se puede implementar en un proceso CMOS sub-micra avanzado funcionando a un bajo voltaje de alimentación, tal como 1,1V, y puede poner en práctica el primer y el segundo ADPLL 154 y 158 completamente integrados en el circuito integrado sin la necesidad de ningún elemento fuera del chip, como dispositivos pasivos fuera del chip, dispositivos analógicos fuera del chip u osciladores fuera del chip. La capacidad de usar relojes de referencia de frecuencia relativamente que tienen un período que es mucho mayor que una resolución de fase del convertidor de fase a digital permite que los ADPLL 154 y 158 funcionen a niveles de consumo de corriente relativamente bajos, lo cual se traduce en un consumo de energía relativamente bajo.

**[0034]** La Figura 2 es un diagrama de bloques funcional simplificado de un bucle de bloqueo de fase totalmente digital 200. El ADPLL 200 de la Figura 2 puede ser, por ejemplo, el segundo ADPLL del dispositivo de comunicación inalámbrica de la Figura 1, y puede ser el primer ADPLL del dispositivo de comunicación inalámbrica de la Figura 1 si la parte de modulación se omite o no se usa de otra manera.

**[0035]** El ADPLL 200 incluye un oscilador variable, que puede ser un oscilador controlado digital (DCO) 210 cuya salida es la salida controlada por fase y frecuencia desde el ADPLL 200. La salida del DCO 210 también está acoplada a un divisor 220, que puede ser, por ejemplo, un divisor entero o un divisor fraccional. El divisor 220 puede programarse o controlarse de otro modo para proporcionar una relación de división que sintonice la frecuencia de salida del DCO 210 a la frecuencia deseada. La señal de control para el divisor 220 puede determinarse, por ejemplo, en un controlador de banda base o algún otro procesador (no mostrado).

**[0036]** La salida dividida está acoplada a una entrada de un convertidor de fase a digital (PDC) 230. Un oscilador de referencia (no mostrado), que puede ser, por ejemplo, un oscilador de cristal, está acoplado a una entrada de referencia del PDC 230.

**[0037]** El PDC 230 incluye un detector de fase a frecuencia 232 acoplado a un convertidor de tiempo a digital (TDC) 234. El PDC 230 se describe con mucho mayor detalle con respecto a otras figuras. En general, el PDC 230 compara la fase del oscilador de referencia con la fase de la salida dividida y proporciona un valor digital indicativo de la diferencia de fase. La salida del PDC 230 se puede expresar, por ejemplo, como un signo y una magnitud, como un valor de complemento a dos, o como algún otro formato digital. La salida de valor digital del PDC 230 está acoplada a un filtro de bucle 240 que puede implementarse como un filtro de bucle digital. La salida del filtro de bucle 240 está acoplada a una primera entrada de un combinador de señal 250, aquí representada como una señal de sumador.

**[0038]** El combinador de señales 250 se implementa como una parte de un circuito de modulación y se puede omitir de las configuraciones de ADPLL 200 que no necesiten modulación. La salida del combinador 250 está acoplada a la entrada de control del DCO 210.

**[0039]** El circuito de modulación está configurado para implementar modulación de dos puntos. Un modulador de dos puntos 260 está configurado para recibir una señal de transmisión, tal como una señal de banda base de transmisión desde una fuente de datos de transmisión (no mostrada). El modulador de dos puntos 260 procesa la señal de transmisión y acciona unas entradas de modulación de bucle cerrado y bucle abierto en el ADPLL 200.

**[0040]** La salida del modulador de dos puntos 260 está acoplada a un modulador delta-sigma (DSM) 264 que acciona el divisor fraccionario para implementar la modulación de bucle cerrado del ADPLL 200. La salida del modulador de dos puntos 260 también acciona un escalador 262 que acciona la segunda entrada al combinador 250 para introducir la modulación de bucle abierto de la salida ADPLL 200. El escalador 262 puede configurarse para compensar la

ganancia del DCO 210. Sin embargo, el valor del escalador 262 no necesita estar relacionado con la ganancia del DCO 210 y puede configurarse para proporcionar una ganancia que funcione junto con la salida del modulador de dos puntos 260 para proporcionar la modulación deseada.

**[0041]** La Figura 3A es un diagrama de bloques funcional simplificado de un modo de realización de un detector de fase a frecuencia 232 acoplado a un generador de signos 320. El detector de fase a frecuencia 232 puede ser, por ejemplo, el detector de fase a frecuencia del ADPLL de la Figura 2. La salida de bit de señal desde el generador de señal 320 puede indicar, por ejemplo, si la entrada del divisor al detector de fase a frecuencia 232 está adelantada o atrasada respecto al reloj de referencia del oscilador de referencia.

**[0042]** El detector de fase a frecuencia 232 puede implementarse como un controlador de contador ARRIBA/ABAJO. Aunque las salidas ARRIBA y ABAJO se pueden usar para accionar las entradas correspondientes a un contador ARRIBA/ABAJO, de ahí los nombres. Aunque el convertidor de tiempo a digital descrito en el presente documento como parte del PDC no utiliza recuentos ARRIBA y ABAJO, puede ser útil para referirse a las salidas del PFD 232 como señales de salida ARRIBA y ABAJO para permitir comparaciones con implementaciones que usan un contador ARRIBA/ABAJO. Por supuesto, las etiquetas ARRIBA y ABAJO son arbitrarias y las salidas PFD 232 podrían etiquetarse como primera y segunda salida o mediante algún otro nombre distintivo.

**[0043]** El PFD 232 incluye dos flip-flops D (DFF), 312 y 314, que tienen un valor de entrada de alta, Vdd, acoplados a cada una de las entradas D. Los dos DFF 312 y 314 se describen como activados por borde ascendente, pero podrían reconfigurarse para utilizar cualquier combinación de activadores de borde ascendente y descendente.

**[0044]** El PFD 232 recibe la señal dividida de divisor de frecuencia acoplado al DCO, NDIV, en la entrada de reloj al primer DFF 312. El primer DFF 312 sincroniza el valor Vdd con la salida Q para emitir una señal ABAJO activa alta en el borde ascendente de la señal NDIV. De manera similar, el segundo DFF 314 recibe el reloj de referencia, FREF, en la entrada del reloj y sincroniza el valor Vdd con la salida Q para emitir una señal ARRIBA activa alta en el borde ascendente de la señal FREF.

**[0045]** Una de dos entradas puerta AND 318 tiene una primera entrada acoplada a la salida Q del primer DFF 312 y una segunda entrada acoplada a la salida Q del segundo DFF 314. La salida de la puerta AND 318 está acoplada a las entradas Reiniciar del primer y el segundo DFF, 312 y 314. La puerta AND 318 funciona para reiniciar ambos DFF 312 y 314 después de cada par ARRIBA/ABAJO.

**[0046]** El generador de signos 320 funciona en las salidas ARRIBA y ABAJO del PFD 232, así como la señal de FREF. Sin embargo, el generador de signos 320 también se puede reconfigurar para funcionar para usar la señal NDIV.

**[0047]** La salida del generador de señal 320 indica qué entrada, arriba o abajo, llega primero al generador de señal 320. La salida ABAJO del PFD 232 está acoplada a la entrada D de un primer signo DFF 322 y la salida ARRIBA del PFD 232 está acoplada al reloj del primer signo DFF 322. La salida ABAJO del PFD 232 es muestreada por el borde ascendente de la señal ARRIBA para indicar el signo del par ARRIBA/ABAJO actual.

**[0048]** El signo del par ARRIBA/ABAJO es leído por un segundo flip-flop de signo 324 sincronizado por el reloj de referencia FREF. La salida Q del segundo signo DFF 324 indica la salida de signo del sistema. La salida "Signo" indica el signo del par ARRIBA/ABAJO en el que estaba involucrado el borde FREF anterior. La razón para usar "ARRIBA" para muestrear "ABAJO" es que el borde "ARRIBA" viene con cada borde FREF, mientras que la señal "ABAJO" no tiene tal previsibilidad. Si la duración de un par ARRIBA/ABAJO es mayor que un período de FREF, entonces no hay un borde "ARRIBA" con cada borde FREF. Pero en esta situación, el signo para cada período de FREF que pertenece a la diferencia de fase amplia es el mismo que era al comienzo de la diferencia de fase actual. Por lo tanto, la salida del primer signo DFF 322 sería el signo correcto para leer en cada borde FREF por parte del segundo signo DFF 324.

**[0049]** La Figura 3B es un modo de realización alternativo de un generador de signos 320 que no se basa en un detector de fase a frecuencia, sino que determina el signo directamente desde las dos entradas, FREF y NDIV a un convertidor de fase a digital.

**[0050]** El modo de realización del generador de signos 320 de la Figura 3B incluye un Flip-Flop D (DFF) 330 y una puerta OR 332. La señal de reloj de referencia, FREF, está acoplada a la entrada D al DFF 330. La señal dividida (NDIV) del divisor de frecuencia acoplado al DCO está acoplada a la entrada D invertida (/D) del DFF 330. La salida del DFF 330 indica el signo.

**[0051]** La señal de reloj de referencia, FREF, también está acoplada a una primera entrada de una puerta OR lógica 332. La señal dividida, NDIV, está acoplada a la segunda entrada de la puerta OR lógica 332. La salida de la puerta OR 332 está acoplada a la entrada de reloj del DFF 330. Por lo tanto, la primera de las señales FREF o NDIV sincroniza el DFF 330. Las entradas al DFF 330 funcionan efectivamente como una señal de entrada diferencial cuya fase en el borde del reloj indica el signo.

**[0052]** La Figura 4A es un diagrama de bloques funcional simplificado de un modo de realización de una parte de convertidor de magnitud de un convertidor de tiempo a digital 400. La parte del convertidor de magnitud 400 se puede usar junto con el generador de signos y el PFD de la Figura 3A para implementar un convertidor de fase a digital, tal como el convertidor de fase a digital de la Figura 2. La parte del convertidor de magnitud 400 del convertidor de tiempo a digital puede implementarse, por ejemplo, dentro del PDC de la Figura 2 para facilitar la implementación de un ADPLL que tiene bajos requisitos de corriente pero que proporciona una alta resolución de fase.

**[0053]** La parte de convertidor de magnitud 400 incluye rutas de procesamiento simétricas, con una primera ruta de procesamiento provocada por la señal ARRIBA de un PFD y una segunda ruta de procesamiento provocada por la señal hacia abajo desde el PFD. Los resultados de una de la primera o segunda ruta de procesamiento se seleccionan para el valor de magnitud basándose en el procesamiento de selección.

**[0054]** La primera ruta de procesamiento incluye los primeros multiplexores de control 410-1 que se utilizan para inicializar la ruta de tratamiento. La primera ruta de procesamiento incluye un multiplexor de descarga 412-1 que acopla selectivamente una de las señales ARRIBA o una señal predeterminada a la ruta de procesamiento. En el modo de realización de la Figura 4A, el multiplexor de descarga 412-1 acopla selectivamente un valor bajo o cero a la ruta de procesamiento para descargar los contenidos anteriores de la ruta de procesamiento para garantizar que la ruta de procesamiento comience en un estado conocido. Durante la conversión de tiempo a digital, el multiplexor de descarga 412-1 acopla la señal ARRIBA a la ruta de procesamiento.

**[0055]** La salida del multiplexor de descarga 412-1 está acoplada a una entrada de un multiplexor de control de retroalimentación 414-1 que funciona para retroalimentar selectivamente un pulso que ha atravesado un retardo entero en la ruta de procesamiento. El multiplexor de control de retroalimentación 414-1 selecciona inicialmente la salida del multiplexor de descarga 412-1 y selecciona el pulso de retroalimentación si el tiempo para la conversión digital aún no se ha completado.

**[0056]** La salida de los multiplexores de control 410-1 está acoplada a una entrada de control de un generador de pulsos 420-1. La salida del generador de pulsos 420-1 está acoplada a un alineador de bordes 430-1 que funciona para alinear sustancialmente la sincronización de los bordes ascendente y descendente de la salida de pulsos desde el generador de pulsos 420-1.

**[0057]** El alineador de bordes 430-1 se representa como la generación de una salida diferencial que está acoplada a una línea de retardo 440-1. La línea de retardo 440-1 introduce un retardo fijo predeterminado a la señal de pulso emitida por el generador de pulsos 420-1 y alineada en el alineador de bordes 430-1.

**[0058]** La línea de retardo 440-1 se puede configurar como una línea de retardo con derivaciones, y cada línea de retardo de la línea de retardo con derivaciones puede acoplarse a un primer multiplexor de selección de ruta 450. El primer multiplexor de selección de ruta 450 enruta selectivamente una de la primera ruta de procesamiento o la segunda ruta de procesamiento con valores de derivación de línea de retardo con derivaciones diferenciales a un registro de recuperación 460. La salida del registro de recuperación 460 representa un retardo fraccionario a través de la línea de retardo.

**[0059]** La línea de retardo 440-1 puede estar configurado para enviar una señal de pulso retardado de un único extremo. La salida de un único extremo de la línea de retardo 440-1 representa el pulso de retroalimentación que se enruta a la segunda entrada del multiplexor de control de retroalimentación 414-1.

**[0060]** La salida de un único extremo de la línea de retardo 440-1 está acoplada también a un segundo multiplexor de selección de ruta 452 que enruta selectivamente una de la primera ruta de procesamiento o segunda ruta de procesamiento a una entrada de un multiplexor de habilitación de contador 454. El multiplexor de habilitación de contador 454 envía una señal de habilitación a un contador 470 que funciona para contar el número de transiciones de retardo completo de un pulso a través de la línea de retardo.

**[0061]** La segunda ruta de procesamiento está configurada sustancialmente idéntica a la primera ruta de procesamiento. Los segundos multiplexores de control 410-2 incluyen un segundo multiplexor de descarga 412-2 que tiene una entrada acoplada al PFD para recibir la señal ABAJO y una segunda entrada configurada para recibir el nivel lógico bajo. La salida del segundo multiplexor de descarga 412-2 está acoplada a un segundo multiplexor de control de retroalimentación 414-2 que acopla selectivamente la salida del segundo multiplexor de descarga 414-2 o una señal de pulso retardado a su salida.

**[0062]** La salida del segundo multiplexor de control de retroalimentación 414-2 está acoplada a una entrada de activación de un segundo generador de pulsos 420-2. La salida de pulsos del segundo generador de pulsos 420-2 está acoplada a un segundo alineador de bordes 430-2. La salida del segundo alineador de bordes 430-2 está acoplada a una segunda línea de retardo 440-2.

**[0063]** La salida de un único extremo de la segunda línea de retardo 440-2 se retroalimenta al segundo multiplexor de control de retroalimentación 414-2. Las tomas en la segunda línea de retardo 440-2 están acopladas a una segunda

entrada del primer multiplexor de selección de ruta 450. De manera similar, el pulso retardado de un único extremo está acoplado a una segunda entrada del segundo multiplexor de selección de ruta 452.

**[0064]** Después de que ARRIBA y ABAJO suben, lo cual indica el final de un par ARRIBA - ABAJO, la señal de descarga baja durante un corto período permitiendo un nivel cero en las líneas de retardo. Esta acción borra la línea de retardo y la reinicia para la próxima medición.

**[0065]** Control por retroalimentación: "FB-U_ctrl" es para la rama del circuito para la entrada "ARRIBA" y "FB-D_ctrl" es para la rama del circuito para la entrada "ABAJO". Cualquiera que sea la entrada, ARRIBA o ABAJO, que viene primero, su señal de control de retroalimentación sube permitiendo el reciclaje de pulsos. La señal de control de retroalimentación baja cuando termina el par ARRIBA - ABAJO.

**[0066]** La señal de Sel en la entrada de control del primer multiplexor de selección de ruta 450 controla qué línea de retardo se leerá. Si ARRIBA viene antes que ABAJO, la salida de la línea de retardo para la entrada ARRIBA se conecta al registro de recuperación 460 y de la otra manera si ABAJO viene antes que ARRIBA.

**[0067]** Si ARRIBA viene antes que ABAJO, la señal de control Sel_1 permite que FB-U pase a través del segundo multiplexor de selección de ruta 452 que controla y el FB-D si ABAJO viene antes que ARRIBA.

**[0068]** La señal de Sel_2 sube con una señal de inicio que es activada por la primera de ARRIBA o ABAJO, |ARRIBA-ABAJO|, permitiendo que el pulso retardado seleccionado entre en el contador 470. La señal Sel_2 baja, bloqueando de este modo el pulso, y su borde ascendente significa el final de un par ARRIBA-ABAJO. Así, en cierto sentido, habilita el contador 470 cuando sea necesario.

**[0069]** En funcionamiento, tanto la primera como la segunda rutas de procesamiento son activadas por las señales de ARRIBA y ABAJO respectivas del PFC. La señal de activación en cada ruta de procesamiento activa un generador de pulsos. El pulso del generador de pulsos está acoplado a una línea de retardo con derivaciones. La salida de la línea de retardo con derivaciones se retroalimenta a la entrada de activación del generador de pulsos, de modo que el pulso retardado funciona para reactivar el generador de pulsos. Cada transición completa del pulso a través de la línea de retardo incrementa un contador. Al final del período de conversión, se puede determinar que el retardo total es el valor del contador multiplicado por el retardo de la línea de retardo más la transición fraccional del pulso a través de la línea de retardo, que se puede determinar examinando los toques de una línea de retardo con derivaciones. Un controlador selector determina si el contador y el registro de retardo derivado almacenan valores de la primera o segunda ruta de procesamiento.

**[0070]** En el TDC 400, antes de que se inicie un par ARRIBA-ABAJO, las señales de control "Descarga" y "Retroalimentación" se controlan de tal manera que el multiplexor que controlan permitirá que la entrada "ARRIBA" y "ABAJO" pase a través para descargar el contenido de las líneas de retardo 440-1 y 440-2 y para reiniciar el contador 470.

**[0071]** En respuesta a los bordes ascendentes de "ARRIBA" y "ABAJO" el correspondiente generador de pulsos (PG) 420-1 y 420-2 genera un pulso de duración fija, independiente del período alto ARRIBA o ABAJO. Este pulso pasa a través de un respectivo alineador de bordes (EA) 430-1 y 430-2, el cual alinea los bordes ascendentes y descendentes en su salida. Los bordes ascendentes y descendentes se utilizan dentro de la línea de retardo diferencial para la medición de diferencia de fase. Después de la alineación del borde, el pulso entra en la línea de retardo 440-1 o 440-2 para la medición de magnitud.

**[0072]** Cualquiera que sea la entrada, ARRIBA o ABAJO, su señal de control de retroalimentación correspondiente sube después de que el borde ascendente pase a través del multiplexor de retroalimentación 414-1 o 414-2. Sin embargo, la señal de control de retroalimentación correspondiente a la entrada que llega más tarde permanece baja incluso después de que llegue su borde ascendente. De esta forma, solo el pulso que llega primero puede pasar por la línea de retardo y retroceder si la diferencia de fase es mayor que la duración del tiempo de la línea de retardo. El pulso que llega más tarde, ARRIBA o ABAJO, se usa para leer la línea de retardo de la señal principal y, por lo tanto, no es necesario que se repita.

**[0073]** La salida de pulsos de la línea de retardo 440-1 o 440-2 de la entrada que llega primero está conectada a la entrada del contador 470 a través de los multiplexores 452 y 454 controlados por "Sel_1" y "Sel_2". Si la diferencia de fase es más que una duración de tiempo de línea de retardo completa, el pulso retardado que sale de la línea de retardo 440-1 o 440-2 pasa al contador 470 incrementando su recuento. Este pulso retardado también retrocede y pasa nuevamente a través de su respectiva línea de retardo 440-1 o 440-2. En el modo de realización de la Figura 4A, el pulso retardado vuelve a activar el generador de pulsos. Este ciclo se repite hasta que llega la segunda entrada ARRIBA o ABAJO. La segunda entrada significa el final del par actual ARRIBA-ABAJO y la señal de control "Sel_2" baja, bloqueando la entrada del contador. En este instante, la línea de retardo relevante también puede ser leída, mediante la entrada que llega más tarde, y su estado se almacena en flip-flops u otros registros en la línea de retardo.

**[0074]** Cuando comienza el siguiente par ARRIBA - ABAJO, la lectura del contador se almacena en una capa intermedia de flip-flops y desde allí se lee en el siguiente borde FREF. La señal de control "Sel" conecta la salida de línea de retardo seleccionada (salidas flip-flop) para obtener el registro de recuperación 460. El registro de recuperación 460 puede ser, por ejemplo, un grupo de flip-flops sincronizados por el FREF que lee la salida de la línea de retardo. Por lo tanto, en cada borde FREF, las salidas TDC 400 C <0:4> y D <0:47> se actualizan.

**[0075]** El controlador de selección 480 puede implementarse como uno o más módulos que están configurados para generar las diversas señales de control basándose en las señales ARRIBA, ABAJO y FREF. Las Figuras 11-15 incluyen algunos ejemplos de módulos dentro del controlador de selección 280.

**[0076]** La Figura 4B es un diagrama de bloques funcional simplificado de un modo de realización alternativo de un convertidor de fase a digital 230, tal como se puede usar en el ADPLL de la Figura 2. El modo de realización del convertidor de fase a digital 230 de la Figura 4B es similar al convertidor de magnitud 400 de la Figura 4A. Sin embargo, el convertidor de fase a frecuencia 230 de la Figura 4B puede configurarse para realizar sustancialmente todo el proceso de conversión de fase a digital sin la necesidad de un convertidor de fase a frecuencia y sin la necesidad de rutas de procesamiento simétricas. Una primera ruta de procesamiento de señal incluye elementos que determinan el valor digital de la diferencia de fase durante el período de tiempo definido por la segunda ruta de procesamiento.

**[0077]** Algunas partes del convertidor de fase a frecuencia 230 de la Figura 4B se han omitido en aras de la claridad. Por ejemplo, se omite el hardware para descargar la línea de retardo 440, pero puede ser similar al hardware ilustrado en la Figura 4A. De manera similar, el hardware asociado con la lectura del estado de la línea de retardo 440 se omite del diagrama de bloques, pero puede ser sustancialmente similar a la configuración mostrada para el convertidor de magnitud de la Figura 4A.

**[0078]** El convertidor de fase a digital (PDC) 230 de la Figura 4B incluye una única ruta de retardo y ruta de retroalimentación. El PDC 230 determina el valor digital de manera muy similar al convertidor ilustrado en la Figura 4A, pero sin las rutas simétricas. Un contador 470 almacena un valor de recuento que indica varias transiciones completas del pulso a través de la línea de retardo, y el valor leído del valor de la línea de retardo indica la parte fraccional de la transición del pulso a través de la línea de retardo 440.

**[0079]** El PDC 230 incluye un primer retardo fijo 490-1 y un segundo retardo fijo 490-2 que funcionan para retardar el reloj de referencia y la señal dividida, respectivamente. Los retardos fijos 490-1 y 490-2 se utilizan para introducir un ligero retardo que permite el procesamiento del valor del signo que se utiliza para controlar la selección de las señales a través de las dos rutas de procesamiento de señales. Las salidas de los retardos fijos 490-1 y 490-2 se acoplan a las entradas de un primer multiplexor de selección de ruta 416-1 y a las entradas de un segundo multiplexor de selección de ruta 416-2.

**[0080]** La primera ruta de procesamiento incluye el primer multiplexor de selección de ruta 416-1. La salida del primer multiplexor de selección de ruta 416-1 es sustancialmente la primera transición de señal de llegada, tanto si proviene del reloj de referencia como de la señal dividida. La salida del primer multiplexor de selección de ruta 416-1 está acoplada a una entrada de un primer generador de pulsos 420-1. La salida del primer generador de pulsos 420-1 está acoplada a la primera entrada de un multiplexor de bucle 492 que está configurado para seleccionar una de las salidas del generador de pulsos o una salida de pulsos retardados, correspondiente a la salida de la línea de retardo 440.

**[0081]** La salida del multiplexor de bucle 492 está acoplada a la línea de retardo 440. La línea de retardo 440 acopla la salida de pulsos retardados a una entrada del contador 470. Cada salida de pulsos desde la línea de retardo 440 incrementa el valor de recuento en el contador 470. La línea de retardo 440 acopla la salida de pulsos retardados a la segunda entrada del multiplexor de bucle 492.

**[0082]** El multiplexor de bucle 492 se configura inicialmente para seleccionar la primera salida del generador de pulsos 420-1 en el inicio de cada ciclo de conversión de PDC. Después de la transición de pulso inicial a través del multiplexor de bucle 492, la señal de control de bucle que controla la entrada seleccionada por el multiplexor de bucle 492 controla el multiplexor de bucle 492 para seleccionar la segunda entrada de retroalimentación. El multiplexor de bucle 492 continúa seleccionando la entrada de retroalimentación hasta la finalización del ciclo de conversión, como lo indica la segunda ruta de procesamiento.

**[0083]** Las entradas al segundo multiplexor de selección de ruta 416-2 están invertidas con respecto a las entradas al primer multiplexor de selección de ruta 416-1. El control de selección de señal para ambos multiplexores 416-1 y 416-2 está acoplado a la señal de signo. Por lo tanto, el segundo multiplexor de selección de ruta 416-2 en la segunda ruta de procesamiento funciona para seleccionar la segunda señal de llegada.

**[0084]** La salida del segundo multiplexor de selección de ruta 416-2 está acoplada a una entrada de un segundo generador de pulsos 420-2. La salida del segundo generador de pulsos 420-2 está acoplada a una primera entrada de un multiplexor de control de conversión 494. La salida del multiplexor de control de conversión 494 está acoplada a la entrada de lectura de la línea de retardo 440, así como a la entrada de reloj o registro del contador 470.

**[0085]** Una transición baja a alta de la salida del multiplexor de control de conversión 494 es la señal de terminación de la conversión que indica el final del ciclo de conversión, y puede funcionar para sincronizar los valores de la línea de retardo con derivaciones en los registros y sincronizar el valor de contador 470 con un registro.

**[0086]** El multiplexor de control de conversión 494 se configura inicialmente para seleccionar un valor predeterminado, tal como un valor bajo, o cero, al inicio de cada ciclo de conversión de PDC. El multiplexor de control de conversión 494 funciona, basándose en la señal de control de bucle, para seleccionar la salida del segundo generador de pulsos 420-2 una vez que la salida del generador de pulsos en la primera ruta de procesamiento ha entrado en la línea de retardo 440. El uso del segundo generador de pulsos 420-2 y el multiplexor de control de conversión 494 también ayuda a hacer coincidir los retardos de propagación experimentados por las señales de control con los retardos de propagación de la señal inicial en la primera ruta de procesamiento de señal.

**[0087]** A la terminación del ciclo de conversión, el valor digital de la diferencia de fase viene dada por el valor del contador y el valor de la línea de retardo con derivaciones 440. El valor del contador indica el número de transiciones completas de un pulso a través de la línea de retardo y el valor de la línea de retardo con derivaciones 440 indica la transición fraccional del pulso a través de la línea de retardo 440.

**[0088]** La Figura 5 es un diagrama de bloques funcional simplificado de un modo de realización de un generador de pulsos 420, que puede usarse en el TDC de la Figura 4A o el PDC de la Figura 4B. El generador de pulsos 420 está configurado para generar un pulso de ancho fijo en respuesta a un borde ascendente en su entrada. El ancho del pulso se puede configurar para que sea prácticamente cualquier ancho que sea menor que el retardo total de la línea de retardo. El generador de pulsos 420 de la Figura 5 está configurado para proporcionar un ancho de pulso estrecho del orden de 150 pS. Se pueden configurar otras configuraciones de generador de pulsos para proporcionar anchos de pulso del orden de 370 pS o alguna otra duración.

**[0089]** El generador de pulsos 420 incluye un primer inversor 510 que tiene una entrada acoplada a la entrada del generador de pulsos 420. La fuente de un FET 520 de tipo p y la fuente de un FET 540 de tipo n también están acopladas a la entrada del generador de pulsos 420.

**[0090]** La salida del primer inversor 510 está acoplada a una entrada de un segundo inversor 512. La salida del primer inversor 510 también está acoplada a la puerta del FET 540 de tipo n. La salida del segundo inversor 512 está acoplada a la puerta del FET 520 de tipo p y a la puerta de un FET 530 de puesta a tierra que tiene su fuente acoplada a tierra o retorno de voltaje. Los drenajes para el FET 520 de tipo p, el FET 540 de tipo n y el FET 530 de puesta a tierra comparten una conexión común y son comunes a la salida del generador de pulsos 420.

**[0091]** A partir de un estado inicial bajo, el FET 520 de tipo p no está conduciendo, el FET 530 de puesta a tierra no está conduciendo, y el FET 540 de tipo n es conductor, acoplando y reforzando de este modo el estado de entrada baja a la salida de ese modo.

**[0092]** En el borde ascendente de una señal de entrada, el primer inversor 510 pasa su salida a un estado baja después de un retardo de propagación. Esto crea un potencial de fuente de puerta negativa en el FET 540 de tipo n, por lo que pasa a un estado de alta impedancia.

**[0093]** El FET 520 de tipo p experimenta un potencial de fuente de puerta negativo antes de que la señal se propague a través del segundo inversor 512. Durante este período de tiempo, el FET 520 de tipo p conduce y acopla el nivel de entrada alto a la salida.

**[0094]** La transición del primer inversor 510 al estado bajo hace que la salida del segundo inversor 512 pase a un estado alto después de un retardo de propagación. A medida que la salida del segundo inversor 512 pasa a un nivel alto, el voltaje en la puerta del FET 520 de tipo p aumenta, cortando así la conducción del FET 520 de tipo p. La transición de la salida del segundo inversor 512 a un estado alto también hace que el FET 530 de puesta a tierra conduzca, lo cual pone a tierra la salida y proporciona una ruta desde la salida a tierra para evitar una salida flotante.

**[0095]** Una transición en la entrada de un estado alto a un estado bajo no causa ningún cambio de estado en la salida del generador de pulsos 420, pero hace que el FET 530 de puesta a tierra pase a un estado de alta impedancia. Sin embargo, el FET de tipo n pasa a un estado conductivo, proporcionando así una ruta de puesta a tierra para la salida del generador de pulsos 420.

**[0096]** La Figura 6 es un diagrama de bloques funcional simplificado de un modo de realización de una parte de una línea de retardo con derivaciones 600. La parte de la línea de retardo con derivaciones 600 puede ser, por ejemplo, una parte de una línea de retardo en el TDC de la Figura 4A.

**[0097]** El retardo de línea 600 se puede configurar con tres entradas. Dos de las entradas corresponden a entradas diferenciales que están acopladas a la cadena de elementos de retardo. Una tercera entrada recibe una señal de "Lectura", que a su llegada bloquea el estado de la cadena de retardo. El estado de los elementos de retardo puede leerse más tarde o bloquearse en el bloque de registro de recuperación en el borde FREF.

**[0098]** La línea de retardo 600 de la Figura 6 tiene una resolución de 22 ps, que es casi el mismo que el retardo regenerativo de nivel lógico mínimo obtenible en el proceso CMOS de 65 nm y que a su vez es sustancialmente el mismo que el retardo de propagación de un inversor nativo. Esta resolución de retardo es sustancialmente la mitad del retardo mínimo a través de la memoria intermedia, que en general está compuesta por dos inversores. Para poder obtener una mejora en la resolución debido al uso de un inversor en lugar de una memoria intermedia como elemento de retardo, su característica par-impar debe coincidir, es decir, los tiempos de subida y bajada deben ser los mismos.

**[0099]** La cadena de retardo 610 se implementa utilizando inversores equilibrados, por ejemplo, 612a, 612b, configurados en serie. La cadena de retardo 610 se implementa usando dos cadenas de inversores paralelas. Las cadenas de inversores se leen de forma alternativa mediante flip-flops diferenciales, por ejemplo, 662-k, con una ventana de metaestabilidad muy estrecha (~2ps) y equilibrada. El k-ésimo flip-flop D 662-k después de un número impar de inversores tiene su entrada D acoplada a una primera cadena de inversores y su entrada D acoplada a un punto correspondiente en la segunda cadena de inversores paralela. El flip-flop D (k+1), 662-(k+1), tiene su entrada D acoplada a la segunda cadena de inversores paralela que sigue al inversor (k+1), 612-(k+1) y su entrada D acoplada a la primera cadena de inversores que sigue al inversor (k+1), 613-(k+1). De esta manera, la salida registrada de cada flip-flop D, por ejemplo, 662-k, 662-(k+1), 662-(k+2), tiene la misma polaridad y toca la línea de retardo 610 que sigue a cada elemento de retardo.

**[0100]** La línea de retardo 610 se puede configurar con 48 elementos (96 inversores totales en dos cadenas de retardo paralelas) y, por lo tanto, un período de tiempo nominal de aproximadamente Ins. Dos de tales líneas de retardo 610 son empleadas por el PDC. En una de las líneas de retardo, un pulso activado por la señal ARRIBA corre a través de la cadena de retardo y la señal ABAJO sincroniza los flip-flops y lee el estado de la cadena de retardo a su llegada, mientras que, en la otra línea de retardo, un pulso activado por la señal ABAJO atraviesa la cadena de retardo y la señal ARRIBA sincroniza los flip-flops, por ejemplo, 662.

**[0101]** Un controlador de selección determina cuál de las señales ARRIBA y ABAJO llegó primero, y controla la línea de retardo relevante desde la que se leen los flip-flops. La carga presentada a las señales "ARRIBA" y "ABAJO" por las líneas de retardo no depende del signo. Por lo tanto, cualquier falta de coincidencia de tiempo debido a cualquier falta de idealidad en las rutas idénticas para las líneas de retardo "ARRIBA" y "ABAJO" 610 aparecen como una compensación de tiempo simple en la salida, lo cual probablemente no afecta al bloqueo de fase.

**[0102]** Sin embargo, si solo se usa una línea de retardo y, dependiendo de su secuencia de llegada, los pulsos "ARRIBA" y "ABAJO" se enrutan hacia a una sola cadena de Retardo 610, y entonces un desajuste de tiempo debido a la no idealidad después de que el enrutamiento dependiente del signo determine la entrada de línea de retardo se traducirá en una no linealidad. Una falta de coincidencia después del enrutamiento dependiente del signo cambia la función de transferencia a una que tiene una no linealidad expresada como salto o compensación en el origen.

**[0103]** La Figura 7 es un diagrama de bloques funcional simplificado de un modo de realización de un alineador de bordes 430, tal como el alineador de bordes utilizado en el TDC de la Figura 3A.

**[0104]** El alineador de bordes 430 toma una señal diferencial que tiene un borde ascendente y un borde descendente cuyos tiempos de transición tienen una pequeña diferencia (~30 ps) y proporciona una salida de bordes alineados donde se alinean los bordes de subida y bajada.

**[0105]** El alineador de bordes 430 incluye rutas de inversores en paralelo, con acoplamiento cruzado de las señales siguientes a las salidas de los inversores particulares para igualar los retardos de subida y de bajada. Los tamaños de los inversores utilizados en cada cadena de inversores pueden incrementarse gradualmente a lo largo de la cadena para permitir que la salida del alineador de bordes 430 accione las memorias intermedias que presentarán una gran carga. En el modo de realización de la Figura 7, la parte encerrada en un rectángulo es la unidad que hace el trabajo de alineación de bordes. Dos de estos bloques se han utilizado para obtener mejores resultados. El segundo bloque de alineación de bordes puede tener transistores más grandes para incrementar las capacidades de accionamiento a lo largo de la cadena.

**[0106]** La Figura 8 es un diagrama de bloques funcional simplificado de un modo de realización de un contador 800. El contador 800 está configurado como un contador de cinco bits e incluye una configuración en serie de flip-flops 810-1 a 810-5. Cada flip-flop, por ejemplo, 810-1, conecta su salida invertida a la entrada D. Además, la salida de cada flip-flop, por ejemplo, 810-1, sincroniza el siguiente flip-flop, por ejemplo, la salida de DFF 810-1 sincroniza DFF 810-2.

**[0107]** La señal de control de borrado reinicia el contador 800 antes de que comience el siguiente ciclo de recuento. En un modo de realización alternativo ilustrado en la Figura 9, la señal de control de borrado se produce después de que las salidas del contador 470 se almacenan en otra capa de flip-flops. El comienzo de un ciclo de recuento no está relacionado con el borde FREF, ya que puede ser activado por un borde NDIV. En ese caso, la salida del contador anterior debe almacenarse antes de que comience un nuevo ciclo para evitar que se pierda el valor del contador. Por

lo tanto, la lectura del contador 800 se almacena en flip-flops (no mostrados) antes de que comience el próximo ciclo desde donde son leídos en el siguiente borde FREF por otra capa de flip-flops.

**[0108]** La Figura 9 es un diagrama de bloques funcional simplificado de un modo de realización alternativo de un contador 470 que tiene múltiples capas de flip-flops, y puede usarse como el contador en el TDC de la Figura 4A.

**[0109]** Cuando comienza un nuevo par ARRIBA-ABAJO, sigue un pulso en "Counter_clear", que almacena la salida del contador en la primera capa de flip-flops 910-1 a 910-5, y borra el contador 800. Más tarde, después de que llegue el borde FREF, las salidas de esta capa de flip-flops, 910-1 a 910-5, se almacenan en una segunda capa de flip-flops 920-1 a 920-5. La segunda capa de flip-flops 920-1 a 920-5 está sincronizada por DXO, que puede ser una versión retardada del reloj de referencia, FREF. Por ejemplo, el reloj de referencia retardado DXO puede implementarse retardando FREF tres retardos de flip-flop clk-to-Q.

**[0110]** Es preferente usar el reloj retardado para abordar la situación en la que un par ARRIBA-ABAJO comienza con FREF. El pulso en "Counter_clear" sigue este borde FREF y las señales emitidas en la primera capa de flip-flops 910-1 a 910-5 podrían ser antiguas y no valores que se actualizaron en el borde FREF.

**[0111]** La Figura 10 es un esquema simplificado de un modo de realización de un generador de borrado de contador 1000 para usar en el borrado del contador antes de cada operación de conversión de TDC. El generador de borrado de contador 1000 incluye un primer flip-flop D 1010 que tiene una primera memoria intermedia 1012 con la entrada de la memoria intermedia 1012 acoplada a la salida Q del primer flip-flop D 1010 y la salida de la memoria intermedia 1012 acoplada a la entrada de reinicio del primer flip-flop D 1010. La entrada D se conecta a un voltaje alto. La entrada del reloj está acoplada al oscilador de referencia FREF. El primer flip-flop D 1010 está configurado para generar un pulso en cada borde ascendente de FREF.

**[0112]** La salida Q del primer flip-flop D 1010 también está acoplada a la entrada de reloj de un segundo flip-flop D 1020. La entrada D del segundo flip-flop D 1020 recibe la señal ARRIBA del PFD. La salida Q del segundo flip-flop D 1020 está conectada a la entrada de una segunda memoria intermedia 1022. La salida de la segunda memoria intermedia 1022 está conectada a la entrada de reinicio del segundo flip-flop D 1020.

**[0113]** Una primera puerta OR recibe las señales ARRIBA y ABAJO en su entrada y envía el OR lógico de las dos señales. La salida de la primera puerta OR 1030 activa un primer generador de pulsos 1042, cuya salida está acoplada a una entrada de una segunda puerta OR 1050.

**[0114]** La salida Q del segundo flip-flop D 1020 activa un segundo generador de pulsos 1044 cuya salida está acoplada a una segunda entrada de la segunda puerta OR 1050. La salida de la segunda puerta OR es la señal de borrado del contador.

**[0115]** El generador de borrado de contador 1000 genera un pulso que sigue al comienzo de cada par ARRIBA-ABAJO. Si este par comienza debido al borde ascendente en ARRIBA o ABAJO, entonces el pulso se genera en el generador de pulsos P1 que ocasiona el pulso requerido. Sin embargo, si este par ARRIBA-ABAJO existe debido a una actividad en el ciclo FREF anterior, entonces no se generaría pulso en P1 ya que la salida de la primera puerta OR 1030 precedente ya es alta. En este caso, se genera el pulso en P2 desde el segundo generador de pulsos 1044. En esta situación, "ARRIBA" subió en el borde FREF anterior y ha estado alta desde entonces. En el borde FREF actual, "ARRIBA" debe ser alto. Después de la salida del borde FREF del primer flip-flop D, 1010 sube y luego se reinicia un breve período más tarde (efectivamente, se genera un pulso en su salida). Este pulso muestrea "ARRIBA" y si es alto, generará un pulso desde el segundo generador de pulsos 1044 en P2 y en "Counter_clear". La razón para retardar el borde de FREF en un retardo clk-to-Q antes de muestrear "ARRIBA" es evitar la generación de pulso en una situación en la que NDIV llega antes de FREF pero muy cerca de él. En este caso, retardar el FREF dará tiempo para que ARRIBA baje. Sin embargo, el uso de FREF sin retardo no causará muchos errores, ya que claramente en esta situación la diferencia de fase es grande (como un período de adquisición) y la precisión sigue siendo suficiente para la aplicación.

**[0116]** La Figura 11 es un diagrama esquemático simplificado de un modo de realización de un generador de señal de control "Sel". La señal ABAJO se acopla a la entrada D de un primer flip-flop D DFF 1, 1110, mientras que la señal ARRIBA se conecta a la entrada del reloj. La salida Q de DFF 1 1110 está acoplada a la entrada D de un segundo flip-flop D DFF 2, 1120. Un inversor 1130 invierte el reloj de referencia FREF y acopla la señal invertida a la entrada de reloj de DFF 2 1120.

**[0117]** La señal Sel se actualiza cada borde descendente de FREF. Por lo tanto, está disponible la mitad de un período de reloj de referencia, TREF, antes del borde FREF, para el cual está destinado. La señal permanece válida hasta la mitad de la duración de TREF. Si "ARRIBA" viene antes que "ABAJO", la salida de DFF 1 1110 es alta unos pocos segundos después del borde FREF ("ARRIBA" y FREF están sincronizados) y el borde FREF descendente después de este evento bloqueará este valor en DFF 2 1120 que servirá como "Sel" en el siguiente borde FREF.

**[0118]** La Figura 12 es un esquema simplificado de un modo de realización de un generador de inicio/parada 1200, cuyas señales de inicio y parada son utilizadas por varios otros módulos dentro del PDC. Estas dos señales, que se generan desde "ARRIBA" y "ABAJO", se utilizan en TDC para generar varias señales de control. El borde ascendente en "Inicio" denota el comienzo del par ARRIBA-ABAJO y el borde ascendente en "Parada" denota el final del par.

**[0119]** La señal de ARRIBA está acoplada a las primeras entradas de una puerta OR 1210 y una puerta AND 1220, mientras que la señal ABAJO está acoplada a las segundas entradas de las mismas puertas. La salida de la puerta OR 1210 representa la señal de inicio, mientras que la salida de la puerta AND representa la señal de parada.

**[0120]** Las Figuras 13A y 13B ilustran los generadores 1300 y 1350 para las señales Sel_1 y Sel_2, respectivamente, utilizadas por los multiplexores de control. Estas dos señales de control para multiplexores 2 a 1 determinan cuándo permitir pulsos en el contador y desde qué línea de retardo. Las señales de "Inicio" y "Parada" se utilizan en la generación de estas señales de control. Sel_1 determina si el pulso de salida de la línea de retardo sincronizada por "ARRIBA" o por "ABAJO" debe ir al contador, y Sel_2 determina si el pulso que sale de la línea de retardo debe ir al contador o debe ir un "0" al contador.

**[0121]** El generador Sel_1 1300 genera la señal Sel_1 en la salida/Q de un flip-flop D 1310 que tiene/ABAJO en su entrada D y sincronizada por la señal ARRIBA. El flip-flop AD 1320 con una memoria intermedia 1330 está configurado como un generador de pulsos y se usa para suministrar una señal de reinicio al flip-flop D Sel_1 1310 en el borde ascendente de la señal de parada. Inicialmente, después de recibir la señal de "Inicio", "Sel_1" es bajo si ARRIBA viene antes que ABAJO y alto si ABAJO viene antes que ARRIBA. A la llegada de "Parada", "Sel_1" sube.

**[0122]** El generador Sel_2 1350 genera la señal Sel_2 basándose en la señal de Inicio. Un primer flip-flop D 1360 que tiene su entrada D conectada a un voltaje alto utiliza la señal de Inicio para sincronizar el nivel alto a la salida Q en el borde ascendente de la señal de Inicio. La salida Q del primer flip-flop D 1360 se usa para sincronizar un segundo flip-flop D 1370 que tiene su entrada D conectada a un voltaje alto. Por lo tanto, la señal de Sel_2 es activada por la señal de Inicio y es retardada por dos relojes para retardar el flip-flop Q. Un tercer flip-flop D y memoria intermedia 1390 configurado como un generador de pulsos envía un pulso a las entradas de reinicio del primer y segundo flip-flop Ds 1360 y 1370 en un borde ascendente de la señal de parada. Por lo tanto, Sel_2 sube con el borde ascendente de "Inicio" y baja con el borde ascendente "Parada", lo cual impide que los pulsos de salida de la línea de retardo entren en el contador.

**[0123]** Las Figuras 14A y 14B ilustran generadores 1400 y 1450 para las señales de control de retroalimentación. Estas señales de control de retroalimentación determinan si las salidas de pulso de la línea de retardo deben volver atrás para activar otro pulso en la entrada de su respectiva línea de retardo. La primera señal de entrada que llega, "ARRIBA" o "ABAJO", puede volver atrás hasta que llegue la segunda señal de entrada o "Parada". Sin embargo, la segunda entrada que llega no hace que el pulso retardado en su ruta de procesamiento respectiva vuelva atrás.

**[0124]** El generador de control de retroalimentación ARRIBA 1400 funciona para controlar la ruta de retroalimentación ARRIBA. Si "ARRIBA" viene antes que "ABAJO", la salida de DFF1 1410 es alta después del borde ascendente de la señal ARRIBA. Si Sel_2 es alto (lo que ocurre dos clk-to-Q después del inicio), entonces la línea de retardo en la que pasa ARRIBA se pone en modo de retroalimentación. La puerta AND 1412 genera el AND lógico de la salida DFF1 1410 con "Sel_2" para garantizar que la ruta de entrada se interrumpa para formar la ruta de retroalimentación solo después de que se proporcione un tiempo suficiente para que el pulso de entrada atraviese el multiplexor de retroalimentación hasta la entrada del generador de pulsos, ya que "Sel_2" se pone alto después del inicio, que a su vez se vuelve a ponerse alto aproximadamente un retardo de puerta después del inicio del par ARRIBA-ABAJO. El flip-flop de reinicio DFF2 1420 está configurado con una memoria intermedia 1430 para generar un pulso de reinicio después de la llegada de la señal de Parada.

**[0125]** El generador de control de retroalimentación ABAJO 1450 funciona para controlar la ruta de retroalimentación ABAJO, y está configurado sustancialmente idéntico al generador de control de retroalimentación ARRIBA con las conexiones a las señales ABAJO y ARRIBA invertidas. Si ABAJO viene antes que ARRIBA, la salida de DFF3 1460 es alta después del borde ascendente de la señal ABAJO. La puerta AND 1462 genera el AND lógico de la salida DFF3 1460 con Sel_2. El flip-flop de reinicio DFF4 1470 está configurado con una memoria intermedia 1480 para generar un pulso de reinicio después de la llegada de la señal de Parada.

**[0126]** La Figura 15 es un esquema simplificado de un modo de realización de un generador de control de descarga 1500. El PDC está configurado para descargar o limpiar las dos líneas de retardo de cualquier pulso después del final de cada par ARRIBA-ABAJO y antes de que las señales de entrada inicien el siguiente ciclo. Esto se realiza desconectando las conexiones de retroalimentación y entrada, inyectando un "0" lógico en la línea de retardo y esperando una duración mayor que la duración del tiempo de la cadena de retardo antes de volver a conectar las entradas.

**[0127]** El generador de control de descarga 1500 incluye una conexión en serie de flip-flops D 1510, 1520, 1530, el número de los cuales se puede determinar basándose en la duración del retardo total de la línea de retardo. Todas las entradas D se conectan a un voltaje alto. El flip-flop D inicial 1510 en la cadena se sincroniza mediante la señal de

parada. La salida del primer flip-flop D 1510 acciona un inversor 1540 que emite la señal de control de descarga. Cada flip-flop D subsiguiente, por ejemplo, 1520 y 1543, se sincroniza mediante la salida del flip-flop D anterior. El último flip-flop D 1530 acciona una memoria intermedia 1550 que reinicia los estados de todos los flip-flops D en la cadena.

**[0128]** Por lo tanto, la cadena de flip-flops está configurada para proporcionar una salida que pasa a alto un reloj a retardo Q y un retardo de propagación después de la señal de parada. La señal de control de descarga reinicia los siguientes retardos de N reloj a Q más retardados por el retardo de propagación de la memoria intermedia 1550.

**[0129]** Después de llegar "Parada", ambas señales de control de retroalimentación bajan interrumpiendo las rutas de retroalimentación y a continuación "Descarga" también se establece en baja, interrumpiendo así la conexión de entrada e inyectando "0" en la línea. "Descarga" se pone alta poco tiempo después (aproximadamente un retardo de cinco clk-to-Q) restableciendo la conexión de entrada. Dado que la conexión de entrada se interrumpe durante un breve período de tiempo, si el próximo par ARRIBA-ABAJO comienza durante este período, se perderá, es decir, habrá una zona ciega. En este diseño debido a la descarga, la zona ciega tiene una duración de aproximadamente 1,5 ns en condiciones estándar. Sin embargo, es importante tener en cuenta que debido a que la "Descarga" en realidad sucede después de que llega "Parada" y no después de que termina un par ARRIBA-ABAJO, no hay zonas ciegas durante la diferencia de fase de más de una duración TREF.

**[0130]** La Figura 16 es un diagrama de flujo simplificado de un modo de realización de un procedimiento 1600 de conversión de fase a digital. El procedimiento 1600 puede implementarse, por ejemplo, mediante el convertidor de fase a digital (PDC) que se muestra en el ADPLL de la Figura 2.

**[0131]** El procedimiento 1600 comienza en el bloque 1610 donde el PDC recibe la señal del oscilador, que puede ser, por ejemplo, una señal dividida de un oscilador controlado por voltaje. En el ejemplo ADPLL de la Figura 2, la señal del oscilador recibida por el PDC es una señal dividida de un oscilador controlado digitalmente.

**[0132]** El PDC procede al bloque 1620 donde el PDC recibe la señal de reloj de referencia, que puede ser, por ejemplo una señal de oscilador de cristal. En un modo de realización de un circuito integrado ADPLL, un cristal que es externo al circuito integrado se puede usar junto con un oscilador de referencia en chip. Aunque el procedimiento 1600 ilustra que el PDC recibe el reloj de referencia después de recibir la señal del oscilador, el PDC en general recibe ambas señales simultáneamente y no en serie.

**[0133]** El PDC procede al bloque 1630 y genera una señal o señales de detección de fase a frecuencia (PDC) basándose en la señal del oscilador y el reloj de referencia. En el modo de realización de la Figura 2, el PFD genera una señal ARRIBA y una señal ABAJO, donde los términos "ARRIBA" y "ABAJO" simplemente distinguen las dos señales y no son funcionalmente descriptivos.

**[0134]** El PDC procede al bloque 1640 y genera una conversión de tiempo a digital basándose en las señales de PDC. En el modo de realización de la Figura 2, el TDC está configurado para generar un signo de la diferencia de fase y una magnitud de la diferencia de fase utilizando líneas de retardo simétricas, donde el valor digital se basa en una o más de una transición de pulso parcial a través de las líneas de retardo simétricas y varias transiciones completas a través de la línea de retardo.

**[0135]** El PDC procede al bloque 1650 y devuelve el valor digital como un signo y magnitud. El signo se determina a partir de las señales PFD y el valor de magnitud se determina a partir de las señales PFD junto con el procesamiento de la línea de retardo.

**[0136]** La Figura 17 es un diagrama de flujo simplificado de un modo de realización de un procedimiento 1700 de conversión de tiempo a digital. El procedimiento puede realizarse, por ejemplo, mediante el TDC de la Figura 2, donde el signo se determina de la manera mostrada en la Figura 3A y la magnitud se determina de la manera mostrada en la Figura 4A.

**[0137]** El procedimiento 1700 comienza en el bloque 1710 donde el TDC recibe una o más señales desde el PFD. En el modo de realización de la Figura 3A, el PFD genera señales ARRIBA y ABAJO basándose en el reloj de referencia y la señal del oscilador y su relación de temporización (fase) entre sí.

**[0138]** El TDC procede al bloque 1720 y determina el signo de la diferencia de fase basándose en las señales de PFD. El signo indica si el reloj de referencia viene antes que la señal del oscilador o viceversa.

**[0139]** El TDC procede al bloque 1730 y genera al menos un pulso basándose en la señal o señales PFD. En el modo de realización de la Figura 4A, el TDC está configurado con rutas de procesamiento simétricas, y el TDC activa un generador de pulsos en cada ruta. El TDC activa un generador de pulsos basándose en la señal ARRIBA y un segundo generador de pulsos en la segunda ruta simétrica, basándose en la señal ABAJO.

**[0140]** El TDC procede al bloque 1740 y acopla los pulsos a las líneas de retardo respectivas en las rutas de procesamiento respectivas. El TDC procede al bloque 1750 y determina qué ruta es una ruta activa. Es decir, el TDC

determina cuál de las rutas de procesamiento simétrico utilizar para la conversión de magnitud TDC. La ruta activa representa la ruta para la cual es válida una ruta de retroalimentación de pulso, que se utiliza si la diferencia de tiempo total excede una transición de retardo completo.

**[0141]** El TD procede al bloque de decisión 1760 y determina si un pulso ha pasado completamente a través de la línea de retardo. De lo contrario, el TDC procede al bloque de decisión 1762 para determinar si el período de conversión ha finalizado. Si no, el TDC vuelve al bloque 1760 para supervisar el progreso del pulso a través de la línea de retardo. Si, en el bloque de decisión 1762, el TDC determina que el período de conversión ha finalizado, el TDC procede al bloque 1790 para determinar los valores de conversión.

**[0142]** En el bloque de decisión 1760, si el pulso ha atravesado completamente la línea de retardo, el TDC procede al bloque 1770 e incrementa un contador que indica el número de veces que un pulso en la ruta activa ha atravesado completamente la línea de retardo. El TDC procede al bloque de decisión 1780 y determina si el período de conversión ha finalizado.

**[0143]** Si el período de conversión aún no ha finalizado, el TDC continúa bloqueando 1782 y retroalimenta el pulso a la entrada de la línea de retardo. El TDC puede realizar la retroalimentación de pulso alimentando el pulso retardado para activar un siguiente pulso en la ruta de procesamiento activa. Después de retroalimentar el pulso retardado a la entrada de la línea de retardo de la ruta activa, el TDC vuelve al bloque 1740.

**[0144]** Si, en el bloque de decisión 1780, el TDC determina que el período de conversión ha finalizado, el TDC procede al bloque 1790 y determina los valores de conversión.

**[0145]** Los valores de conversión pueden incluir el signo y la magnitud del retardo. Si la magnitud es menor que un retardo completo a través de la línea de retardo, la magnitud puede ser un valor de diferencia de fase fina que es representativo de una transición parcial del pulso a través de la línea de retardo. Si la magnitud es mayor que un retardo completo a través de la línea de retardo, la magnitud puede incluir una diferencia de fase aproximada y una diferencia de fase fina. La diferencia de fase aproximada puede representarse por el número de transiciones completas a través de la línea de retardo, que se indica mediante el valor del contador. La diferencia de fase fina es la misma que la descrita anteriormente.

**[0146]** Si la magnitud es mayor que un retardo completo, un ADPLL puede estar en modo de adquisición, y puede no necesitar la resolución proporcionada por la diferencia de fase fina. En tal modo de realización, la magnitud puede estar representada solo por la diferencia de fase aproximada, y puede omitir la contribución debido a la diferencia de fase fina.

**[0147]** Tal como se utiliza en el presente documento, el término acoplado o conectado se utiliza para significar un acoplamiento indirecto, así como un acoplamiento directo o conexión. Cuando dos o más bloques, módulos, dispositivos o aparatos están acoplados, puede haber uno o más bloques intermedios entre los dos bloques acoplados.

**[0148]** Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador de uso general, con un procesador de señales digitales (DSP), con un procesador de ordenador de conjunto de instrucciones reducido (RISC), con un circuito integrado específico de aplicaciones (ASIC), con una matriz de puertas programables in situ (FPGA) o con otro dispositivo de lógica programable, lógica de transistores o de puertas discretas, componentes de hardware discretos o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados. Un procesador también se puede implementar como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

**[0149]** Los pasos de un procedimiento, proceso o algoritmo descritos en relación con los modos de realización divulgados en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Los diversos pasos o acciones en un procedimiento o proceso pueden realizarse en el orden mostrado, o pueden realizarse en otro orden. Además, se pueden omitir uno o más pasos de proceso o procedimiento o se pueden agregar uno o más pasos de proceso o procedimiento a los procedimientos y procesos. Se puede agregar un paso, bloque o acción adicional al principio, al final o al intervenir elementos existentes de los procedimientos y procesos.

**REIVINDICACIONES**

**1.** Un procedimiento (1600) de conversión de fase a digital, comprendiendo el procedimiento:

recibir por medio de un multiplexor de selección de ruta (416-1) una señal de reloj de referencia en una primera entrada y una señal de oscilador en una segunda entrada, y emitir por medio del multiplexor de selección de ruta (416-1) un borde de llegada anterior de una de la señal de reloj de referencia y la señal del oscilador basándose en una señal de entrada de control;

iniciar por medio de un primer generador de pulsos (420-1) un primer pulso de duración fija basándose en el borde de llegada anterior;

recibir por medio de un multiplexor de bucle (492) el primer pulso de duración fija en una primera entrada y una señal de pulso retardado en una segunda entrada, y proporcionar una señal de salida a una línea de retardo;

acoplar una salida del multiplexor de bucle (492) a una entrada de la línea de retardo (440);

proporcionar por medio de la línea de retardo la señal de pulso retardado;

determinar una señal de terminación de conversión basada en un borde de llegada posterior de una de la señal de reloj de referencia y la señal del oscilador;

contar por medio de un contador (470) un número de pulsos emitidos por la línea de retardo y emitiendo el número de pulsos al recibir la señal de terminación de conversión; e

indicar una parte fraccionaria de una transición del primer pulso de duración fija a través de la línea de retardo (440) al recibir la señal de terminación de conversión.

**2.** El procedimiento según la reivindicación 1, que comprende además determinar un valor digital de una diferencia de fase entre la señal de reloj de referencia y la señal del oscilador basándose en la transición del primer pulso de duración fija a través de la línea de retardo (440), en el que determinar el valor digital comprende determinar un valor de línea de retardo con derivaciones indicativo de dicha parte fraccional de la transición del primer pulso de duración fija a través de la línea de retardo (440).

**3.** El procedimiento según la reivindicación 2, que comprende, además:

incrementar un valor de contador basándose en una salida de la línea de retardo (440); y

acoplar la salida de la línea de retardo de nuevo a la entrada de la línea de retardo.

**4.** El procedimiento según la reivindicación 3, en el que determinar el valor digital comprende determinar el valor del contador.

**5.** El procedimiento según la reivindicación 3, en el que determinar el valor digital comprende:

determinar el valor del contador como indicativo de una serie de transiciones completas a través de la línea de retardo (440).

**6.** El procedimiento según la reivindicación 1, en el que determinar la señal de terminación de conversión comprende iniciar un segundo pulso basándose en el borde de llegada posterior de una de la señal de reloj de referencia y la señal del oscilador; y opcionalmente

en el que determinar la señal de terminación de conversión comprende además acoplar el segundo pulso a través de un multiplexor de control de conversión (494), y en el que la señal de terminación de conversión comprende una salida del multiplexor de control de conversión.

**7.** El procedimiento según la reivindicación 1, que comprende además alinear los bordes ascendente y descendente de una señal diferencial correspondiente al primer pulso de duración fija, en el que la determinación del valor digital se basa en una transición de la señal diferencial a través de la línea de retardo (440).

**8.** El procedimiento según la reivindicación 1, en el que iniciar el primer pulso de duración fija basándose en el borde de llegada anterior comprende:

determinar el borde de llegada anterior; y

activar dicho primer generador de pulsos (420-1) basándose en el borde de llegada anterior.

**9.** El procedimiento según la reivindicación 8, en el que determinar el borde de llegada anterior comprende:

acoplar la señal de reloj de referencia a una entrada no inversora de un flip-flop D;

acoplar la señal del oscilador a una entrada inversora del flip-flop D;

sincronizar el flip-flop D basándose en un OR lógico de la señal de reloj de referencia y la señal del oscilador; e

indicar el borde de llegada anterior basándose en una salida del flip-flop D.

**10.** Un convertidor de fase a digital (230) que comprende:

un multiplexor de selección de ruta (416-1) configurado para recibir una señal de reloj de referencia en una primera entrada y una señal de oscilador en una segunda entrada, y configurado además para emitir un borde de llegada anterior de una de la señal de reloj de referencia y la señal del oscilador basándose en una señal de entrada de control;

un primer generador de pulsos (420-1) que tiene una entrada de activación acoplada a una salida del multiplexor de selección de ruta y configurada para generar, basándose en el borde de llegada anterior, un primer pulso de duración fija;

un multiplexor de bucle (492) configurado para recibir el primer pulso de duración fija en una primera entrada y una señal de pulso retardado en una segunda entrada, y configurado para proporcionar una señal de salida a una línea de retardo;

la línea de retardo (440) tiene una entrada acoplada a una salida del multiplexor de bucle y configurada para emitir la señal de pulso retardado, y configurada además para indicar una parte fraccional de una transición del primer pulso de duración fija a través de la línea de retardo (440) al recibir una señal de terminación de conversión, en el que la señal de terminación de conversión se basa en un borde de llegada posterior de una de la señal de reloj de referencia y la señal del oscilador; y

un contador (470) configurado para contar un número de pulsos emitidos por la línea de retardo y configurado para emitir el número de pulsos al recibir la señal de terminación de conversión.

**11.** El convertidor de fase a digital (230) según la reivindicación 10, que comprende además:

una puerta OR lógica configurada para recibir la señal de reloj de referencia en una primera entrada, configurada para recibir la señal de oscilador en una segunda entrada, y configurada además para generar un OR lógico de la señal de reloj de referencia y la señal del oscilador; y

un flip-flop D que tiene una entrada no inversora configurada para recibir la señal de reloj de referencia, una entrada inversora configurada para recibir la señal del oscilador y una entrada de reloj acoplada a una salida de la puerta OR lógica, en el que el flip-flop D tiene además una salida configurada para proporcionar la señal de entrada de control.

**12.** El convertidor de fase a digital (230) según la reivindicación 10, en el que la línea de retardo (440) comprende una línea de retardo con derivaciones.

**13.** El convertidor de fase a digital (230) según la reivindicación 10, en el que una salida del convertidor de fase a digital comprende el número de pulsos emitidos por la línea de retardo (440) si el número de pulsos no es cero.

**14.** El convertidor de fase a digital (230) según la reivindicación 10, en el que una salida del convertidor de fase a digital comprende la parte fraccional de la transición del primer pulso de duración fija a través de la línea de retardo (440); y opcionalmente

en el que la parte fraccional de la transición del primer pulso de duración fija a través de la línea de retardo (440) se indica mediante un valor digital codificado por temperatura.

**15.** El convertidor de fase a digital (230) según la reivindicación 10, en el que la línea de retardo comprende una pluralidad de unidades de retardo y la línea de retardo está configurada además para generar una salida basándose en una o más unidades de retardo de la pluralidad de unidades de retardo.

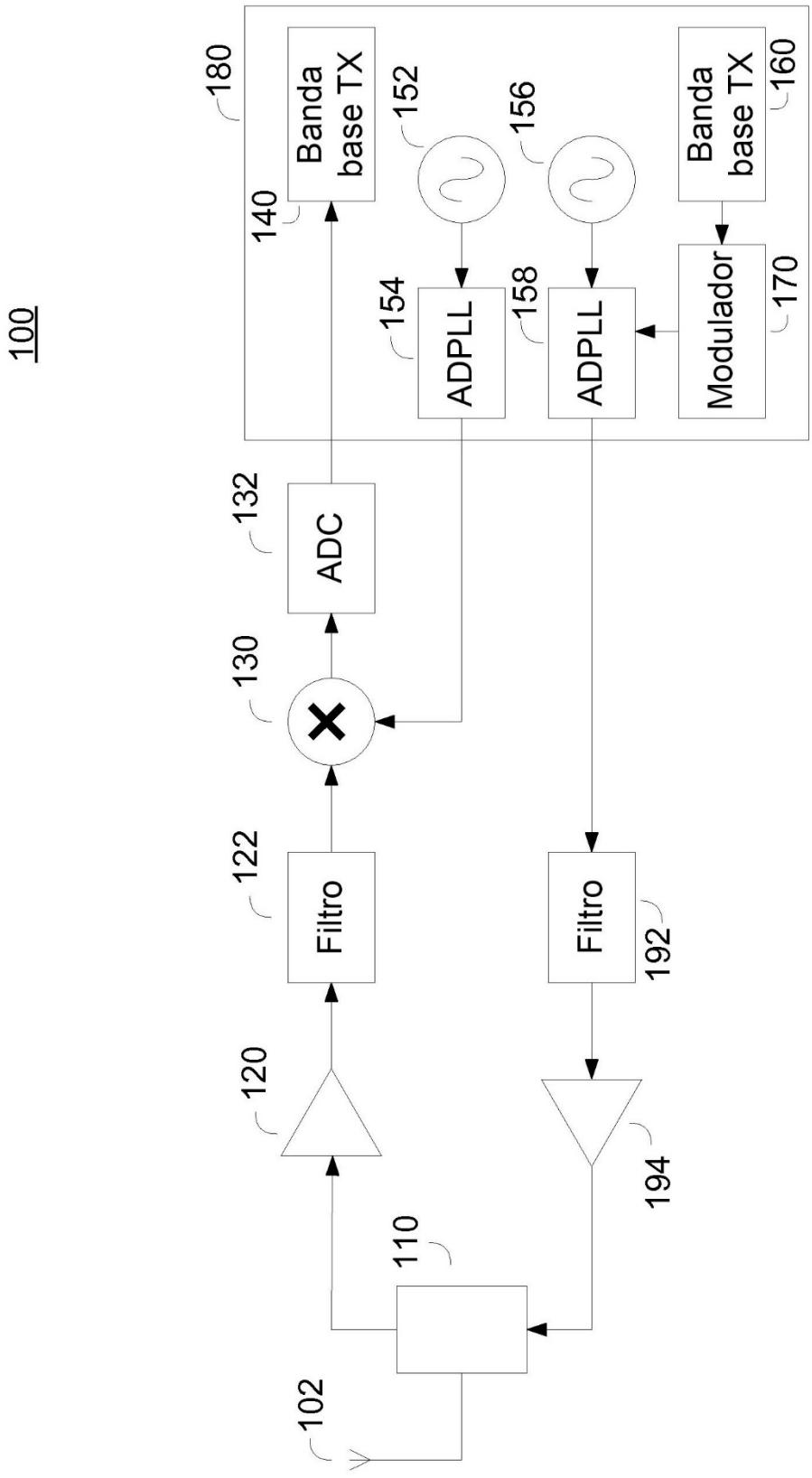

100
180
Banda base TX
140
152
156
Banda base TX
160
154
ADPLL
158
ADPLL
Modulador
170
132
ADC
130
122
Filtro
Filtro
192
120
194
110
102

FIG. 1

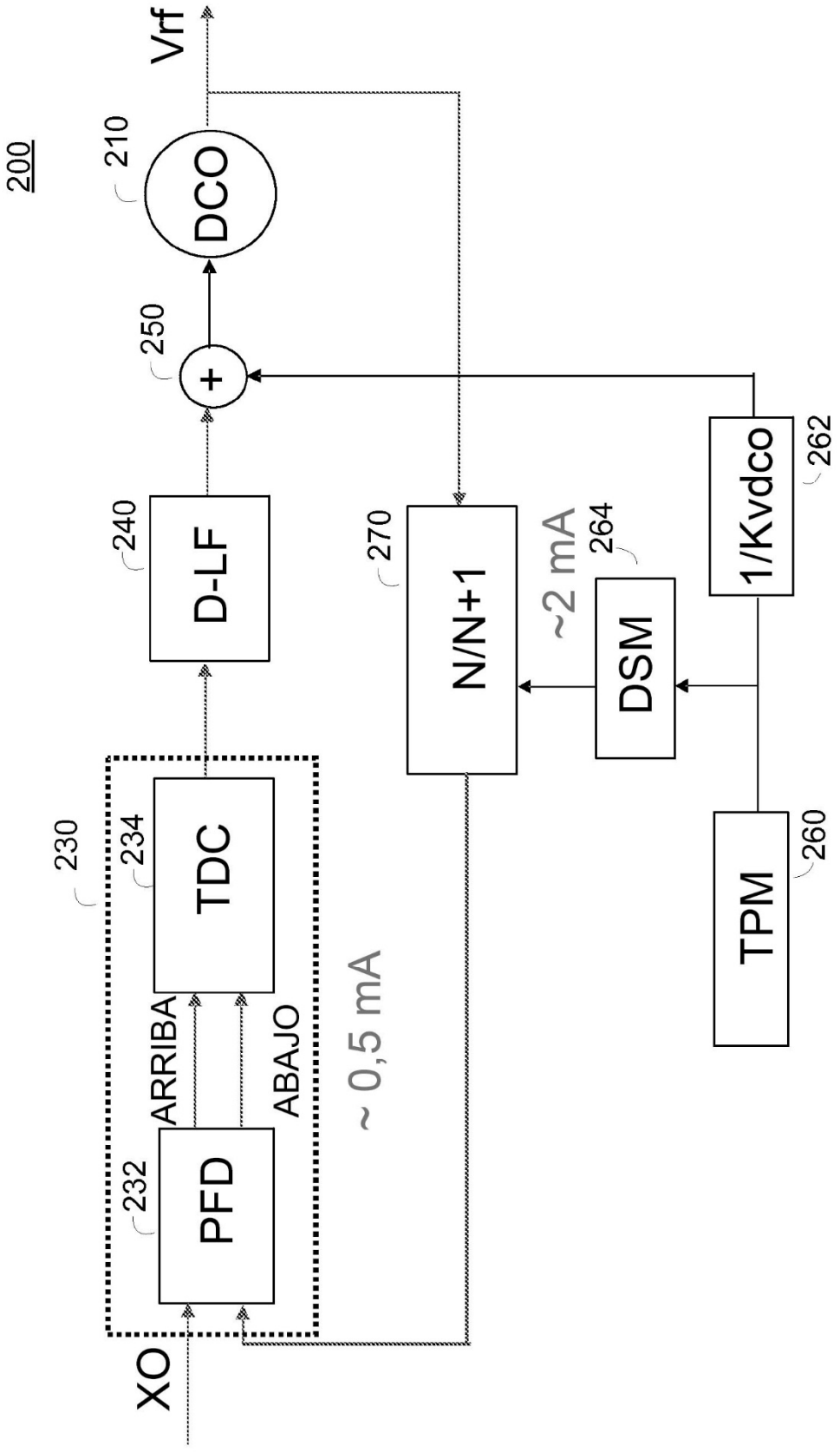

200
Vrf
210
DCO
250
+
240
D-LF
270
N/N+1
~2 mA
264
DSM
1/Kvdco
262
230
234
TDC
ARRIBA
ABAJO
~ 0,5 mA
232
PFD
TPM
260
XO

FIG. 2

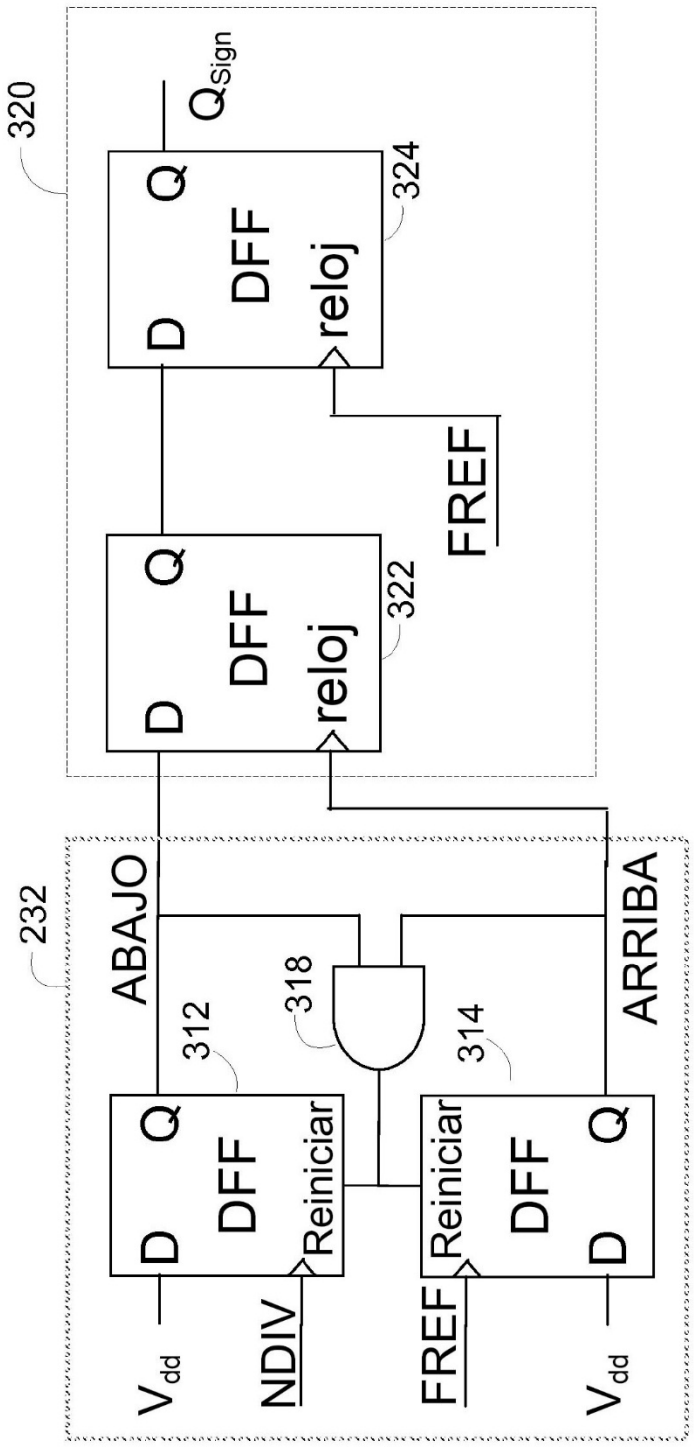
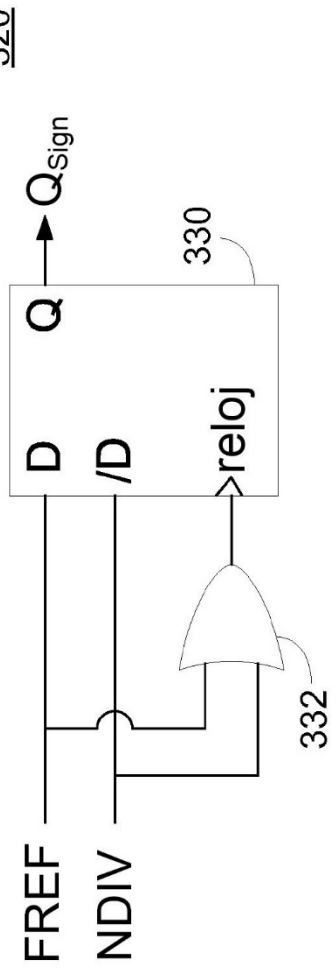

320
$Q_{Sign}$
Q
DFF
D
reloj
324
322
FREF
232
ABAJO
ARRIBA
312
314
318
Reiniciar
$V_{dd}$
NDIV
FREF
PFD

FIG. 3A


320
$Q_{Sign}$
Q
D
/D
reloj
330
332
FREF
NDIV

FIB. 3B

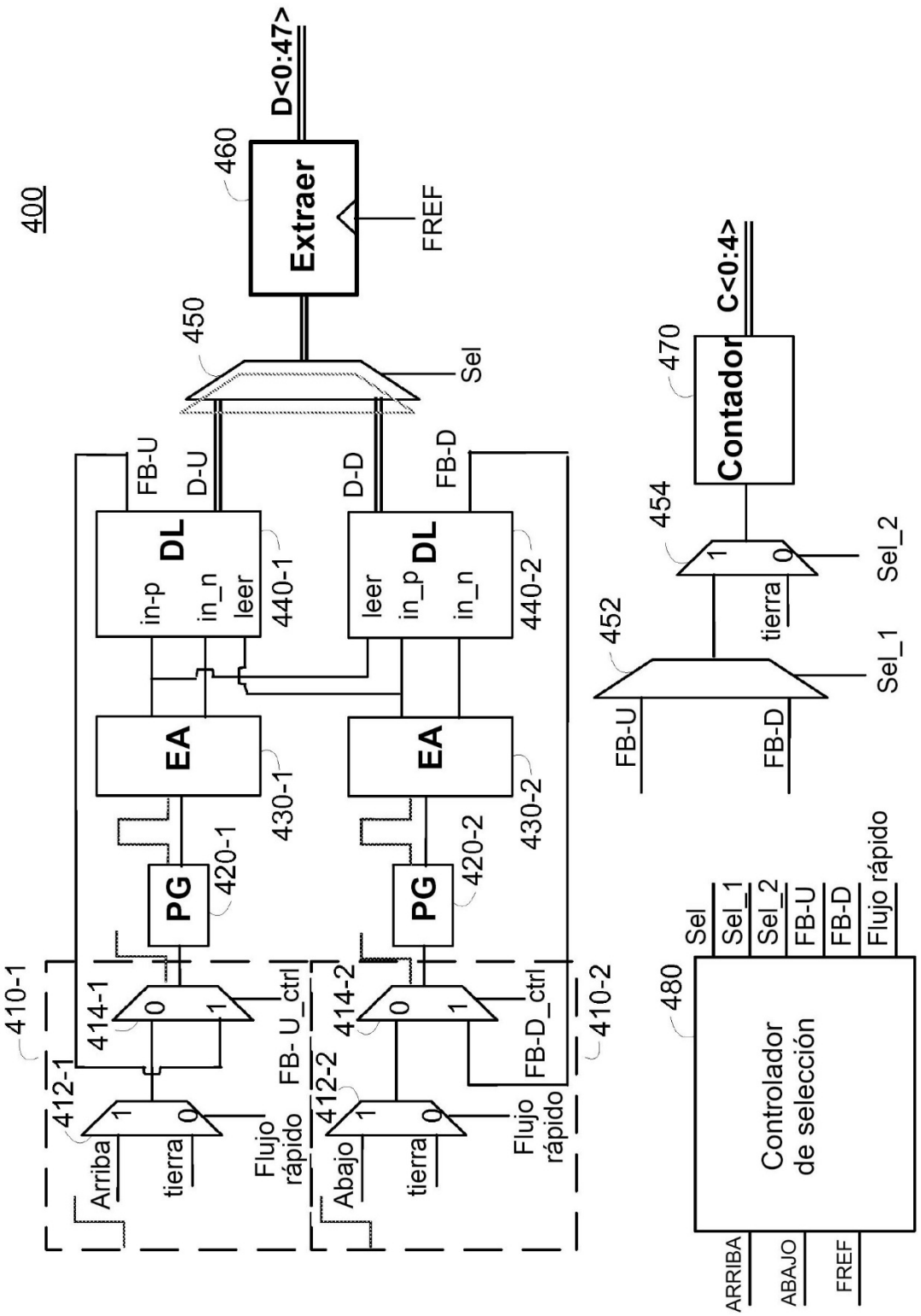

400
460
Extraer
D<0:47>
FREF
450
Sel
FB-U
D-U
D-D
FB-D
DL
in-p
in_n
leer
440-1
440-2
EA
430-1
430-2
PG
420-1
420-2
410-1
412-1
414-1
Arriba
tierra
Flujo rápido
FB- U_ctrl
410-2
412-2
414-2
Abajo
tierra
Flujo rápido
FB-D_ctrl
470
Contador
C<0:4>
454
tierra
Sel_2
452
Sel_1
FB-U
FB-D
480
Controlador de selección
Sel
Sel_1
Sel_2
FB-U
FB-D
Flujo rápido
ARRIBA
ABAJO
FREF

FIG. 4A

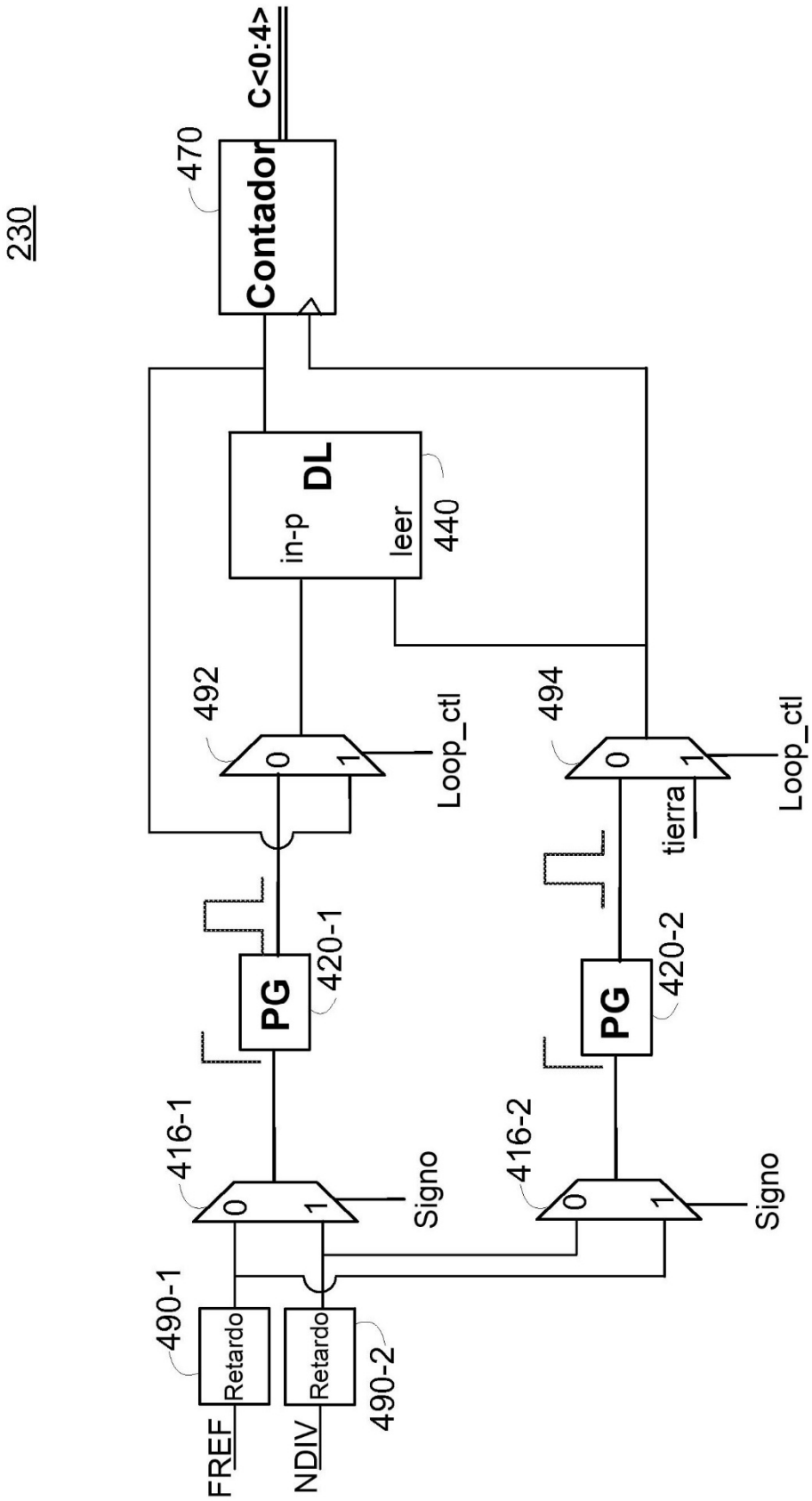

230
470
Contador
C<0:4>
DL
in-p
leer
440
492
494
Loop_ctl
Loop_ctl
tierra
PG
420-1
PG
420-2
416-1
416-2
Signo
Signo
490-1
490-2
Retardo
Retardo
FREF
NDIV

FIG. 4B

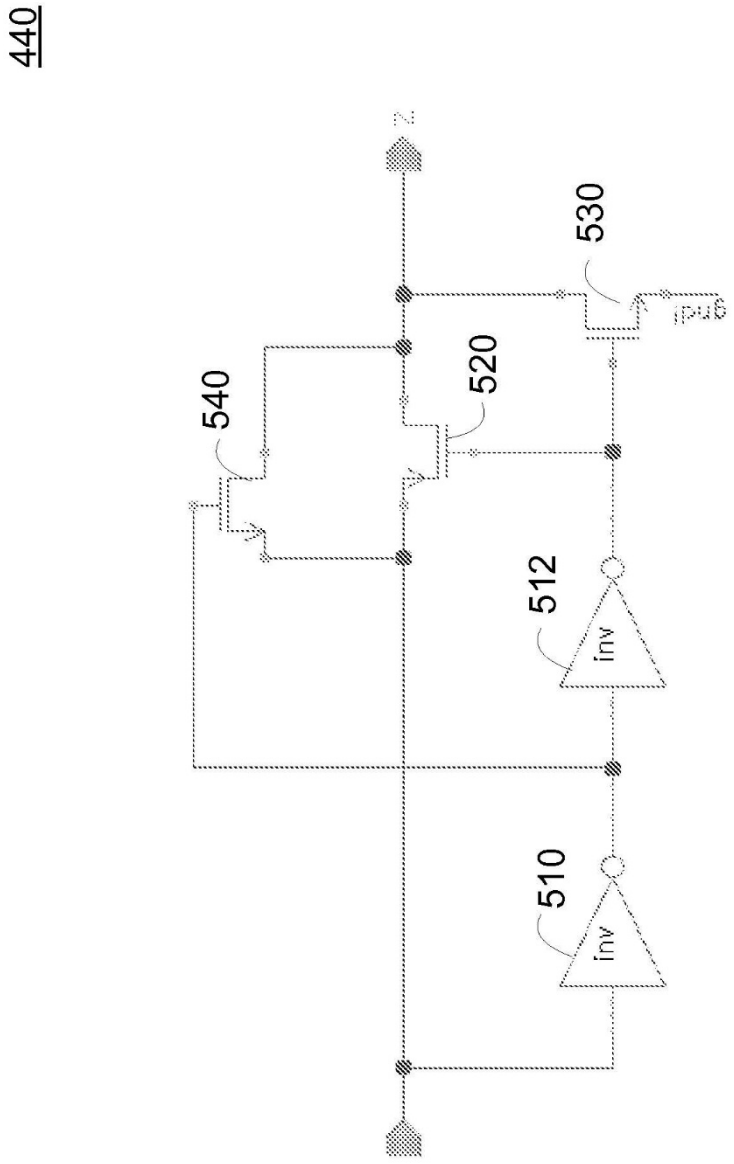



FIG. 5

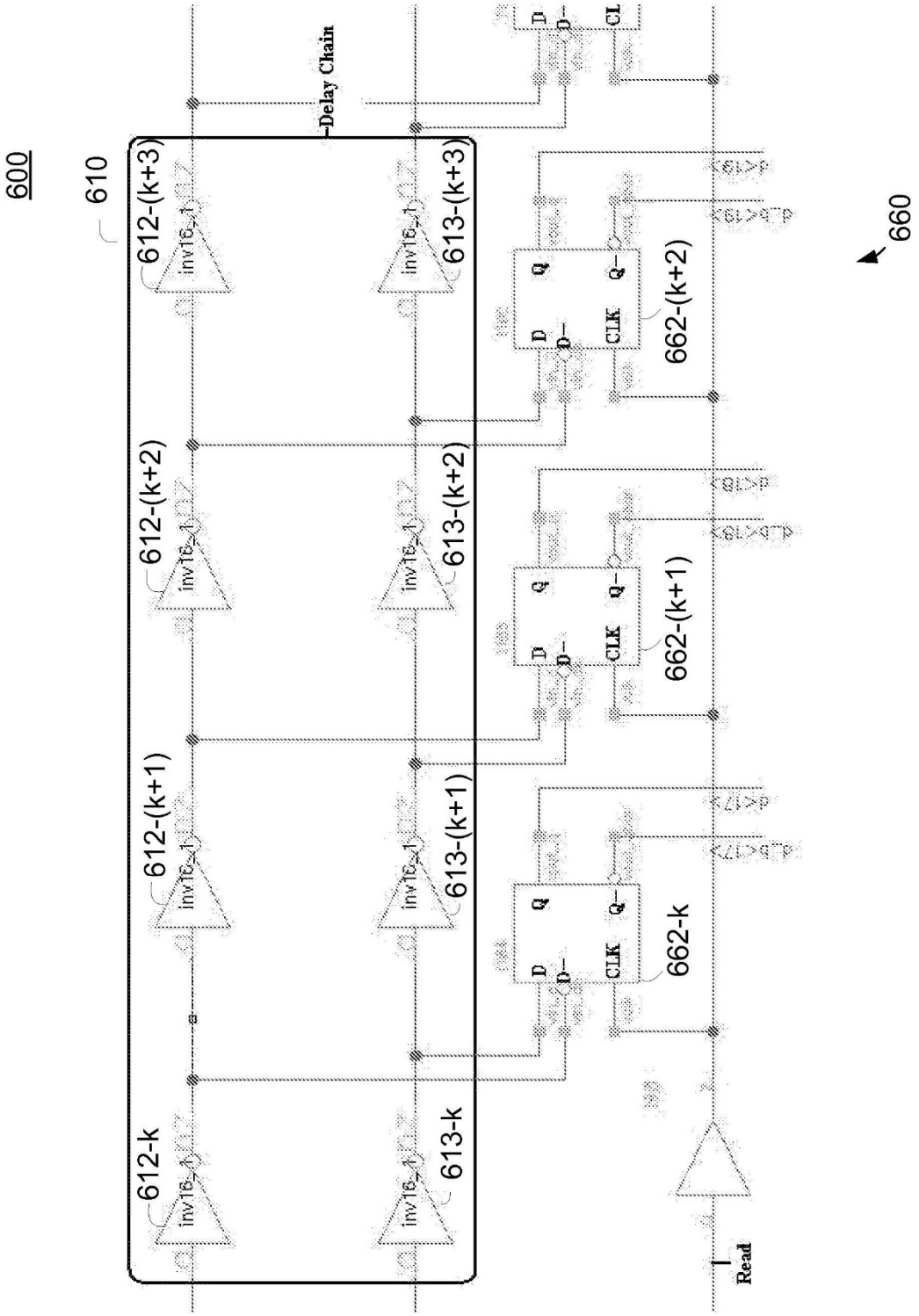

600
610
Delay Chain
612-(k+3)
613-(k+3)
612-(k+2)
613-(k+2)
612-(k+1)
613-(k+1)
612-k
613-k
662-(k+2)
662-(k+1)
662-k
660
Read

FIG. 6

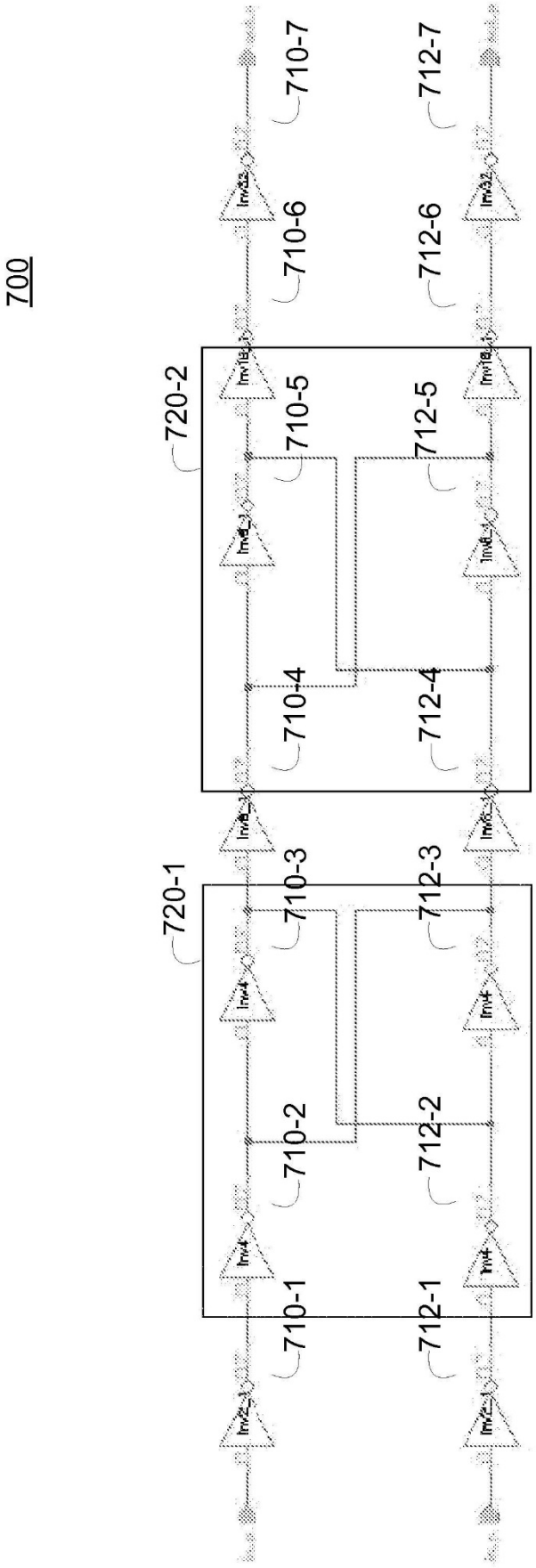

700
720-1
720-2
710-1
710-2
710-3
710-4
710-5
710-6
710-7
712-1
712-2
712-3
712-4
712-5
712-6
712-7

FIG. 7

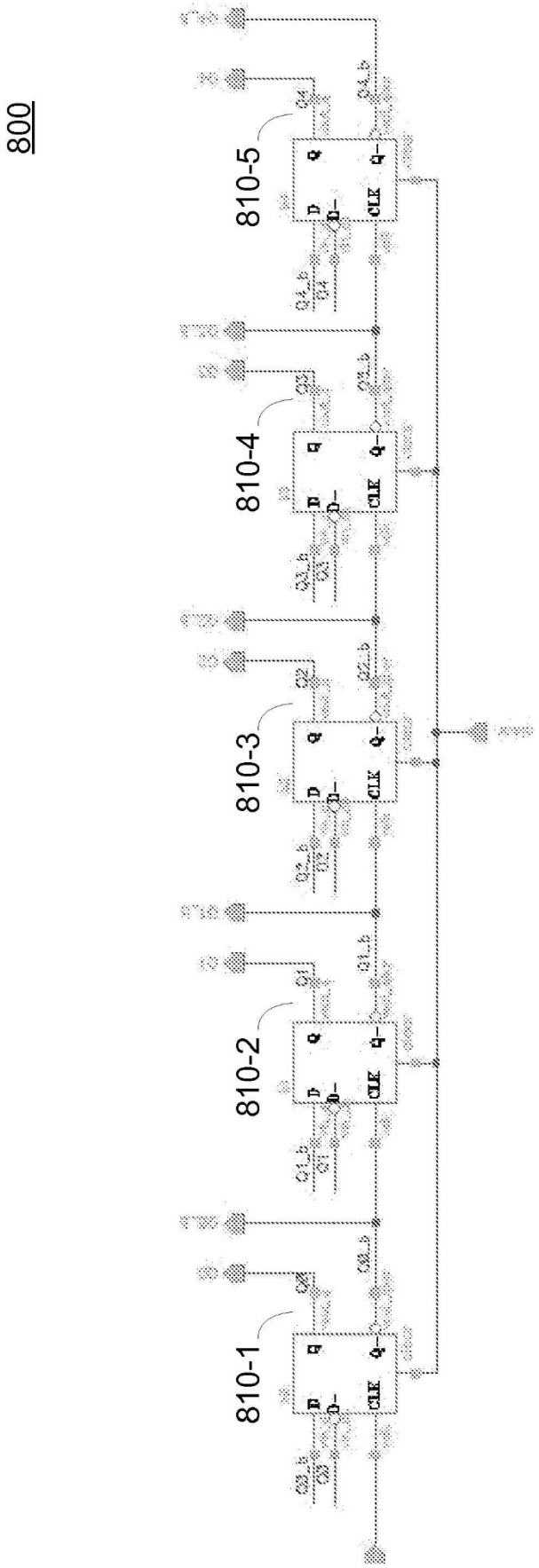



FIG. 8

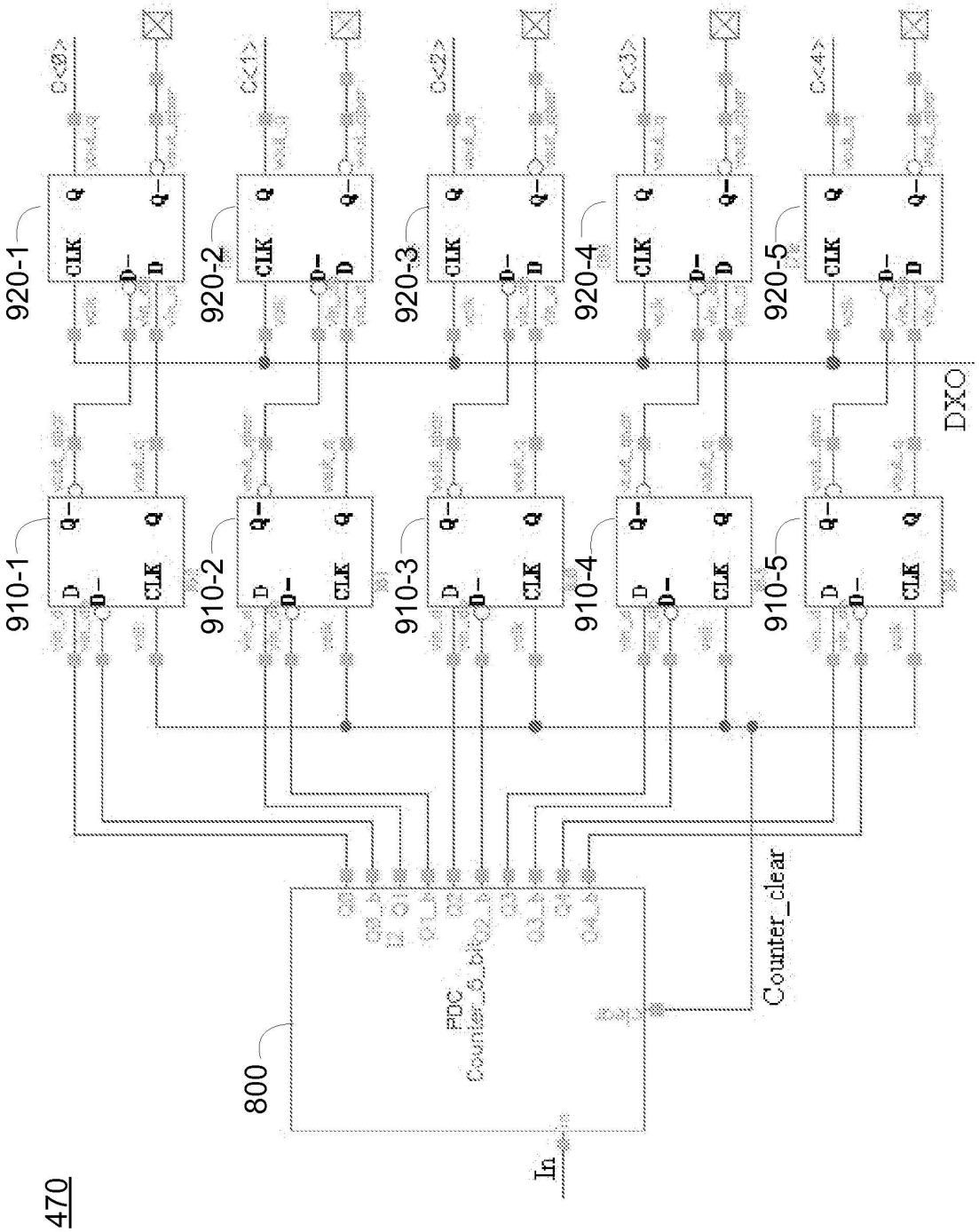

470
800
In
FDC
Counter_clear
DXO
910-1
910-2
910-3
910-4
910-5
920-1
920-2
920-3
920-4
920-5
CLK
D
Q

FIG. 9

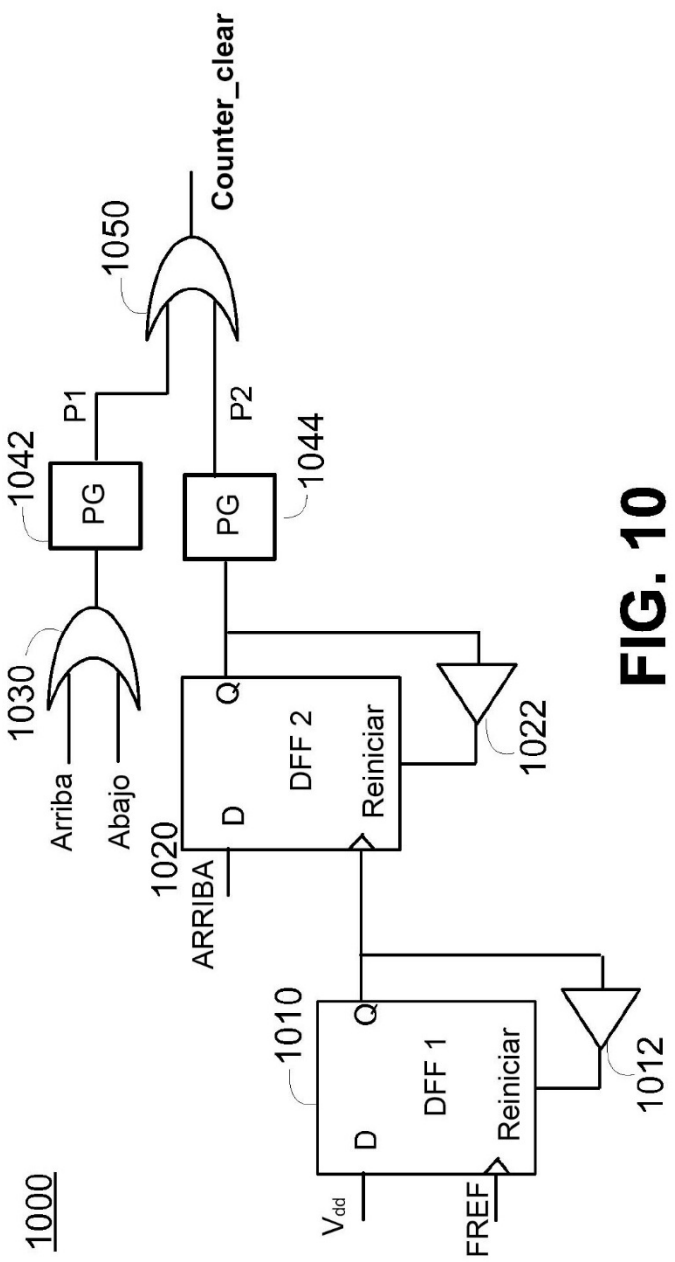

1000
Arriba
Abajo
1030
1042
PG
P1
1050
Counter_clear
1044
PG
P2
1020
ARRIBA
D
Q
DFF 2
Reiniciar
1022
1010
D
Q
DFF 1
Reiniciar
1012
Vdd
FREF

FIG. 10

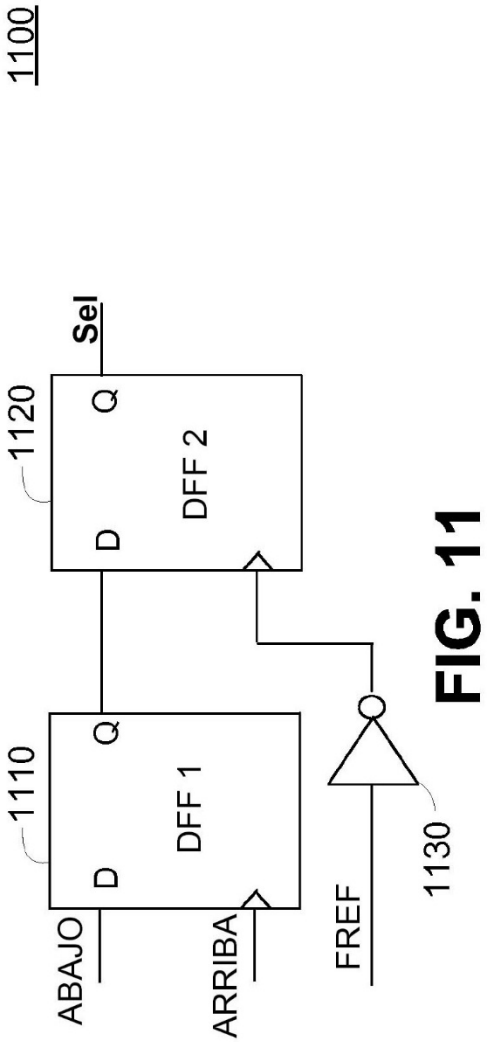

1100
Sel
1120
D
Q
DFF 2
1110
D
Q
DFF 1
ABAJO
ARRIBA
FREF
1130

FIG. 11

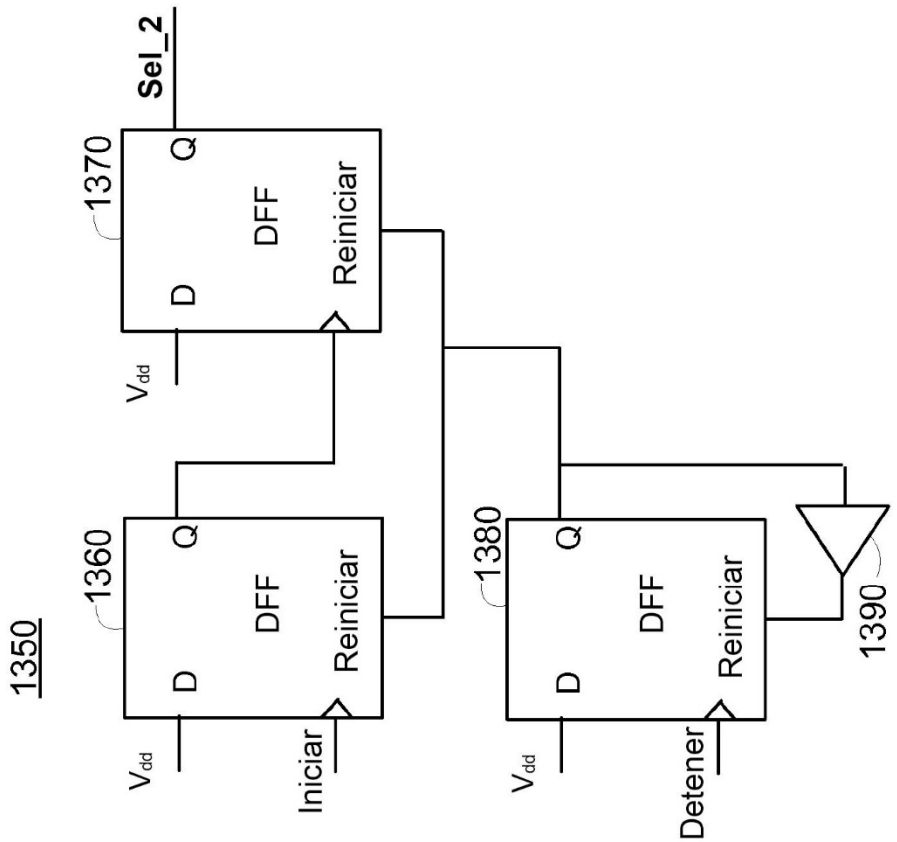



FIG. 13B

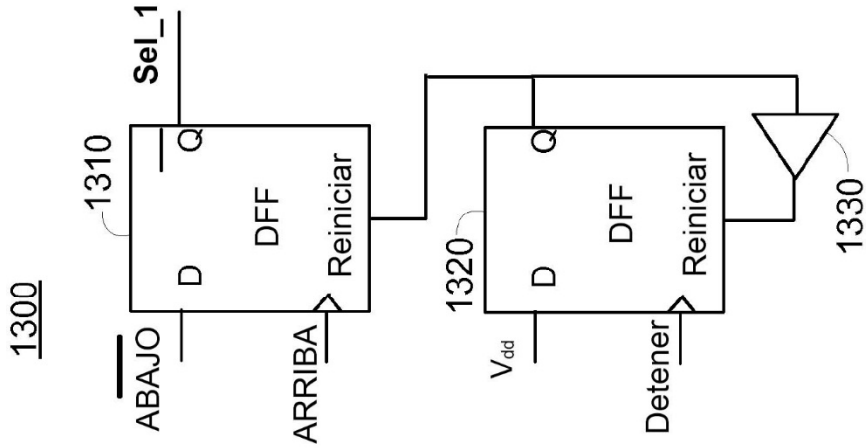



FIG. 13A

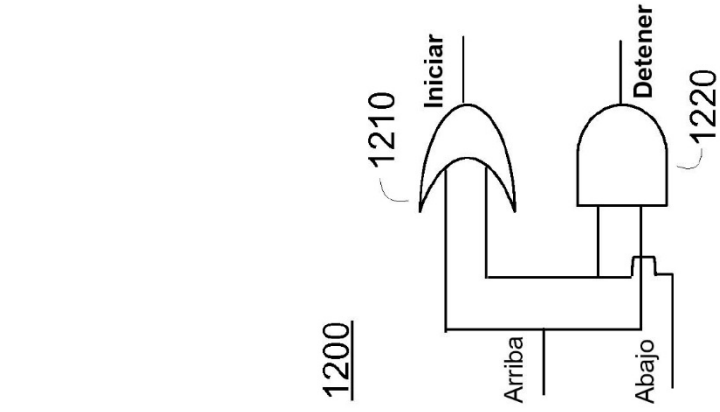



FIG. 12

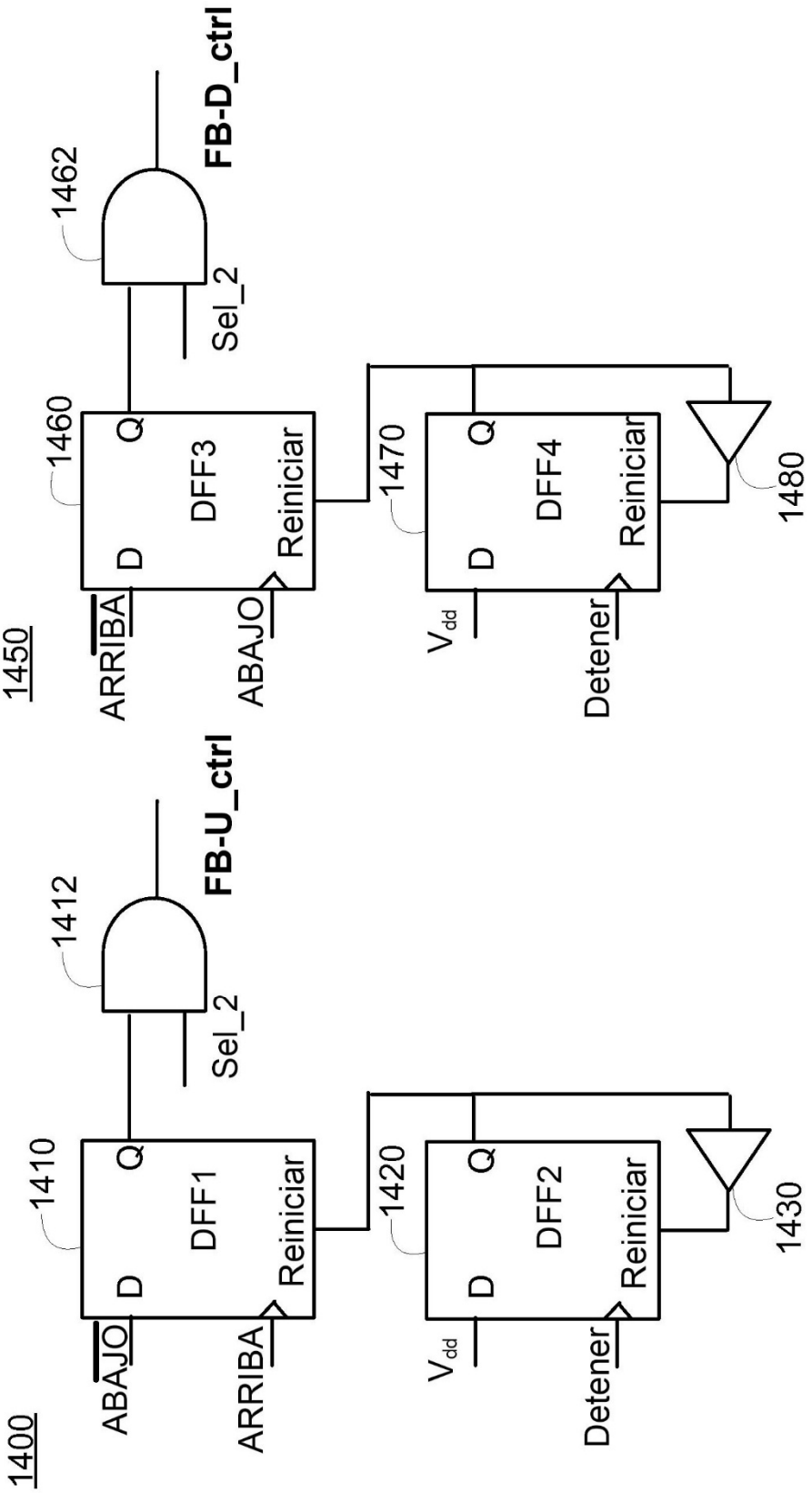



FIG. 14A

FIG. 14B

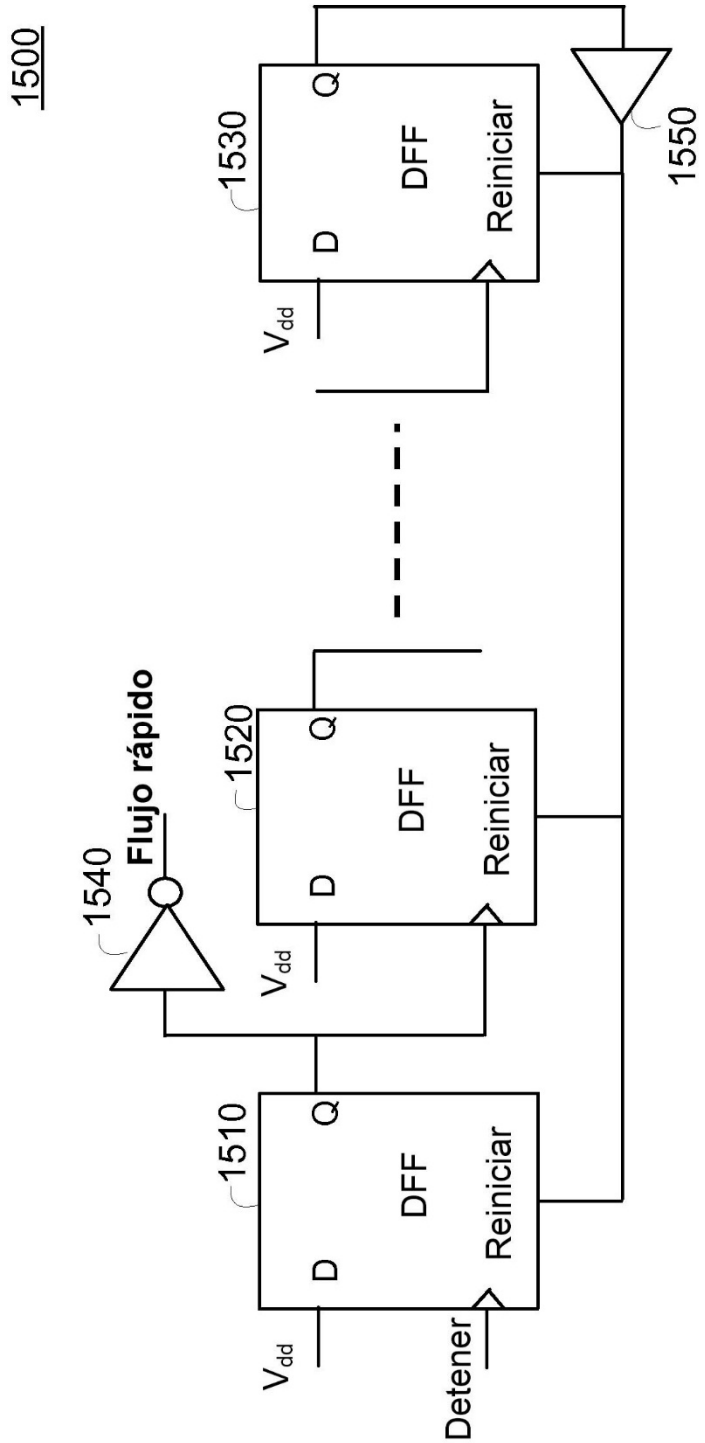

1500
1530
DFF
Q
D
Reiniciar
$V_{dd}$
1550
1520
DFF
Q
D
Reiniciar
$V_{dd}$
1540
Flujo rápido
1510
DFF
Q
D
Reiniciar
$V_{dd}$
Detener

FIG. 15

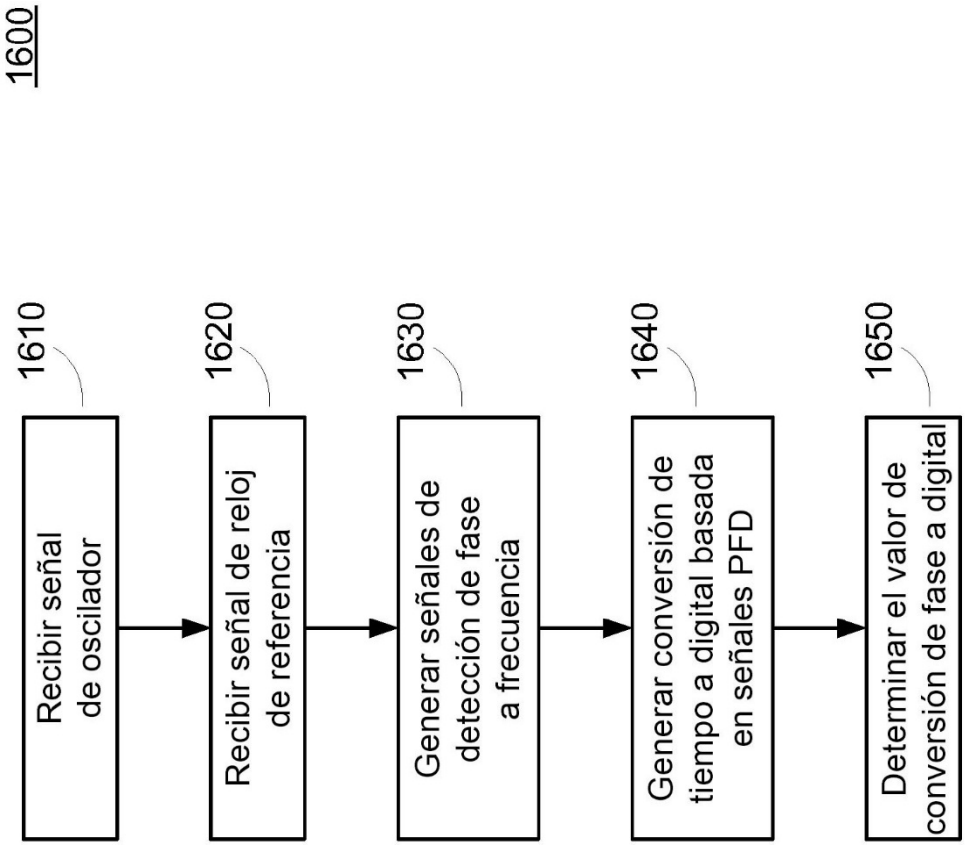

1600
1610
Recibir señal de oscilador
1620
Recibir señal de reloj de referencia
1630
Generar señales de detección de fase a frecuencia
1640
Generar conversión de tiempo a digital basada en señales PFD
1650
Determinar el valor de conversión de fase a digital

FIG. 16

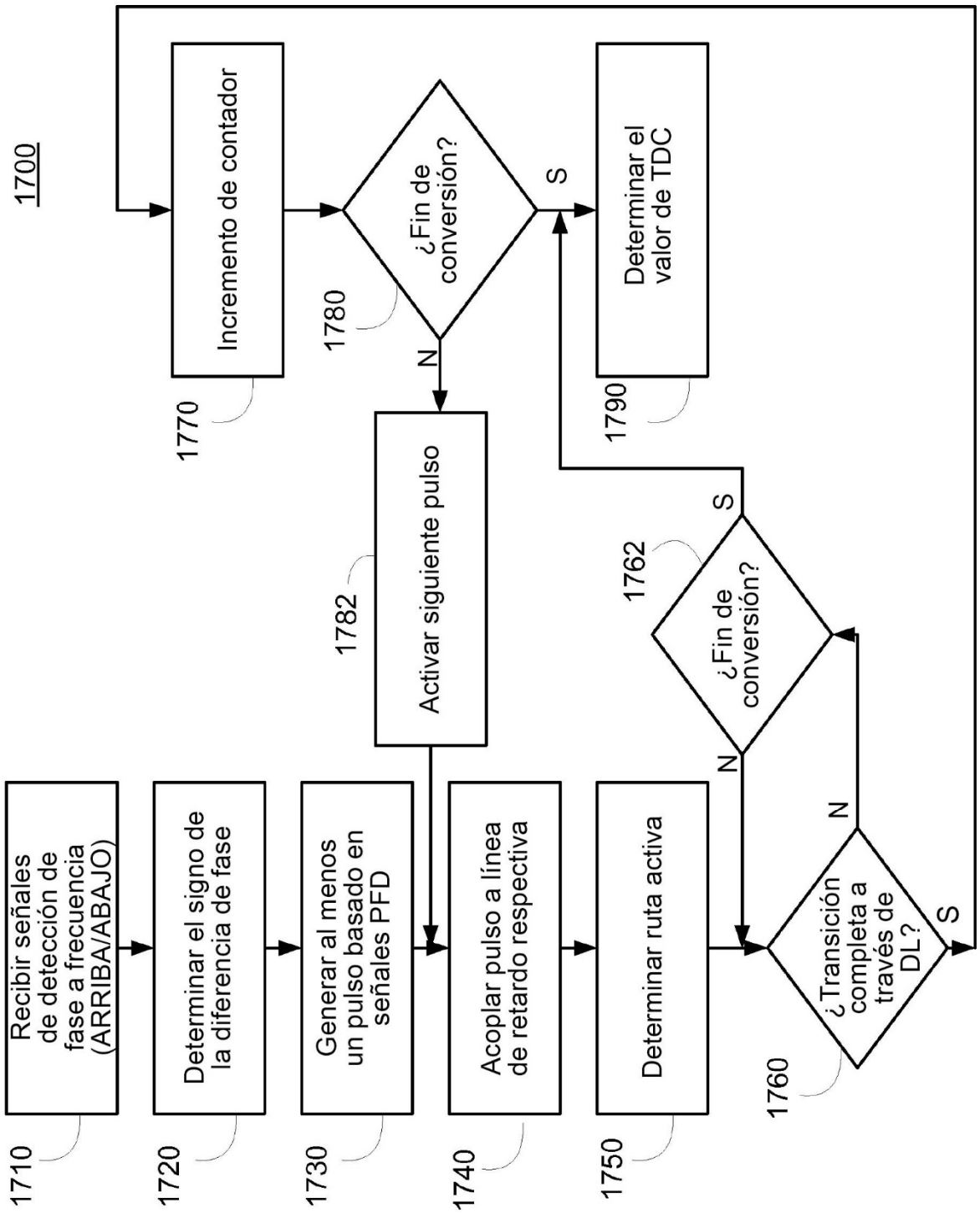

1700
Recibir señales de detección de fase a frecuencia (ARRIBA/ABAJO)
1710
Determinar el signo de la diferencia de fase
1720
Generar al menos un pulso basado en señales PFD
1730
Acoplar pulso a línea de retardo respectiva
1740
Determinar ruta activa
1750
¿Transición completa a través de DL?
1760
N
S
¿Fin de conversión?
1762
S
N
Activar siguiente pulso
1782
Incremento de contador
1770
¿Fin de conversión?
1780
N
S
Determinar el valor de TDC
1790

FIG. 17