

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 806 349**

51 Int. Cl.:

H03F 1/02 (2006.01)

H03F 3/189 (2006.01)

H03F 3/72 (2006.01)

H03G 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **02.06.2017** **E 17174392 (5)**

97 Fecha y número de publicación de la concesión europea: **06.05.2020** **EP 3252948**

54 Título: **Sistema de amplificación de señales de telecomunicación**

30 Prioridad:

03.06.2016 ES 201600474

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
17.02.2021

73 Titular/es:

TELEVÉS, S.A. (100.0%)
Rua B. de Conxo 17
15706 Santiago de Compostela, A Coruña, ES

72 Inventor/es:

PELÁEZ PÉREZ, ANA MARÍA;
RICART FERNÁNDEZ, JESÚS y
LÓPEZ ARCA, GUMERSINDO

74 Agente/Representante:

DIOS GARCÍA, Daniel Juan

ES 2 806 349 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de amplificación de señales de telecomunicación

5

SECTOR DE LA TÉCNICA

La presente invención se refiere a un sistema para la amplificación de señales de telecomunicación, en particular para la amplificación de señales de radio, televisión y/o datos según la reivindicación número 1.

10

ANTECEDENTES DE LA INVENCION

Un amplificador de bajo ruido (también llamado LNA, "*Low Noise Amplifier*") es un elemento crítico en cualquier sistema de recepción de comunicaciones, ya que es el primer elemento activo del sistema después de la antena. Por consiguiente, para aumentar la sensibilidad del receptor y reducir la contribución del LNA al ruido total del sistema, es necesario que disponga de una baja figura de ruido y una ganancia elevada. Sin embargo, en entornos donde la señal de entrada al receptor es fuerte no es necesario disponer de una ganancia tan alta y son admisibles niveles de ruido más elevados. Incluso es deseable no disponer de ganancia alguna para no provocar efectos de saturación en el resto de elementos del sistema, lo que puede degradar la señal como consecuencia de la intermodulación originada en el dispositivo activo.

20

En este último caso es deseable que el LNA disponga de un sistema de conmutación que permita el paso de la señal de entrada a la salida sin ser amplificada. Este elemento se denomina circuito de bypass.

25

Son conocidas numerosas configuraciones de LNA con Bypass. Sin embargo una de las principales desventajas que presentan es el hecho de que el circuito de Bypass consume potencia cuando está activado, como ocurre en el circuito descrito en el documento US 6,977,552. Otra desventaja es que, como ocurre en el circuito descrito en el documento US 6,930,546, si bien el circuito de bypass no consume potencia, necesita igualmente un voltaje de polarización/control para ser activado. Esto es una desventaja ya que implica que en el modo Bypass, que es un modo pasivo, se necesita de un elemento externo adicional para controlar el dispositivo.

30

Aunque se han propuesto soluciones para solventar las desventajas anteriores como la descrita en el documento EP 1199771, en las que el principal inconveniente reside en la limitada ganancia que se puede obtener a la salida del amplificador. Este hecho se debe a que la ganancia máxima del LNA se encuentra limitada por el aislamiento entre la entrada y la salida del amplificador que es posible obtener del circuito de Bypass, esto hace que la mayoría de realizaciones de LNA con circuito de Bypass se limiten a amplificadores de una etapa o de ganancia moderada.

35

El documento US2005/0186919 describe en su figura 6 un transmisor en el cual la amplificación de la señal de entrada (RFin) se realiza mediante un transistor 21 polarizado por la red 24, y por consiguiente en cualquier caso se requiere consumo de energía.

40

El documento WO2001052855 incluye un circuito LNA con líneas de adaptación de $\lambda/4$. Esta solución es sólo aplicable a un ancho de banda limitado, y por consiguiente no es válida para señales de banda ancha.

45

El documento EP 2 485 393 describe un módulo de amplificación 11 que comprende una parte de ganancia fija G_0 y otra de ganancia conmutable. Un primer switch 15 se sitúa en paralelo con la parte de ganancia conmutable 14, es decir, entre la entrada de la parte de ganancia conmutable 14 y la salida de la parte de ganancia conmutable 14.

50

El documento US 2016/0056774 describe un LNA en el cual el modo de operación del módulo LNA 100 puede ser seleccionado proporcionando una señal de control digital al switch lógico 101 a través de un bus de control CTL, el cual controla el estado de los switches 110, 112, 114, 116, 118 y 122, así como el estado del condensador variable 130.

55

El documento US 2005/0083117 describe un control de potencia basado en la adaptación de impedancias mediante componentes pasivos, siendo siempre necesaria una tensión de polarización para configurar el sistema en cualquier modo de funcionamiento.

EXPLICACION DE LA INVENCION

El objetivo de la presente invención es un sistema para la amplificación de señales de telecomunicación, en particular para la amplificación de señales de radio, televisión y/o datos, con una entrada y una salida, que dispone de dos modos de funcionamiento: un primer modo en el que dicha señal, tras ser amplificada, pasa a la salida y un segundo modo que permite el paso de una señal presente en la entrada hacia la salida sin ser amplificada.

60

Este objetivo se consigue con un sistema como el descrito en las reivindicaciones.

65

Este sistema para la amplificación de señales de telecomunicación, en particular para la amplificación de señales de radio, televisión y/o datos posee una pluralidad de ventajas.

5 El sistema para la amplificación de señales de telecomunicación en particular para la amplificación de señales de radio, televisión y/o datos, comprende una entrada, una salida, un módulo de amplificación configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo amplificación y un segundo modo denominado modo corte; un módulo de conmutación que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal y un segundo modo denominado modo aislamiento; un módulo de bypass que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal y un segundo modo denominado modo aislamiento y una red de polarización que genera a partir de una tensión de entrada diferentes valores de tensión de control.

15 El sistema de amplificación de señales de telecomunicación dispone de dos modos de funcionamiento que son seleccionables en función de alguno de los valores de tensión de control. En el primer modo de funcionamiento, denominado modo amplificación, el (los) valor(es) de tensión de control son tales que el módulo de amplificación se encuentra en modo amplificación, el módulo de conmutación se encuentra en modo paso de señal y el módulo de bypass 3 se encuentra en modo de aislamiento, y las señales presentes a la entrada del sistema de amplificación son amplificadas a través del módulo de amplificación y puestas a la salida del sistema de amplificación. En el segundo modo de funcionamiento, denominado modo paso de señal, el (los) valor(es) de tensión de control son tales que el módulo de bypass se encuentra en modo paso de señal, el módulo de conmutación se encuentra en modo de aislamiento y las señales a la entrada del sistema de amplificación no son amplificadas y son puestas a la salida del sistema de amplificación a través del módulo de bypass.

25 Estos dos modos de funcionamiento son independientes entre si, amplificación y paso, seleccionables mediante tensiones de control sin necesidad de actuar físicamente sobre el sistema (por **ejemplo** con un interruptor). Esta disposición de los diferentes módulos permite que en el modo amplificación se puedan obtener altos valores de ganancia, gracias al rechazo obtenido por el módulo de bypass que evita los efectos de oscilación debidos a la realimentación de la salida hacia la entrada, al mismo tiempo que permite obtener muy bajos valores de atenuación en el modo paso de señal al tener un módulo de conmutación que, en el modo paso, proporciona una conexión entre la salida del módulo amplificador y la salida del sistema y, en el modo aislamiento, aísla la salida del módulo amplificador de la salida del sistema.

35 En otro **ejemplo** según la invención, el sistema de amplificación se encuentra en modo paso de señal cuando alguno de el (los) valor(es) de tensión de control es de cero voltios.

Este **ejemplo** presenta la ventaja de necesitar menor número de tensiones de control en el segundo modo de funcionamiento, con lo que mejora su rendimiento energético.

40 El sistema de amplificación se encuentra en modo paso de señal cuando el o todos los valor(es) de tensión de control es (son) cero voltios.

45 Esto presenta la ventaja de que en el segundo modo de funcionamiento, el consumo de energía es cero y las tensiones de control son iguales a cero Voltios, convirtiéndolo en un sistema pasivo que no necesita de una fuente de alimentación externa y adicionalmente tampoco necesita variar la red de polarización.

Al menos uno de los módulos que componen el sistema de amplificación, esto es, el módulo de amplificación y/o el módulo de conmutación y/o el módulo de bypass, están constituidos por bloques, denominados bloques de amplificación, bloques de conmutación y bloques de bypass respectivamente.

50 Esto presenta la ventaja de flexibilizar el diseño de los distintos módulos amplificador, conmutación y bypass, de cara al cumplimiento de distintos requisitos globales del sistema amplificador (como pueden ser ganancia, aislamiento entre entrada y salida o impedancia de salida) simplemente con variar el número de bloques de amplificación y/o conmutación y/o bypass.

55 Los bloques de amplificación tienen dos modos de funcionamiento, un primer modo de funcionamiento denominado modo amplificación en el cual se amplifica la señal a la entrada del bloque y un segundo modo de funcionamiento denominado modo corte en el que no se permite el paso de la señal a la entrada del bloque hacia su salida.

60 Esto presenta la ventaja de que permite la posibilidad de adecuar la repuesta de cada uno de los bloques de amplificación (y consecuentemente del módulo de amplificación) a los distintos modos de funcionamiento del sistema amplificador, mejorando el rendimiento global del sistema.

65 Los bloques de conmutación son de un primer tipo denominado bloque de conmutación serie o de un segundo tipo denominado bloque de conmutación paralelo, ambos con un primer modo de funcionamiento denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

Este **ejemplo** presenta la ventaja de que, el disponer de dos tipos de bloque serie y paralelo permite una mayor flexibilidad en el diseño para ajustar las propiedades eléctricas (pérdidas de inserción y aislamiento respectivamente) del módulo de conmutación a los requisitos que se establezcan.

5 En una realización preferente según la invención, al menos el último bloque de conmutación del módulo de conmutación es un bloque de conmutación de tipo serie.

10 Este **ejemplo** presenta la ventaja de incrementar el aislamiento entre la salida del módulo de bypass de y la salida del módulo de conmutación cuando este se encuentra en modo aislamiento, mejorando el rendimiento del sistema de amplificación en su modo paso.

15 En una realización preferente según la invención, los bloques de bypass son de un primer tipo denominado bloque de bypass serie o de un segundo tipo denominado bloque de bypass paralelo, ambos con un primer modo de funcionamiento denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

20 Esta realización presenta la ventaja de que, en el modo paso de señal del sistema de amplificación, se dispone de una conexión entre la entrada y la salida del sistema amplificador, mientras que en el modo aislamiento se aísla la entrada del sistema amplificador de la salida del sistema amplificador de manera que toda señal presente en la entrada del sistema amplificador se canaliza hacia la entrada del módulo amplificador, sin pérdidas de rendimiento.

Además, el disponer de dos tipos de bloque (serie y paralelo) presenta la ventaja de que permite una mayor flexibilidad en el diseño para ajustar las propiedades eléctricas (pérdidas de inserción y aislamiento respectivamente) del módulo de bypass a los requisitos que se establezcan.

25 En una realización preferente según la invención, el módulo de bypass contiene al menos tres bloques de bypass. De ellos, al menos el primero y el último bloque de bypass son de tipo serie, y al menos otro bloque situado entre ambos es de tipo paralelo.

30 Esta realización presenta la ventaja de disponer de un módulo de bypass que en modo paso de señal proporciona una conexión de bajas pérdidas de inserción entre la entrada y la salida del sistema amplificador. Además, el módulo de bypass en modo aislamiento proporciona un aislamiento elevado entre la entrada y la salida del sistema amplificador que evita efectos indeseados de realimentación cuando el sistema de amplificación se encuentra en modo amplificación.

35 En una realización preferente según la invención, cada bloque de amplificación contiene un transistor en tecnología PHEMT ("*Pseudomorphic High electron mobility transistor*") y uno o dos condensadores, cuyo funcionamiento está controlado por tres tensiones de control generadas por la red de polarización.

40 Esta realización presenta la ventaja de que el modo de funcionamiento de cada bloque de amplificación se puede controlar a través de la polarización del transistor que contiene sin necesidad tensiones de control adicionales, lo que mejora la eficiencia del conjunto al usar la misma tensión para el control y la polarización de los transistores.

45 En otro **ejemplo** según la invención, cada bloque de conmutación serie contiene tres resistencias y un transistor en tecnología PHEMT ("*Pseudomorphic High electron mobility transistor*"), cuyo funcionamiento está controlado por dos tensiones de control generadas por la red de polarización. En el caso de un bloque de bypass paralelo, cada bloque contiene una resistencia, un transistor en tecnología PHEMT ("*Pseudomorphic High electron mobility transistor*") y un condensador, cuyo funcionamiento está controlado por una tensión de control generada por la red de polarización.

50 Este **ejemplo** presenta la ventaja de que el modo de funcionamiento de cada bloque de conmutación se puede controlar a través de la polarización del transistor que contiene sin necesidad tensiones de control adicionales, lo que mejora la eficiencia del conjunto al usar la misma tensión para el control y la polarización de los transistores.

En otro **ejemplo** según la invención, los terminales de drenador y surtidor del transistor del bloque de conmutación se pueden intercambiar.

55 Esto presenta la ventaja de disponer de mayor flexibilidad en el diseño del bloque de conmutación.

60 En otro **ejemplo** según la invención, cada bloque de bypass serie contiene dos resistencias y un transistor en tecnología PHEMT ("*Pseudomorphic High electron mobility transistor*"), cuyo funcionamiento está controlado por dos tensiones de control generadas por la red de polarización. En el caso de un bloque de bypass paralelo, cada bloque contiene una resistencia, un transistor en tecnología PHEMT ("*Pseudomorphic High electron mobility transistor*") y un condensador, cuyo funcionamiento está controlado por una tensión de control generada por la red de polarización.

65 Este **ejemplo** presenta la ventaja de que el modo de funcionamiento de cada bloque de bypass se puede controlar a través de la polarización del transistor que contiene sin necesidad tensiones de control adicionales, lo que mejora la eficiencia del conjunto al usar la misma tensión para el control y la polarización de los transistores.

En otro **ejemplo** según la invención, los terminales de drenador y surtidor del transistor del bloque de bypass se pueden intercambiar.

Esto presenta la ventaja de disponer de mayor flexibilidad en el diseño del bloque de bypass.

En otro **ejemplo** según la invención, los transistores PHEMT pueden ser de tipo *enhancement* o *depletion*, de modo que en el caso de que si el tipo de transistor de los bloques de conmutación serie debe ser del mismo tipo que el de los bloques de bypass paralelo, y el tipo de transistor de los bloques de conmutación paralelo debe ser del mismo tipo que el de los bloques de bypass serie.

Este **ejemplo** presenta la ventaja de que es posible utilizar indistintamente diferentes tipos de transistores de tecnología PHEMT.

En otro **ejemplo** según la invención, el sistema de amplificación está formado por

- un bloque de adaptación de entrada del módulo de amplificación, consistente en una inductancia,
- un módulo de amplificación que contiene exactamente dos bloques de amplificación
- un bloque de adaptación de salida que es una línea de conexión
- un módulo de conmutación que contiene exactamente un bloque de conmutación serie,
- un bloque de desacoplo de entrada del módulo de bypass que es un condensador de desacoplo
- un módulo de bypass que contiene tres bloques de bypass, el primero y el tercero de tipo serie y el segundo de tipo paralelo y
- un bloque de desacoplo de salida del módulo de bypass que es un condensador de desacoplo.

Esta realización presenta la ventaja de obtener una elevada ganancia en el modo amplificación y unas bajas pérdidas de inserción en el modo paso de señal. Todo ello con el mínimo número de bloques de amplificación, conmutación y bypass, además de un número reducido de tensiones de control.

Para complementar la descripción de la invención y con objeto de ayudar a una mejor comprensión de las características y ventajas, se acompaña como parte integrante de dicha descripción un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

Figura 1.- Diagrama de bloques general del sistema de amplificación SA según la invención

Figura 2.- Diagrama de bloques del sistema de amplificación SA según la invención con identificación de los bloques que constituyen cada módulo

Figura 3.- **Ejemplo** de módulo de conmutación 2 según la invención

Figura 4.- **Ejemplo** de módulo de bypass 3 según la invención

Figura 5.- **Ejemplo** de bloque de amplificación BAI según la invención

Figura 6.- **Ejemplo** de bloque de conmutación BCjS de tipo serie según la invención

Figura 7.- **Ejemplo** de bloque de conmutación BCjP de tipo paralelo según la invención

Figura 8.- **Ejemplo** de bloque de bypass BBkS de tipo serie según la invención

Figura 9.- **Ejemplo** de bloque de bypass BBkP de tipo paralelo según la invención

Figura 10.- **Ejemplo** de realización según la invención

Figura 11.- Gráfica de respuesta de la realización del sistema amplificación según cláusula 24

REALIZACIÓN PREFERENTE DE LA INVENCION

A la vista de las mencionadas figuras, y de acuerdo con la numeración adoptada, se puede observar en ellas un ejemplo de realización preferente de la invención, la cual comprende las partes y elementos que se indican y describen en detalle a continuación. La invención está definida por las reivindicaciones anexas.

Así, y como se muestra en la Fig. 1, una posible realización preferente del sistema para la amplificación de señales de telecomunicación SA, en particular para la amplificación de señales de radio, televisión y/o datos, comprende esencialmente, los siguientes elementos y características funcionales:

- Una entrada IN
- Una salida OUT,
- Un módulo de amplificación 1, con una entrada 1I y una salida 1O, que está configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo amplificación y un segundo modo denominado modo corte.
- Cuando funciona en modo amplificación, el módulo de amplificación 1 sitúa a la salida 1O la señal presente a la entrada 1I amplificada.
- Cuando funciona en modo corte, el módulo de amplificación 1 aísla la salida 1O del módulo de amplificación 1 de la entrada 1I del módulo de amplificación 1.
- Un módulo de conmutación 2 con una entrada 2I y una salida 2O, que está configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal y un segundo

modo denominado modo aislamiento.

- Cuando funciona en modo paso de señal, el módulo de conmutación 2 conecta la salida 2O del módulo de conmutación 2 a la entrada 2I del módulo de conmutación 2.
- Cuando funciona en modo aislamiento, el módulo de conmutación 2 aísla la salida 2O del módulo de conmutación 2 de la entrada 2I del módulo de conmutación 2.
- Un módulo de bypass 3 con una entrada 3I y una salida 3O, y que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal y un segundo modo denominado modo aislamiento
- Cuando funciona en modo paso, el módulo de bypass 3 conecta la salida 3O del módulo de bypass 3 de la entrada 3I del módulo de bypass 3
- Cuando funciona en modo aislamiento, el módulo de bypass 3 aísla la salida 3O del módulo de bypass 3 de la entrada 3I del módulo de bypass 3
- Una red de polarización 4 que genera a partir de una tensión de entrada V_p entre uno y un número entero s de valores de tensión de control V_{c1}, \dots, V_{cs} . Como posible valor de estas tensiones se incluye el de 0 voltios, considerándose por tanto la conexión a tierra como una posible tensión generada por la red de polarización 4.

En esta realización preferente, el sistema de amplificación de señales de telecomunicación SA dispone de dos modos de funcionamiento que son seleccionables en función de alguno de los valores de tensión de control V_{c1}, \dots, V_{cs} generados por la red de polarización 4.

En el primer modo de funcionamiento de esta primera realización preferente, denominado modo amplificación, el (los) valor(es) de tensión de control V_{c1}, \dots, V_{cs} son tales que el módulo de amplificación 1 se encuentra en modo amplificación, el módulo de conmutación 2 se encuentra en modo paso de señal y el módulo de bypass 3 se encuentra en modo de aislamiento, y las señales presentes a la entrada IN del sistema de amplificación SA son amplificadas a través del módulo de amplificación 1 y puestas a la salida OUT del sistema de amplificación SA.

En el segundo modo de funcionamiento de esta primera realización preferente, denominado modo paso de señal, el (los) valor(es) de tensión de control V_{c1}, \dots, V_{cs} son tales que el módulo de bypass 3 se encuentra en modo paso de señal, el módulo de conmutación 2 se encuentra en modo de aislamiento y las señales a la entrada (IN) del sistema de amplificación SA no son amplificadas y son puestas a la salida OUT del sistema de amplificación SA a través del módulo de bypass 3.

Según la invención, el sistema de amplificación SA se encuentra en modo paso de señal cuando alguno de el (los) valor(es) de tensión de control V_{c1}, \dots, V_{cs} es cero voltios.

El sistema de amplificación SA se encuentra en modo paso de señal cuando el o todos los valor(es) de tensión de control V_{c1}, \dots, V_{cs} es (son) cero voltios.

Otras posibles realizaciones son las que muestra la Figura 2. En ellas, al menos uno de los módulos que componen el sistema de amplificación SA, esto es, el módulo de amplificación 1 y/o el módulo de conmutación 2 y/o el módulo de bypass 3, están constituidos por bloques.

Un módulo de amplificación 1 constituido por bloques según la figura 2 comprende

- un bloque de adaptación de entrada BAIA del módulo de amplificación 1 que dispone de una entrada BAIAI y una salida BAIAO. Este bloque corresponde, desde simplemente a una inductancia hasta un circuito complejo de adaptación.
- un bloque de adaptación de salida BAOA del módulo de amplificación 2 que dispone de una entrada BAOAI y una salida BAOAO, constituyendo la salida BAOAO la salida 1O del módulo de amplificación 1. Este bloque puede corresponder, por **ejemplo**, desde una línea de conexión hasta un circuito complejo de adaptación.
- un número entero de entre uno y n de bloques de amplificación BA_1, \dots, BA_n , cada uno de los cuales dispone de una entrada BA_{i1}, \dots, BA_{in} y de una salida BA_{iO}, \dots, BA_{nO} respectivamente, y cuyo funcionamiento está controlado por una o más tensiones de control V_{c1}, \dots, V_{cs} generadas por la red de polarización 4.

En este módulo de amplificación 1 según la figura 2

- la entrada BAIAI del bloque de adaptación de entrada BAIA del módulo de amplificación 1 constituye la entrada 1I del módulo de amplificación 1,
- la entrada BA_{i1} del primer bloque de amplificación BA₁ está conectada a la salida BAIAO del bloque de adaptación de entrada BAIA del módulo de amplificación 1,
- la salida BA_{iO} del bloque de amplificación i -ésimo (BA_i) está conectada a la entrada BA_{i+1I} del bloque de amplificación $i+1$ -ésimo BA_{i+1} para todo valor entero de i comprendido entre 1 y $n-1$,
- la salida BA_{nO} del bloque de amplificación n -ésimo BA_n está conectada a la entrada BAOAI del bloque de adaptación de salida BAOA del módulo de amplificación 1,
- la salida BAOAO del bloque de adaptación de salida BAOA del módulo de amplificación 1 constituye la salida 1O del módulo de amplificación 1,

Un módulo de conmutación 2 constituido por bloques según la figura 2 comprende un número entero de entre 1 y m bloques de conmutación BC_1, \dots, BC_m , cada uno de los cuales dispone de una entrada BC_{11}, \dots, BC_{m1} y de una salida

BC1O,...,BCmO respectivamente, y cuyo funcionamiento está controlado por una o más tensiones de control Vc1,..., Vcs generadas por la red de polarización 4.

En este módulo de conmutación 2 según la figura 2

- la entrada BC1I del primer bloque de conmutación BC1 constituye la entrada 2I del módulo de conmutación 2,
- la salida BCjO del bloque de conmutación j-ésimo BCj está conectada a la entrada (BCj+1I) del bloque de conmutación j+1-ésimo BCj+1 para todo valor entero de j comprendido entre 1 y m-1, y
- la salida BCmO del último bloque de conmutación BCm constituye la salida 2O del módulo de conmutación 2.

Un módulo de bypass 3 constituido por bloques según la figura 2 comprende

- un bloque de desacoplo de entrada BDIB del módulo de bypass 3 que dispone de una entrada BDIBI y una salida BDIBO. Este bloque de desacoplo de entrada puede consistir simplemente en un condensador o bien en un circuito de desacoplo complejo,
- un número entero de entre 1 y r bloques de bypass BB1,...,BBr que disponen de una entrada BB1I,...,BBrI y de una salida BB1O,...,BBrO respectivamente, y cuyo funcionamiento está controlado por una o más tensiones de control Vc1,..., Vcs generadas por la red de polarización 4,
- un bloque de desacoplo de salida BDOB del módulo de bypass 3 que dispone de una entrada BDOBI y una salida BDOBO. Este bloque de desacoplo de entrada puede consistir simplemente en un condensador o bien en un circuito de desacoplo complejo.

En este módulo de bypass 3 según la figura 2

- la entrada BDIBI del bloque de desacoplo de entrada BDIB del módulo de bypass 3 constituye la entrada 3I del módulo de bypass 3,
- la entrada BB1I del primer bloque de bypass BB1 está conectada a la salida BDIBO del bloque de desacoplo de entrada BDIB del módulo de bypass 3,
- la salida BBkO del bloque de bypass k-ésimo BBk está conectada a la entrada BBk+1I del bloque de bypass k+1-ésimo BBk+1 para todo valor entero de k comprendido entre 1 y r-1. Entre estos bloques, es necesario introducir un condensador en el caso en el que las tensiones de control sean diferentes
- la salida BBrO del último bloque de bypass BBr está conectada a la entrada BDOBI del bloque de desacoplo de salida BDOB del módulo de bypass 3, y
- la salida BDOBO del bloque de desacoplo de salida BDOB del módulo de bypass 3 constituye la salida 3O del módulo de bypass 3

En otra realización de la invención recogida según la Figura 2, el i-esimo bloque de amplificación BBi, para todo número entero i comprendido entre 1 y n tiene dos modos de funcionamiento, un primer modo de funcionamiento denominado modo amplificación y un segundo modo de funcionamiento denominado modo corte.

- en el modo amplificación, el i-ésimo bloque de amplificación BAI e sitúa a su salida (BAiO) la señal presente a la entrada BAIi amplificada, y
- en el modo corte, el i-ésimo bloque de amplificación BAI sitúa a su salida BAIo la señal presente a la entrada BAIi amplificada, no permitiendo el paso la de señal presente en la entrada BAIi a la salida BAIo

De este modo, y según otra realización que recoge la Figura 2, para que el módulo de amplificación 1 se encuentre en modo de funcionamiento de amplificación, todos y cada uno de los bloques de amplificación BA1,..., BAN se deben encontrar en modo amplificación. Alternativamente, para que el módulo de amplificación 1 se encuentre en modo de funcionamiento de corte del módulo de amplificación 1, bastará con que el primer bloque de amplificación BA1 de los bloques de amplificación BA1, ..., BAN se encuentre en modo corte.

En otra realización de la invención que también muestra la figura 2, el j-ésimo bloque de conmutación BCj, para todo valor entero de j comprendido entre 1 y m, es de un primer tipo denominado bloque de conmutación serie BCjS, con una entrada BCjSI y una salida BCjSO, o de un segundo tipo denominado bloque de conmutación paralelo BCjP, con una entrada BCjPI y una salida BCjSO.

Un bloque de conmutación de tipo serie BCS, con una entrada BCSI y una salida BCSO, tiene dos modos de funcionamiento: un primer modo de funcionamiento denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

En un bloque de conmutación de tipo serie BCS en modo paso, se establece una conexión entre su salida BCSO y su entrada BCSI. Por conexión en este caso se entiende el habilitar un camino de baja impedancia, de modo que favorece el paso de la señal directa entre la entrada BCSI y la salida BCSO respecto a cualquier camino alternativo.

En un bloque de conmutación de tipo serie BCS en modo corte, se aísla la salida BCSO de la entrada BCSI. Se entiende como aislar el hecho de impedir que la señal presente a la entrada BCSI pase a la salida BCSO.

Un bloque conmutación de tipo paralelo BCP tiene dos modos de funcionamiento: un primer modo de funcionamiento

denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

5 En un bloque conmutación de tipo paralelo BCP en el modo paso, se habilita un camino a tierra para la señal presente a la entrada BCPI. Habilitar un camino a tierra se entiende en este contexto como establecer una conexión de muy baja impedancia entre la entrada BCPI y la tierra, favoreciendo el paso de la señal con respecto a cualquier otro camino alternativo.

10 En un bloque conmutación de tipo paralelo BCP en el modo corte, se establece una conexión entre la salida BCPO y la entrada BCPI. Por conexión en este caso se entiende el habilitar un camino de baja impedancia, de modo que favorece el paso de la señal directa entre la entrada BCSI y la salida BCPO respecto a cualquier camino alternativo.

15 De acuerdo con la figura 2, al menos el último bloque de conmutación BCm del módulo de conmutación 3, entendiendo el último bloque de conmutación como aquel cuya salida BCmO constituye la salida 3O del módulo de conmutación 3 está conectada, es un bloque de conmutación de tipo serie BCS.

20 De acuerdo con la figura 2, para que el módulo de conmutación 2 se encuentre en modo paso de señal, todos los bloques de conmutación de tipo serie BC1S, ...,BCmS se deben encontrar en modo paso, y todos los bloques de conmutación de tipo paralelo BC1P, ...,BCm-1P se deben encontrar en modo corte. En otro caso, para que el módulo de conmutación 2 se encuentre en modo aislamiento, al menos un bloque de conmutación serie BC1S, ...,BCmS que se encuentra más próximo a la salida del módulo de conmutación 2O que el bloque de conmutación de tipo paralelo BC1P, ...,BCm-1P más próximo a la salida del módulo de conmutación (2O) y que se encuentra en modo paso, se encuentra en modo corte.

25 Esto se ilustra mediante un **ejemplo** como el mostrado en la Figura 3, en la que se muestra un módulo de conmutación 2 como el descrito más arriba formado por tres bloques de conmutación, dos bloques de tipo serie BC1S y BC3S, y uno de tipo paralelo BC2S.

30 Para que el módulo de conmutación 2 se encuentre en modo paso de señal, es estrictamente necesario que los bloques de conmutación serie BC1S y BC3S se encuentren en modo paso y que los bloques de conmutación paralelo BC2P se encuentren en modo corte.

Por otro lado, el módulo de conmutación 2, se encuentra en modo aislamiento en los siguientes supuestos:

- 35
1. Si el bloque de conmutación paralelo BC2P se encuentra en modo paso y el bloque de conmutación serie BC3S se encuentra en modo corte.
 2. Si el bloque de conmutación paralelo BC2P se encuentra en modo corte y al menos uno de los bloques de conmutación serie BC1S, BC3 se encuentra en modo corte.

40 Según la figura 2, el k-ésimo bloque de bypass BBk, para todo valor entero de k comprendido entre 1 y r, es de un primer tipo denominado bloque de conmutación serie BBkS, con una entrada BBkSI y una salida BBkSO, o de un segundo tipo denominado bloque de conmutación paralelo BBkP, con una entrada BBkPI y una salida BBkSO.

45 Un bloque de bypass de tipo serie BBS, con una entrada BBSI y una salida BBSO, tiene dos modos de funcionamiento: un primer modo de funcionamiento denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

50 En un bloque de bypass de tipo serie BBS en modo paso, se establece una conexión entre su salida BBSO y su entrada BBSI. Por conexión en este caso se entiende el habilitar un camino de baja impedancia, de modo que favorece el paso de la señal directa entre la entrada BBSI y la salida BBSO respecto a cualquier camino alternativo.

En un bloque de bypass de tipo serie BBS en modo corte, se aísla la salida BBSO de la entrada BBSI. Se entiende como aislar el hecho de impedir que la señal presente a la entrada BBSI pase a la salida BBSO.

55 Un bloque de bypass de tipo paralelo BBP tiene dos modos de funcionamiento: un primer modo de funcionamiento denominado modo paso y un segundo modo de funcionamiento denominado modo corte.

60 En un bloque de bypass de tipo paralelo BBP en modo paso, se habilita un camino a tierra para la señal presente a la entrada BBPI. Habilitar un camino a tierra se entiende en este contexto como establecer una conexión de muy baja impedancia entre la entrada BBPI y la tierra, favoreciendo el paso de la señal con respecto a cualquier otro camino alternativo.

65 En un bloque de bypass de tipo paralelo BBP en modo corte, se establece una conexión entre la salida BBPO y la entrada BBPI. Por conexión en este caso se entiende el habilitar un camino de baja impedancia, de modo que favorece el paso de la señal directa entre la entrada BBPI y la salida BBPO respecto a cualquier camino alternativo.

Según la figura 2, el módulo de bypass 3 contiene al menos tres bloques de bypass. De ellos, al menos el primer bloque

de bypass BB1 y al menos el último bloque de bypass BBr son del primer tipo de bloque de bypass denominado bloque de bypass serie BBS, y al menos un bloque de bypass BBk situado entre el primer bloque de bypass BB1 y el último bloque de bypass BBr es del segundo tipo denominado bloque de bypass paralelo BBP. Se entiende como primer bloque de bypass BB1 aquel cuya entrada BB1I está conectada a la salida del bloque de desacoplo de entrada BDIBI del módulo de bypass BDIB, y se entiende como último bloque de bypass BBr aquel cuya salida se encuentra conectada a la entrada BDOBI del bloque de desacoplo de salida del módulo de bypass BDOB.

De este modo, según la figura 2, para que el módulo de bypass 3 se encuentre en modo paso de señal, todos los bloques de bypass de tipo serie BB1S, ...,BBrS deben encontrarse en modo paso, y todos los bloques de bypass de tipo paralelo BB2P, ...,BBr-1P deben encontrarse en modo corte.

En otro caso, para que el módulo de bypass 3 se encuentre en modo aislamiento, se debe cumplir que

- al menos un bloque de bypass de tipo paralelo BB2P, ...,BBr-1P se encuentra en modo paso,
- al menos un bloque de bypass serie BB1S, ...,BBrS que se encuentre más próximo a la entrada del módulo de bypass 3I que el bloque de bypass de tipo paralelo BB1P, ...,BBr-1P más próximo a la entrada del módulo de bypass 3I y que se encuentra en modo paso, se encuentra en modo corte, y que
- al menos un bloque de bypass serie BB1S, ...,BBrS que se encuentra más próximo a la salida del módulo de bypass 3O que el bloque de bypass de tipo paralelo BB1P, ...,BBr-1P más próximo a la salida del módulo de bypass 3O y que se encuentra en modo paso, se encuentra en modo corte.

Esto se ilustra mediante un **ejemplo** como el mostrado en la Figura 4, en la que se muestra un módulo de bypass 3 como el descrito más arriba formado por un bloque de desacoplo de entrada de bypass BDIB, cuatro módulos de bypass de tipo serie BB1S, BB2S, BB4S y BB6S, dos bloques de bypass de tipo paralelo BB3P y BB5P, y un bloque de desacoplo de salida de bypass BDOB.

En este caso, para que el módulo de bypass 3 se encuentre en modo paso de señal, es estrictamente necesario que los bloques de bypass serie BB1S, BB2S, BB4S y BB6S se encuentren en modo paso y que los bloques de bypass paralelo BB3P y BB5P se encuentren en modo corte.

Por otro lado, para que el módulo de bypass 3 se encuentre en modo aislamiento, deben dar las siguientes condiciones:

1. Si BB3P se encuentra en modo paso y BB5P se encuentra en modo corte, al menos BB1S o BB2S debe(n) estar en modo corte y al menos BB4S o BB6S debe(n) estar en corte.
2. Si BB3P se encuentra en modo corte y el bloque de bypass BB5P se encuentra en modo paso, al menos BB1S o BB2S o BB4S debe(n) estar en modo corte y BB6S debe estar en corte.
3. Si tanto BB3P como BB5P se encuentran en modo paso, al menos BB1S o BB2S debe(n) estar en modo corte y BB6S debe estar en corte.

La figura 5 muestra un **ejemplo** no limitativo del bloque de amplificación i-esimo BAI, siendo i un número entero comprendido entre 1 y n. Este bloque contiene

- una entrada BAIi
- una salida BAIo
- un transistor TRBAi de tecnología PHEMT cuya zona de funcionamiento está controlada por una primera tensión de control Vcai1, una segunda tensión de control Vcai2 y una tercera tensión de control Vcai3 y que dispone de un terminal de puerta GTRBAi, de un terminal de drenador DTRBAi y de un terminal de surtidor STRBAi
- un condensador de drenador CBADi conectado por uno de sus terminales al terminal de drenador DTRBAi del transistor TRBAi
- un condensador de surtidor CBASi conectado por uno de sus terminales al terminal de surtidor STRBAi del transistor TRBAi, y por otro terminal a tierra.

En este bloque de amplificación i-esimo según la figura 5

- la entrada BAIi es el terminal de puerta del transistor GTRBAi
- la salida BAIo es un terminal del condensador de drenador CBADi no conectado al terminal de drenador DTRBAi del transistor TRBAi
- la primera tensión de control Vcai1, la segunda tensión de control Vcai2 y la tercera tensión de control Vcai3 son tensiones de control Vc1, ..., Vcs generadas por la red de polarización 4,
- la primera tensión de control Vcai1 se aplica al terminal de puerta GTRBAi del transistor TRBAi,
- la segunda tensión de control Vcai2 se aplica al terminal de drenador DTRBAi del transistor TRBAi, y
- la tercera tensión de control Vcai3 se aplica al terminal de surtidor STRBAi del transistor TRBAi.

Para esta realización concreta del i -ésimo bloque de amplificación BAI, en el modo denominado amplificación, el valor de la primera tensión de control V_{cai1} , el valor de la segunda tensión de control V_{cai2} y el valor de la tercera tensión de control V_{ca3} son tales que el transistor TRBAi del i -ésimo bloque de amplificación BAI se encuentra polarizado en zona activa.

5

En el modo corte, el valor de la primera tensión de control V_{cai1} , el valor de la segunda tensión de control V_{cai2} y el valor de la tercera tensión de control V_{ca3} son tales que el transistor TRBAi del i -ésimo bloque de amplificación BAI se encuentra polarizado en zona de corte.

10

A modo de **ejemplos** no limitativos de posibles valores de tensión aplicados:

- para valores de tensión $V_{cai1}= 1,7V$, $V_{ca2}=4V$ y $V_{ca3}=1V$, el transistor TRBAi se encuentra en zona de funcionamiento activa y el bloque de amplificación BAI se encuentra en modo amplificación.

15

- para valores de tensión $V_{cai1}= 0 V$, $V_{ca2}=1V$ y $V_{ca3}=1V$, el transistor TRBAi se encuentra en zona de funcionamiento de corte y el bloque de amplificación BAI se encuentra en modo corte.

- para valores de tensión $V_{cai1}= 0 V$, $V_{ca2}=0V$ y $V_{ca3}=0V$, el transistor TRBAi se encuentra en zona de funcionamiento de corte, y el bloque de amplificación BAI se encuentra en modo corte.

20

En el caso de que el valor de V_{ca3} sea de cero Voltios, es posible prescindir del condensador CBAiS.

La figura 6 muestra un **ejemplo** no limitativo del j -ésimo bloque de conmutación serie (BCjS), siendo j un número entero comprendido entre 1 y m . Este bloque contiene

25

- una entrada BCjSI,
- una salida BCjSO,
- un transistor TRBCjS de tecnología PHEMT cuya zona de funcionamiento está controlada por una primera tensión de control V_{ccjs1} y por una segunda tensión de control V_{ccjs2} , y que dispone de un terminal de puerta GTRBCjS, de un terminal A ATRBCjS y de un terminal B BTRBCjS,

30

- una resistencia denominada de puerta RBCjSG conectada por uno de sus terminales al terminal de puerta GTRBCjS del transistor TRBCjS,

- una resistencia denominada A RBCjSA conectada por uno de sus terminales al terminal A ATRBCjS del transistor TRBCjS, y

35

- una resistencia denominada B RBCjSB conectada por uno de sus terminales al terminal B BTRBCjS del transistor TRBCjS

En este j -ésimo bloque de conmutación serie según la figura 6

40

- la entrada BCjSI del j -ésimo bloque de conmutación serie BCjS es el terminal A del amplificador ATRBCjS
- la salida BCjSO del bloque de conmutación serie BCjS es el terminal B del amplificador BTRBCjS
- la primera tensión de control V_{ccjs1} y la segunda tensión de control V_{ccjs2} son tensiones de control V_{c1}, \dots, V_{cs} generadas por la red de polarización 4 ,

45

- la primera tensión de control V_{ccjs1} se aplica a un terminal de la resistencia denominada de puerta RBCjSG no conectado al terminal de puerta GTRBCjS del transistor TRBCjS, y

- la segunda tensión de control V_{ccjs2} se aplica a un terminal de la resistencia denominada A (RBCjSA) no conectado al terminal A ATRBCjS del transistor TRBCjS y a un terminal de la resistencia denominada B RBCjSB no conectado al terminal B BTRBCjS del transistor TRBCjS.

50

Para esta realización concreta del j -ésimo bloque de conmutación serie (BCjS), en el modo paso el valor de la primera tensión de control V_{ccjs1} y el valor de la segunda tensión de control V_{ccjs2} son tales que el transistor TRBCjS se encuentra polarizado en zona lineal.

En el modo corte, el valor de la primera tensión de control V_{ccjs1} y el valor de la segunda tensión de control V_{ccjs2} son tales que el transistor TRBCjS del j -ésimo bloque de conmutación, de tipo serie BCjS, se encuentra polarizado en zona de corte.

55

A modo de **ejemplos** no limitativos de posibles valores de tensión aplicados:

- para valores de tensión $V_{ccjs1}= 2V$ y $V_{ccjs2}=1V$ el transistor TRBCjS se encuentra en zona de funcionamiento lineal y el bloque de conmutación serie BCjS se encuentra en modo paso.

60

- para valores de tensión $V_{ccjs1}= 0V$ y $V_{ccjs2}=1V$ el transistor TRBCjS se encuentra en zona de funcionamiento de corte y el bloque de conmutación serie BCjS se encuentra en modo corte.

- para valores de tensión $V_{ccjs1}= 0 V$, $V_{ccjs2}=0 V$ el transistor TRBCjS se encuentra en zona de funcionamiento corte y el bloque de conmutación serie BCjS se encuentra en modo corte.

65

El terminal A ATRBCjS del transistor TRBCjS puede corresponderse bien con el terminal de drenador del transistor o

bien con el terminal de surtidor del transistor, en cuyo caso el terminal B BTRBCjS se corresponderá, respectivamente, con el terminal de surtidor del transistor o bien con el terminal de drenador del transistor TRBCjS.

La figura 7 muestra un **ejemplo** no limitativo del j-ésimo bloque de conmutación paralelo BCjP, siendo j un número entero comprendido entre 1 y m. Este bloque contiene:

- una entrada BCjPI,
- una salida BCjPO,
- un transistor TRBCP de tecnología PHEMT cuya zona de funcionamiento está controlada por una tensión de control V_{ccj1} , y que dispone de un terminal de puerta GTRBCjP, de un terminal A ATRBCjP, y de un terminal B BTRBCjP conectado a tierra,
- una resistencia denominada de puerta RBCjPG conectada por uno de sus terminales al terminal de puerta del transistor GTRBCjP y
- un condensador CBCjP conectado por uno de sus terminales al terminal A ATRBCjP del transistor TRBCjP

En este j-ésimo bloque de conmutación paralelo según la figura 7

- la entrada BCjPI y la salida BCjPO del bloque de conmutación paralelo BCjP son un terminal del condensador CBCjP no conectado al terminal A ATRBCjP del transistor TRBCjP
- la tensión de control V_{ccj1} es una de las tensiones de control V_{c1}, \dots, V_{cs} generadas por la red de polarización 4 ,y
- la tensión de control V_{ccj1} se aplica a un terminal de la resistencia denominada de puerta (RBCjPG) no conectado al terminal de puerta GTRBCjP del transistor TRBCjP

Para esta realización concreta del j-ésimo bloque de conmutación paralelo BCjP, en el modo paso el valor la tensión de control V_{ccj1} es tal que el transistor TRBCjP se encuentra polarizado en zona lineal.

En el modo corte del, el valor de la tensión de control V_{ccj1} es tal que el transistor TRBCjP del j-ésimo bloque de conmutación, de tipo paralelo BCjP, se encuentra polarizado en zona de corte.

A modo de **ejemplos** no limitativos de posibles valores de tensión aplicados:

- para valores de tensión $V_{ccj1} = -2V$ el transistor TRBCjP se encuentra en zona de funcionamiento lineal y el bloque de conmutación paralelo BCjP se encuentra en modo corte.
- para valores de tensión $V_{ccj1} = 0V$ el transistor TRBCjP se encuentra en zona de funcionamiento de corte y el bloque de conmutación paralelo BCjP se encuentra en modo paso.

El terminal A ATRBCjP del transistor TRBCjP puede corresponderse bien con el terminal de drenador del transistor o bien con el terminal de surtidor del transistor, en cuyo caso el terminal B BTRBCjP se corresponderá, respectivamente, con el terminal de surtidor del transistor o bien con el terminal de drenador del transistor TRBCjP.

La figura 8 muestra un **ejemplo** no limitativo del k-ésimo bloque de bypass serie BBkS, siendo k un número entero comprendido entre 1 y r. Este bloque contiene

- una entrada BBkSI,
- una salida BBkSO,
- un transistor TRBBkS de tecnología PHEMT cuya zona de funcionamiento está controlada por una primera tensión de control V_{cbk1} y por una segunda tensión de control V_{cbk2} , y que dispone de un terminal de puerta (GTRBBkS), de un terminal A (ATRBBkS) y de un terminal B (BTRBBkS) ,
- una resistencia denominada de puerta (RBBkSG) conectada por uno de sus terminales al terminal de puerta GTRBBkS del transistor TRBBkS y
- una resistencia denominada AB RBBkSAB conectada por uno de sus terminales al terminal A ATRBBkS del transistor TRBBkS y por otro al terminal B BTRBBkS del transistor TRBBkS

En este k-ésimo bloque de conmutación serie según la figura 8

- la entrada BBkSI es el terminal A ATRBBkS del transistor TRBBkS,
- la salida BBkSO es el terminal B BTRBBkS del transistor TRBBkS ,
- la primera tensión de control V_{cbk1} y la segunda tensión de control V_{cbk2} son tensiones de control V_{c1}, \dots, V_{cs} generadas por la red de polarización 4,
- la primera tensión de control V_{cbk1} se aplica a un terminal de la resistencia denominada de puerta RBBkSG no conectado por uno de sus terminales al terminal de puerta GTRBBkS del transistor TRBBkS, y
- la segunda tensión de control (V_{cbk2}) se aplica al terminal B BTRBBkS del transistor TRBBkS

Para esta realización concreta del k-ésimo bloque de bypass serie BBkS, en el modo paso el valor de la primera tensión de control V_{cbk1} y el valor de la segunda tensión de control V_{cbk2} son tales que el transistor TRBBkS se encuentra polarizado en zona lineal.

En el modo corte, el valor de la primera tensión de control V_{cbk1} y el valor de la segunda tensión de control V_{cbk2}

son tales que el transistor TRBBkS se encuentra polarizado en zona de corte.

A modo de **ejemplos** no limitativos de posibles valores de tensión aplicados:

- para valores de tensión $V_{cbks1}= 2V$ y $V_{cbks2}= 1V$ el transistor TRBBkS se encuentra en zona de funcionamiento lineal y el bloque de bypass serie BBkS se encuentra en modo paso.
- para valores de tensión $V_{cbks1}= 0V$ y $V_{cbks2}=0V$ el transistor TRBBkS se encuentra en zona de funcionamiento corte y el bloque de bypass serie BBkS se encuentra en paso.
- para valores de tensión $V_{cbks1}= 0V$ y $V_{cbks2}=3V$ el transistor TRBBkS se encuentra en zona de funcionamiento de corte y el bloque de bypass serie BBkS se encuentra en modo corte.

El terminal A ATRBBkS del transistor TRBBkS puede corresponderse bien con el terminal de drenador del transistor o bien con el terminal de surtidor del transistor, en cuyo caso el terminal B BTRBBkS se corresponderá, respectivamente, con el terminal de surtidor del transistor o bien con el terminal de drenador del transistor TRBBkS.

La figura 9 muestra un **ejemplo** no limitativo del k-ésimo bloque de bypass paralelo BBkP, siendo k un número entero comprendido entre 1 y r. Este bloque contiene:

- una entrada BBkPI,
- una salida BBkPO,
- un transistor TRBBkP de tecnología PHEMT cuya zona de funcionamiento está controlada por una tensión de control V_{cbkp1} , y que dispone de un terminal de puerta GTRBBkP, de un terminal A ATRBBkP, y de un terminal B BTRBBkP conectado a tierra,
- una resistencia de puerta RBBkPG conectada por uno de sus terminales al terminal de puerta GTRBBk del transistor TRBBk y
- un condensador CBBkP conectado por uno de sus terminales al terminal A ATRBBkP del transistor TRBBkP

En este k-ésimo bloque de conmutación paralelo según la figura 9

- la entrada BBkPI y la salida BBkPO del bloque de bypass paralelo BBkP son un terminal del condensador CBBkP no conectado al terminal A ATRBBkP del transistor TRBBkP
- la tensión de control V_{cbkp1} es una tensión de control V_{c1}, \dots, V_{cs} generada por la red de polarización 4 y
- la tensión de control V_{cbkp1} se aplica a un terminal de la resistencia denominada de puerta RBBkPG no conectado al terminal de puerta GTRBBkP del transistor TRBBkP.

Para esta realización concreta del k-ésimo bloque de bypass paralelo BBkP, en el modo paso el valor la tensión de control V_{cbkp1} es tal que el transistor TRBBkP se encuentra polarizado en zona lineal.

En el modo corte el valor de la primera tensión de control V_{cbkp1} es tal que el transistor TRBBkP se encuentra polarizado en zona de corte.

A modo de **ejemplos** no limitativos de posibles valores de tensión aplicados:

- para valores de tensión $V_{cbkp1}= 1V$ el transistor TRBBkP se encuentra en zona de funcionamiento lineal y el bloque de bypass paralelo BBkP se encuentra en modo paso.
- para valores de tensión $V_{cbkp1}= 0V$ el transistor TRBBkP se encuentra en zona de funcionamiento de corte y el bloque de bypass paralelo BBkP se encuentra en modo corte.

El terminal A ATRBBkP del transistor TRBBkP puede corresponderse bien con el terminal de drenador del transistor o bien con el terminal de surtidor del transistor, en cuyo caso el terminal B BTRBBkP se corresponderá, respectivamente, con el terminal de surtidor del transistor o bien con el terminal de drenador del transistor TRBBkP.

En otra realización del sistema de amplificación SA, el transistor TRBCjS del j-ésimo bloque de conmutación de tipo serie BCjS mostrado en la Figura 6 es de tipo enhacement para todo valor entero de j comprendido entre 1 y m, el transistor TRBCjP del j-ésimo bloque de conmutación de tipo paralelo BCjP mostrado en la figura 7 es de tipo depletion para todo valor entero de j comprendido entre 1 y m, el transistor TRBBkS del k-ésimo bloque de bypass de tipo serie BBkS mostrado en la figura 8 es de tipo depletion para todo valor entero de k comprendido entre 1 y r, y el transistor TRBBkP del k-ésimo bloque de conmutación de tipo paralelo BBkP mostrado en la figura 9 es de tipo enhacement, para todo valor entero de k comprendido entre 1 y r.

En otra realización del sistema de amplificación SA según la figura 10

- el bloque de adaptación de entrada del módulo de amplificación BAlA es una inductancia LA1, siendo la entrada BAlAI del bloque de adaptación de entrada del módulo de amplificación BAlA uno de los terminales de la inductancia LA1, y la salida BAlAO del bloque de adaptación de entrada del módulo de amplificación BAlA otro de los terminales de la inductancia LA1,
- el módulo de amplificación 1 contiene exactamente dos bloques de amplificación BA1 y BA2,
- el bloque de adaptación de salida del módulo de amplificación BAOA es una línea de conexión

- el módulo de conmutación 2 contiene exactamente un bloque de conmutación BC1 del primer tipo de bloque de conmutación denominado bloque de conmutación serie BC1S, dentro del cual se suprime la resistencia del terminal B RBC1SG,
- 5 - el bloque de desacoplo de entrada del módulo de bypass BDIB es un condensador de desacoplo de entrada CBI, siendo la entrada BDIBI del bloque de desacoplo de entrada del módulo de bypass BDIB uno de los terminales del condensador de desacoplo de entrada CBI, y la salida BDIBO de el bloque de desacoplo de entrada del módulo de bypass BDIB otro de los terminales del condensador de desacoplo de entrada CBI
- 10 - el módulo de bypass 3 contiene un primer bloque de bypass BB1, un segundo bloque de bypass BB2 y un tercer bloque de bypass BB3, siendo el primer bloque BB1 y el tercer bloque BB3 del primer tipo de bloque de bypass denominado bloque de bypass serie BB1S y BB3S, y siendo el segundo bloque BB2 del segundo tipo de bloque de bypass denominado bloque de bypass paralelo BB2P
- y
- 15 - el bloque de desacoplo de salida del módulo de bypass BDOB es un condensador de desacoplo de salida CBO, siendo la entrada BDOBI de el bloque de desacoplo de salida del módulo de bypass BDOB uno de los terminales del condensador de desacoplo de salida CBO, y la salida BDOBO del bloque de desacoplo de salida del módulo de bypass BDOB otro de los terminales del condensador de desacoplo de salida CBO.

20 La figura 11 muestra la respuesta de la realización del sistema amplificación según esta realización. Como se puede observar, el modo amplificación se consigue una ganancia superior a 30 dBs al mismo tiempo que en modo paso de señal se consigue que las pérdidas de inserción sean inferiores a 2 dBs.

Estas características de ganancia / pérdidas de inserción pueden adaptarse a requisitos concretos simplemente mediante la inclusión de bloques adicionales en los módulos de amplificación y/o conmutación y/o bypass.

LISTA DE REFERENCIAS

5	SA IN OUT 1 1I 1O 2 2I 2O 3 3I 3O	Sistema amplificador Entrada del sistema amplificador Salida de sistema amplificador Módulo de amplificación Entrada del módulo de amplificación Salida del módulo de amplificación Módulo de conmutación Entrada del módulo de conmutación Salida del módulo de conmutación Módulo de bypass Entrada del módulo de bypass Salida del módulo de bypass
10	4 Vcc Vc1,..., Vcs	Red de polarización Tensión de entrada Tensión de control
15	BAIA BAIAI BAIAO LA1 BAOA BAOAI BAOAO BA1,..., BAn BA1I, ..., BAnI BA1O,..., BAnO	Bloque de adaptación de entrada del módulo de amplificación Entrada del bloque de adaptación de entrada del módulo de amplificación Salida del bloque de adaptación de entrada del módulo de amplificación Inductancia de módulo de amplificación Bloque de adaptación de salida del módulo de amplificación Entrada del bloque de adaptación de salida del módulo de amplificación Salida del bloque de adaptación de salida del módulo de amplificación Bloque de amplificación 1,...,n Entrada del bloque de amplificación 1,..., n Salida del bloque de amplificación 1,..., n
20	BAi BAiI BAiO TRBAi GTRBAi DTRBAi STRBAi CBADi CBASi Vcai1, Vcai2, Vcai3	i-ésimo bloque de amplificación Entrada del i-ésimo bloque de amplificación Salida del i-ésimo bloque de amplificación Transistor del i-ésimo bloque de amplificación Terminal de puerta del transistor del i-ésimo bloque de amplificación Terminal de drenador del transistor del i-ésimo bloque de amplificación Terminal de surtidor del transistor del i-ésimo bloque de amplificación Condensador de drenador del i-ésimo bloque de amplificación Condensador de surtidor del i-ésimo bloque de amplificación Tensiones de control de la zona de funcionamiento del transistor TRBAi del i-ésimo bloque de amplificación
25	BDIB BDIBI BDIBO CBI BDOB BDOBI BDOBO CBO	Bloque de desacoplo de entrada del módulo de bypass Entrada del bloque de desacoplo de entrada del módulo de bypass Salida del bloque de desacoplo de entrada del módulo de bypass Condensador de desacoplo de entrada del módulo de bypass Bloque de desacoplo de salida del módulo de bypass Entrada del bloque de desacoplo de salida del módulo de bypass Salida del bloque de desacoplo de salida del módulo de bypass Condensador de desacoplo de salida del módulo de bypass
30	BC1,...,BCm BC1I,...,BCmI BC1O,...,BCmO BCj BCjI BCjO	Bloque de conmutación 1,...,m Entrada del bloque de conmutación 1,...,m Salida del bloque de conmutación 1,...,m Bloque de control j-ésimo Entrada del bloque de control j-ésimo Salida del Bloque de control j-ésimo
35	BCS BCSI BCSO BCjS BCjSI BCjSO TRBCjS GTRBCjS	Bloque genérico de conmutación de tipo serie Entrada de bloque genérico de conmutación de tipo serie Salida de bloque genérico de conmutación de tipo serie j-ésimo bloque de conmutación, de tipo serie Entrada del j-ésimo bloque de conmutación, de tipo serie Salida del j-ésimo bloque de conmutación, de tipo serie Transistor del j-ésimo bloque de conmutación, de tipo serie Terminal de puerta del transistor del j-ésimo bloque de conmutación, de tipo serie
40	ATRBCjS	Terminal A del transistor del j-ésimo bloque de conmutación, de tipo serie
45		
50		
55		
60		
65		

ES 2 806 349 T3

5	BTRBCjS RBCjSG RBCjSA RBCjSB Vccjs1, Vccjs2, Vccjs3	Terminal B del transistor del j-ésimo bloque de conmutación, de tipo serie Resistencia de puerta del j-ésimo bloque de conmutación, de tipo serie Resistencia de terminal A del j-ésimo bloque de conmutación, de tipo serie Resistencia de terminal B del j-ésimo bloque de conmutación, de tipo serie Tensiones de control de la zona de funcionamiento del transistor TRBCjS del j-ésimo bloque de conmutación, de tipo serie
10	BCP BCPI BCPO BCjP BCjPI BCjPO	Bloque genérico de conmutación, de tipo paralelo Entrada de bloque de conmutación, de tipo paralelo Salida de bloque de conmutación, de tipo paralelo j-ésimo bloque de conmutación, de tipo paralelo Entrada del j-ésimo bloque de conmutación, de tipo paralelo Salida del j-ésimo bloque de conmutación, de tipo paralelo
15	TRBCjP GTRBCjP	Transistor del j-ésimo bloque de conmutación, de tipo paralelo Terminal de puerta del transistor del j-ésimo bloque de conmutación, de tipo paralelo
20	ATRBCjP BTRBCjP RBCjPG CBCjP Vccjp1	Terminal A del transistor del j-ésimo bloque de conmutación, de tipo paralelo Terminal B del transistor del j-ésimo bloque de conmutación, de tipo paralelo Resistencia de puerta del j-ésimo bloque de conmutación, de tipo paralelo Condensador del j-ésimo bloque de conmutación, de tipo paralelo Tensión de control de la zona de funcionamiento del transistor TRBCjP del j-ésimo bloque de conmutación, de tipo paralelo
25	BB1,...,BBr BB1l,...,BBrl BB1O,...,BBrO BBk BBkl BBkO	Bloque de bypass 1,...,r Entrada del bloque de bypass 1,...,r Salida del bloque de bypass 1,...,r Bloque de bypass k-ésimo Entrada del bloque de bypass k-ésimo Salida del Bloque de bypass k-ésimo
30	BBkS BBkSI BBkSO	k-ésimo bloque de bypass, de tipo serie Entrada del k-ésimo bloque de bypass, de tipo serie Salida del k-ésimo bloque de bypass, de tipo serie
35	TRBBkS GTRBBkS ATRBBkS BTRBBkS	Transistor del k-ésimo bloque de bypass, de tipo serie Terminal de puerta del transistor del k-ésimo bloque de bypass, de tipo serie Terminal A del transistor del k-ésimo bloque de bypass, de tipo serie Terminal B del transistor del k-ésimo bloque de bypass, de tipo serie
40	RBBkSG RBBkSAB	Resistencia de puerta del k-ésimo bloque de bypass, de tipo serie Resistencia A-B del k-ésimo bloque de bypass, de tipo serie
45	BBkP BBkPI BBkPO TRBBkP GTRBBkP	k-ésimo bloque de bypass, de tipo paralelo Entrada del k-ésimo bloque de bypass, de tipo paralelo Salida del k-ésimo bloque de bypass, de tipo paralelo Transistor del k-ésimo bloque de bypass, de tipo paralelo Puerta del transistor de bloque de bypass paralelo
50	ATRBBkP BTRBBkP RBBkPG CBBkP	Terminal A del transistor del k-ésimo bloque de bypass, de tipo paralelo Terminal B del transistor del k-ésimo bloque de bypass, de tipo paralelo Resistencia de puerta del k-ésimo bloque de bypass, de tipo paralelo Condensador del k-ésimo bloque de bypass, de tipo paralelo

REIVINDICACIONES

1. Sistema de amplificación de señales de telecomunicación (SA), en particular para la amplificación de señales de radio, televisión y/o datos, que comprende

5

- Una entrada (IN) de señal de telecomunicación del sistema de amplificación de señales de televisión,
- Una salida (OUT) de señal de telecomunicación del sistema de amplificación de señales de televisión,
- Un módulo de amplificación (1) con una entrada del módulo de amplificación (11) y una salida del módulo de amplificación (10), configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo amplificación del módulo de amplificación y un segundo modo denominado modo corte del módulo de amplificación,
- Un módulo de conmutación (2) con una entrada del módulo de conmutación (21) y una salida del módulo de conmutación (20), configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal del módulo de conmutación y un segundo modo denominado modo aislamiento del módulo de conmutación,
- Un módulo de bypass (3) con una entrada del módulo de bypass (31) y una salida del módulo de bypass (30), configurado de tal manera que dispone de dos modos de funcionamiento, un primer modo denominado modo paso de señal del módulo de bypass y un segundo modo denominado modo aislamiento del módulo de bypass,
- Una tensión de entrada (Vp),
- Una red de polarización (4) que genera a partir de la tensión de entrada (Vp) al menos un valor de tensión de control (Vc1, ..., Vcs)

10

15

20

donde

25

- el módulo de amplificación (1) en modo amplificación del módulo de amplificación sitúa a la salida (10) del módulo de amplificación (1) la señal presente a la entrada (11) del módulo de amplificación (1) amplificada
- el módulo de amplificación (1) en modo corte del módulo de amplificación aísla la salida (10) del módulo de amplificación (1) de la entrada (11) del módulo de amplificación (1),
- el módulo de conmutación (2) en modo paso de señal del módulo de conmutación conecta la salida (20) del módulo de conmutación (2) a la entrada (21) del módulo de conmutación (2),
- el módulo de conmutación (2) en modo aislamiento del módulo de conmutación aísla la salida (20) del módulo de conmutación (2) de la entrada (21) del módulo de conmutación (2),
- el módulo de bypass (3) en modo paso del módulo de bypass conecta la salida (30) del módulo de bypass (3) a la entrada (31) del módulo de bypass (3),
- el módulo de bypass (3) en modo aislamiento del módulo de bypass aísla la salida (30) del módulo de bypass (3) de la entrada (31) del módulo de bypass (3),
- la entrada (11) del módulo de amplificación (1) está conectada a la entrada (31) del módulo de bypass (3), constituyendo la entrada (IN) del sistema para la amplificación de señales de telecomunicación (SA),
- la salida (10) del módulo de amplificación (1) está conectada a la entrada (21) del módulo de conmutación (2),
- la salida (20) del módulo de conmutación (2) está conectada a la salida (30) del módulo de bypass (3), constituyendo la salida (OUT) del sistema para la amplificación de señales de telecomunicación (SA),
- el sistema de amplificación (SA) dispone de un primer modo de funcionamiento y de un segundo modo de funcionamiento seleccionables en función del valor de la al menos una tensión de control (Vc1, ... Vcs)

30

35

40

45

donde

50

- en el primer modo de funcionamiento del sistema de amplificación (SA), denominado modo amplificación del sistema de amplificación, el módulo de amplificación (1) se encuentra en modo amplificación del módulo de amplificación, el módulo de conmutación (2) se encuentra en modo paso de señal del módulo de conmutación y el módulo de bypass (3) se encuentra en modo de aislamiento del módulo de bypass, y las señales a la entrada (IN) del sistema de amplificación (SA) son amplificadas a través del módulo de amplificación (1) y situadas a la salida (OUT) del sistema amplificador (SA) y
- en el segundo modo de funcionamiento del sistema de amplificación, denominado modo paso de señal del sistema de amplificación (SA), el módulo de bypass (3) se encuentra en modo paso de señal del módulo de bypass, el módulo de amplificación (1) se encuentra en modo corte del módulo de amplificación y el módulo de conmutación (2) se encuentra en modo de aislamiento del módulo de conmutación, y las señales a la entrada (IN) del sistema de amplificación (SA) no son amplificadas y son puestas a la salida (OUT) del sistema de amplificación (SA) a través del módulo de bypass (3)
- el sistema de amplificación (SA) se encuentra en modo paso de señal en el caso de que el valor de la al menos una tensión de la al menos una tensión de control (Vc1, ..., Vcs) sea cero Voltios, de modo que el sistema de amplificación es un sistema pasivo que no necesita de una fuente de alimentación externa,

55

60

65

- el módulo de bypass (3) contiene al menos un bloque de bypass que dispone de una entrada del al menos un bloque de bypass y de una salida del al menos un bloque de bypass, configurado de tal modo que dispone de un primer modo de funcionamiento del al menos un bloque de bypass y de un segundo modo de funcionamiento del al menos un bloque de bypass cuyo funcionamiento está controlado por al menos una tensión de control (V_{c1}, \dots, V_{cs}),

donde

- en el primer modo de operación del al menos un bloque de bypass, denominado modo paso de señal del al menos un bloque de bypass se establece una conexión entre la salida de el al menos un bloque de bypass y la entrada de el al menos un bloque de bypass,
- en el segundo modo de operación del al menos un bloque de bypass, denominado modo corte del al menos un bloque de bypass se aísla la salida de el al menos un bloque de bypass de la entrada de el al menos un bloque de bypass,
- el módulo de amplificación (1) comprende al menos un bloque de amplificación donde el al menos un bloque de amplificación contiene un primer bloque de amplificación (BA1) donde el primer bloque de amplificación (BA1) contiene al menos un transistor

donde

- si el sistema de amplificación se encuentra en modo amplificación del sistema de amplificación (SA), el al menos un transistor está configurado de tal modo que amplifica la señal de telecomunicación presente a la entrada (IN) del sistema de amplificación de señales de telecomunicación (SA) presente a la entrada del al menos un transistor,
- si el sistema de amplificación se encuentra en modo paso de señal del sistema de amplificación (SA), el al menos un transistor está en corte y la señal de telecomunicación presente a la entrada (IN) del sistema de amplificación de señales de telecomunicación (SA) está presente a la entrada del al menos un transistor.

2. Sistema según la reivindicación número 1 caracterizado por

- que en el modo paso de señal del módulo de bypass (3), todos los bloques del al menos un bloque de bypass se encuentran en modo paso de señal de el al menos un bloque de bypass y
- que en el modo aislamiento de módulo de bypass (3), al menos un bloque de bypass del al menos un bloque de bypass se encuentra en modo corte del al menos un bloque de bypass

3. Sistema según las reivindicaciones anteriores caracterizado por

- que al menos un bloque de amplificación que dispone de una entrada y una salida, donde el al menos un bloque de amplificación está configurado de tal modo que dispone de un primer modo de funcionamiento y de un segundo modo de funcionamiento, donde el primer modo de funcionamiento y el segundo modo de funcionamiento están controlados por la al menos una tensión de control (V_{c1}, \dots, V_{cs})

donde

- en el primer modo de funcionamiento del al menos un bloque de amplificación, denominado modo amplificación del al menos un bloque de amplificación, el al menos un bloque de amplificación está configurado de tal modo que amplifica la señal presente a la entrada del al menos un bloque de amplificación y sitúa la señal amplificada a la salida del al menos un bloque de amplificación,
- en el segundo modo de funcionamiento del al menos un bloque de amplificación, denominado modo corte del al menos un bloque de amplificación, el al menos un bloque de amplificación está configurado de tal modo que aísla la salida del al menos un bloque de amplificación de la entrada del al menos un bloque de amplificación
- que el módulo de conmutación (2) contiene al menos un bloque de conmutación que dispone de una entrada y una salida donde el al menos un bloque de conmutación está configurado de tal modo que dispone de un primer modo de funcionamiento y un segundo modo de funcionamiento, donde el primero modo de funcionamiento y el segundo modo de funcionamiento están controlados por la al menos una tensión de control (V_{c1}, \dots, V_{cs})

donde

- en el primer modo de funcionamiento del al menos un bloque de conmutación, denominado modo paso de señal del al menos un bloque de conmutación, se establece una conexión entre la salida del

- al menos un bloque de conmutación y la entrada del al menos un bloque de conmutación, en el segundo modo de funcionamiento del al menos un bloque de conmutación, denominado modo corte del al menos un bloque de conmutación, se aísla la salida del al menos un bloque de conmutación de la entrada del al menos un bloque de conmutación

5

4. Sistema según reivindicación número 3 caracterizado por

- que en el modo amplificación del módulo de amplificación (1), todos los bloques de amplificación de el al menos un bloque de amplificación se encuentran en modo amplificación,
- y
- que en el modo corte del módulo de amplificación (1), al menos el primer bloque de amplificación (BA1) de el al menos un bloque de amplificación (BA1, ..., BAn) se encuentra en modo corte.

10

5. Sistema según reivindicaciones 3 y 4 caracterizado por

- que en el modo paso de señal del módulo de conmutación (2), todos los bloques de conmutación de el al menos un bloque de conmutación se encuentran en modo paso de señal,
- y
- que en el modo aislamiento del módulo de conmutación (2), al menos un bloque de conmutación de el al menos un bloque de conmutación se encuentra en modo corte.

15

20

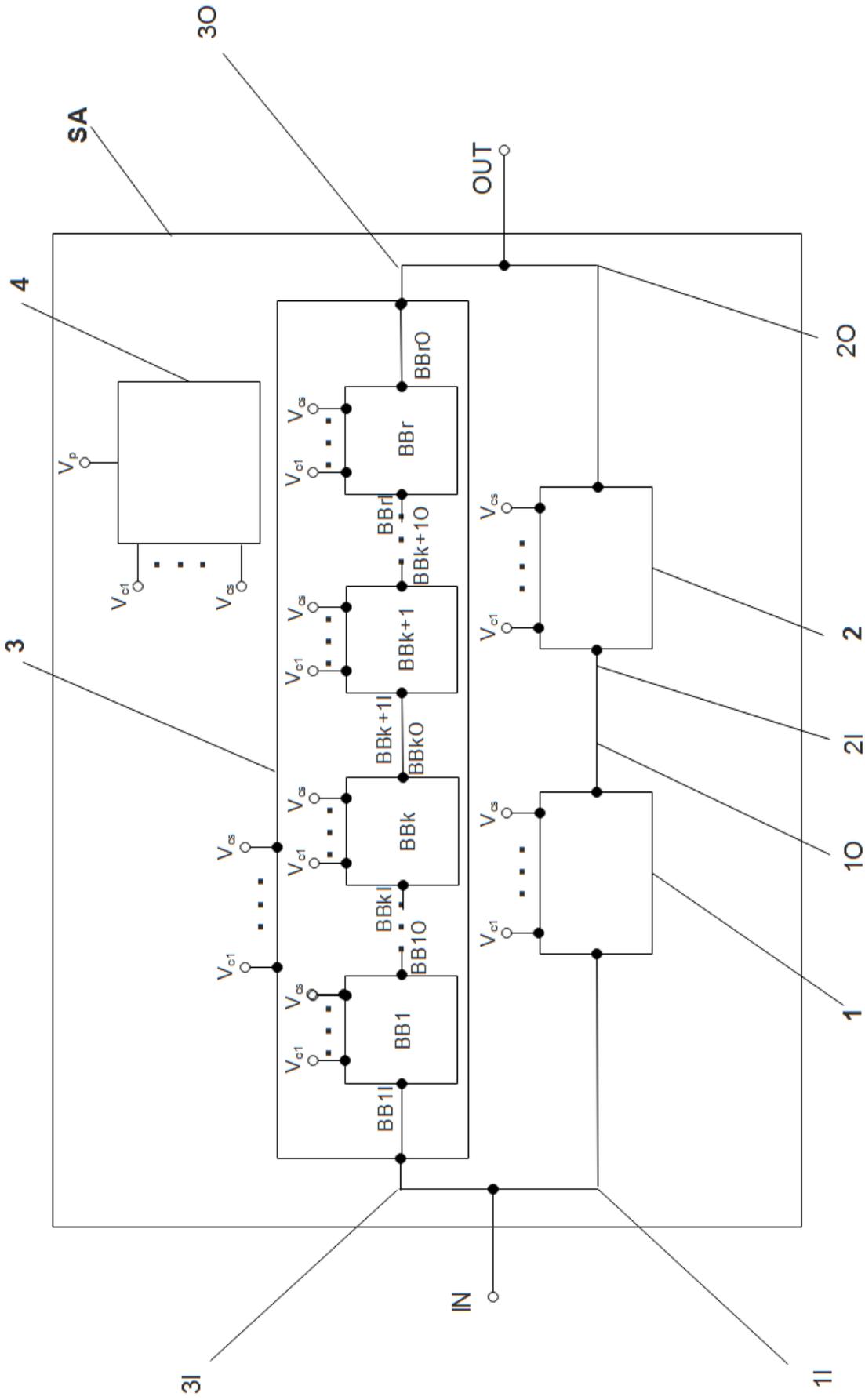


Fig. 1

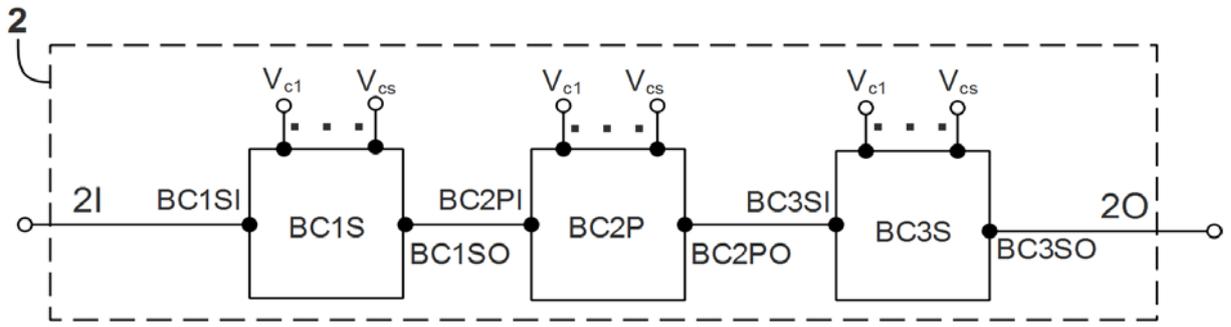


Fig. 3

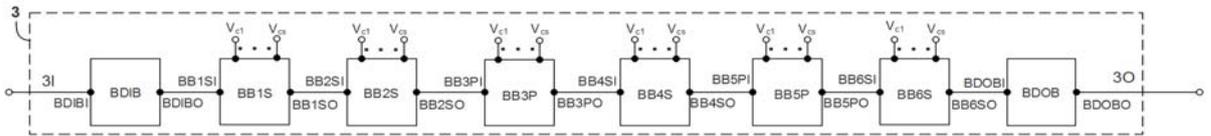


Fig. 4

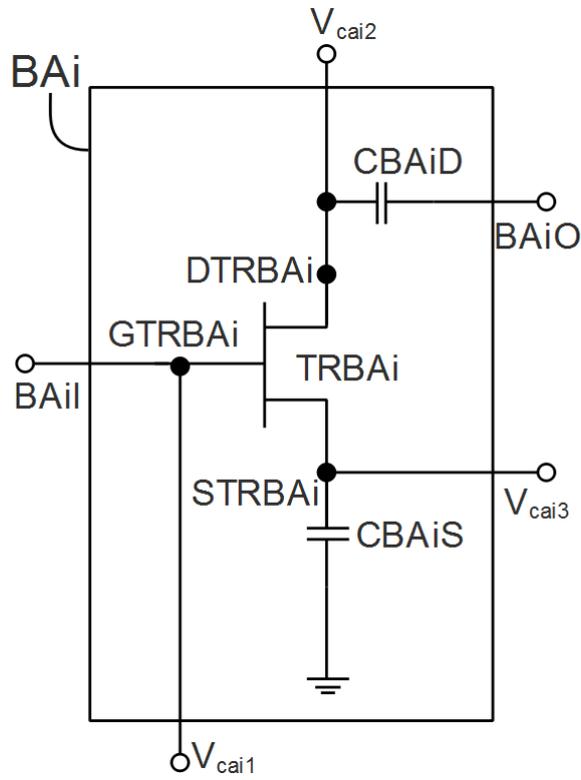


Fig. 5

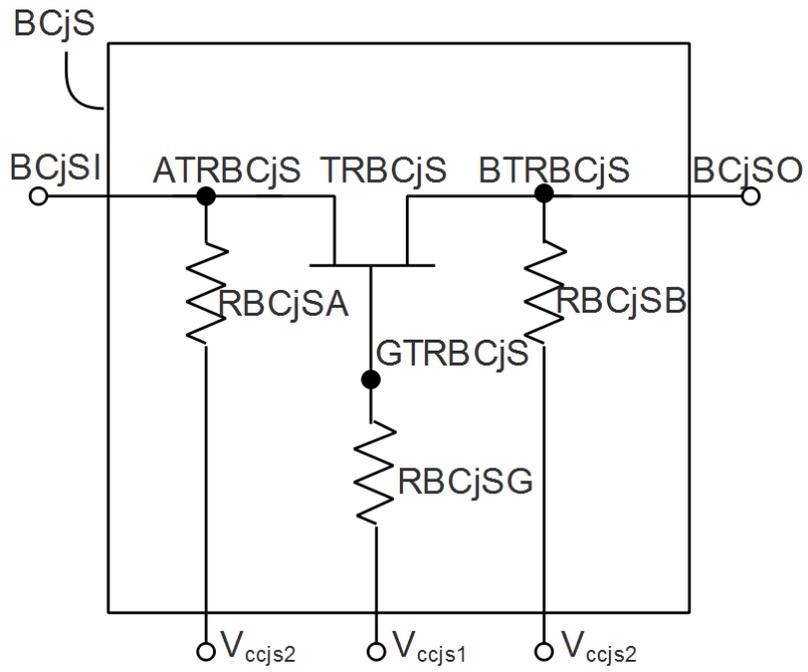


Fig. 6

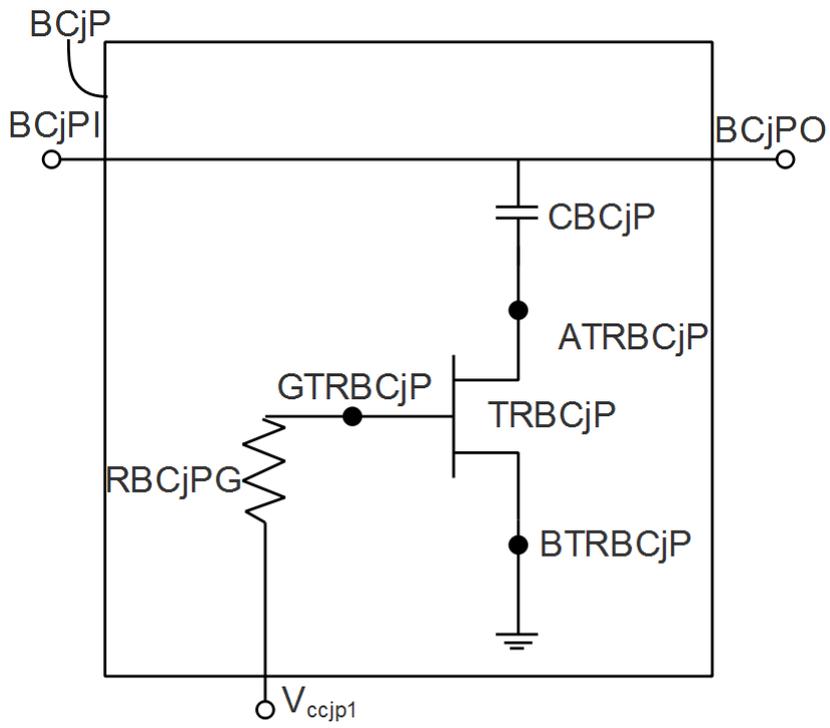


Fig. 7

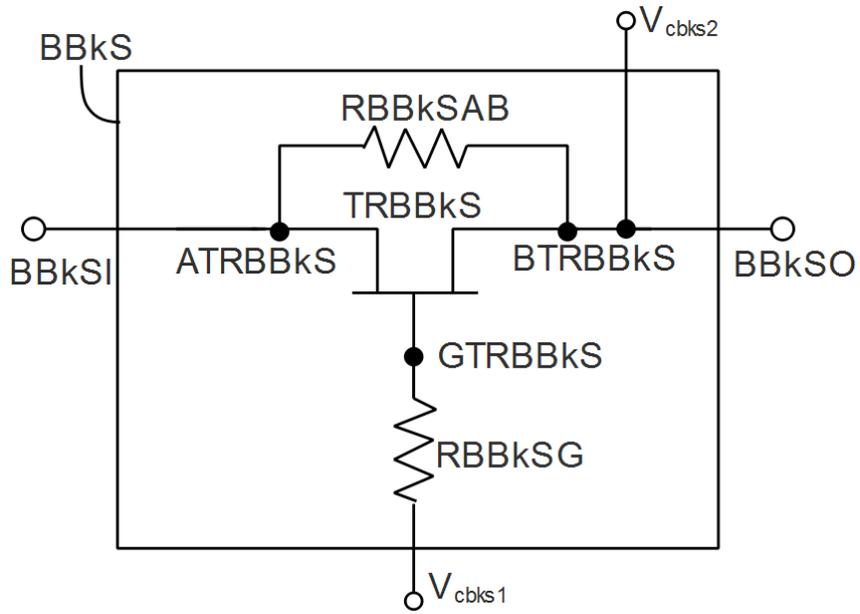


Fig. 8

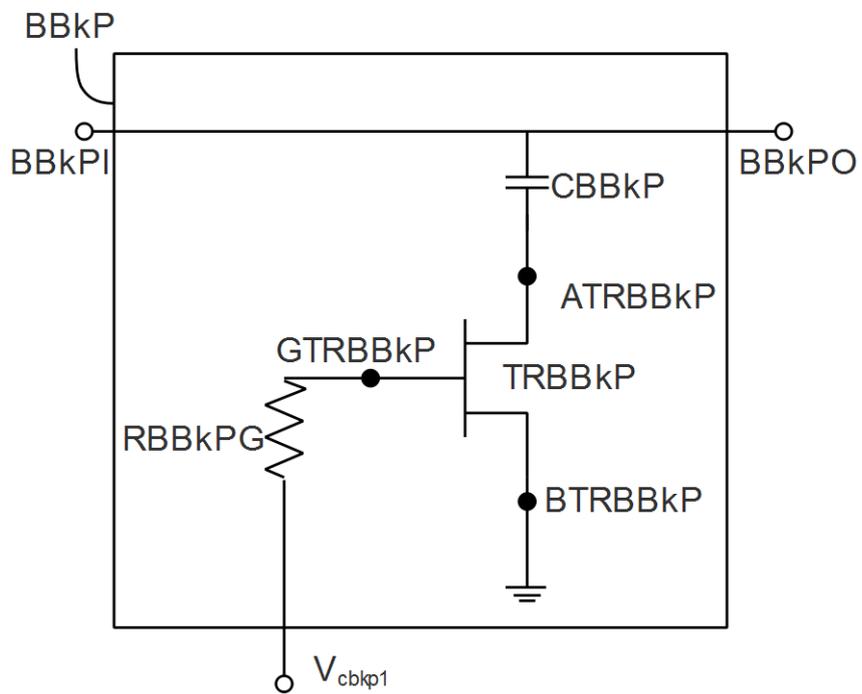


Fig. 9

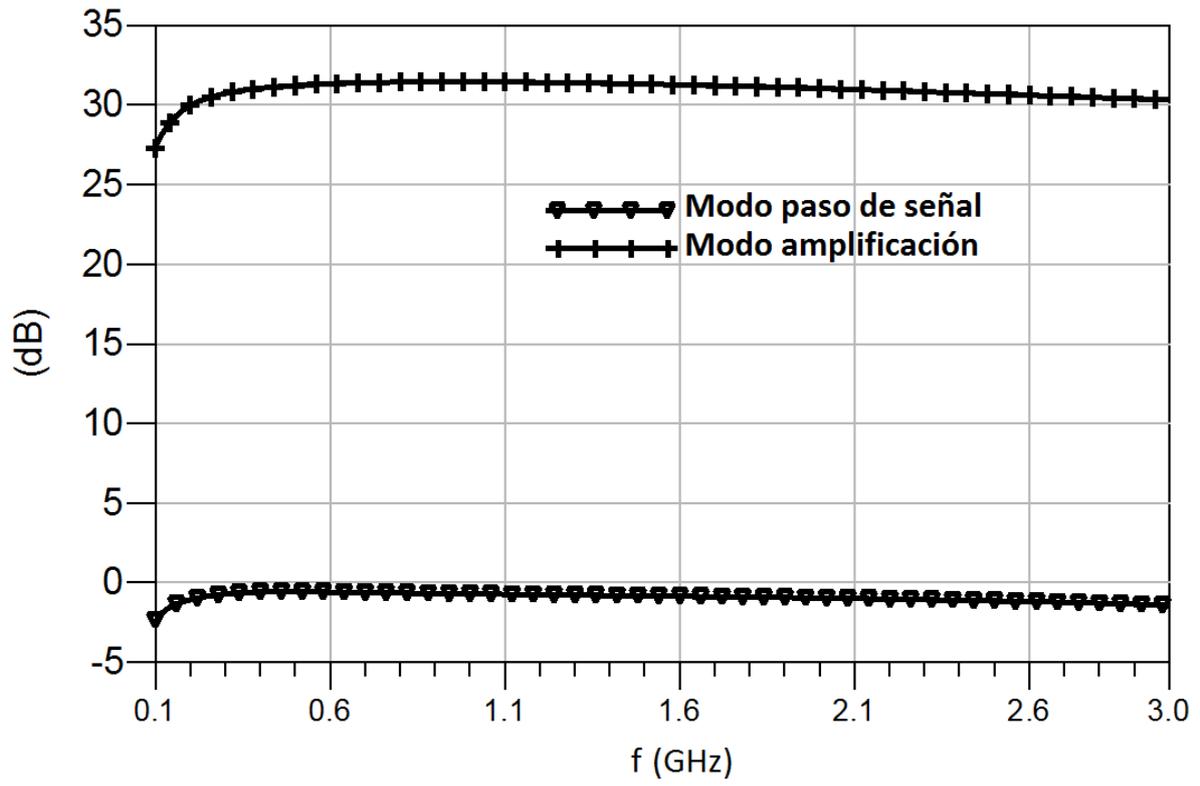


Fig. 11