

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 796 833**

51 Int. Cl.:

H04L 25/14 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **07.06.2012 PCT/EP2012/060828**

87 Fecha y número de publicación internacional: **13.12.2012 WO12168383**

96 Fecha de presentación y número de la solicitud europea: **07.06.2012 E 12725850 (7)**

97 Fecha y número de publicación de la concesión europea: **20.05.2020 EP 2719135**

54 Título: **Alineación de flujos de datos no sincrónicos**

30 Prioridad:

10.06.2011 EP 11275094

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.11.2020

73 Titular/es:

**AIRBUS DEFENCE AND SPACE LIMITED (100.0%)
Gunnels Wood Road, Stevenage
Hertfordshire SG1 2AS, GB**

72 Inventor/es:

**SMART, ROBERT PATRICK WALLACE;
HOLLAMBY, DANIEL CHRISTOPHER;
BALDWIN, ADRIAN PHILIP y
CAMERON, IAIN DAVID**

74 Agente/Representante:

PONS ARIÑO, Ángel

ES 2 796 833 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Alineación de flujos de datos no sincrónicos

5 Campo de la invención

La invención se refiere a la sincronización de flujos de datos. Más particularmente, pero no exclusivamente, se refiere a la sincronización digital de flujos de datos recibidos por diferentes alimentaciones de antena.

10 Antecedentes de la invención

Muchos sistemas de procesamiento de datos reciben los datos en una pluralidad de flujos de datos independientes pero los flujos de datos son procesados juntos. Un ejemplo de dicho sistema es una antena receptora de una carga útil satelital con capacidad de formación de haces. Un procesador digital puede recibir una pluralidad de flujos de datos
15 independientes de una pluralidad de alimentaciones de antena y puede combinar y procesar los flujos de datos juntos para formar los haces requeridos. Cada flujo de datos puede ser entregado al procesador digital mediante una cadena de procesamiento independiente que tenga una señal de reloj independiente.

En los sistemas convencionales, las frecuencias de muestreo de datos y los anchos de banda son lo suficientemente
20 bajos como para permitir que el procesamiento se satisfaga mediante el muestreo de datos y el procesamiento posterior utilizando técnicas de diseño totalmente sincrónicas. Esto es posible porque las incertidumbres del tiempo durante el diseño pueden mantenerse lo suficientemente pequeñas, en comparación con el período de reloj, para satisfacer las necesidades de configuración y retención de los circuitos digitales.

Hay una tendencia constante hacia altas frecuencias de muestreo. Las frecuencias de muestreo más altas pueden
25 generar incertidumbres de temporización entre las cadenas de procesamiento utilizadas para diferentes flujos de datos que son mayores que un período de muestra. Por ejemplo, a frecuencias de muestreo suficientemente altas, la generación de la señal de reloj dentro de los convertidores analógico a digital da lugar a importantes incertidumbres de temporización en comparación con el período de muestreo. Además, las incertidumbres de temporización también
30 pueden surgir en los divisores de frecuencia aguas abajo en las cadenas de procesamiento. No todos los componentes de las cadenas de procesamiento se pueden operar a las altas frecuencias de muestreo y, por lo tanto, deben usarse divisores de frecuencia. La ambigüedad de la fase de inicio del divisor de frecuencia también puede dar lugar a importantes incertidumbres de temporización en comparación con el período de muestreo. Cuando la incertidumbre de temporización combinada se vuelve más grande en comparación con el período de muestreo, los flujos de datos
35 no se proporcionan de manera suficientemente coherente al procesador digital y surgen errores cuando los flujos de datos se combinan y se procesan adicionalmente.

La invención se realiza en este contexto.

40 La Solicitud de Patente de los Estados Unidos US 2008/205.448 describe un circuito de interfaz en serie usando un circuito de detección de encabezado para detectar el encabezado en una secuencia de datos obtenida de una señal en serie recibida a través de la interfaz en serie.

La Patente de los Estados Unidos US 7.454.537 describe la sincronización y desvinculación de enlaces de
45 comunicaciones en serie multicanal.

La Patente de los Estados Unidos US 7.295.639 describe un procedimiento y un equipo para mejorar la tolerancia a la distorsión entre canales en los enlaces de comunicaciones unidos por canales.

50 Resumen de la invención

El alcance de la invención se define por las reivindicaciones adjuntas. Las realizaciones que no entran completamente dentro del alcance de las reivindicaciones deben interpretarse como ejemplos útiles para comprender la invención. De acuerdo con la invención, se proporciona un equipo para facilitar la alineación de flujos de datos de entrada no
55 sincrónicos recibidos en el equipo, el equipo comprende una disposición de convertidor analógico a digital para digitalizar los flujos de datos de entrada en una pluralidad de secuencias de muestras y una disposición de procesamiento de sincronización para generar pulsos de alineación para cada secuencia, para organizar cada secuencia de muestras con respecto a los pulsos de alineación para la secuencia y para sincronizar la entrega de dicha pluralidad de secuencias de muestras a un procesador común con respecto a los pulsos de alineación
60 respectivos.

Por lo tanto, la invención permite que los flujos se entreguen de tal manera que puedan procesarse de forma coherente

en el procesador común.

Los flujos de datos pueden ser recibidos por una pluralidad de alimentaciones de antena.

- 5 La disposición de procesamiento de sincronización puede comprender una cadena de procesamiento para cada flujo de datos y cada cadena de procesamiento puede comprender un generador de pulsos de alineación para generar los pulsos de alineación, para la secuencia de muestras correspondientes a la cadena de procesamiento. Cada cadena de procesamiento puede tener una señal de reloj de cadena de procesamiento independiente y cada generador de pulso de alineación puede configurarse para generar un pulso de alineación para la secuencia en un momento determinado de acuerdo con un pulso de sincronización común a todas las cadenas de procesamiento, y recibido por cada generador de pulsos de alineación y la señal de reloj de la cadena de procesamiento de la cadena de procesamiento respectiva.

- 15 Los pulsos de alineación generados por los generadores de pulso de alineación de las diferentes cadenas de procesamiento no tienen que coincidir. La disposición de procesamiento de sincronización asegura que los pulsos de alineación y las secuencias de muestra estén alineadas cuando se entregan al procesador digital común.

- 20 Cada una de dichas señales de reloj de la cadena de procesamiento puede tener una frecuencia que es N veces más lenta que una frecuencia de muestreo para el flujo de datos y cada cadena de procesamiento además puede comprender medios para dividir cada secuencia de muestras correspondientes a un flujo de datos en una pluralidad (N) subflujos tales que se procesan N muestras en cada ciclo de la señal de reloj de la cadena de procesamiento. En consecuencia, la invención permite que se procese la secuencia de muestras, aunque los componentes de la cadena de procesamiento no puedan operar a la alta frecuencia de muestreo.

- 25 El equipo puede comprender además medios para ajustar el tiempo de un pulso de alineación para una secuencia de muestras con respecto a un pulso de alineación anterior para que la secuencia de muestras mueva el pulso uno o más ciclos de la señal del reloj de la cadena de procesamiento correspondiente a las etapas de N muestras de la secuencia de muestras para alinear los flujos de datos de entrada no sincrónicos. Cada generador de pulso de alineación se puede operar para ajustar el tiempo de un pulso de alineación basado en las señales de control que se reciben. La pluralidad de pulsos de alineación puede usarse para dividir la secuencia de muestras en una pluralidad de tramas donde los pulsos de alineación forman límites de trama. Cada cadena de procesamiento puede comprender además medios para mover la secuencia de muestras con respecto a un pulso de alineación para alinear aún más los flujos de datos de entrada no sincrónicos, estando configurados los medios para mover la secuencia de muestras entre 0 y N-1 muestras con respecto a los límites de la trama. Los medios para mover la secuencia de muestras pueden ser un selector de datos que almacena las últimas muestras N-1 de un ciclo actual y selecciona N muestras del siguiente ciclo y el ciclo actual para pasar aguas abajo en la cadena de procesamiento en el siguiente ciclo. En otras palabras, el selector de datos mueve efectivamente las muestras con respecto al pulso de alineación al introducir un retraso en la ruta de procesamiento.

- 40 El pulso de sincronización puede comprender un pulso de un ancho predeterminado, cada generador de pulso de alineación está configurado para muestrear dicho pulso y crear un pulso de alineación dentro de un intervalo de tiempo correspondiente a dicho ancho predeterminado.

- 45 El equipo puede comprender además un generador de pulso de sincronización para transmitir dicho pulso de sincronización a cada una de las cadenas de procesamiento.

- Cada cadena de procesamiento puede comprender además una disposición de registro primero en entrar, primero en salir (FIFO, por sus siglas en inglés), el registro FIFO está configurado para recibir dicha secuencia de muestras y para recibir y almacenar dichos pulsos de alineación y organizar la secuencia de muestras en tramas de acuerdo con el pulso de alineación en uno o más registros, la disposición de registros FIFO está dispuesta para entregar las muestras desde la disposición de registro a un procesador común después de un período de tiempo configurable de modo que las tramas correspondientes de diferentes cadenas de procesamiento se entreguen al procesador común sincrónicamente. Los datos delineadores de trama pueden usarse para delinear las tramas. Los datos delineadores de trama pueden corresponder a los pulsos de alineación. Los datos se escriben en un FIFO sincrónicamente a la señal de reloj de la cadena de procesamiento utilizada para el procesamiento de los datos en la cadena de procesamiento, pero se leen desde el FIFO sincrónicamente a la señal de reloj del procesador digital común. Para este fin, el equipo puede comprender además un generador de pulso de alineación de referencia, el generador de pulso de alineación de referencia está configurado para generar y transmitir pulsos de alineación de referencia a los FIFO de dichas cadenas de procesamiento, cada FIFO puede configurarse para emitir la secuencia de muestras en un flujo de salida al procesador digital de modo que los datos delineadores de trama o los pulsos de alineación en el flujo de salida coincidan con la recepción de los pulsos de alineación de referencia en el FIFO.

En consecuencia, el generador de pulso de alineación y el selector de datos pueden usarse para ordenar los pulsos de alineación en una posición apropiada con respecto a los datos y el registro FIFO se puede usar para garantizar que los pulsos, y por lo tanto también los datos, se entreguen sincrónicamente al procesador digital.

- 5 El equipo puede comprender además una pluralidad de alimentaciones de antena receptoras para recibir dichos flujos de datos. Más aún, el equipo puede comprender además un procesador digital común configurado para recibir flujos de datos desde dichas cadenas de procesamiento.

Según la invención, también se proporciona una carga útil satelital que comprende el equipo.

10

De acuerdo con la invención, también se proporciona un procedimiento para facilitar la alineación de flujos de datos de entrada no sincrónicos recibidos por un equipo, el procedimiento comprende digitalizar dichos flujos de datos en una pluralidad de secuencias de muestras; generar pulsos de alineación para cada secuencia; organizar cada secuencia de muestras con respecto a sus pulsos de alineación correspondientes y sincronizar la entrega de cada

15

secuencia de muestras a un procesador digital común con respecto a los pulsos de alineación para las secuencias. Organizar cada secuencia de muestras con respecto a sus pulsos de alineación correspondientes puede comprender la recepción y el almacenamiento de una secuencia de muestras de la pluralidad de secuencias de muestras y los pulsos de alineación para la secuencia y organizar la secuencia de muestras en tramas de acuerdo con los pulsos de

20

alineación en uno o más registros. La sincronización de la entrega de cada secuencia puede comprender extraer la secuencia de muestras de uno o más registros después de un retraso configurable de tal manera que las muestras de datos correspondientes de las tramas de la pluralidad de secuencias se entreguen sincrónicamente al procesador común.

- 25 La disposición de cada secuencia de muestras puede implicar además ajustar la posición de los pulsos de alineación con respecto a las muestras en la secuencia de muestras para garantizar que las muestras de datos correspondientes estén dispuestas en la posición correspondiente con respecto a los pulsos de alineación respectivos en la pluralidad de secuencias, donde cada secuencia de las muestras se procesan como un número de N subflujos, se procesan N muestras en cada ciclo de reloj de una señal de reloj, y donde ajustar la posición de los pulsos de alineación en relación

30

con las muestras comprende ajustar el tiempo de un pulso de alineación uno o más ciclos de reloj para mover las muestras de datos de pulso de alineación N y usar un selector de datos para introducir un retraso en el procesamiento de las muestras para mover la secuencia de muestras una cantidad de muestras entre 0 y N-1 veces con respecto a los pulsos de alineación.

35 Breve descripción de los dibujos

A continuación, se describen realizaciones de la presente invención solo a modo de ejemplo, con referencia a los dibujos adjuntos, en los cuales:

- 40 La figura 1 es un diagrama esquemático de componentes de una carga útil satelital;
La figura 2 es un diagrama esquemático de componentes de la disposición de procesamiento de sincronización de la carga útil satelital de la figura 1;
La figura 3 es un diagrama esquemático de los componentes de un generador de pulso de alineación de la disposición de procesamiento de sincronización que se muestra en la figura 2;
- 45 Las figuras 4, 5a, 5b y 5c ilustran el funcionamiento del generador de pulso de alineación;
La figura 6 es un diagrama esquemático de un selector de datos de la disposición de procesamiento de sincronización que se muestra en la figura 2;
Las figuras 7a, 7b, 7c y 7d ilustran el funcionamiento del selector de datos;
- 50 La figura 8 es un diagrama esquemático que muestra los componentes de una disposición de registro de la disposición de procesamiento de sincronización de la figura 2; y
La figura 9 ilustra cómo las muestras de datos que se procesan en la disposición de procesamiento de sincronización de la figura 2 se dividen en tramas y cómo se sincronizan los tiempos de las tramas en diferentes cadenas de procesamiento de la carga útil satelital.

55 Descripción detallada

- Con referencia a la figura 1, una carga útil satelital 1 comprende una pluralidad de alimentaciones de antena de recepción 2, circuitos de recepción 3, una disposición de convertidor analógico a digital (ADC) 4, una disposición de procesamiento de sincronización 5, un procesador de señal digital común 6 y una unidad generadora de frecuencia
- 60 (FGU) 7. La carga útil satelital 1 puede estar ubicada en un satélite de comunicación. El circuito de recepción 3 procesa las señales que se reciben en el dominio analógico y puede, por ejemplo, filtrar y bajar la frecuencia de las señales que se reciben. La disposición ADC 4 muestrea las señales que se reciben y proporciona una pluralidad de flujos de

muestras digitales a la disposición de procesamiento de sincronización 5. La disposición de procesamiento de sincronización 5 procesa y sincroniza los diferentes flujos y el procesador digital común 6 combina y procesa adicionalmente los datos recibidos. La FGU 7 proporciona una señal de reloj a la disposición ADC 4 y al procesador digital común 6. También transmite una señal de pulso de sincronización a la disposición de procesamiento de sincronización 5, como se describirá con más detalle a continuación. Debe entenderse que la carga útil satelital también puede comprender componentes adicionales que no se muestran en la figura 1.

La carga útil de la figura 1 puede, por ejemplo, proporcionar una disposición de antenas en fase. El procesador digital común 6 puede, por ejemplo, proporcionar una red de formación de haz digital para el satélite de comunicación para permitir que el satélite de comunicación reciba una pluralidad de haces desde una pluralidad de direcciones. Los haces se pueden generar a partir de las señales que se reciben por las alimentaciones de antena de una disposición de antenas en fase. Cada flujo de datos se puede demultiplexar en el procesador digital común 6 en canales de frecuencia independientes y se pueden crear uno o más haces para cada canal aplicando pesos complejos a las señales de diferentes alimentaciones de antena en función de la dirección de los haces. Para que la formación de haz sea exitosa, los flujos de datos recibidos por las diferentes alimentaciones de antena deben procesarse de manera coherente.

Los circuitos de recepción 3 y la disposición de ADC 4 comprenden circuitos de recepción independientes 3a y un ADC independiente 4a, respectivamente, para cada alimentación de antena 2a para un preprocedimiento y digitalizar el flujo de datos recibido por la alimentación de antena 2a. Además, como se describirá con más detalle a continuación, la disposición de procesamiento de sincronización 5 comprende una cadena de procesamiento de sincronización independiente entre cada ADC 4a y el procesador digital común 6. En consecuencia, se proporciona una cadena de procesamiento independiente entre cada alimentación de antena 2 y el procesador digital común 6 para cada flujo de datos recibido por las alimentaciones de antena 2.

La única FGU 7 se comparte entre las cadenas de procesamiento y el procesador digital común y transmite una señal de reloj a cada una de las cadenas de procesamiento y el procesador digital común. Cada cadena de procesamiento independiente deriva su propia señal de reloj de la señal de reloj recibida de la FGU 7. Las incertidumbres entre los flancos de las diferentes señales de reloj pueden exceder el período de reloj, lo que resulta en errores cuando los diferentes flujos se combinan en el procesador digital común 6.

Con más detalle, cada ADC 4a recibe una señal de reloj de alta frecuencia f_s de la FGU 7 y muestrea los flujos de datos en función de la señal de reloj recibida. El ADC 4a también genera una señal de reloj de datos f_d para la cadena de procesamiento. Cuando el procesador digital común 6 requiere frecuencias de muestreo suficientemente altas, no todos los componentes de la cadena de procesamiento pueden funcionar a una señal de reloj que tenga la misma frecuencia que la señal de muestreo. Por ejemplo, la tecnología CMOS a menudo se usa para implementar el procesador digital e incluso si la lógica CMOS es lo suficientemente rápida como para capturar los datos a una frecuencia completa, generalmente no es lo suficientemente rápida como para llevar a cabo una frecuencia de procesamiento significativa en la señal de reloj de alta frecuencia. Por lo tanto, los componentes aguas abajo del ADC 4a pueden operar a una frecuencia menor que las frecuencias de muestreo requeridas, pero procesan las muestras como una serie de subflujos paralelos. Al seleccionar un número adecuado de subflujos paralelos, se pueden utilizar tecnologías dispares para la conversión y el procesamiento. Por lo tanto, también se requiere un divisor de frecuencia en cada cadena de procesamiento para proporcionar una señal de reloj de datos a la frecuencia más baja. Las principales fuentes de incertidumbre en la sincronización entre las cadenas de procesamiento son la distribución del reloj y la ambigüedad de la fase de inicio del divisor de frecuencia, tanto en los ADC como en las cadenas de procesamiento posteriores.

Cabe señalar que no todos los errores de sincronización entre los flujos de datos surgen como resultado de las incertidumbres entre las señales de reloj de datos en las diferentes cadenas de procesamiento. Dos muestras «correspondientes» de datos capturados por dos ADC diferentes pueden representar datos obtenidos en instancias ligeramente diferentes de las respectivas señales analógicas continuas. Por ejemplo, los flancos de la señal de reloj de muestreo f_s de la FGU pueden llegar a tiempos ligeramente diferentes en los ADC, los convertidores pueden tener diferentes tiempos de reacción y las señales analógicas pueden tardar diferentes tiempos en llegar al ADC, lo que genera cierta incertidumbre entre las muestras correspondientes. Estas incertidumbres suelen dar lugar a errores de sincronización que son inferiores a un ciclo de la señal de muestreo, es decir, una fracción de un período de muestra.

La disposición de procesamiento de sincronización corrige cualquier incertidumbre que surja de las diferentes señales de reloj generadas por los ADC y los divisores de frecuencia y que se utilizan en las cadenas de procesamiento para procesar los flujos de datos. La incertidumbre «fraccional» no puede corregirse mediante la disposición de procesamiento de sincronización 5, pero es lo suficientemente pequeña como para corregirse en el procesador digital 6.

La incertidumbre fraccional se describirá a continuación como la «incertidumbre de muestreo».

La disposición de procesamiento de sincronización 5 de la carga útil 1 se muestra con más detalle en la figura 2. La disposición de procesamiento de sincronización 5 comprende una cadena de procesamiento 8a, 8b para cada alimentación de antena 2a, 2b. La figura 2 solo muestra dos cadenas de procesamiento 8a, 8b, pero la unidad de sincronización se puede escalar para tener cualquier número de cadenas de procesamiento para sincronizar los flujos de datos desde cualquier número de alimentaciones. Cada cadena de procesamiento 8a comprende un divisor de frecuencia 9a, un conmutador 10a, un generador de pulso de alineación (APG) 11a, un selector de datos 12a y una disposición de registro de primero en entrar, primero en salir (FIFO) 13a. Cada generador de pulso de alineación genera estos pulsos para su respectiva cadena de procesamiento. La disposición de procesamiento de sincronización 5 también comprende un generador de pulso de alineación adicional 14 común en las cadenas de procesamiento 8a, 8b. El generador de pulso de alineación adicional 14 proporciona pulsos de alineación de referencia para sincronizar las diferentes cadenas de procesamiento y el generador de pulso de alineación adicional 14 se denominará en lo sucesivo generador de pulso de alineación de referencia (RAPG). La FGU 7 puede proporcionar un generador de pulso de sincronización y transmite los pulsos de sincronización a cada uno de los generadores de pulso de alineación 11a, 11b, 14.

La FGU 7, la disposición ADC 4 y los componentes de la disposición de procesamiento de sincronización 5 se describirán ahora con más detalle con respecto a una cadena de procesamiento específica 8a. Sin embargo, debe tenerse en cuenta que la pluralidad de cadenas de procesamiento puede ser idénticas y la descripción de una cadena de procesamiento se aplica a cualquier cadena de procesamiento. La FGU 7 genera una señal de reloj f_s y la distribuye a través de memorias intermedias a cada ADC 4a y al procesador digital común 6. Los ADC 4a muestrean los datos recibidos de la frecuencia de muestreo f_s y cada ADC transmite M-formas de muestras a su respectiva cadena de procesamiento 8a de la disposición de procesamiento de sincronización 5. Debe tenerse en cuenta que el valor de M depende de la implementación del ADC y, en alguna realización, para ADC relativamente lentos, M puede ser igual a 1. Cada ADC 4a también produce sus propios datos señal de reloj, f_d , basada en la señal de reloj recibida de la FGU 7. En una realización, la frecuencia de las señales de reloj f_d y f_s puede ser de 100 MHz. Sin embargo, debe tenerse en cuenta que se puede usar cualquier frecuencia de reloj de muestreo y frecuencias de reloj de datos adecuadas. La frecuencia de la señal del reloj de datos f_d puede ser una fracción de f_s .

Cada ADC 4a transmite la señal de reloj de datos f_d que ha generado al divisor de frecuencia 9a de las respectivas cadenas de procesamiento 8a. Cada divisor de frecuencia 9a recibe la señal de reloj de datos f_d a partir de su ADC 4a y divide la señal de reloj en una nueva señal de reloj de datos f_s/N , donde N es igual al número de subflujos paralelos 15. Como se mencionó anteriormente, N se selecciona de modo que la nueva señal de reloj de datos proporcione una frecuencia de reloj f_s/N en el cual todos los componentes de la cadena de procesamiento 8a pueden operar. Se proporciona un conmutador 10a para dividir los datos recibidos del ADC 4a en los N subflujos. En otras palabras, el conmutador es de vía M-a-N. El conmutador 10a es esclavo de la señal de reloj f_s/N . Como ejemplo, un valor típico de M es 2 y un valor típico de N es 4. En consecuencia, en el ejemplo donde la frecuencia de muestreo es 100 MHz, los componentes de las cadenas de procesamiento de sincronización 8a procesarían los datos digitalizados en 4 subflujos a una frecuencia de 25 MHz. Sin embargo, debe tenerse en cuenta que M y N pueden ser cualquier valor adecuado. Las señales de reloj de todas las cadenas de procesamiento tienen la misma frecuencia de reloj f_s/N . Sin embargo, los flancos pueden no coincidir debido a las incertidumbres entre la distribución del reloj y la ambigüedad de la fase de arranque de los divisores de frecuencia 9a, 9b.

Las muestras se entregan desde el conmutador 10a al procesador digital común 6 a través de un selector de datos 12a y un FIFO 13a. Si los flujos de datos no están sincronizados, estos pueden ser varias muestras fuera de sincronización cuando son entregados al procesador digital común 6. La disposición de sincronización se proporciona para garantizar que las muestras de datos correspondientes en los flujos de datos se proporcionen al procesador digital común 6 en sincronización. Para este fin, el generador de pulso de alineación 11a en cada cadena de procesamiento proporciona pulsos de alineación al FIFO 13a de esa cadena de procesamiento que se usa para delinear tramas en la secuencia de muestras de la cadena de procesamiento en función del tiempo de llegada de las muestras a la FIFO y el tiempo de llegada de los pulsos al FIFO. En una realización, la llegada de un pulso de alineación determina el comienzo de una nueva trama. El generador de pulso de alineación de referencia 14 también proporciona pulsos de alineación de referencia, comunes a todas las cadenas de procesamiento, a los FIFO. Los pulsos de alineación de referencia también pueden transmitirse al procesador digital común 6. En algunas realizaciones, los datos se envían desde el FIFO de cada cadena de procesamiento al procesador digital común 6 de modo que los pulsos de alineación de las cadenas de procesamiento coincidan con los pulsos de alineación de referencia del generador de pulso de alineación de referencia 14.

Además, aparte de proporcionar los pulsos de alineación, cada cadena de procesamiento también reorganiza los datos para asegurarse de que los datos en una trama corresponden a los datos en una trama correspondiente en otra cadena de procesamiento. La reorganización de los datos se logra ajustando el tiempo del pulso de alineación, como se describirá con más detalle a continuación. La reorganización de los datos también se logra introduciendo un retraso en la secuencia de muestras en el selector de datos 12a con respecto a la temporización de los pulsos de alineación,

como también se describirá con más detalle a continuación. Ajustando el tiempo de los pulsos de alineación de cada cadena de procesamiento 8a, 8b y el tiempo de los datos para determinar las posiciones adecuadas de los pulsos de alineación en la secuencia de datos en una cadena con respecto a las posiciones de los pulsos de alineación en las secuencias de datos de las otras cadenas y luego sincronizando la salida de los pulsos de alineación de las cadenas de procesamiento, los datos pueden proporcionarse al procesador digital común 6 de manera coherente. De acuerdo con algunas realizaciones de la invención, el generador de pulsos de alineación 11a y el selector de datos 12a pueden ajustar su funcionamiento basándose en señales de control del procesador digital común 6 para garantizar que los flujos de datos estén sincronizados.

- 10 La generación de los pulsos de alineación se describirá ahora con respecto a las figuras 3, 4, 5a, 5b y 5c. Con respecto a la figura 3, un generador de pulsos de alineación 11a, 11b y 14 comprende una unidad receptora de pulsos de sincronización 16, una unidad generadora de pulsos 17 y una unidad de control 18. Con respecto a las figuras 3 y 4, el generador de pulsos de alineación 11a, 11b, 14 recibe una señal de reloj 19 y distribuye la señal de reloj a todos los elementos donde se requiere. En los generadores de pulso de alineación 11a, 11b provistos en las cadenas de procesamiento, los datos de la señal de reloj se reciben desde los divisores de frecuencia 9a, 9b y es la misma señal de reloj de datos, con una frecuencia de f_s/N , a los cuales los conmutadores 10a, 10b son esclavos. En el generador de pulsos de alineación de referencia 14, la señal de reloj se basa en la señal de reloj proporcionada desde la FGU 7 al procesador digital común 6. El procesador digital puede funcionar utilizando una señal de reloj f_s/N y la señal de reloj proporcionada al generador de pulsos de alineación de referencia 14 también puede tener una frecuencia de f_s/N .
- 15 Se puede proporcionar un divisor (no mostrado) en la FGU 7, el procesador digital 6, y/o entre la FGU y el procesador digital para dividir la señal de reloj original f_s generada por la FGU 7. En algunas realizaciones, el generador de pulsos de alineación de referencia recibe su señal de reloj directamente desde la FGU 7. En otras realizaciones, el generador de pulsos de alineación de referencia 14 recibe su señal de reloj del procesador digital común 6. Además, en algunas realizaciones, un divisor de reloj para dividir la señal de reloj original f_s está ubicado en parte en la FGU 7 y en parte en el procesador digital 6. Debe tenerse en cuenta que, aunque " f_s/N " se usa en lo sucesivo para denotar la frecuencia de la señal de reloj en el procesador digital común y las frecuencias de las señales de reloj de las cadenas de procesamiento, las señales de reloj en el procesador digital común y cada una de las cadenas de procesamiento son señales de reloj diferentes.
- 20 La unidad receptora del pulso de sincronización 16 recibe los pulsos de sincronización 20 transmitidos desde la FGU 7. La FGU 7 genera una señal de pulso de sincronización y distribuye esta señal a través de memorias intermedias a cada uno de los generadores de pulso de alineación. La unidad receptora de pulsos de sincronización 16 detecta estos pulsos 20 de la señal de sincronización de la FGU 7 en un momento determinado por los flancos de la señal de reloj recibida 19, como se describirá con más detalle con respecto a la figura 4. El generador de pulsos 17 está configurado para generar los pulsos de alineación 21 a intervalos regulares basados en la sincronización de los pulsos de sincronización 20 y la señal de reloj 19, bajo el control de la unidad de control 18.

La figura 4 muestra la relación entre la señal de reloj 19, los pulsos de sincronización, los pulsos de sincronización muestreados por la unidad receptora de pulso de sincronización 16 y los pulsos de alineación. La señal de reloj 19 tiene una frecuencia de f_s/N y puede ser una señal de reloj de una de las cadenas de procesamiento o la señal de reloj del procesador común 6. Todas las señales de reloj tienen una frecuencia f_s/N pero los flancos pueden no coincidir. La frecuencia de repetición de la señal de reloj 19 es un múltiplo de la frecuencia del pulso de sincronización y la frecuencia del pulso de alineación. Como se muestra en la figura 4, existe incertidumbre sobre cuándo exactamente pueden producirse los flancos del pulso de sincronización con respecto a la señal de reloj f_s/N 19. La figura 4 muestra la incertidumbre para extenderse durante dos períodos de reloj, pero la incertidumbre podría ser mayor o menor. El pulso de sincronización muestreado muestra los posibles flancos de las señales muestreadas generadas en la unidad receptora de pulso de sincronización 16 del generador de pulso de alineación 11a, 11b, 14. Dependiendo del tiempo de la señal de reloj recibida y los flancos del pulso de sincronización, los flancos del pulso de sincronización muestreado, pueden producirse en cualquier lugar en pequeños intervalos que siguen a los flancos del pulso de sincronización recibido. El pulso de sincronización, de acuerdo con algunas realizaciones de la invención, es lo suficientemente amplio como para que después de permitir la diferencia entre el tiempo de los flancos de la señal de reloj y el tiempo de los flancos de los pulsos de sincronización, proporcione una ventana 22 dentro de la cual se puede situar un pulso de alineación de manera segura para permitir una secuencia de pulsos de alineación espaciados a intervalos regulares. Esta ventana 22 se denominará en lo sucesivo «ventana de pulso de alineación segura». Después de un período de ajuste inicial, el generador de pulso de alineación 11a, 11b, 14 encuentra la ventana de pulso de alineación segura y proporciona el pulso de alineación al mismo tiempo con respecto a la ventana de pulso de alineación segura en cada de estas ventanas 22. El pulso de alineación 21 puede tener el ancho de un solo ciclo de la señal de reloj 19. Sin embargo, también se contempla un ancho diferente. Cada generador de pulso de alineación puede generar su propia ventana de pulso de alineación segura y situar sus pulsos de alineación dentro de ella. Las ventanas seguras de pulso de alineación de los diferentes generadores de pulso de alineación se superponen en la mayoría de los casos, pero sus extremos no necesariamente coincidirán.

Cabe señalar que, en algunas realizaciones, la frecuencia del pulso de alineación puede ser un múltiplo de la frecuencia del pulso de sincronización. Por ejemplo, el generador de pulsos 17 puede generar pulsos de alineación 21 de modo que cada uno o cada tres pulsos de alineación se situen en una ventana de pulso de alineación segura del pulso de sincronización 20.

5

Para garantizar que los datos de una trama en una cadena de procesamiento corresponden a los datos de la trama correspondiente en otra cadena de procesamiento, el procesador digital común 6 puede instruir a la unidad de control 18 de los generadores de pulso de alineación 11a, 11b en las cadenas de procesamiento para avanzar o retrasar la posición del pulso de alineación 21 en uno o más ciclos de la señal de reloj 19. La ventana de pulso de alineación segura está diseñada para ser lo suficientemente amplia como para permitir que la unidad de control 18 avance o retarde el pulso de alineación en un pequeño número de ciclos y aun así asegurar que el pulso de alineación se coloque dentro de la ventana de pulso de alineación segura 22. En algunas realizaciones, si las instrucciones del procesador digital común 6 dan como resultado que el pulso de alineación se coloque fuera de la ventana de pulso de alineación segura 22, el generador de pulso de alineación traerá automáticamente el pulso de alineación 21 dentro de la ventana de pulso de alineación segura. Al controlar dónde los múltiples generadores de pulso de alineación 11a, 11b que pertenecen a las diferentes cadenas de procesamiento 8a, 8b generan sus pulsos de alineación entre sí, los flujos de datos de múltiples alimentaciones pueden alinearse en las etapas de N muestras, es decir, el número de muestras que se procesan en cada ciclo de la señal del reloj f_s/N . Esto se ilustra adicionalmente en las figuras 5a, 5b y 5c, como se explicará a continuación.

20

Con referencia a las figuras 5a, 5b y 5c, los datos en cada cadena de procesamiento 8a, 8b se procesan en N subflujos 15a, 15b. En consecuencia, en cada ciclo de la señal del reloj de datos f_s/N 19, un conjunto 23a, 23b de N muestras de datos 24a, 24b son emitidas por el conmutador respectivo 10a, 10b. En las figuras 5a, 5b y 5c, N es 4 y cada conjunto comprende 4 muestras de datos 24a, 24b. Las figuras 5a y 5b y 5c también muestran los pulsos de alineación 21a, 21b de las cadenas de procesamiento respectivas. Los pulsos de alineación indican el comienzo de tramas de la secuencia de muestras de datos. El tiempo se indica horizontalmente de izquierda a derecha en las figuras 5a, 5b y 5c. La figura 5a muestra el flujo de datos en una primera cadena de procesamiento 8a con un primer número de conjuntos 23a de muestras de datos 24a. La figura 5b muestra los flujos de datos en una segunda cadena de procesamiento 8b con los conjuntos correspondientes 23b de muestras de datos 24b. Como se mencionó anteriormente, debe observarse que dos muestras de datos correspondientes 23a, 23b pueden no representar muestras generadas exactamente al mismo tiempo o instancias exactamente correspondientes de las señales analógicas. Sin embargo, esta incertidumbre de muestreo puede corregirse en el procesador digital común 6. De aquí en adelante, «muestra de datos correspondiente», «conjuntos de muestras correspondientes» y «tramas de datos correspondientes» significan muestras de datos, conjuntos y tramas que solo están fuera de sincronización por una fracción de un período de muestreo como resultado de la incertidumbre de muestreo.

35

Como se indica esquemáticamente en las figuras 5a y 5b, los flancos de las señales de reloj en las diferentes cadenas de procesamiento pueden no coincidir. Además, los pulsos de alineación de las diferentes cadenas de procesamiento pueden no coincidir tampoco. También, el pulso de alineación 21a de una cadena de procesamiento se coloca en un lugar diferente con respecto al conjunto marcado de muestras 23a en comparación con la posición del pulso de alineación 21b de la otra cadena de procesamiento con respecto al conjunto marcado correspondiente de muestras 23b. El conjunto marcado de muestras 23a de la primera cadena de procesamiento 8a llegaría al FIFO 13a de la primera cadena de procesamiento tres ciclos después del pulso de alineación 21a en la primera cadena de procesamiento 7a pero el conjunto marcado correspondiente de muestras 23b de la segunda cadena de procesamiento 8b llegaría al FIFO 13b de la segunda cadena de procesamiento 8b un ciclo después del pulso de alineación 21b en la segunda cadena de procesamiento 8b. En consecuencia, si los flujos de datos comunes se entregarían al procesador digital común 6 sin ajuste, los datos serían aproximadamente ocho muestras, equivalentes a 2 ciclos de 4 muestras, sin sincronización más una fracción de una muestra correspondiente a la incertidumbre de muestreo.

50

La figura 5c muestra un pulso de alineación ajustado 21a' para la primera cadena de procesamiento 8a. Según las instrucciones del procesador digital común 6 a través de la unidad de control 18, la unidad generadora de pulso 17 del generador de pulso de alineación 11a de la primera cadena de procesamiento 8a ha retrasado la generación del pulso de alineación 21a' dos ciclos. En consecuencia, el conjunto marcado de muestras 23a en la figura 5c llegaría ahora al FIFO 13a un ciclo después del pulso de alineación 21a' de la primera cadena de procesamiento 8a. En consecuencia, las muestras correspondientes en las dos cadenas 8a, 8b llegarían a sus respectivos FIFO 13a, 13b al mismo tiempo con respecto a los pulsos de alineación en las dos cadenas de procesamiento y los datos en la trama que comienzan con el pulso de alineación 21a' en la primera cadena de procesamiento corresponde a los datos en la trama que comienza con el pulso de alineación 21b de la segunda cadena de procesamiento. Sin embargo, debe tenerse en cuenta que, como se muestra en la figura 5b y 5c, sin ajustes aguas abajo en las cadenas de procesamiento, los conjuntos de datos correspondientes llegarían a diferentes tiempos absolutos en el procesador digital común 6.

60

- Las muestras y los pulsos de alineación se escriben en los FIFO 13a, 13b cuando llegan a los FIFO 13a, 13b. Si los pulsos de alineación 21a, 21b de los flujos de datos mostrados en las figuras 5a y 5c se entregan al procesador digital común 6 al mismo tiempo, los dos conjuntos marcados de muestras llegarán al procesador digital común 6 simultáneamente. El procesador digital común 6 solo tiene que ajustarse para la incertidumbre de muestreo restante entre los datos. En algunas realizaciones, los pulsos de alineación 21a, 21b se emiten desde el FIFO de forma síncrona con la recepción en el FIFO de los pulsos de alineación del generador de pulsos de alineación de referencia 14 asociado con el procesador digital común, como se describirá con más detalle a continuación con respecto a figuras 8 y 9.
- 10 El generador de pulsos de alineación de referencia 14, asociado con el procesador común digital 6, puede tener la misma estructura que los generadores de pulsos de alineación 11a, 11b que pertenecen a las cadenas de procesamiento respectivas. Sin embargo, en algunas realizaciones, el generador de pulso de alineación de referencia 14 puede no recibir una señal de control y el generador de pulso de alineación de referencia puede no estar configurado para avanzar o retrasar los pulsos de alineación ya que el generador de pulso de alineación de referencia 14 proporciona estos pulsos, a los cuales otros pulsos de alineación están alineados, y la sincronización de los pulsos de alineación de referencia puede no requerir ajuste.

El funcionamiento del selector de datos 12a, 12b se describirá ahora con respecto a las figuras 6, 7a, 7b, 7c y 7d. Las figuras 7a, 7b, 7c y 7d también ilustran el efecto de sincronización combinada de los ajustes proporcionados por los generadores de pulso de alineación 11a, 11b y 14 y los selectores de datos 12a, 12b.

Con respecto a la figura 6, un selector de datos 12a, 12b comprende un registro de datos 25 y un multiplexor 26. Una señal de reloj f_s/N (no se muestra en la figura 6) se recibe desde el divisor de frecuencia 9a, 9b de la cadena de procesamiento en la que se encuentra el selector de datos y se usa donde se requiere. La secuencia de muestras 24 se recibe del conmutador relevante 10a, 10b y se escribe en el registro de datos 25 para su almacenamiento. Como se muestra en la figura 6, las muestras que representan las últimas N-1 muestras se canalizan. El multiplexor se configura luego mediante un comando del procesador digital 6 para seleccionar las muestras que van a formar su conjunto de salida. Se puede considerar que el selector de datos 12a, 12b puede proporcionar una operación de rotación sobre los datos y se describirá a continuación como un rotador. La rotación es equivalente a un retraso y tiene una resolución de 1 muestra y un intervalo de 0 a N-1 muestras. En la figura 6, la muestra 1 es la muestra más antigua y la muestra 2N-1 es la muestra más nueva.

Ahora se describirá cómo se pueden alinear los datos en las etapas de 1 muestra con respecto a las figuras 7a, 7b, 7c y 7d. La figura 7a muestra el flujo de datos en una primera cadena de procesamiento 8a. El flujo de datos comprende una pluralidad de conjuntos 23a(i), 23(ii) de muestras de datos 24a, cada uno asociado con un ciclo de la señal de reloj f_s/N de la primera cadena de procesamiento. La figura 7b muestra el flujo de datos en una segunda cadena de procesamiento 8b. El flujo de datos de la segunda cadena de procesamiento 8b también comprende una pluralidad de conjuntos 23b de muestras de datos 24b, cada uno asociado con un ciclo de la señal de reloj f_s/N de la segunda cadena de procesamiento. El tiempo se indica horizontalmente de izquierda a derecha. Como se indica esquemáticamente en las figuras 7a y 7b, los flancos de las señales de reloj en las diferentes cadenas de procesamiento pueden no coincidir. Las figuras 7a, 7b, 7c y 7d también muestran la temporización de los pulsos de alineación de las cadenas de procesamiento con respecto a los datos. Los pulsos de alineación delimitan los datos en tramas.

Debido a la incertidumbre de temporización entre las cadenas de procesamiento, las muestras asociadas con un ciclo de reloj en una cadena pueden no corresponder a las muestras asociadas con un ciclo de reloj correspondiente en la otra cadena de procesamiento. En cambio, como se indica con respecto a las figuras 7a y 7b, las muestras de datos marcadas de la primera cadena de procesamiento 8a corresponden a las muestras de datos marcadas en la segunda cadena de procesamiento 8b. En la primera cadena de procesamiento 8a, las muestras marcadas se dividen en dos conjuntos 23a(i) y 23a(ii), correspondientes a dos ciclos de la señal de reloj. La primera muestra marcada 24a se incluye en un primer conjunto 23a(i) y las últimas tres muestras se incluyen en un segundo conjunto 23a(ii). En la segunda cadena de procesamiento, las muestras marcadas están en un solo conjunto correspondiente a un solo ciclo de la señal de reloj. El conjunto de muestras 23b que comprende todas las muestras marcadas de la segunda cadena de procesamiento 8b llega a la FIFO 13a un ciclo después del pulso de alineación 21b de la segunda cadena de procesamiento. Los conjuntos primero y segundo 23a(i), 23a(ii) que comprenden las muestras marcadas de la primera cadena de procesamiento llegan al FIFO de la primera cadena de procesamiento un ciclo antes y al mismo tiempo, respectivamente, como el pulso de alineación 21a de la primera cadena de procesamiento 8a. Si los flujos de datos no se ajustaran, la primera muestra 24a de las muestras marcadas en la primera cadena de procesamiento 8a llegaría 5 muestras antes que la muestra correspondiente 24b en la segunda cadena de procesamiento 8b. En consecuencia, los datos de las dos cadenas de procesamiento serían 5 muestras fuera de sincronización cuando lleguen al procesador digital 6 más posiblemente una fracción de una muestra como resultado de cualquier incertidumbre de muestreo.

Como se muestra con respecto a la figura 7c, para garantizar que los flujos de datos se procesen de manera coherente, el generador de pulso de alineación 11a podría primero ajustar el tiempo del pulso de alineación 21a de la primera cadena de procesamiento 8a para avanzarlo en uno ciclo basado en instrucciones que se reciben del procesador digital común 6. El conjunto de muestras 23a(i) que incluye la primera muestra marcada 24a llegaría en el mismo ciclo que el pulso de alineación y el conjunto de muestras 23a(ii) que incluye las últimas tres muestras marcadas llegarían un ciclo después del pulso de alineación ajustado 21a'. En consecuencia, el conjunto de muestras 23a(ii) que incluye las últimas tres muestras marcadas ahora está dispuesto en la misma posición con respecto al pulso de alineación en el primer procesamiento 8a como el conjunto de muestras marcadas 23b de la segunda cadena de procesamiento respecto al pulso de alineación en la segunda cadena de procesamiento 8b. Con respecto a la figura 7d, el rotador 12a a continuación asegura que todas las muestras marcadas de la primera cadena de procesamiento se muevan al mismo ciclo introduciendo un retraso. Cuando el primer conjunto 23a(i) llega al rotador 12a, transmiten las últimas muestras N-1, que en este caso corresponden a las tres últimas muestras. Cuando el siguiente conjunto, correspondiente al segundo conjunto de muestras 23a(ii), llega al siguiente ciclo, este envía la primera muestra marcada, que era una de las tres muestras canalizadas, al multiplexor 26 junto con las tres primeras muestras del segundo conjunto 23a(ii). El rotador 12a a continuación vacía el registro de datos 25 y almacena las últimas muestras N-1 del segundo conjunto 23a(ii). En consecuencia, después de la rotación, las cuatro muestras marcadas en la primera cadena de procesamiento 8a son todas incluidas en un solo ciclo que llega al FIFO 13a, un ciclo después del pulso de alineación 21a' de la primera cadena de procesamiento.

Los FIFO 13a, 13b almacenan los pulsos de alineación 21a', 21b y los datos en ambos flujos de datos y estos emiten el pulso de alineación de modo que estén alineados con un pulso de alineación de referencia generado por el generador de pulso de alineación de referencia 14. Dado que los conjuntos de datos se emiten con respecto al procesador digital común en los momentos correspondientes a los tiempos en que llegaron al FIFO con respecto al pulso de alineación, los datos de las tramas correspondientes en las dos cadenas de procesamiento 8a, 8b se emiten al procesador digital común 6 al mismo tiempo.

El FIFO 13a, 13b y la extracción de las muestras de datos se describirán ahora con más detalle con respecto a las figuras 8 y 9. El FIFO comprende un dominio de reloj de escritura 27 y un dominio de reloj de lectura 28. El reloj del dominio de reloj lateral de escritura 27 se obtiene a través del ADC 4a, 4b y el divisor de frecuencia 9a, 9b de la misma cadena, pero no el reloj del dominio de reloj lateral de lectura 28. El reloj en el dominio de reloj lateral de lectura se origina en la FGU 7 y es la misma señal de reloj que utiliza el procesador digital 6. La señal de reloj en el dominio de reloj de lectura puede llegar a los FIFO a través del procesador digital. La señal de reloj en el dominio de reloj de escritura y el dominio de reloj de escritura tienen la misma frecuencia f_s/N pero los flancos del reloj pueden no coincidir. Por lo tanto, existe una relativa incertidumbre de temporización que existe entre ellos. Se proporciona una señal de reloj a todos los componentes de los FIFO 13a, 13b que requieren el uso de una señal de reloj. La señal del reloj es una señal del reloj de escritura o una señal del reloj de lectura, dependiendo de la ubicación del componente.

El dominio de reloj de escritura 27 comprende un registro de entrada de datos 29, un conjunto de registros de almacenamiento de datos 30 y un contador de escritura 31. El dominio de reloj de lectura 28 comprende un multiplexor 32, un contador de lectura 33, un registro de salida de datos 34 y un comparador 35.

El registro de entrada de datos 29 recibe y captura la secuencia de muestras en los N subflujos desde el rotador relevante 12a, 12b y escribe las muestras de datos en los registros de almacenamiento de datos 30. También recibe y captura los pulsos de alineación del generador de pulsos de alineación 11a, 11b en la misma cadena de procesamiento. Los pulsos de alineación pueden almacenarse junto a las muestras de datos. Un pulso puede almacenarse como un solo bit. Por ejemplo, un pulso de alineación puede representarse como un 1 seguido de varios ceros. Basado en el tiempo de los pulsos de alineación y el tiempo de las muestras de datos en la secuencia de muestras de datos, los pulsos de alineación proporcionan datos delineadores de tramas que dividen las muestras de datos en tramas, como se describirá con más detalle con respecto a la figura 9.

El conjunto de registros de almacenamiento de datos 30 forma el área de almacenamiento principal del FIFO 13a. En la figura 8, el conjunto de registros de almacenamiento de datos comprende cuatro registros, etiquetados de 0 a 3. Los datos se escribirán en las FIFO N muestras a la vez y cada registro necesitaría tener un ancho de N muestras más el volumen requerido para representar el pulso de alineación. En algunas realizaciones, el volumen requerido para representar el pulso de alineación puede ser de un solo bit. Al tener un tamaño de 4, como se muestra en la figura 8, el FIFO 13a es capaz de introducir un retraso de 4 períodos de reloj. Debe tenerse en cuenta que el tamaño es arbitrario y se seleccionaría en función de la incertidumbre esperada en el sistema.

El contador de escritura 31 es un contador de ejecución libre. Este se incrementa una vez cada ciclo de reloj de la señal del reloj de escritura recibida desde el divisor de frecuencia 9a, 9b y, en una realización con 4 registros de almacenamiento de datos, contará en la secuencia 0, 1, 2, 3, 0, etc. En cada ciclo de reloj, uno de los registros de

almacenamiento de datos 30 se habilitará, el registro elegido se reflejará por el valor del contador de escritura y capturará los datos del registro de entrada de datos 29.

El contador de lectura 33 también proporciona un contador de ejecución libre. Este también se incrementa una vez
5 cada ciclo de reloj de la señal del reloj de lectura y, en la realización que se incluye 4 registros de almacenamiento de datos, contará en la secuencia 0, 1, 2, 3, 0, etc. El valor del contador de lectura determina qué registro de almacenamiento de datos 30 se lee y se entrega al procesador digital 6.

El contenido del registro de almacenamiento de datos 30 se pasa al dominio de reloj de lectura 28 y se presenta a un
10 multiplexor 32. El multiplexor recibe todos los conjuntos de N muestras y los bits de pulso de alineación del registro, multiplexa los datos recibidos como lo indica el contador de lectura 33 y los pasa al registro de salida de datos 34, que a su vez entrega los datos al procesador digital común 6. Debe notarse que los datos se entregan al procesador común digital en sincronización con la señal de reloj en el dominio de reloj de lectura 28 y no con la señal de reloj del dominio de reloj de escritura 27. Además, dado que los dominios del reloj de lectura 28 de todos los FIFO 13a, 13b usan la
15 misma señal de reloj, que además también son las señales de reloj utilizadas por el procesador digital común 6, los ciclos de datos se proporcionan sincrónicamente al procesador digital común 6.

El comparador 35 recibe los pulsos de alineación generados por el generador de pulsos de alineación de referencia
14. El pulso de alineación puede retrasarse por varios ciclos de reloj como se describirá con más detalle a continuación.
20 El comparador 35 también recibe los pulsos de alineación del registro de salida de datos 34 y genera señales de avance o retardo al contador de lectura 33 dependiendo de las posiciones relativas de los pulsos en el tiempo.

Si el pulso de alineación de registros de salida de datos 34 llega al comparador antes que del generador de pulso de
alineación de referencia 14, entonces la señal de retardo se confirma para un solo ciclo de reloj. Si el pulso de
25 alineación del registro de salida de datos se produce después del generador de pulso de alineación de referencia 14, entonces la señal de avance se confirma para un solo ciclo de reloj. Si los pulsos de alineación del registro de salida de datos 34 y los del generador de pulsos de alineación de referencia 14 coinciden, entonces las señales de avance y retardo permanecen desactivadas.

30 Las comparaciones continuarán cada vez que se reciba un pulso de alineación y el efecto sobre el estado del contador de lectura 33 de las afirmaciones de señal de avance y retardo es alterar el conteo de modo que los pulsos de alineación del registro de salida de datos se muevan hacia la coincidencia con el pulso de alineación de referencia del generador de pulsos de alineación de referencia 14.

35 La corrupción de datos puede producirse cuando un registro del conjunto de registros de almacenamiento de datos 30 se está leyendo en un momento cercano al de su actualización. Para evitar esta situación, los pulsos de alineación de referencia del generador de pulso de alineación de referencia 14 se retrasan varios ciclos de reloj, de la señal de reloj con una frecuencia de f_s/N , en una unidad de retardo de pulso de alineación 36. La unidad de retraso de pulso de
40 alineación 36 puede proporcionarse como parte del RAPG 14, como parte del procesador digital o como una unidad independiente. El número de ciclos de reloj en los que se retrasa se establece en un valor que garantiza que la situación descrita anteriormente nunca pueda ocurrir. Se ha encontrado que, para obtener la máxima solidez a las incertidumbres de temporización, el retraso sería tal que los valores del contador de lectura y escritura estén separados por la mitad de la profundidad FIFO expresada en ciclos de reloj cuando los pulsos de alineación de los registros de
almacenamiento de datos y la unidad de retardo de pulso de alineación son coincidentes.

45 Debe tenerse en cuenta que el tamaño del FIFO solo necesita ser suficiente para permitir la compensación de las incertidumbres de temporización. Típicamente, el tamaño del FIFO es mucho menor que el requerido para almacenar una trama completa. Por ejemplo, en una realización típica, una trama comprendería 1920 muestras, pero el FIFO solo tendría un tamaño de 16, donde el tamaño es el número de ciclos de reloj que el FIFO puede almacenar. El
50 intervalo del ajuste total se puede establecer en tiempo de diseño a través del tamaño de los FIFO. Con un N comúnmente igual a 4, una trama comprendería 480 ciclos de datos.

Al sincronizar con los pulsos de alineación de referencia del generador de pulsos de alineación de referencia 14, los
FIFO introducen efectivamente un retraso en el procesamiento de los flujos de datos. Dado que los pulsos de
55 alineación de las diferentes cadenas de procesamiento se producen en diferentes momentos, diferentes FIFO introducirán diferentes retrasos para sincronizar los flujos de datos

Con referencia a la figura 9, los pulsos de alineación 21a(i)- 21a(iv) de una primera cadena de procesamiento, la salida
en el registro de salida de datos 34, y los pulsos de alineación de referencia 21n(i)-21n(iv) del generador de pulsos de
60 alineación de referencia 14 se muestran. La figura 9 también muestra el flujo de datos de la primera cadena de procesamiento, también la salida en el registro de salida de datos 34, que se divide en las tramas 37(i), 37(ii), 37(iii), 37(iv). El generador de pulsos de alineación puede configurarse para generar, por ejemplo, tramas de 16 ciclos de

datos, como se indica en la figura 9. Cuando N es igual a 4, cada trama contendría 64 muestras. En consecuencia, junto con los datos, los registros 30 almacenarían un 1 seguido de 15 ceros. Como se muestra en la figura 9, los pulsos de alineación en la primera cadena de procesamiento, y la salida del registro de salida de datos 34, avanzan con respecto a los pulsos de alineación de referencia. Este hecho es reconocido por el comparador 35 que envía una señal de retardo al contador de lectura, lo que hace que el avance se reduzca en un ciclo, que es equivalente a N muestras. El procedimiento de retardo del contador de lectura se repite hasta que se elimina el avance. En la figura 9, los pulsos de alineación coinciden después de dos tramas como se muestra por el tiempo de los pulsos de la tercera alineación 21a(iii), 21n(iii). Retrasar el contador de lectura significa que las mismas N muestras de datos se leen dos veces desde el registro de datos 30 y luego son emitidos por el registro de salida de datos 34.

10

En una situación donde los pulsos de alineación en la primera emisión de la cadena de procesamiento del registro de salida de datos 34 se retrasen con respecto a los pulsos de alineación de referencia, el comparador concede señales de avance al contador de lectura de esta manera avanzando la salida de los pulsos de alineación desde registro de salida de datos 34 por 1 ciclo (o N muestras) más cerca de los pulsos de alineación de referencia. El procedimiento de avance del contador de lectura se repite hasta que los pulsos coincidan. El avance del contador de lectura hace que nunca se lea un conjunto de N muestras.

15

Si el generador de pulso de alineación 11a de la primera cadena de procesamiento 8a fue instruido por el procesador digital común 6 para avanzar el pulso de alineación por un ciclo de la señal de reloj f_s/N , como se describe con respecto a las figuras 7a a 7c, la llegada de los pulsos de alineación 21a en la FIFO avanzaría un ciclo. El comparador tendría que retrasar el contador de lectura 33 hasta que los pulsos coincidan nuevamente. Por el contrario, si el generador de pulsos de alineación 11a de la primera cadena de procesamiento 8a es instruido por el procesador digital común 6 para retrasar el pulso de alineación en uno o más ciclos, la llegada del pulso de alineación 21a en la FIFO sería retardado por uno o más ciclos y el comparador tendría que avanzar el contador de lectura 33 hasta que los pulsos coincidan nuevamente.

25

Además, si el rotador 12a gira los datos con respecto a los pulsos de alineación, en varias muestras como se describe en respecto a la figura 7d, se perderían porciones de una trama correspondiente a las muestras eliminadas. Además, las tramas que se escriben en el FIFO mientras el rotador es ajustado, estarán mal formadas. En algunos casos, los datos pueden escribirse en el FIFO más de una vez o en otros datos pueden omitirse. Sin embargo, en algunas realizaciones, se escribirá algo en el FIFO cada ciclo de reloj f_s/N en todos los casos.

30

Debe tenerse en cuenta que una trama puede incluir cualquier cantidad adecuada de muestras. El número de muestras en cada trama puede modificarse a través de la frecuencia de repetición de los pulsos de sincronización y los pulsos de alineación. Además, en algunas realizaciones, la frecuencia de la trama puede ser un múltiplo de la frecuencia de pulso de alineación y el FIFO puede procesar más de una trama por cada pulso de alineación recibido desde el generador de pulso de alineación en la cadena. Por ejemplo, el FIFO puede dividir las muestras entre cada pulso de alineación en dos o más tramas y los datos delineadores de tramas almacenados en los registros 30 pueden definir los límites de dos o más tramas. Se podría generar un número correspondiente de pulsos de delimitación de trama para cada pulso de alineación recibido del generador de pulso de alineación de referencia 14 para sincronizar la entrega de las tramas al procesador digital 6. Un pulso de alineación puede, por ejemplo, llegar cada 160 ciclos, pero FIFO puede procesar una nueva trama cada 20 ciclos.

35

40

Una vez que el flujo de datos en una cadena de procesamiento se sincroniza con los pulsos de alineación de referencia, se puede indicar al rotador 12a y al FIFO 13a que continúen operando con los retrasos apropiados determinados durante el proceso de sincronización y los pulsos de alineación para esa cadena de procesamiento puede apagarse. Además, si todos los flujos de datos están sincronizados, la FGU 7 puede dejar de transmitir pulsos de sincronización. Alternativamente, la generación de los pulsos de sincronización puede desactivarse, pero los generadores de pulso de alineación pueden continuar generando pulsos de alineación a intervalos que pueden ser ajustados por el procesador digital común. Sin pulsos de sincronización, no hay una ventana de alineación segura y se puede ordenar a los generadores de pulso de alineación que muevan los pulsos de alineación fuera del período de tiempo donde hubiera estado la ventana de alineación segura 22 antes de que se apagaran los pulsos de sincronización. Cuando sea necesario, la FGU 7 y/o los generadores de pulso de alineación 11a, 11b, 14 pueden comenzar a generar pulsos de nuevo, el rotador 12a, 12b puede recibir instrucciones para ajustar el conjunto de datos que se elige para la multiplexación y el FIFO 13a, 13b puede recibir instrucciones de ajustar el retraso antes de que se proporcione una trama particular al procesador digital común 6.

50

55

La invención permite que se entreguen coherentemente una pluralidad de flujos de datos de entrada no sincrónicos a un procesador digital. Como se mencionó anteriormente, cualquier incoherencia menor que una muestra de datos se puede ajustar en el procesador digital común. Por ejemplo, si dos flujos de datos no están sincronizados por 6,25 muestras de datos y el conmutador divide la secuencia de muestras de 4 formas, el generador de pulso de alineación puede mover el pulso de alineación 4 muestras correspondientes al número de muestras en un ciclo de la señal de

60

reloj f_s/N , el rotador puede mover la muestra del flujo de datos 2 con respecto al pulso de alineación y el procesador digital común puede ajustarse para el cuarto restante de una muestra mediante una ponderación compleja.

Si bien se han descrito ejemplos específicos de la invención, el alcance de la invención está definido por las reivindicaciones adjuntas y no se limita a los ejemplos. Por lo tanto, la invención podría implementarse de otras maneras, como apreciarían los expertos en la materia.

En algunas realizaciones, la coherencia de los flujos de datos puede analizarse en el procesador digital común 6. En otras realizaciones, la coherencia de los flujos de datos puede analizarse en otro procesador y con instrucciones para ajustar el tiempo del pulso de alineación y el retraso por el rotador 12a, 12b pueden proporcionarse al procesador digital común 6 para reenviarlo al generador de pulso de alineación 11a, 11b y al rotador 12a, 12b. Las instrucciones alternativamente pueden ser enviadas directamente al generador de pulsos de alineación 11a, 11b y al rotador 12a, 12b. Se contempla que, si el procesador digital 6 se proporciona en un satélite, la coherencia se puede analizar en una estación terrestre y se pueden proporcionar instrucciones por telemando al procesador digital 6 y/o el generador de pulsos de alineación 11a, 11b y el rotador 12a, 12b.

Debe tenerse en cuenta que el procesador digital común y la disposición de procesamiento de sincronización pueden intercambiar señales adicionales no descritas anteriormente. Por ejemplo, la disposición de procesamiento de sincronización puede reportar información al procesador digital común para fines de monitoreo.

Además, debe tenerse en cuenta que los componentes descritos con respecto a las figuras 1 a 3, 6 y 8 muestran solo un ejemplo y se contemplan muchas variaciones. Por ejemplo, algunos de los subcomponentes descritos se pueden combinar o implementar como un número de componentes independientes. Debe tenerse en cuenta que, aunque se ha descrito una sola FGU para proporcionar señales de reloj a todas las cadenas de procesamiento y al procesador digital común, se debe tener en cuenta que se puede usar más de una FGU. Además, cuando se ha descrito un número específico de cadenas, flujos de datos y subflujos, debe tenerse en cuenta que se puede utilizar cualquier cantidad de cadenas, flujos de datos y subflujos. Por ejemplo, aunque se ha descrito un ejemplo del número de subflujos N igual a 4, N puede ser cualquier valor adecuado. Además, aunque se ha descrito un número específico de registros con respecto a la disposición FIFO, se puede utilizar cualquier número de registros adecuados.

Además, debe tenerse en cuenta que en algunas realizaciones el generador de pulsos de alineación de referencia puede no ser necesario. En cambio, los pulsos de alineación generados por uno de los generadores de pulso de alineación 11a, 11b de las cadenas de procesamiento respectivas pueden usarse como pulsos de alineación de referencia y transmitirse a cada uno de los FIFO 13a, 13b.

Además, debe tenerse en cuenta que, aunque se ha descrito que las cadenas de procesamiento funcionan con las mismas frecuencias de señal de reloj, la invención también podría usarse con cadenas de procesamiento que tienen frecuencias de procesamiento diferentes.

Además, en algunas realizaciones, en lugar de proporcionar la misma señal de reloj a todos los ADC de la disposición ADC, se pueden proporcionar señales de reloj independientes de uno o más FGU a algunos o todos los ADC si es adecuado. Adicionalmente, en algunas realizaciones, en lugar de proporcionar la misma señal de pulso de alineación a todos los generadores de pulso de alineación, se contempla que se pueden proporcionar diferentes señales de pulso de alineación a algunos o todos los generadores de pulso de alineación si es adecuado.

Además, debe tenerse en cuenta que, aunque la invención se ha descrito con respecto a un satélite de comunicaciones que proporciona formación de haces, la invención puede usarse para otros fines adecuados. La invención se puede usar en cualquier sistema en el que los flujos de datos independientes tengan que procesarse de manera coherente. La invención podría usarse, por ejemplo, en el procesamiento de señales de radar o sistemas de imágenes que emplean ondas sónicas, ultrasónicas y electromagnéticas y sonares. La invención puede usarse además en instrumentos de laboratorio. También podría usarse en instrumentos para exploración geofísica. Por ejemplo, puede ser útil en instrumentos que comparan dos flujos de datos y donde podría ser útil anular cualquier inexactitud de fase que pueda existir en el instrumento antes de que sea utilizado para realizar un análisis.

REIVINDICACIONES

1. Un equipo para facilitar la alineación de flujos de datos de entrada no sincrónicos recibidos en el equipo, el equipo comprende
 - 5 una disposición de convertidor analógico a digital (4) para digitalizar la pluralidad de flujos de datos de entrada en una pluralidad de secuencias de muestras; **caracterizado por** una disposición de procesamiento de sincronización (5) para generar pulsos de alineación para cada secuencia de la pluralidad de secuencias de muestras, para organizar cada secuencia de muestras con respecto a los pulsos de alineación para la secuencia y para sincronizar la entrega de dicha pluralidad de secuencias de muestras a un procesador común (6) con respecto a los pulsos de alineación
 - 10 respectivos
 - donde la disposición de procesamiento de sincronización (5) comprende una cadena de procesamiento (8a, 8b) para cada flujo de datos y cada cadena de procesamiento (8a, 8b) comprende un generador de pulso de alineación (11a) para generar los pulsos de alineación para la secuencia de muestras correspondientes a la cadena de procesamiento; el equipo comprende además un generador de pulso de alineación de referencia (14) configurado para generar y
 - 15 transmitir pulsos de alineación de referencia a dichas cadenas de procesamiento (8a, 8b), la disposición de procesamiento de sincronización (5) configurada para emitir la secuencia de muestras en un flujo de salida al procesador común (6) de modo que los datos delineadores de la trama en el flujo de salida coincidan con la recepción de los pulsos de alineación de referencia por las cadenas de procesamiento.
 - 20 2. Un equipo según la reivindicación 1, donde cada cadena de procesamiento (8a, 8b) tiene una señal de reloj de cadena de procesamiento independiente y cada generador de pulso de alineación (11a) está configurado para generar un pulso de alineación para la secuencia en un momento determinado de acuerdo con un pulso de sincronización común a todas las cadenas de procesamiento (8a, 8b), y recibido por cada generador de pulso de alineación (11a), y la señal de reloj de la cadena de procesamiento de su respectiva cadena de procesamiento.
 - 25 3. Un equipo según la reivindicación 2, donde cada una de dichas señales de reloj de cadena de procesamiento tiene una frecuencia que es N veces más lenta que una frecuencia de muestreo en la que se muestrea un flujo de datos de la pluralidad de flujos de datos y cada cadena de procesamiento comprende además medios para dividir cada secuencia de muestras correspondiente a un flujo de datos en una pluralidad, N, subflujos de modo que
 - 30 se procesen N muestras en cada ciclo de la señal de reloj de la cadena de procesamiento.
 4. Un equipo según la reivindicación 3, donde cada generador de pulso de alineación (11a) es operable para ajustar el tiempo de un pulso de alineación para una secuencia de muestras con respecto a un pulso de alineación anterior para la secuencia de muestras mueva dicho pulso de alineación uno o más ciclos de la señal del reloj de la
 - 35 cadena de procesamiento correspondiente a las etapas de N muestras de la secuencia de muestras para alinear los flujos de datos de entrada no sincrónicos.
 5. Un equipo según la reivindicación 3 o 4, donde la pluralidad de pulsos de alineación proporciona una pluralidad de límites de trama y cada cadena de procesamiento (8a, 8b) comprende además un medio para mover la
 - 40 secuencia de muestras con respecto a la pluralidad de pulsos de alineación para alinear los flujos de datos de entrada no sincrónicos, estando los medios para moverse configurados para mover la secuencia de muestras de entre 0 y N-1 muestras con respecto a la pluralidad de límites de trama.
 6. Un equipo según la reivindicación 5, donde cada cadena de procesamiento comprende además una
 - 45 disposición de registro la que el primero en entrar es el primero en salir, FIFO, (13a) para recibir pulsos de alineación de referencia, estando configurada la disposición de registro en FIFO (13a) para recibir dicha secuencia de muestras y dichos pulsos de alineación, y organizar la secuencia de muestras en tramas de acuerdo con el pulso de alineación en uno o más registros, estando además dispuesta la disposición de registro FIFO (13a) para entregar las muestras desde la disposición de registro al procesador común (6) después de un retraso configurable de manera que las
 - 50 muestras de datos de diferentes cadenas de procesamiento (8a, 8b) que tengan posiciones correspondientes dentro de las tramas correspondientes se entreguen al procesador común (6) sincrónicamente.
 7. Un equipo según cualquiera de las reivindicaciones 2 a 6, donde el pulso de sincronización comprende un pulso de un ancho predeterminado, estando cada generador de pulso de alineación configurado para muestrear
 - 55 dicho pulso y crear un pulso de alineación dentro de un intervalo de tiempo correspondiente a dicho ancho predeterminado.
 8. Un equipo según cualquiera de las reivindicaciones 2 a 7, donde el equipo comprende además un generador de pulsos de sincronización para transmitir dicho pulso de sincronización a cada una de las cadenas de
 - 60 procesamiento.
 9. Un equipo según cualquiera de las reivindicaciones anteriores, que comprende, además:

una pluralidad de alimentaciones de antena de recepción (2a, 2b) para recibir dichos flujos de datos; y un procesador digital común (6) configurado para recibir dicha pluralidad de secuencias de muestras desde la disposición de procesamiento de sincronización.

- 5
10. Una carga útil satelital que comprende el equipo de cualquiera de las reivindicaciones 1 a 9.
11. Un procedimiento para facilitar la alineación de los flujos de datos de entrada no sincrónicos recibidos por un equipo, que comprende
- 10 digitalizar dichos flujos de datos en una pluralidad de secuencias de muestras; **caracterizado por**, generar pulsos de alineación para cada secuencia de muestras;
- disponer cada secuencia de muestras con respecto a sus pulsos de alineación correspondientes;
- generar y transmitir los pulsos de alineación de referencia a dichas cadenas de procesamiento; y
- 15 sincronizar la entrega de cada secuencia de muestras en un flujo de salida a un procesador digital común con respecto a los pulsos de alineación para las secuencias, de modo que los datos delineadores de la trama en el flujo de salida coincidan con la recepción de los pulsos de alineación de referencia de las cadenas de procesamiento (8a , 8b).
12. Un procedimiento según la reivindicación 11, donde organizar cada secuencia de muestras con respecto a sus pulsos de alineación correspondientes comprende recibir una secuencia de muestras de la pluralidad de
- 20 secuencias de muestras y los pulsos de alineación para dicha secuencia, y organizar la secuencia de muestras en tramas de acuerdo con los pulsos de alineación en uno o más registros, y donde sincronizar la entrega de cada secuencia comprende extraer la secuencia de muestras de uno o más registros después de un retraso configurable de modo que las muestras de datos de diferentes secuencias de muestras que tienen las posiciones correspondientes dentro de las tramas correspondientes son entregadas al procesador común (6) sincrónicamente.
- 25
13. Un procedimiento de según la reivindicación 11 o 12, donde organizar cada secuencia de muestras comprende además ajustar la posición de los pulsos de alineación con respecto a las muestras en la secuencia de muestras para garantizar que las muestras de datos correspondientes estén dispuestas en la posición correspondiente con respecto a los pulsos de alineación respectivos en la pluralidad de secuencias, donde cada secuencia de las
- 30 muestras se procesan como un número de N subflujos, se procesan N muestras en cada ciclo de reloj, y donde ajustar la posición de los pulsos de alineación en relación con las muestras comprende ajustar el tiempo de un pulso de alineación uno o más ciclos de reloj para mover las muestras de datos de pulso de alineación N y usar un selector de datos para introducir un retraso en el procesamiento de las muestras para mover la secuencia de muestras una cantidad de muestras entre 0 y N-1 veces con respecto a los pulsos de alineación.

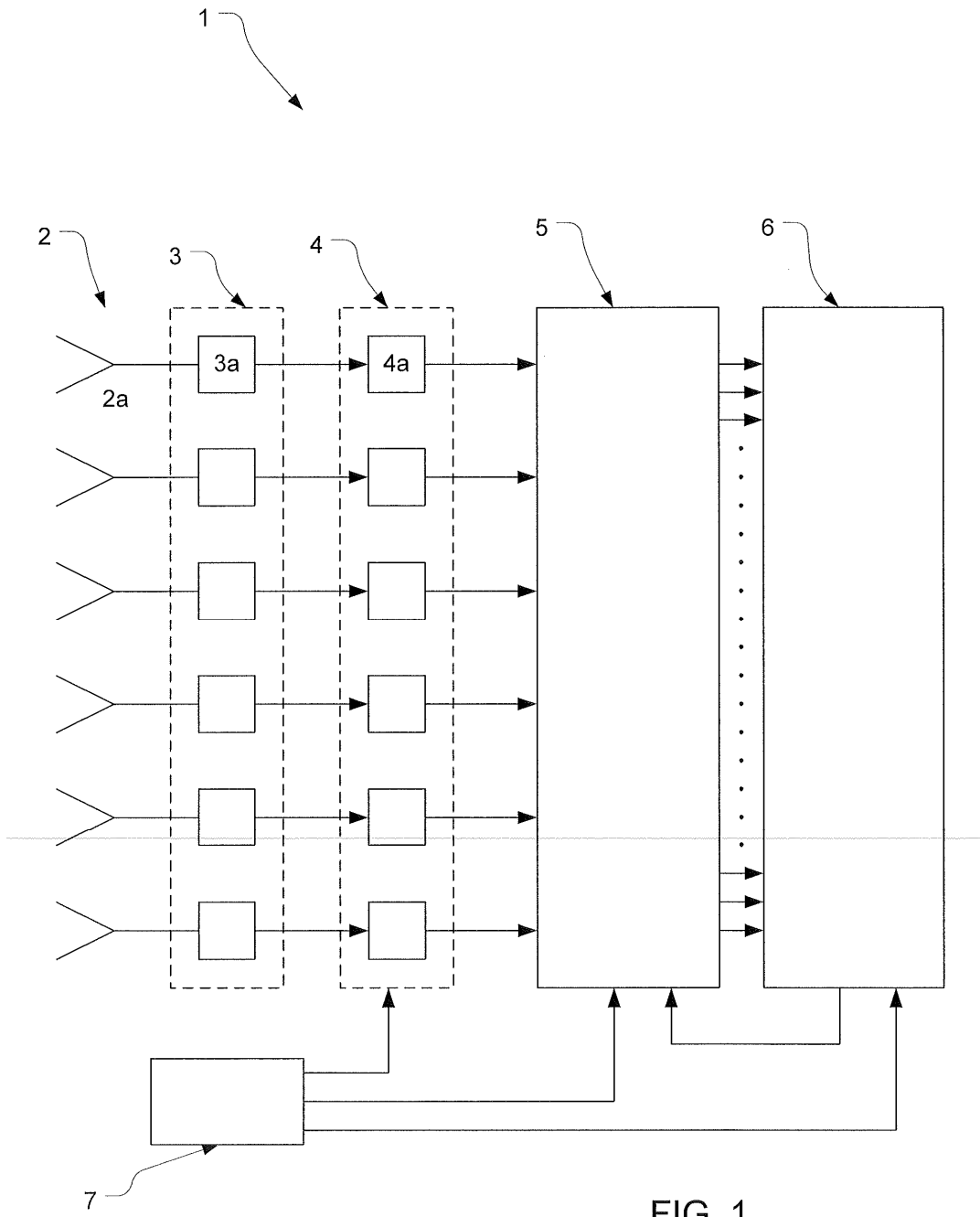
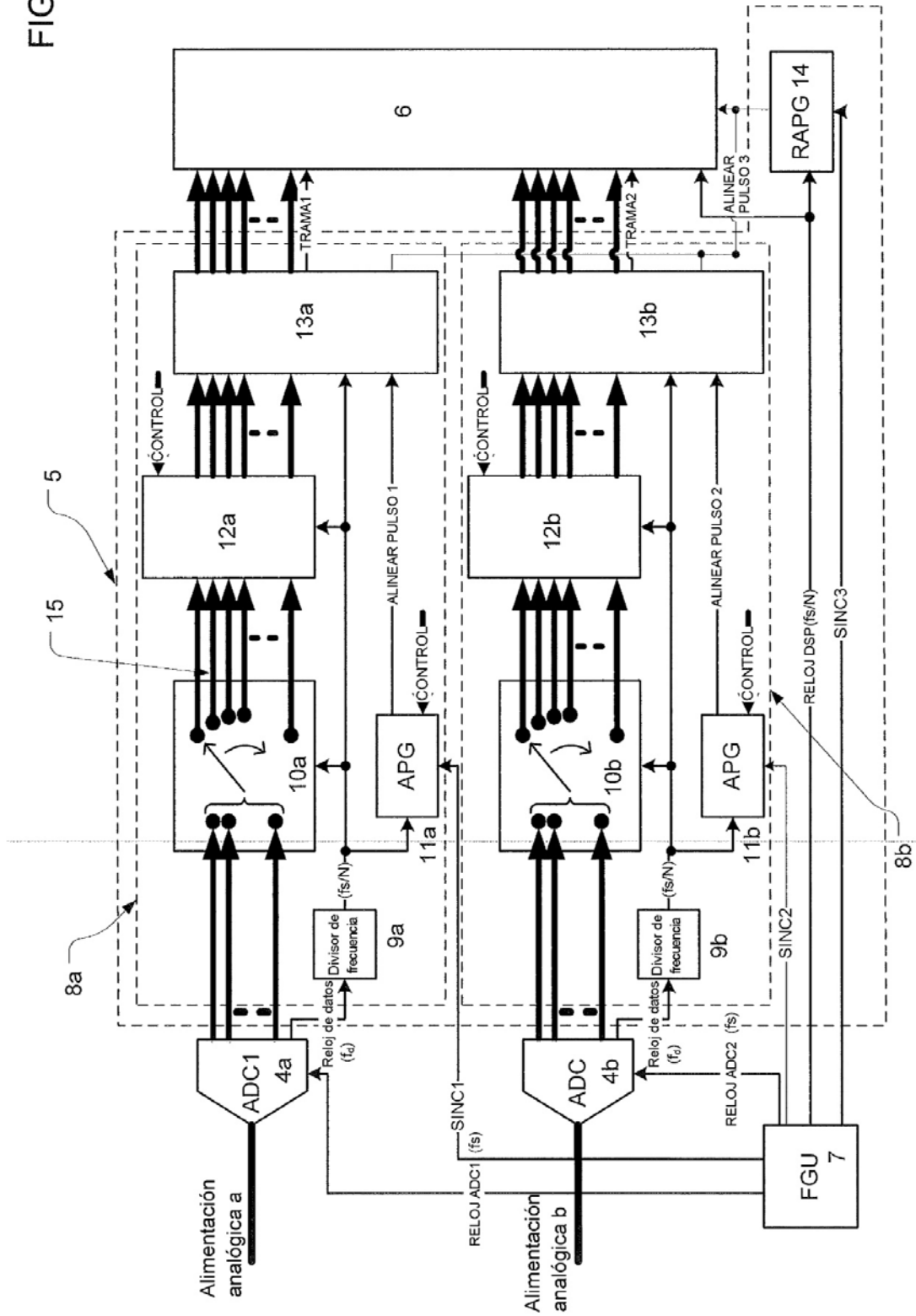


FIG. 1

FIG. 2



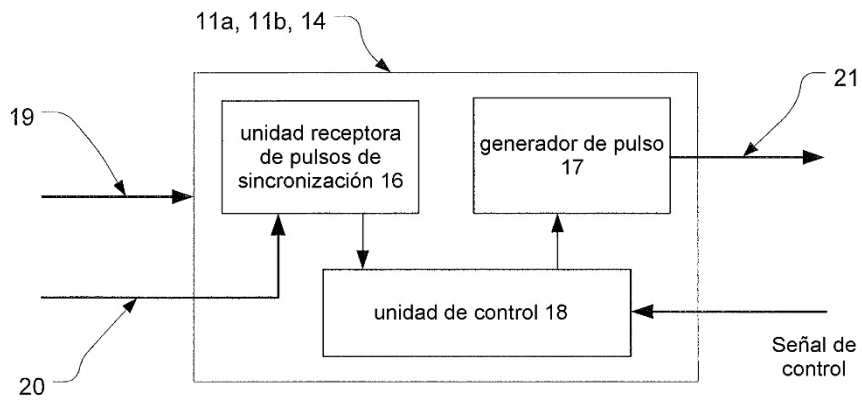


FIG. 3

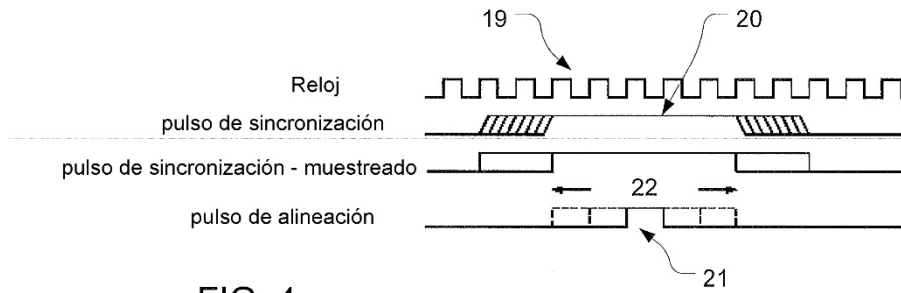


FIG. 4

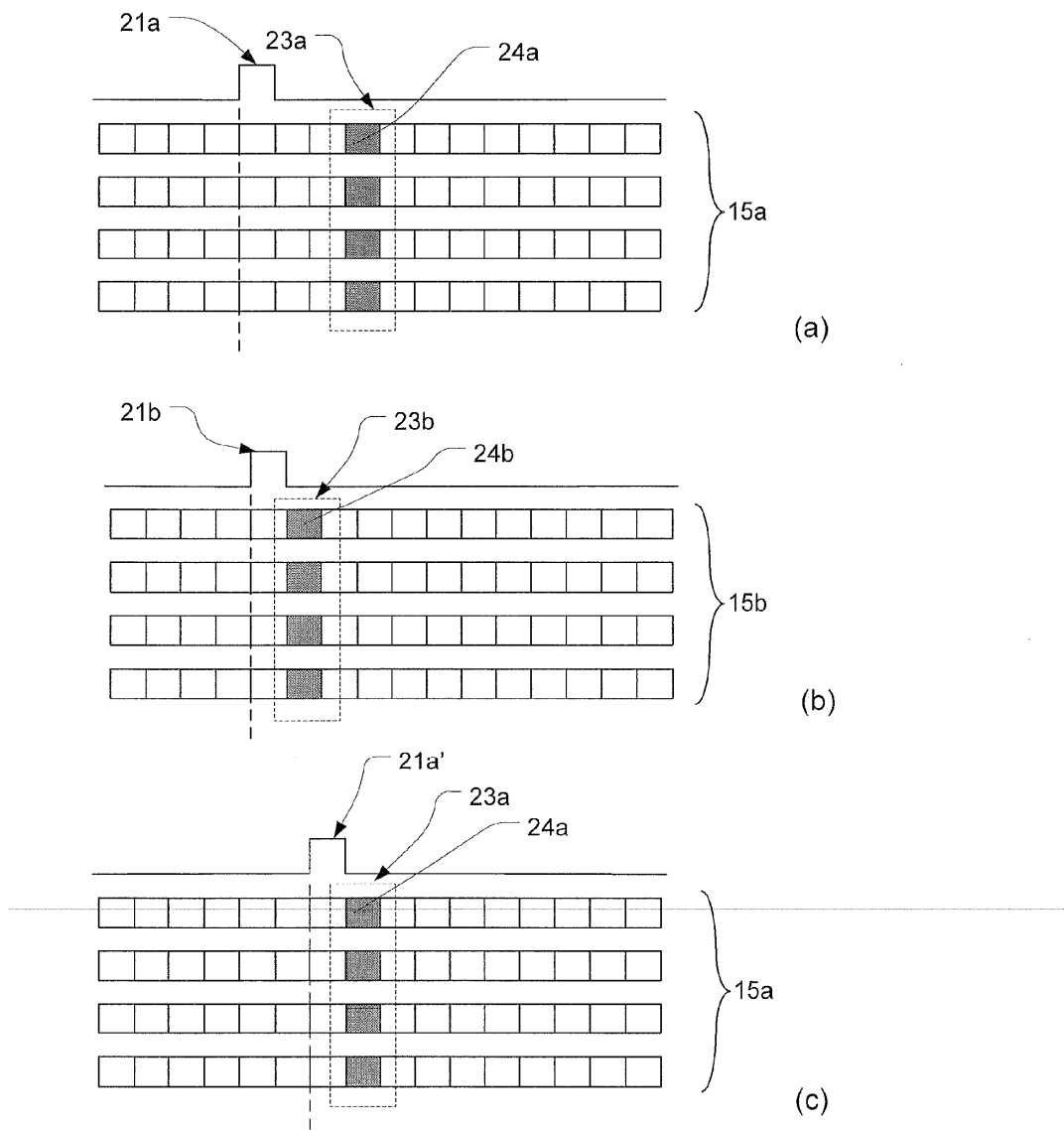


FIG. 5

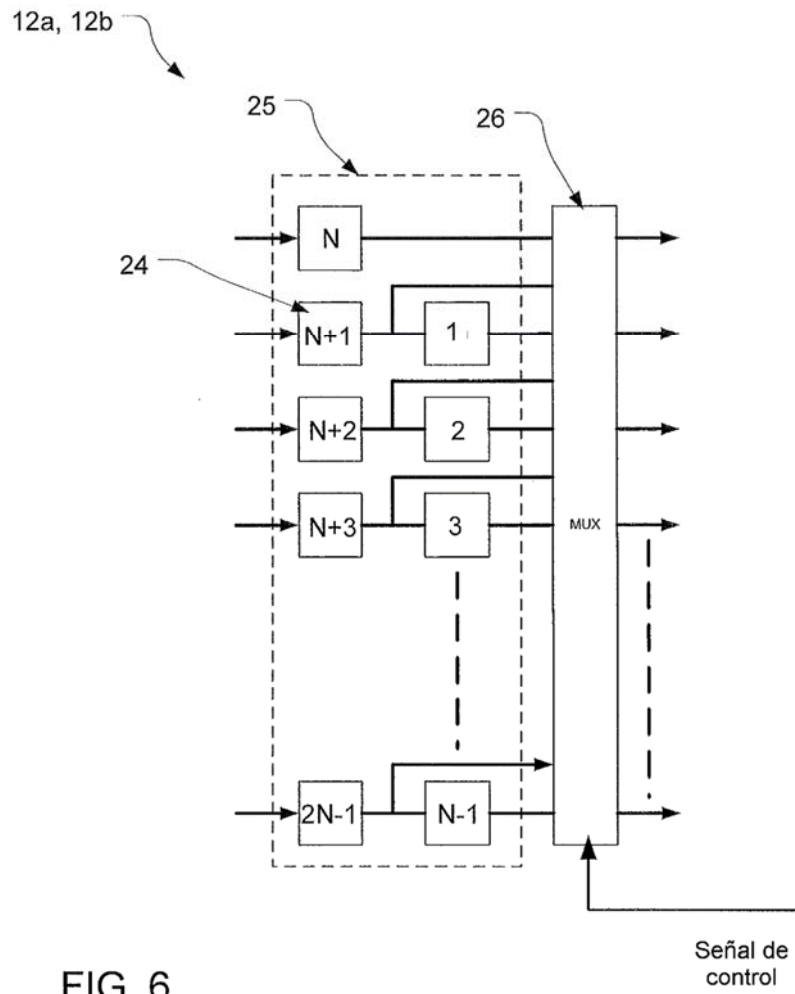
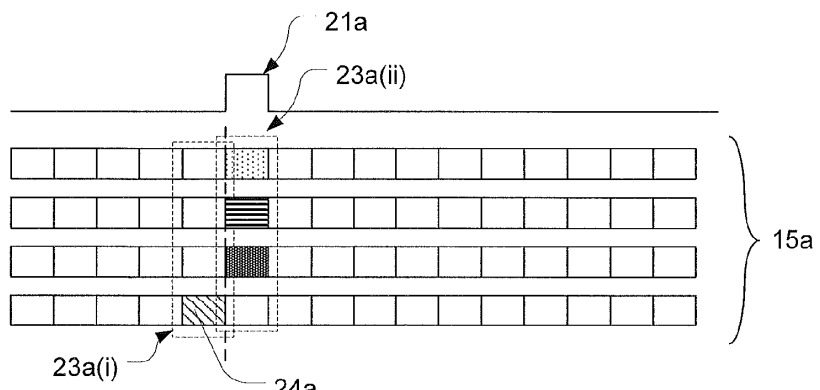
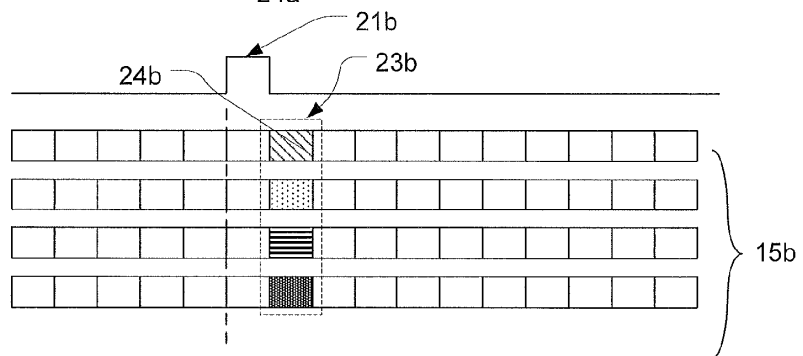


FIG. 6

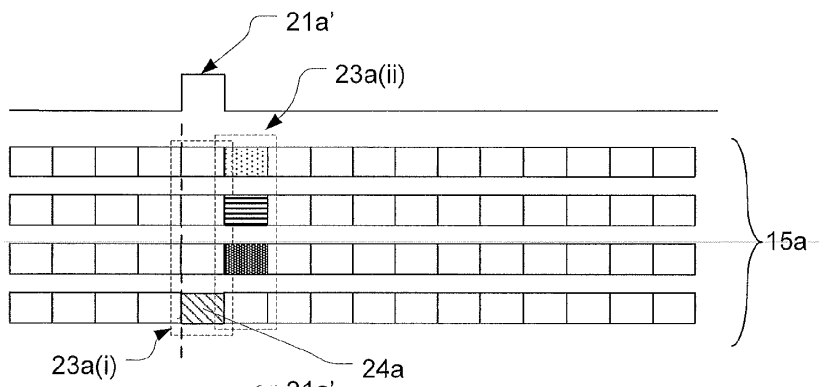
FIG. 7



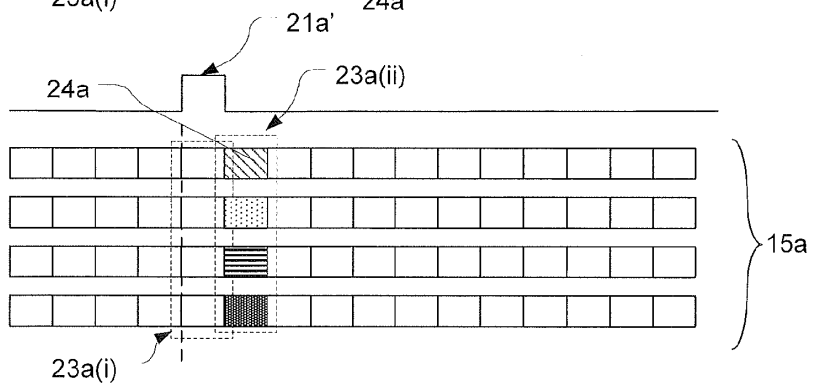
(a)



(b)



(c)



(d)

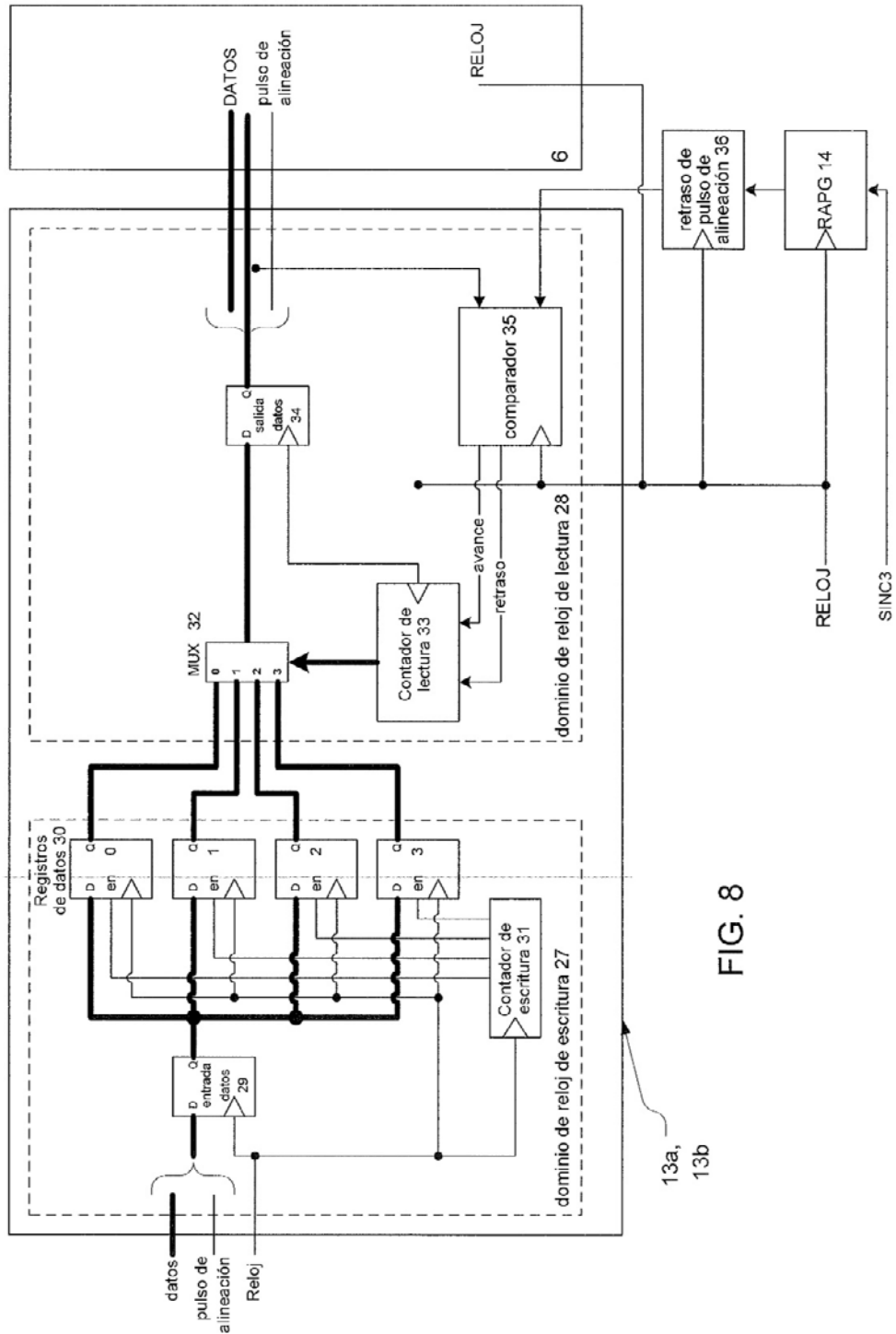


FIG. 8

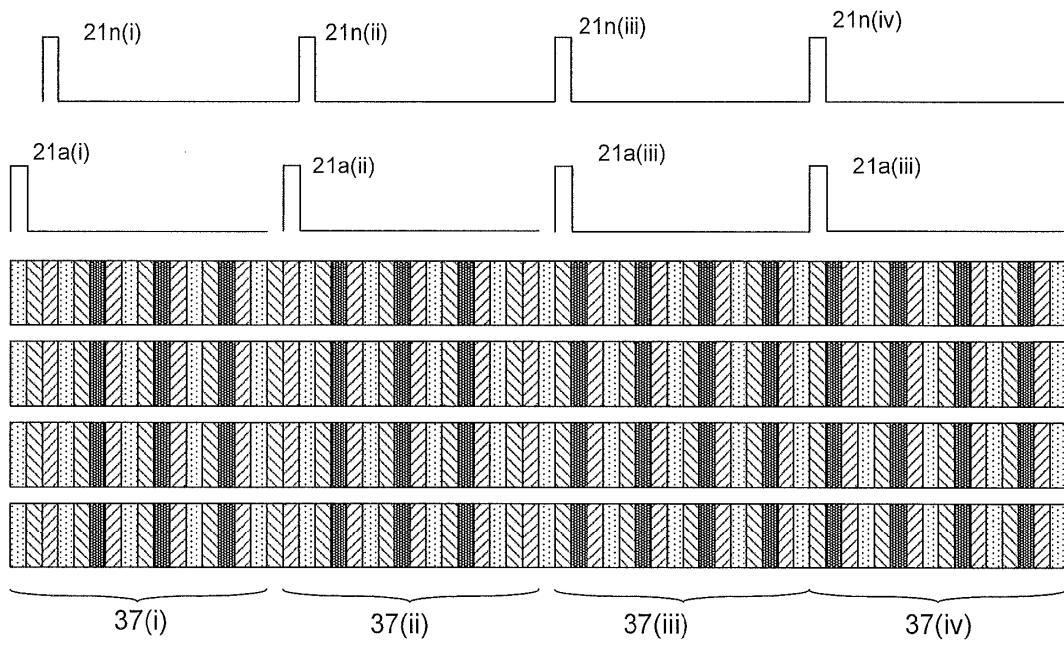


FIG. 9