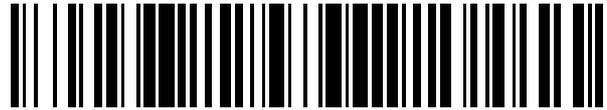


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 795 948**

51 Int. Cl.:

H04L 1/00 (2006.01)

H03M 13/27 (2006.01)

H03M 13/37 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.04.2016 PCT/US2016/027220**

87 Fecha y número de publicación internacional: **20.10.2016 WO16168253**

96 Fecha de presentación y número de la solicitud europea: **13.04.2016 E 16780594 (4)**

97 Fecha y número de publicación de la concesión europea: **06.05.2020 EP 3284176**

54 Título: **Método y aparato para la transmisión inalámbrica de datos sujetos a bloqueos de señal periódicos**

30 Prioridad:

14.04.2015 US 201514685854

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.11.2020

73 Titular/es:

**HUGHES NETWORK SYSTEMS, LLC (100.0%)
11717 Exploration Lane
Germantown, MD 20876, US**

72 Inventor/es:

**EROZ, MUSTAFA y
LEE, LIN-NAN**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 795 948 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para la transmisión inalámbrica de datos sujetos a bloqueos de señal periódicos

5 **Campo**

La presente invención se refiere a la transmisión de datos en un sistema de comunicaciones por satélite, y más específicamente a la transmisión de datos en un sistema de comunicaciones por satélite, donde la transmisión de datos se somete a bloqueos periódicos de corta duración de la señal de transmisión hacia y desde el terminal de satélite.

Antecedentes

Los sistemas modernos de comunicación por satélite proporcionan una infraestructura generalizada y confiable para distribuir señales de voz, datos y video para el intercambio global y la difusión de información. Tales sistemas de comunicación por satélite también han surgido como redes de infraestructura para comunicaciones de datos y servicios de entretenimiento a bordo de aeronaves. Por ejemplo, las redes de comunicaciones por satélite ahora se usan para servicios de banda ancha (por ejemplo, acceso a Internet y correo electrónico y otros servicios de mensajería) y entretenimiento (por ejemplo, televisión por satélite y servicios de transmisión de video) a bordo de aviones comerciales. Además, las comunicaciones por satélite se usan cada vez más para las comunicaciones de datos en otras aplicaciones de aeronaves, tales como aplicaciones de aeronaves gubernamentales (por ejemplo, aplicaciones de aeronaves militares y de primera respuesta), incluidos helicópteros.

Además, en los sistemas de comunicaciones, el rendimiento del sistema puede verse favorecido empleando la corrección de errores hacia delante (FEC) o la codificación de canales. Además, casi todos estos sistemas de comunicaciones por satélite dependen de alguna forma de la codificación de control de errores para gestionar los errores que pueden producirse debido al ruido y otros factores durante la transmisión de información a través del canal de comunicación por satélite. Los esquemas de control de errores eficientes implementados en el extremo de transmisión de estos sistemas de comunicaciones tienen la capacidad de permitir la transmisión de datos (por ejemplo, audio, video, texto, etc.) con tasas de error muy bajas dentro de un entorno de relación señal-ruido (SNR) dada. Los potentes esquemas de control de errores también permiten que un sistema de comunicaciones logre tasas de rendimiento de error objetivo en entornos con una SNR muy baja, tales como en los sistemas por satélite y otros sistemas inalámbricos, donde el ruido es frecuente y los altos niveles de potencia de transmisión son costosos. Sin embargo, los esquemas de control de errores más potentes resultan en implementaciones más complejas y costosas, si es posible. Adicionalmente, además de la codificación FEC, los sistemas de comunicaciones por satélite normalmente también emplean el intercalado para mejorar el rendimiento de la codificación FEC.

Sin embargo, con respecto a los helicópteros, debido a las limitaciones físicas de los fuselajes de los helicópteros, la ruta de señal entre el satélite y la antena de satélite se bloquea por las alas giratorias, también conocidas como palas. El período entre bloqueos depende, en general, del diseño de la aeronave. La duración de los bloqueos es de un período de tiempo relativamente corto, depende de diversos parámetros, incluyendo la anchura de las palas, la distancia entre el rotor y la antena, el acimut y el ángulo de elevación del satélite, así como de la altura libre entre la antena y las palas. Además, la velocidad del rotor afecta tanto a los períodos entre bloqueos como a la duración del bloqueo. Normalmente, el ruido térmico, con Doppler si se encuentra en una plataforma móvil, produce el principal deterioro experimentado en el canal para transmisiones por satélite a través de una antena de seguimiento con alta directividad. Sin embargo, para las antenas montadas en helicópteros, el bloqueo de las palas añade un impedimento adicional que domina el rendimiento de la transmisión y eclipsa los efectos del ruido térmico. Además, las rutas múltiples generadas por la reflexión de las palas más cercanas y el cuerpo de la aeronave también pueden ser un problema, pero en general es secundario para las antenas altamente dirigidas en frecuencias de banda Ku y Ka. El bloqueo periódico de las palas crea, en general, dos problemas. En primer lugar, se interrumpe la sincronización del receptor por la interrupción de la señal, que puede dar como resultado la pérdida de sincronización. La pérdida de sincronización requiere la ejecución de un algoritmo de búsqueda y sincronización para restablecer la sincronización. Además, si el siguiente bloqueo de la pala se produce antes de restablecer la sincronización, el algoritmo de sincronización puede interrumpirse y/o retrasarse aún más. En segundo lugar, los paquetes o tramas de datos transmitidos durante el período de un bloqueo se pierden por completo o se atenúan severamente. En consecuencia, en el momento en que comienza un bloqueo, y durante la duración del bloqueo, uno o más paquetes de datos transmitidos se cortarán parcialmente y/o se bloquearán por completo.

Se conocen dos alternativas anteriores para abordar dicho bloqueo periódico por palas de helicóptero. Una primera de estas alternativas es sincronizar las transmisiones de datos con la rotación de la pala. Este enfoque es potencialmente posible para el enlace de retorno monitorizando la intensidad de la señal del enlace hacia delante para determinar la presencia de una ruta despejada, es decir, si siempre se transmite la señal del enlace hacia delante. Un problema con este enfoque es que hay una latencia involucrada, y la transmisión debe completarse antes de que se produzca el bloqueo por la siguiente pala. Sin embargo, no es práctico que el concentrador de red rastree la posición de la pala de un helicóptero en el enlace hacia delante. Además, con este enfoque, es imposible que múltiples helicópteros compartan un único portador de enlace hacia delante simultáneamente, ya que no es

posible sincronizar las transmisiones individuales para cada helicóptero, ya que sus posiciones de palas no están sincronizadas. Esta técnica, por lo tanto, solo es útil para el helicóptero para concentrar, o devolver el enlace, las transmisiones. La segunda alternativa recupera la información bloqueada a través de la retransmisión. Sin embargo, la retransmisión de solicitud de repetición automática (ARQ) común no funcionará correctamente, ya que el bloqueo puede provocar una tasa de error mucho mayor de lo que normalmente se espera que funcionen los sistemas de ARQ. Además, la latencia para la entrega confiable de información puede ser muy larga debido a las altas tasas de retransmisión. Además, ya que los acuses de recibo y las solicitudes repetidas desde el extremo de recepción también tienen el mismo problema de bloqueo, se requiere un diseño de protocolo especial que tenga en cuenta el bloqueo periódico en ambas direcciones. Una variación de la técnica de ARQ es simplemente repetir la transmisión aproximadamente una mitad del período de bloqueo más tarde. De esta manera, se garantiza que al menos una de las transmisiones de datos no se bloqueará, pero este enfoque también requiere detección duplicada en el extremo de recepción para volver a montar correctamente el flujo de datos. Además, con este enfoque, el rendimiento se reduce en menos de la mitad, desperdiciando un ancho de banda significativo.

Por lo tanto, lo que se necesita son enfoques para las transmisiones de datos en un sistema de comunicaciones por satélite, que se adapten a los bloqueos periódicos de corta duración de la señal de transmisión hacia y desde un terminal de satélite, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras se emplean esquemas de recuperación de datos FEC robustos. El documento US 2013/246884 A1 desvela un sistema y un método para transmisiones de datos en un sistema inalámbrico de comunicaciones, que se adapta a un bloqueo periódico de la señal de transmisión. El documento LEE LIN-NAN ET AL: "Micro Satellite Terminal-Based High Data Rate Communication for Rotary Wing Aircraft", CONFERENCIA DE COMUNICACIONES MILITARES IEEE 2014, IEEE, 6 de octubre de 2014 (06-10-2014), páginas 1698-1703, DOI: 10.1109/MILCOM.2014.279 describe unas aplicaciones de los terminales de comunicación por microsatelites con un tamaño, masa y potencia adecuados para aeronaves pequeñas, basadas en la forma de onda de acceso múltiple de código codificado (SCMA) y las mejoras que soportan la comunicación ininterrumpida a través de bloqueos intermitentes por las alas giratorias.

Algunas realizaciones de ejemplo

La presente invención aborda ventajosamente los requisitos y necesidades anteriores, así como otros, proporcionando enfoques para las transmisiones de datos en un sistema de comunicaciones por satélite, que se adaptan a bloqueos periódicos de corta duración de la señal de transmisión hacia y desde un terminal de satélite, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras se emplean esquemas de recuperación de datos FEC robustos.

De acuerdo con realizaciones de ejemplo, se proporciona un método como se define en la reivindicación independiente 1.

De acuerdo con otras realizaciones de ejemplo, se proporciona un aparato como se define en la reivindicación independiente 8. Se proporcionan detalles adicionales en las reivindicaciones dependientes.

Breve descripción de los dibujos

La presente invención se ilustra a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos adjuntos y en los que números de referencia similares se refieren a elementos similares y en los que:

- Las figuras 1A y 1B ilustran unos sistemas de comunicaciones capaces de emplear la transmisión de datos que se adapta a un bloqueo periódico de corta duración de la señal de transmisión hacia y desde el terminal de comunicaciones, de acuerdo con las realizaciones de ejemplo;
- la figura 2 ilustra diversos parámetros que afectan el período y la duración del bloqueo de señal de transmisión para una antena de terminal de satélite montada en el cuerpo de un helicóptero, de acuerdo con una realización de ejemplo;
- la figura 3A ilustra un diagrama de flujo que representa el proceso de una transmisión de datos en un sistema inalámbrico de comunicaciones, de acuerdo con una realización de ejemplo;
- la figura 3B ilustra un diagrama de flujo que representa el proceso de dos transmisiones de datos que comparten un canal en un sistema inalámbrico de comunicaciones, de acuerdo con una realización de ejemplo;
- la figura 4 ilustra un ejemplo de un esquema de codificación para un flujo de datos transmitido que está sujeto a un bloqueo periódico, tal como de las palas de un helicóptero con un solo rotor, de acuerdo con una realización de ejemplo;
- la figura 5A ilustra un diagrama de bloques de un transmisor de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con las realizaciones de ejemplo;
- la figura 5B ilustra un diagrama de bloques de un receptor de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con las realizaciones de ejemplo;
- la figura 6A ilustra una vista delantera de una antena de satélite montada en un helicóptero con dos rotores, tal como un helicóptero K-Max, de acuerdo con las realizaciones de ejemplo;
- la figura 6B ilustra una vista superior de la antena de satélite montada en el helicóptero con dos rotores, de la figura 6A, de acuerdo con las realizaciones de ejemplo;

la figura 6C ilustra las relaciones de sincronización con respecto a los rotores del helicóptero de la figura 6A y 6B y los períodos relativos de interferencia con el terminal de satélite, de acuerdo con las realizaciones de ejemplo; la figura 6D ilustra las posiciones de los rotores del helicóptero de las figuras 6A y 6B con respecto al terminal de satélite en diferentes desplazamientos de tiempo en relación con un tiempo de inicio, de acuerdo con las realizaciones de ejemplo;

5 la figura 7 ilustra una tabla de parámetros de intercalador, de acuerdo con las realizaciones de ejemplo; la figura 8 es un diagrama de un sistema informático para implementar enfoques de codificación, de acuerdo con las realizaciones de ejemplo; y

10 la figura 9 es un diagrama de un conjunto de chips para implementar los enfoques de codificación, de acuerdo con las realizaciones de ejemplo.

Descripción detallada

15 Se describen los enfoques para las transmisiones de datos en un sistema de comunicaciones por satélite, que se adaptan a los bloqueos periódicos de corta duración de la señal de transmisión hacia y desde un terminal de satélite, sin pérdida de paquetes debido a los bloqueos de transmisión, mientras se emplean esquemas de recuperación de datos FEC robustos. En la siguiente descripción, para los fines de explicación, se exponen numerosos detalles específicos con el fin de proporcionar un completo entendimiento de la invención. Sin embargo, es evidente que la invención puede llevarse a la práctica sin estos detalles específicos o con una disposición equivalente. En otros

20 casos, se muestran estructuras y dispositivos bien conocidos en forma de diagrama de bloques con el fin de evitar la obstaculización innecesaria la presente invención.

Las figuras 1A y 1B ilustran sistemas de comunicaciones capaces de usar transmisiones de datos que se adaptan a un bloqueo periódico de corta duración de la señal de transmisión hacia y desde el terminal de satélite, de acuerdo con diversas realizaciones de ejemplo de la presente invención. Un sistema digital de comunicaciones 110 incluye uno o más transmisores 111 (de los cuales se muestra uno) que generan formas de onda de señal a través de un canal de comunicación 113 para uno o más receptores 115 (de los cuales se muestra uno). En este sistema discreto de comunicaciones 110, el transmisor 111 tiene una fuente de mensajes que produce un conjunto discreto de mensajes posibles, donde cada uno de los mensajes posibles tiene una forma de onda de señal correspondiente.

30 Estas formas de onda de señal se atenúan, o alteran de otro modo, por el canal de comunicaciones 113. Para combatir el canal de ruido 113, se usa la codificación. Por ejemplo, pueden emplearse códigos de corrección de errores hacia delante (FEC).

FEC se desea en los sistemas terrestres y por satélite para proporcionar una comunicación de alta calidad a través de un canal de propagación de radiofrecuencia (RF), que induce distorsiones en la forma de onda y el espectro de la señal, incluida la atenuación de la señal (pérdida de propagación en el espacio libre), atenuación inducida por múltiples rutas e interferencia de canal adyacente. Estas deficiencias impulsan el diseño de la transmisión de radio y el equipo receptor; los objetivos de diseño de ejemplo incluyen seleccionar formatos de modulación, esquemas de control de errores, técnicas de demodulación y decodificación y componentes de hardware que juntos proporcionan un equilibrio eficaz entre el rendimiento del sistema y la complejidad de implementación. Las diferencias en las características del canal de propagación, tal como entre los canales de comunicación terrestre y por satélite, dan como resultado naturalmente diseños de sistemas significativamente diferentes. Del mismo modo, los sistemas de comunicaciones existentes continúan evolucionando con el fin de satisfacer los mayores requisitos del sistema para nuevos servicios de comunicación de mayor velocidad o mayor fidelidad.

45

La figura 1B es un diagrama de un sistema de comunicaciones por satélite de ejemplo 120 capaz de soportar la comunicación entre terminales con capacidades variadas, de acuerdo con una realización de la presente invención.

El sistema de comunicaciones por satélite 120 incluye un satélite 121 que soporta la comunicación entre múltiples terminales de satélite (ST) 123, 125 y un concentrador 127. El concentrador 127 puede asumir el papel de un centro de operaciones de red (NOC), que controla el acceso de los ST 123, 125 al sistema 120 y también proporciona funciones de gestión de elementos y control de la resolución de direcciones y la funcionalidad de gestión de recursos. El sistema de comunicaciones por satélite 120 puede funcionar como un sistema tradicional de tubería doblada, donde el satélite funciona esencialmente como un repetidor. Como alternativa, el sistema 120 puede emplear un satélite de conmutación o procesamiento que soporta comunicaciones de malla (comunicaciones punto a punto directamente entre, por ejemplo, los dos ST 123 y 125). Los ST 123, 125 proporcionan conectividad a uno o más hosts 129, 131, respectivamente. Los hosts 129, 131 pueden comprender diversos tipos de equipos basados en comunicaciones de datos en función la aplicación específica.

50

En un sistema tradicional de tubería doblada de una realización de ejemplo, el satélite funciona como un repetidor o tubería doblada, y las comunicaciones entre los ST 123 y 125 se transmiten a través de una ruta de doble salto. Por ejemplo, en una comunicación desde el ST 123 al ST 125, durante el primer salto, la comunicación se transmite a través del satélite, del ST 123 al concentrador 127. El concentrador 127 decodifica la comunicación y determina el destino ST 125. A continuación, el concentrador 127 direcciona y vuelve a empaquetar adecuadamente la comunicación, la codifica y modula, y transmite la comunicación a través del segundo salto, a través del satélite, al destino ST 125. En consecuencia, el satélite de dicho sistema actúa como una tubería doblada o repetidor,

60

65

transmitiendo las comunicaciones entre el concentrador 127 y los ST.

En una realización alternativa, con un sistema de comunicaciones 120 que emplea un satélite de procesamiento (por ejemplo, que incluye un conmutador de paquetes que funciona, por ejemplo, en una capa de enlace de datos), el sistema puede soportar comunicaciones directas de unidifusión (punto a punto) y comunicaciones multidifusión entre los ST 123, 125. En el caso de un satélite de procesamiento, el satélite 121 decodifica la señal recibida y determina el o los ST de destino (como lo haría el concentrador 127 en un sistema de tubería doblada). A continuación, el satélite 121 direcciona los datos, los codifica y los modula en consecuencia, y transmite la señal modulada, a través del canal 113, al o a los ST de destino (por ejemplo, el ST 125). De acuerdo con una realización de la presente invención, el sistema 120 tiene una arquitectura totalmente en forma de malla, por la que los ST 123, 125 pueden comunicarse directamente.

La figura 2 ilustra diversos parámetros que afectan el período y la duración del bloqueo de señal de transmisión para una antena de terminal de satélite, por ejemplo, montada en el cuerpo de un helicóptero 211 con un solo rotor con dos palas 217, de acuerdo con una realización de ejemplo. Como se ha mencionado anteriormente, debido a las limitaciones físicas de los fuselajes de los helicópteros, tal como el helicóptero 211, las paletas 217 del helicóptero bloquean las transmisiones entre el satélite 213 y la antena de satélite 215. El período entre bloqueos depende, en general, del diseño de la aeronave. La duración de cada bloqueo es de un período de tiempo relativamente corto y depende de diversos parámetros. Dichos parámetros incluyen la anchura de las palas 217 (w), la distancia entre el rotor 219 y la antena 215 (d), el acimut y el ángulo de elevación del satélite 213 (θ), así como de la altura libre entre la antena 215 y las palas 217 (h). Además, la velocidad del rotor afecta tanto a los períodos entre bloqueos como a la duración del bloqueo. La distancia efectiva (d_{eff}) entre el rotor 219 y el punto 223 donde la señal de satélite 221 se interseca con las palas 217, y la anchura de la pala en ese punto, determinan la fracción de tiempo en que se bloqueará la señal 221 durante cada período.

Haciendo referencia a la figura 3A, de acuerdo con una realización de ejemplo, la transmisión del terminal de satélite 123 (por ejemplo) se configura como una transmisión en modo ráfaga, por lo que el flujo de datos se segmenta en datagramas o paquetes de tamaño fijo (S311). En consecuencia, a pesar de que la transmisión puede ser desde un único transmisor, en lugar de un demodulador de modo continuo 227, el receptor usa una técnica de demodulación de ráfaga coherente, tal como las técnicas normalmente utilizadas para los sistemas de acceso múltiple por división de tiempo (TDMA). Sin embargo, a diferencia de los sistemas de transmisión de TDMA comunes, en los casos donde los paquetes se transmiten desde un único helicóptero, no se necesita tiempo de inactividad entre los paquetes. Como alternativa, en los casos de multiplexación de tiempo de los flujos de datos desde más de un helicóptero, se requeriría la inserción de un tiempo de inactividad entre cada paquete para proporcionar suficiente tiempo de protección entre ráfagas de transmisión desde los diferentes helicópteros.

Los paquetes deben ser de un tamaño que refleje una fracción de la duración de la transmisión que esté libre de cualquier bloqueo de las palas 217. Si el tamaño de un paquete es mayor que la duración libre de bloqueos de las transmisiones, entonces cada paquete se bloqueará o atenuará parcialmente. Con respecto a la duración del bloqueo de una pala, existe un término medio entre el tamaño del paquete y la pérdida de datos. Para una mayor eficacia, el paquete también debería ser de un tamaño menor que la duración del bloqueo. Sin embargo, surge un término medio con respecto al tamaño del paquete. Cuando el tamaño del paquete es menor que la duración del bloqueo, debido a que los paquetes y las palas no están sincronizados, una pala bloqueará, en general, dos paquetes parcialmente, posiblemente con uno o más paquetes completamente bloqueados entre los dos paquetes parcialmente bloqueados. En consecuencia, los paquetes más largos provocan efectivamente una mayor pérdida de datos, debido a que un paquete parcialmente bloqueado se trata de la misma manera que un paquete completamente bloqueado. Por otro lado, si bien un tamaño de paquete muy corto reduciría esta pérdida de eficacia, cada paquete introduce sobrecarga (por ejemplo, procesamiento de UW y encabezado) e ineficiencias resultantes de lo mismo. En consecuencia, la sobrecarga puede ser significativa para paquetes pequeños. De acuerdo con una realización de ejemplo, el tamaño de paquete preferido es aproximadamente la mitad de la duración del bloqueo o algo mayor, pero no más que la duración del bloqueo. Con un tamaño de paquete de la mitad de la duración del bloqueo, por ejemplo, para una relación de duración libre de bloqueo a duración de bloqueo de $n:1$, puede esperarse en general que $n - 1$ paquetes de $n + 1$ se transmitan sin estar sujetos a un bloqueo. Por ejemplo, de acuerdo con una instalación de antena de terminal de satélite de ejemplo en un helicóptero, con un ángulo de satélite razonable, la relación es de aproximadamente 9:1, por lo que 8 de cada 10 paquetes podrían transmitirse con éxito durante una duración libre de bloqueo.

Una vez que se selecciona el tamaño del paquete para optimizar la eficacia de la transmisión, se aplica una codificación de corrección de errores hacia delante (FEC) exterior para garantizar que se haya transmitido un flujo de datos sin interrupciones y para facilitar la recuperación de los paquetes que han estado sujetos al bloqueo periódico (S313). Sin embargo, el empleo de un código de FEC exterior de este tipo no afecta a la codificación de FEC interior más poderosa aplicada para otros problemas de canal tales como el ruido térmico, atenuación, interferencia de canal adyacente, etc. Por ejemplo, dichos códigos interiores pueden comprender códigos convolucionales, códigos de verificación de paridad de baja densidad (LDPC) o códigos turbo. Por ejemplo, la codificación turbo representa un esquema iterativo de decodificación suave que combina dos o más códigos convolucionales relativamente simples y un intercalador para producir un código de bloque que puede realizarse para dentro de una fracción de un decibelio

del límite teórico (límite de Shannon). Los códigos de LDPC representan una clase de códigos de bloque lineales construidos basándose en una matriz de verificación de paridad dispersa. Se ha demostrado con éxito que tanto los códigos de LDPC como algunas clases de códigos turbo se acercan al límite teórico.

5 De acuerdo con una realización de ejemplo, para el código exterior, se emplea un paquete de suma de verificación como el bloque de construcción de FEC básico. Un paquete de suma de verificación, por ejemplo, se forma realizando una suma OR exclusiva sobre diversos paquetes (m). En otras palabras, el primer bit de cada uno de los m paquetes se suman entre sí en binario para formar el primer bit del paquete de suma de verificación, el segundo bit de cada uno de los paquetes m se suma entre sí en binario para formar el primer bit del paquete de suma de verificación, etc., todo el camino hasta el $m^{\text{ésimo}}$ bit de cada uno de los m paquetes que se suman en binario para formar el $m^{\text{ésimo}}$ bit del paquete de suma de verificación. El paquete de suma de control se transmite como el $(m + 1)^{\text{ésimo}}$ paquete. Un código de FEC de este tipo tiene una tasa de código de $m/(m + 1)$. El momento en que se daña uno cualquiera de los m paquetes de información, se detecta mediante su propia verificación de paridad cíclica o código de verificación de redundancia cíclica (CRC). El paquete dañado puede recuperarse a continuación a través de una operación OR exclusiva de los otros $m - 1$ paquetes con el paquete de suma de verificación. En consecuencia, el paquete de suma de verificación solo puede recuperar un paquete bloqueado dentro del conjunto de m paquetes.

20 Además, se añade una palabra única (UW) al comienzo de cada paquete (S315). Además de señalar el comienzo de un paquete, la UW también sirve como un patrón de sincronización para que el demodulador de ráfaga adquiera la frecuencia, la fase de portador y la sincronización de símbolos para el paquete respectivo. El método de adquisición de receptor es, por lo tanto, ráfaga por ráfaga, donde, siempre que la UW se obtenga con éxito, el paquete de datos debería poder obtenerse fácilmente. Además, incluso cuando un paquete se atenúa hasta el punto donde la UW o parte de la ráfaga es inalcanzable, las ráfagas posteriores serán claras y a continuación puede recuperarse (de acuerdo con la codificación FEC) la ráfaga perdida o atenuada. En consecuencia, ni el transmisor ni el receptor están obligados a conocer o rastrear la posición de las palas del helicóptero. Siempre que la ráfaga o el tamaño del paquete y la longitud del intercalador estén optimizados para los parámetros de sistema, en el caso de paquetes bloqueados total o parcialmente, la codificación FEC facilitará la recuperación de dichos paquetes bloqueados.

30 Sin embargo, como se ha tratado anteriormente, el paquete de suma de verificación solo puede recuperar un paquete bloqueado dentro del conjunto de m paquetes. Sin embargo, como también se ha tratado anteriormente, más de un paquete se ve afectado por la duración de un bloqueo y, por lo tanto, debido a que el paquete de suma de verificación solo puede recuperar un paquete bloqueado, debe introducirse el intercalado para garantizar que solo se incluya un paquete bloqueado en el grupo de m paquetes reflejados por cada paquete de suma de verificación. En consecuencia, los paquetes del flujo de datos se intercalan basándose en un intercalador predeterminado (S317), donde el número de paquetes (m) se basa en la profundidad necesaria del intercalador. En otras palabras, si el número de paquetes erróneos cubiertos por el paquete de suma de verificación supera las capacidades de recuperación de errores de la codificación FEC, entonces el sistema no podrá recuperar los paquetes perdidos. El intercalado evita o disminuye los efectos de este problema ordenando aleatoriamente los paquetes en varias tramas, creando de este modo una distribución más uniforme de errores dentro de las capacidades de la codificación FEC. A continuación puede aplicarse un código interior de FEC a cada paquete para determinar (en el receptor) si el respectivo se ha transmitido y recibido con éxito (S319). Los paquetes del flujo de datos se transmiten a través del canal de comunicaciones (S321).

45 Haciendo referencia a la figura 3B, de acuerdo con una realización de ejemplo adicional, en una situación donde dos o más helicópteros comparten el mismo canal o portador, como en el escenario de helicóptero único tratado anteriormente, la transmisión desde cada helicóptero se configura como una transmisión en modo ráfaga. Cada flujo de datos se segmenta en ráfagas o paquetes de tamaño fijo (S321, S331), se aplica una codificación de corrección de errores exterior (FEC) (S323, S333), se añade una palabra única (UW) al comienzo de cada paquete (S325, S335), y se intercalan los paquetes (S327, S337). Los paquetes de la primera y segunda secuencia de datos se transmiten a través del canal de comunicaciones, alternando los paquetes de la primera secuencia de datos con los paquetes de la segunda secuencia de datos (S329, S339). Al igual que con el escenario de helicóptero único, puede aplicarse entonces un código interior de FEC a cada paquete para determinar (en el receptor) si el respectivo se ha transmitido y recibido con éxito. Además, en el escenario de múltiples helicópteros, se asigna un tiempo de inactividad entre paquetes en el flujo de datos tal como se transmite a través del canal de comunicaciones (S329, S339). Además, en función del tamaño de portador y la velocidad de datos de cada transmisión transmitida desde un helicóptero individual, también es posible que no todos los intervalos de tiempo estén ocupados todo el tiempo.

60 De acuerdo con otra realización de ejemplo, una ráfaga puede contener varios paquetes muy cortos, teniendo cada paquete un encabezado individual y unos bits de verificación de redundancia cíclica (CRC). Se añadiría una UW a cada ráfaga, y cada ráfaga tendría un tiempo de inactividad que la precede. La UW y el tiempo de inactividad se consideran sobrecarga de ráfaga. En esta realización, el empaquetado de varios paquetes cortos en una sola ráfaga reduce la sobrecarga, en comparación con el enfoque de paquete único por ráfaga tratado anteriormente. En este enfoque, incluso si una ráfaga está parcialmente bloqueada, siempre y cuando la UW no esté bloqueada, el receptor podrá adquirir la frecuencia de portador, la fase y el reloj de los paquetes de UW, y a continuación recuperar los paquetes de la ráfaga que no se han bloqueado. De acuerdo con una realización adicional, la UW puede insertarse

en el medio de cada ráfaga, como el midambulo. En un escenario de este tipo, después de detectar la UW, el receptor trabaja hacia atrás desde la UW para recuperar la primera parte de los datos, y trabaja hacia delante desde la UW para recuperar los datos después de la UW. Esta implementación es posible ya que los receptores de satélite modernos muestrean la señal de transmisión recibida, almacenan los datos en la memoria y posteriormente procesan los datos. Con un midambulo, las ráfagas parcialmente bloqueadas en la interfaz de usuario y las ráfagas parcialmente bloqueadas en la interfaz de soporte pueden recuperarse parcialmente, maximizando la eficacia general del esquema.

La figura 4 ilustra un ejemplo de la codificación de un flujo de datos transmitido 411 en vista de un bloqueo periódico, tal como el de las palas 217 de un helicóptero 211. El ejemplo de la figura 4 refleja un período de bloqueo de pala de aproximadamente 12 paquetes (por ejemplo, el período 1 de los paquetes B2-B13 y el período 2 de los paquetes B14-B25, como se representa en la figura 4), y la duración del bloqueo es de aproximadamente 2 paquetes de longitud. En el flujo de datos recibido 413, mientras que la duración del bloqueo es de una longitud de aproximadamente solo dos paquetes, cada paso de una pala provoca la pérdida de tres paquetes consecutivos (por ejemplo, bloqueo parcial de B2 y B4 y bloqueo total de B3), seguido de 9 paquetes libres de bloqueo (por ejemplo, B5-B13). La profundidad de intercalado, por lo tanto, debe ser 3, para garantizar que no se refleje más de un paquete bloqueado por un paquete de suma de verificación dado. Basándose en la relación de duración libre de bloqueo a duración de bloqueo de 9:3 (o 3:1), debe generarse un paquete de suma de verificación por cada tres paquetes de flujo de datos. Como alternativa, por ejemplo, si la duración del bloqueo es de solo 2 paquetes, la relación se convierte en 5:1 y la profundidad de intercalado es 2, donde cada paquete de suma de verificación cubre 5 paquetes de flujo de datos. Además, para evitar una implementación que sea demasiado marginal, dejando poco margen para el error, la longitud del intercalador puede estar respaldada por uno o más paquetes para proporcionar un margen de error. En cualquier caso, el concepto de realizaciones de ejemplo puede escalarse a prácticamente cualquier longitud, lo que facilitaría la recuperación de paquetes de datos donde un número relativamente mayor de paquetes se interrumpe por cada duración de bloqueo (por ejemplo, en sistemas de transmisión de mayor velocidad de datos).

Con respecto a la relación de 3:1, por ejemplo, como se representa en la codificación de suma de verificación 415, el primer paquete de suma de verificación cubriría los paquetes B1, B4 y B7, y se transmitiría como el paquete B10, el segundo paquete de suma de verificación cubriría los paquetes B2, B5 y B8, y se transmitirá como el paquete B11, y el tercer paquete de suma de verificación cubriría los paquetes B3, B6 y B9, y se transmitirá como el paquete B12. Este proceso de suma de verificación continúa para bloques posteriores de 9 paquetes de datos. Por ejemplo, como se describe en la codificación de suma de verificación 417, el paquete de suma de verificación B22 cubriría los paquetes B13, B16 y B19, el paquete de suma de verificación B23 cubriría los paquetes B14, B17 y B20, y el paquete de suma de verificación B24 cubriría los paquetes B15, B18 y B21.

Basándose en esta codificación de suma de verificación, los paquetes bloqueados consecutivamente pueden recuperarse basándose en los paquetes de suma de verificación respectivos. Por ejemplo, como se muestra en la recuperación de paquetes bloqueados 419, el paquete de datos B2 puede recuperarse basándose en el paquete de suma de verificación B11 y los paquetes no bloqueados asociados B5 y B8, el paquete de datos B3 puede recuperarse basándose en el paquete de suma de verificación B12 y los paquetes no bloqueados asociados B6 y B9, y el paquete de datos B4 pueden recuperarse basándose en el paquete de suma de verificación B10 y los paquetes no bloqueados asociados B1 y B7. Este proceso de recuperación continúa para los períodos de bloqueo posteriores. Por ejemplo, como se representa en la recuperación de paquetes bloqueados 421, el paquete de datos B14 puede recuperarse basándose en el paquete de suma de verificación B23 y los paquetes no bloqueados asociados B17 y B20, el paquete de datos B15 puede recuperarse basándose en el paquete de suma de verificación B24 y los paquetes no bloqueados asociados B18 y B21, y el paquete de datos B16 pueden recuperarse basándose en el paquete de suma de verificación B23 y los paquetes no bloqueados asociados B13 y B19.

Además, en el escenario de múltiples helicópteros, por ejemplo, B1, B2 y B3 se transmiten secuencialmente por tres helicópteros diferentes, respectivamente. A continuación, la ráfaga B4 es transmitida por el primero de los tres helicópteros, y así sucesivamente. Los diferentes helicópteros transmiten secuencialmente, a la misma velocidad de datos. Sin embargo, en el caso de la relación 3:1, debido a que solo se bloquea una ráfaga por la pala de cada helicóptero durante cada período, ya no es necesario el intercalado. La distribución de las ráfagas de cada helicóptero crea efectivamente un resultado similar al intercalado. En función de la cantidad de helicópteros y la relación de duración libre de bloqueo a duración de bloqueo, sin embargo, la intercalación puede ser necesaria para garantizar que la cantidad de paquetes bloqueados en un período no exceda las capacidades de la codificación FEC.

La figura 5A ilustra un diagrama de bloques de un transmisor de ejemplo 510 configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con las realizaciones de ejemplo de la presente invención. La figura 5B ilustra un diagrama de bloques de un receptor de ejemplo configurado para operar en los sistemas de las figuras 1A y 1B, de acuerdo con las realizaciones de ejemplo de la presente invención. De acuerdo con una realización adicional, se describirá ahora un ejemplo de una implementación de un esquema de transmisión de datos que adapta un bloqueo periódico de corta duración de la señal de transmisión haciendo referencia al transmisor y receptor de las figuras 5A y 5B. En el transmisor 510, en primer lugar se segmenta el flujo de datos desde la fuente

de datos 511 en paquetes de tamaño fijo para una transmisión en modo ráfaga. Los paquetes se organizan columna por columna, por ejemplo, de la siguiente manera:

Paquete 0	Paquete m	...	Paquete nm
Paquete 1	Paquete $m + 1$...	Paquete $nm + 1$
Paquete 2	Paquete $m + 2$...	Paquete $nm + 2$
⋮	⋮		⋮
Paquete $m - 1$	Paquete $2m - 1$...	Paquete $(n + 1)m - 1$

- 5 A continuación, el codificador exterior 513 aplica una codificación de verificación de paridad única que se aplica como un código exterior a los m paquetes en cada columna realizando una exclusiva bit a bit o en cada bit de los m paquetes para obtener un paquete de verificación de paridad, de la siguiente manera:

Codificación de verificación de paridad	Paquete 0	Paquete m	...	Paquete nm
	Paquete 1	Paquete $m + 1$...	Paquete $nm + 1$
	Paquete 2	Paquete $m + 2$...	Paquete $nm + 2$
	⋮	⋮		⋮
	Paquete $m - 1$	Paquete $2m - 1$...	Paquete $(n + 1)m - 1$
	Paquete de paridad 0	Paquete de paridad 1		Paquete de paridad n

- 10 A continuación, el intercalador 515 intercala los paquetes y el codificador interior 517 codifica cada paquete con un código de FEC como un código interior (por ejemplo, LDPC). A continuación, el flujo de datos se modula a través del modulador 519, para su transmisión a través de la antena 521, en una base de fila por fila, de la siguiente manera:

Paquete LDPC 0	Paquete LDPC m	...	Paquete LDPC nm
Paquete LDPC 1	Paquete LDPC $m + 1$...	Paquete LDPC $nm + 1$
Paquete LDPC 2	Paquete LDPC $m + 2$...	Paquete LDPC $nm + 2$
⋮	⋮		⋮
Paquete LDPC $m-1$	Paquete LDPC $2m-1$...	Paquete LDPC $(n + 1)m - 1$
Paquete de paridad LDPC 0	Paquete de paridad LDPC 1		Paquete de paridad LDPC n

- 15 En el receptor 520, el flujo de datos transmitido se recibe a través de la antena 531, y el demodulador 529 demodula la transmisión recibida para recuperar los paquetes de datos transmitidos. El decodificador interior 527 intenta decodificar cada paquete. Si el código interior es un código de LDPC, las ecuaciones de verificación de paridad del decodificador interior 527 indican si un paquete específica se ha decodificado correctamente o no. Para otros tipos de códigos interiores, tal como los códigos turbo o convolucional, o para el caso donde no hay código interior, pueden usarse bits CRC para determinar si se ha recibido cada paquete con éxito. El desintercalador 525 desintercala los paquetes para presentarlos al decodificador exterior 523 en el orden columna por columna original. A continuación, los paquetes fallidos se recuperarían basándose en la codificación de verificación de paridad única del código exterior y en los paquetes asociados recibidos con éxito en la misma columna que el paquete fallido (en otras palabras, los otros paquetes cubiertos por el paquete de código de verificación de paridad único respectivo). Como resultado, los datos de mensaje original 521 se recuperan de la transmisión recibida.

En consecuencia, en vista de realizaciones de ejemplo, debido a que los parámetros del canal están bien definidos y son conocidos (por ejemplo, se conoce el período de bloqueo y la duración del bloqueo), los parámetros de intercalador pueden configurarse para capturar un número de paquetes bloqueados que no superan las capacidades de la codificación FEC. Además, el número total de paquetes en un intercalador de fila/columna no debería superar el número de paquetes enviados entre los bloqueos secuenciales de las dos palabras del helicóptero, de tal manera que solo un evento de bloqueo afecte a los paquetes en un bloque de intercalador.

Como reconocería un experto en la materia, es posible un esquema de codificación exterior más potente. Por ejemplo, puede emplearse una codificación FEC más potente para la recuperación de más de un paquete perdido dentro de diversos paquetes y, por lo tanto, reducir la longitud de intercalador necesaria. Sin embargo, estos códigos de FEC más potentes necesitan significativamente más complejidad y sobrecarga, y por lo tanto tienen costes significativamente más altos (tanto en procesamiento como en implementación). Mientras que un único código de verificación de paridad, tal como la codificación de suma de verificación descrita anteriormente, representa uno de los códigos más simples desde un punto de vista de complejidad y sobrecarga, y el intercalador añade una complejidad adicional relativamente baja en comparación con los códigos de verificación de paridad más potentes

para la corrección de múltiples errores. Además, en vista del hecho de que las degradaciones de canal debido al bloqueo periódico de las palas del helicóptero son discernibles, de acuerdo con las realizaciones de ejemplo, este conocimiento del canal se explota para permitir el uso de un código de FEC exterior y un intercalador relativamente simples. Mientras que, en los casos de ruido térmico y otras degradaciones de canal, que en general tienen un comportamiento desconocido e impredecible, se requiere una codificación FEC más compleja (por ejemplo, códigos turbo o codificación de LDPC) para la corrección de errores.

De acuerdo con otras realizaciones de ejemplo, se proporciona un sistema para la transmisión de señales por un terminal donde las transmisiones están sujetas a bloqueos periódicos, por ejemplo, por palas de un helicóptero que emplea múltiples rotores diferentes (por ejemplo, dos rotores). Las realizaciones descritas anteriormente pueden seguir aplicándose a aeronaves más grandes que emplean múltiples rotores, tales como cuando la antena de satélite puede montarse en una posición en la que las señales de transmisión solo se interrumpen por las palas de un rotor a la vez. Sin embargo, las siguientes realizaciones adicionales abordan situaciones alternativas de múltiples rotores.

La figura 6A ilustra una vista delantera de una antena de satélite montada en un helicóptero con dos rotores, tal como un helicóptero K-Max, y la figura 6B ilustra una vista superior de la antena de satélite montada en el helicóptero con dos rotores, de la figura 6A, de acuerdo con las realizaciones de ejemplo. Además, la figura 6C ilustra las relaciones de sincronización con respecto a los rotores del helicóptero de las figuras 6A y 6B y los períodos relativos de interferencia con el terminal de satélite, y la figura 6D ilustra las posiciones de los rotores del helicóptero de las figuras 6A y 6B con respecto al terminal de satélite en diferentes desplazamientos de tiempo en relación con un tiempo de inicio, de acuerdo con las realizaciones de ejemplo. Hay diferentes tipos de helicópteros multirrotor, pero el K-Max (representado en las figuras 6A y 6B) representa el ejemplo potencialmente peor de los casos.

Haciendo referencia a las figuras 6A y 6B, el helicóptero de este ejemplo está equipado con dos rotores 601 y 603, teniendo cada rotor dos palas (palas 601a y 601b del rotor 601, y palas 603a y 603b del rotor 603). Cada rotor está dispuesto en un ángulo ligeramente hacia fuera del cuerpo del helicóptero con el fin de evitar interferencias con el otro rotor. Los rotores giran en direcciones opuestas entre sí y están sincronizados, también de tal manera que las palas de cada rotor no interfieran con las palas del otro rotor. En el ejemplo de las figuras 6A y 6B, una antena parabólica 605 está montada centralmente en la parte superior del cuerpo del helicóptero, justo detrás del parabrisas delantero. En consecuencia, con una rotación completa de cada uno de los rotores, habrá apariciones de una pala que interfieren con las señales transmitidas hacia y desde el terminal de satélite. Por ejemplo, cuando los rotores giran en las direcciones respectivas de las flechas representadas en la figura 6B, las palas interferirán con el terminal de satélite 605 en el siguiente orden, primero la pala 603a, a continuación la pala 601b, a continuación la pala 603b, y finalmente la pala 601a.

Sin embargo, haciendo referencia a la figura 6C, en función del rumbo relativo del helicóptero y la posición del terminal de satélite 605 con respecto al satélite, los bloqueos provocados por las palas de cada rotor tendrán diferentes desplazamientos de tiempo y mostrarán diferentes duraciones de bloqueo, unas de otras. El período entre bloqueos para el rotor 603 se representa como P_{603} , y el período entre bloqueos para el rotor 601 se representa como P_{601} . El período P entre cada pala del mismo rotor es relativamente igual. A continuación, a medida que el rotor 603 rota, las anchuras respectivas (en tiempo) de los bloqueos por sus palas se representan respectivamente como W_{603a} y W_{603b} , y a medida que el rotor 601 rota, las anchuras respectivas (en tiempo) de los bloqueos por sus palas se representan respectivamente como W_{601a} y W_{601b} . En consecuencia, el tiempo T entre la interferencia de una pala de un rotor y la siguiente pala del otro rotor varía en función de la localización del satélite con respecto a la antena 605. De manera similar, la anchura (en tiempo) de los bloqueos respectivos de las palas de cada rotor (W_{601} y W_{603}) también varía en función de la localización del satélite con respecto a la antena 605. Como es evidente en la figura, el tiempo total de transmisión disponible de un período (P_T) es $P - W_1 - W_2$, donde el período P refleja el período desde el comienzo del bloqueo por una pala de un rotor en el comienzo del bloqueo por la siguiente pala de ese rotor (por ejemplo, P_{603} o P_{601}), y W_1 refleja la anchura del bloqueo de una pala de un rotor (por ejemplo, W_{603a}) y W_2 refleja la anchura del bloqueo de una pala del otro rotor (por ejemplo, W_{601b}). En otras palabras, fuera de un período total de P , hay un tiempo total de transmisión desbloqueada de $P - W_1 - W_2$ frente a un tiempo de bloqueo total de $W_1 + W_2$ de tiempo no disponible. Además, debido a que los rotores rotan de manera sincronizada, el período $P_{603} = P_{601} = P$ y el período P refleja una rotación de los rotores de 180 grados (el tiempo entre el comienzo de una pala de un rotor que se interseca con la ruta de señal entre el satélite y la antena y el comienzo de la otra pala del mismo rotor que se interseca con la ruta de señal refleja una rotación del rotor de 180 grados).

Haciendo referencia ahora a la figura 6D, la posición relativa en la que la transmisión se intercepta por las palas determina el desplazamiento de tiempo relativo T . En el momento $t = 0$, por ejemplo, las palas 601 y 603 están en las posiciones discontinuas 611 y 613, respectivamente. Ahora, suponiendo que la ruta de señal entre la antena y el satélite intercepte las palas en un punto entre los puntos A y B, ambos puntos y todos los puntos intermedios se bloquean por la pala 603a después de que los rotores hayan rotado θ grados (donde las respectivas posiciones de palas resultantes se muestran mediante las palas grises sombreadas). Además, la siguiente exposición supondrá que el punto de rotación de θ grados refleja el comienzo del período P . Si la localización del satélite en relación con

la antena da como resultado que la pala 603a se interseque con la ruta de señal en el punto A, entonces la pala 601b bloqueará posteriormente el punto A después de una rotación adicional de los rotores de φ_1 grados ($\varphi_1 < 90^\circ$). Como alternativa, si la localización del satélite en relación con la antena da como resultado que la pala 603a se interseque con la ruta de señal en el punto B, entonces la pala 601b bloqueará posteriormente el punto B después

5 de una rotación adicional de los rotores de $\varphi_1 + \varphi_2$ grados ($\varphi_1 + \varphi_2 > 90^\circ$). En cualquiera de estos casos con respecto a la intersección de la ruta de la señal en los puntos A y B, habrá dos bloqueos de la ruta de la señal (por ejemplo, W603a y W601b) dentro del período P .

En el caso de que la localización del satélite en relación con la antena dé como resultado que la pala 603a se interseque con la ruta de señal en el punto C, entonces la pala 601b bloqueará posteriormente el punto C después

10 de una rotación adicional de los rotores de 90 grados desde la posición de θ grados de rotación. En consecuencia, en el punto C, T es aproximadamente $\frac{1}{2}$ del período P o el tiempo de transmisión disponible y, por lo tanto, el tiempo entre el bloqueo de señal por una primera pala de un primer rotor y el siguiente bloqueo por una primera pala del segundo rotor será aproximadamente igual al tiempo entre el bloqueo por la primera pala del segundo rotor y el siguiente bloqueo por la segunda pala del primer rotor. Además, en el caso donde la pala 603b se interseca con la

15 ruta de señal entre el satélite y la antena en el punto D, la pala 601a se intersecará con la ruta de señal casi inmediatamente después. Como tal, hay solo efectivamente un bloqueo de una duración equivalente a la duración del bloqueo para cada pala añadida. En cualquiera de estos escenarios (donde el bloqueo de señal de la pala 603a está en el punto C o el bloqueo de señal de la pala 603b está en el punto D), el bloqueo se parece efectivamente a un bloqueo del rotor único, donde en un caso el período entre bloqueos es simplemente la mitad del período P , y en el otro caso hay un bloqueo de señal único que asciende a la duración del bloqueo de cada pala que se produce sucesivamente en el período P . Por lo tanto, la solución de rotor único descrita anteriormente puede aplicarse en estos casos especiales. Sin embargo, tales casos especiales son la excepción más que la regla, y en la mayoría de los casos el tiempo T entre el final del bloqueo de la pala de un rotor y el comienzo del siguiente bloqueo de una pala

20 del otro rotor puede ser cualquier valor entre 0 y $\frac{1}{2}$ del tiempo disponible o el período P .

En consecuencia, en la mayoría de los casos en los que la relación de sincronización entre los dos conjuntos de palas puede ser casi contigua o próxima una de otra, y estar tan separadas como $\frac{1}{2}$ del período, el esquema de verificación de paridad única regularmente intercalado para el caso de rotor único (o los casos especiales para el

30 escenario de doble rotor) no serían eficaces. Esto se debe a que, en el escenario de dos rotores, como resultado del intercalado, cada bloque de código ya no incluye solo un error y, por lo tanto, los esquemas de verificación de paridad única aplicados al caso del rotor único ya no serían eficaces. Por lo tanto, de acuerdo con las realizaciones de ejemplo de la presente invención, el código de verificación de paridad exterior (dentro del marco de trabajo tratado anteriormente con respecto al escenario de rotor único) se reemplaza con un código de corrección de errores

35 de dos eliminaciones, junto con un ajuste de los parámetros de intercalador para permitir la transmisión ininterrumpida al satélite. En otras palabras, el intercalado se aplica para lograr dos eliminaciones dentro de cada bloque de código, y se aplica un código para corregir dos eliminaciones dentro de un solo bloque de código, por lo que el receptor conoce la localización de las eliminaciones pero simplemente no conoce el estado de los bits eliminados.

De acuerdo con ciertas dos realizaciones de código de eliminación, puede aplicarse una familia de códigos de Hamming modificados, donde se añade un bit de verificación de paridad general al código de Hamming original. Tales casos presentan un código de dos eliminaciones de una sola dimensión. A modo de ejemplo, puede usarse un código de Hamming de código (8, 4) de tasa 0,5 y un código (16, 11) de tasa 0,6875. A modo de ejemplo adicional,

45 pueden usarse códigos más largos, como (32, 26), para lograr tasas de código más altas. Además, el código de Hamming modificado puede acortarse si es necesario lograr una cierta tasa de bits, por ejemplo, basándose en un diseño de sistema. Debido a que los códigos de Hamming son, en general, $2^n - 1$ (y, con el bit de verificación de paridad general añadido, son 2^n), para lograr una tasa de código específica entre dos códigos de Hamming disponibles, puede ser necesario acortar. A modo de ejemplo, como un método para acortar, el número de bits de información transmitidos puede reducirse (por ejemplo, un cierto número de bits de información de inicio puede establecerse en cero (y no transmitirse), por lo que el extremo receptor entiende que los bits de información omitidos son cero y, por lo tanto, serían capaces en consecuencia de decodificar los bits recibidos). El acortamiento reduce la

50 tasa de código y reduce el rendimiento, pero puede ser útil para ajustar los parámetros de intercalador y puede resultar en una implementación más simple. Por ejemplo, si la longitud de bloque puede ser mayor que 16 (el código de Hamming (16, 11) es demasiado corto), puede obtenerse acortando el código (32, 26) para una mejor eficacia. A modo de ejemplo adicional, otro método de acortamiento comprende la eliminación selectiva, por lo que los bits de paridad se eliminan selectivamente de manera apropiada para lograr la tasa de código deseada y un rendimiento aceptable.

De acuerdo con otras unas realizaciones de código de dos eliminaciones, pueden aplicarse códigos de producto de dos códigos de verificación de paridad. En tales casos, se aplica un código bidimensional con una verificación de paridad en cada dimensión o dirección. A modo de ejemplo, puede implementarse un código de producto con dos

60 códigos de verificación de paridad de tasa $4/5$ para construir un código de tasa total de $0,64$ con una longitud de bloque de 25. A modo de ejemplo adicional, un código de producto puede construirse a partir de dos códigos de verificación de paridad diferentes, por ejemplo, uno con tasa $3/4$ y el otro con tasa $4/5$, lo que produce un código de

65 tasa de $0,6$. Como se apreciará, pueden construirse otras combinaciones de códigos de producto que consisten en

dos códigos de verificación de paridad en función de las tasas de transferencia/bits deseadas.

5 Sin embargo, de las dos opciones anteriores, como se entendería, un enfoque de código de Hamming modificado proporcionaría una tasa de código más alta para una longitud total de bloque más pequeña, lo que es más deseable para minimizar la complejidad de la implementación. Además, cualquiera de estos enfoques también puede aplicarse a un escenario de aeronave de rotor único.

10 La figura 7 ilustra una tabla de parámetros de intercalador, de acuerdo con las realizaciones de ejemplo. De acuerdo con las realizaciones de ejemplo para los códigos exteriores de dos eliminaciones, con respecto a los parámetros de intercalador, el tamaño de búfer total $n \times m$ debería ser menor que el período P . Además, la profundidad de intercalador m debería ser más larga que la mayor de las dos duraciones de bloqueo respectivas de un período P (la mayor de las dos duraciones de bloqueo respectivas de las dos palas de rotor diferentes dentro del período). Por ejemplo, haciendo referencia a la figura 6C, la profundidad de intercalador m reflejaría un período más largo que el máximo de dos bloques de un período, $W = \max(W603a, W601b)$ o $W = \max(W603b, W601a)$. Como tal, el resultado del intercalado garantizaría que no haya más de dos eliminaciones por bloque de código. Además, debido a que el bloque de código y el movimiento de la pala no están sincronizados, la profundidad de intercalador debería ser mayor que W (por ejemplo, $W + 1$). Además, de acuerdo con una realización, para proporcionar cierto margen de error para P y W , la longitud de bloque de código se hace menor que $P/(W + 1)$ o $n < P/(W + 1)$. A continuación, con la misma estructura de intercalador, en lugar de una fila de bloques de verificación de paridad, una implementación con $n - k$ filas de bloques de verificación de paridad facilitarían la corrección de doble eliminación.

25 De acuerdo con las realizaciones de ejemplo adicionales de la presente invención, pueden aplicarse códigos de verificación de paridad de baja densidad largos (LDPC) para la codificación exterior. De acuerdo con ciertas realizaciones de LDPC, puede aplicarse un código exterior de LDPC con un tamaño de bloque igual al tamaño de intercalador $n \times m$, que puede ser equivalente a muchos múltiplos de P (donde el rendimiento mejora a medida que aumenta el tamaño de bloque). En otras palabras, con un código de LDPC apropiado, ya no es beneficioso restringir el número de eliminaciones por bloque de código a dos eliminaciones, y en cambio cada bloque de código puede reflejar múltiples períodos con múltiples eliminaciones o errores. Además, con tales códigos de LDPC, debido a que no hay necesidad de dividir los bits codificados exteriores en pequeños bloques de código, se obtiene una eficacia de ancho de banda adicional como resultado de una sobrecarga reducida. A modo de ejemplo, la distribución de grados del código de LDPC exterior está diseñada para la optimización del rendimiento de decodificación de eliminación.

35 De acuerdo con realizaciones de ejemplo para códigos exteriores de LDPC largos, con respecto a los parámetros de intercalador, el intercalador está diseñado para evitar la aparición de eliminaciones de paridad consecutivas. En otras palabras, el intercalador se implementa para ordenar aleatoriamente los bits codificados con el fin de evitar la situación donde, como resultado de los bloqueos de señal de pala de rotor dentro de cualquier bloque de código dado, se bloquean/eliminan los bits de paridad LDPC consecutivos. De acuerdo con la naturaleza de un código de LDPC (por ejemplo, los códigos de LDPC de la norma ETSI DVB-S2), debido a la estructura de escalera en la paridad del bloque de código, las eliminaciones de paridad consecutivas afectan negativamente el rendimiento de corrección de errores del código. De acuerdo con las realizaciones de ejemplo, se implementa un intercalador rectangular, donde el intercalador se llena fila por fila (como con las realizaciones de código más cortas tratadas anteriormente), con la excepción de que, antes de escribirse en el intercalador, cada fila se ordena aleatoriamente entre sí misma de acuerdo con la regla o esquema $k \rightarrow (k \times C_i) \text{ mod } m$, donde C_i es una constante dependiente de la fila (cada fila se ordena aleatoriamente basándose en una constante diferente) y m es el número de columnas. Además, la constante dependiente de la fila C_i para cada fila i se selecciona de tal manera que cada uno de los índices de fila (cada posición dentro de una fila) se genere solo una vez, y de tal manera que C_i y m sean relativamente primos (C_i y m no son cada uno números primos, pero no tienen divisores comunes). La ordenación aleatoria de cada fila aleatoriza los bits de tal manera que, después de desintercalar en el receptor, las eliminaciones aparezcan al azar. Después de ordenar aleatoriamente, a continuación las filas del intercalador se leen fila por fila. De acuerdo con una realización, puede aplicarse un código de LDPC de tasa 4/5 con un intercalador, donde el número de filas n se establece en 160 y el número de columnas m se establece en 800 y donde las constantes dependientes de la fila C_i , $i = 0, 1, 2, \dots, 159$ pueden ser las siguientes:

313,	563,	667,	539,	343,	461,	53,	181
421,	531,	397,	703,	389,	721,	661,	551
123,	133,	41,	747,	789,	199,	561,	131
17,	629,	357,	333,	41,	99,	563,	233
411,	437,	47,	307,	779,	189,	311,	671
603,	83,	317,	379,	197,	769,	373,	621
69,	113,	553,	509,	431,	439,	673,	9,
23,	353,	671,	77,	387,	401,	401,	363
261,	797,	147,	207,	319,	649,	477,	81,
61,	753,	79,	619,	69,	267,	687,	379
493,	187,	343,	201,	387,	757,	511,	507

479,	677,	427,	727,	551,	559,	591,	621
17,	127,	237,	259,	83,	583,	363,	731
779,	217,	197,	103,	29,	19,	297,	171
27,	43,	453,	307,	177,	737,	207,	259
499,	159,	523,	783,	609,	19,	791,	329
281,	329,	89,	103,	167,	353,	9,	691
333,	687,	153,	349,	501,	353,	457,	267
691,	343,	317,	327,	533,	373,	393,	201
201,	729,	431,	783,	71,	613,	371,	441.

La figura 8 ilustra un sistema informático sobre el que pueden implementarse realizaciones de ejemplo de acuerdo con la presente invención. Un sistema informático 800 incluye un bus 801 u otro mecanismo de comunicación para comunicar información y un procesador 803 acoplado al bus 801 para procesar información. El sistema informático 800 también incluye la memoria principal 805, tal como una memoria de acceso aleatorio (RAM) u otro dispositivo de almacenamiento dinámico, acoplado al bus 801 para almacenar información e instrucciones a ejecutarse por el procesador 803. La memoria principal 805 también puede usarse para almacenar variables temporales u otra información intermedia durante la ejecución de instrucciones a ejecutar por el procesador 803. El sistema informático 800 puede incluir adicionalmente una memoria de solo lectura (ROM) 807 u otro dispositivo de almacenamiento estático acoplado al bus 801 para almacenar información estática e instrucciones para el procesador 803. Un dispositivo de almacenamiento 809, tal como un disco magnético o un disco óptico, se acopla adicionalmente al bus 801 para almacenar información e instrucciones.

De acuerdo con una realización de la invención, el sistema informático 800 proporciona la generación y la operación de diseños de intercalador es de acuerdo con las realizaciones de ejemplo en respuesta al procesador 803 que ejecuta una disposición de las instrucciones contenidas en la memoria principal 805. Tales instrucciones pueden leerse en la memoria principal 805 desde otro medio legible por ordenador, tal como el dispositivo de almacenamiento 809. La ejecución de la disposición de las instrucciones contenidas en la memoria principal 805 provoca que el procesador 803 realice las etapas de proceso descritas en el presente documento. También pueden emplearse uno o más procesadores en una disposición de múltiples procesamientos para ejecutar las instrucciones contenidas en la memoria principal 805. En las realizaciones alternativas, puede usarse la circuitería cableada en lugar de o en combinación con las instrucciones de software para implementar la realización de la invención. Por lo tanto, las realizaciones de la presente invención no se limitan a cualquier combinación específica de circuitería de hardware y software.

El sistema informático 800 también incluye una interfaz de comunicación 817 acoplada al bus 801. La interfaz de comunicación 817 proporciona una comunicación de datos bidireccional que se acopla a un enlace de red 819 que se conecta a una red local 821. Por ejemplo, la interfaz de comunicación 817 puede ser una tarjeta o módem de línea de abonado digital (DSL), una tarjeta de red digital de servicios integrados (ISDN), un módem de cable o un módem telefónico para proporcionar una conexión de comunicación de datos a un tipo correspondiente de línea de teléfono. Como otro ejemplo, la interfaz de comunicación 817 puede ser una tarjeta de red de área local (LAN) (por ejemplo, para Ethernet™ o una red de modelo de transferencia asincrónica (ATM)) para proporcionar una conexión de comunicación de datos a una LAN compatible. Los enlaces inalámbricos también pueden implementarse. En cualquier implementación de este tipo, la interfaz de comunicación 817 envía y recibe señales eléctricas, electromagnéticas u ópticas que transportan flujos de datos digitales que representan diversos tipos de información. Además, la interfaz de comunicación 817 puede incluir dispositivos de interfaz periféricos, tal como una interfaz de bus serial universal (USB), una interfaz de PCMCIA (asociación internacional de tarjetas de memoria para ordenadores personales), etc.

El enlace de red 819 proporciona normalmente comunicación de datos a través de una o más redes a otros dispositivos de datos. Por ejemplo, el enlace de red 819 puede proporcionar una conexión a través de la red local 821 a un ordenador host 823, que tiene conectividad a una red 825 (por ejemplo, una red de área amplia (WAN) o una red global de comunicación de datos por paquetes que ahora se conoce comúnmente como "Internet") o al equipo de datos operado por el proveedor de servicios. La red local 821 y la red 825 usan señales eléctricas, electromagnéticas u ópticas para transmitir información e instrucciones.

El sistema informático 800 puede enviar mensajes y recibir datos, incluyendo código de programa, a través de las redes, el enlace de red 819 y la interfaz de comunicación 817. En el ejemplo de Internet, un servidor (no mostrado) podría transmitir el código solicitado que pertenece a un programa de aplicación para implementar una realización de la presente invención a través de la red 825, la red local 821 y la interfaz de comunicación 817. El procesador 803 puede ejecutar el código transmitido mientras que se recibe y/o almacena el código en el dispositivo de almacenamiento 239, u otro almacenamiento no volátil para su posterior ejecución.

La terminología que se refiere a los medios legibles por ordenador o medios informáticos o similares como se usa en el presente documento se refiere a cualquier medio que participe en proporcionar instrucciones al procesador de un ordenador o módulo procesador o componente para su ejecución. Un medio de este tipo puede tomar muchas

formas, incluyendo pero no limitado a medios no volátiles no transitorios y medios volátiles. Los medios no volátiles incluyen, por ejemplo, medios de disco óptico, medios de disco magnético o medios de disco eléctrico (por ejemplo, disco de estado sólido o SDD). Los medios volátiles incluyen memoria dinámica, tal como memoria de acceso aleatorio o RAM. Las formas comunes de medios legibles por ordenador incluyen, por ejemplo, disquete o disco flexible, disco duro, cinta magnética, cualquier otro medio magnético, CD ROM, CDRW, DVD, cualquier otro medio óptico, memoria de acceso aleatorio (RAM), memoria programable de solo lectura (PROM), PROM borrable, EPROM flash, cualquier otro chip o cartucho de memoria, o cualquier otro medio a partir del cual un ordenador pueda leer datos.

Además, como se apreciará, un módulo o componente (como se menciona en el presente documento) puede estar compuesto por un o unos componentes de software, que se almacenan en una memoria u otro medio de almacenamiento legible por ordenador, y se ejecutan por uno o más procesadores o CPU de los dispositivos respectivos. Sin embargo, como también se apreciará, un módulo puede estar compuesto alternativamente por un o unos componentes de hardware o un o unos componentes de firmware, o una combinación de componentes de hardware, firmware y/o software. Además, con respecto a las diversas realizaciones de ejemplo descritas en el presente documento, aunque ciertas funciones se describen como que se realizan por ciertos componentes o módulos (o combinaciones de los mismos), tales descripciones se proporcionan como ejemplos y, por lo tanto, no pretenden ser limitantes. En consecuencia, cualquiera de tales funciones puede imaginarse como que se realiza por otros componentes o módulos (o combinaciones de los mismos), sin alejarse del espíritu y el alcance general de la presente invención. Además, los métodos, procesos y enfoques descritos en el presente documento pueden implementarse en el procesador usando una circuitería de procesamiento que puede comprender uno o más microprocesadores, circuitos integrados de aplicación específica (ASIC), matrices de puertas programables en campo (FPGA) u otros dispositivos operables para configurarse o programarse para implementar los sistemas y/o métodos descritos en el presente documento. Para la implementación en tales dispositivos que pueden operarse para ejecutar instrucciones de software, los diagramas de flujo y los métodos descritos en el presente documento pueden implementarse en instrucciones de procesador almacenadas en un medio legible por ordenador, tal como software ejecutable almacenado en un almacén de memoria de ordenador.

La figura 9 ilustra un conjunto de chips 900 en el que pueden implementarse las realizaciones de la invención. El conjunto de chips 900 incluye, por ejemplo, componentes de procesador y memoria descritos con respecto a la figura 9 incorporados en uno o más paquetes físicos. A modo de ejemplo, un paquete físico incluye una disposición de uno o más materiales, componentes y/o cables en un conjunto estructural (por ejemplo, una placa base) para proporcionar una o más características tales como fuerza física, conservación de tamaño o limitación de iteración eléctrica.

En una realización, el conjunto de chips 900 incluye un mecanismo de comunicación tal como un bus 901 para pasar información entre los componentes del conjunto de chips 900. Un procesador 903 tiene conectividad al bus 901 para ejecutar instrucciones y procesar la información almacenada en, por ejemplo, una memoria 905. El procesador 903 puede incluir uno o más núcleos de procesamiento estando cada núcleo configurado para funcionar independientemente. Un procesador de múltiples núcleos permite el multiprocesamiento dentro de un único paquete físico. Ejemplos de un procesador de múltiples núcleos incluyen dos, cuatro, ocho, o números mayores de núcleos de procesamiento. Como alternativa o además, el procesador 903 puede incluir uno o más microprocesadores configurados en tándem a través del bus 901 para permitir la ejecución independiente de instrucciones, canalización y subprocesamiento. El procesador 903 también puede acompañarse con uno o más componentes especializados para realizar ciertas funciones y tareas de procesamiento tal como uno o más procesadores de señales digitales (DSP) 907, o uno o más circuitos integrados de aplicación específica (ASIC) 909. Un DSP 907 normalmente se configura para procesar señales del mundo real (por ejemplo, sonido) en tiempo real independientemente del procesador 903. De manera similar, un ASIC 909 puede configurarse para realizar funciones especializadas no realizadas fácilmente por un procesador de fin general. Otros componentes especializados para ayudar en la realización de las funciones inventivas descritas en el presente documento incluyen una o más matrices de puertas programables en campo (FPGA) (no mostradas), uno o más controladores (no mostrados), o uno o más otros chips informáticos de fin especial.

El procesador 903 y los componentes adjuntos tienen conectividad con la memoria 905 a través del bus 901. La memoria 905 incluye tanto memoria dinámica (por ejemplo, RAM) como memoria estática (por ejemplo, ROM) para almacenar instrucciones ejecutables que, cuando se ejecutan por el procesador 903 y/o el DSP 907 y/o el ASIC 909, realizan el proceso de las realizaciones de ejemplo como se describen en el presente documento. La memoria 905 también almacena los datos asociados con o generados por la ejecución del proceso.

En la especificación anterior, se han descrito diversas realizaciones haciendo referencia a los dibujos adjuntos. Sin embargo, será evidente que pueden hacerse diversas modificaciones y cambios a las mismas, y pueden implementarse realizaciones adicionales, sin alejarse del alcance más amplio de la invención como se establece en las reivindicaciones.

REIVINDICACIONES

1. Un método, que comprende:

5 segmentar (S311, S321, S331) un flujo de datos en paquetes de un tamaño fijo para una transmisión en modo ráfaga a través de un canal inalámbrico, en donde la transmisión se somete a un bloqueo periódico, en el que el bloqueo periódico comprende al menos dos bloqueos que se producen dentro de un período total, y cada bloqueo es de una duración respectiva y se repite a intervalos regulares en el período total;

10 aplicar (S313, S323, S333) un código exterior de corrección de errores hacia delante, FEC, a los paquetes del flujo de datos para recuperar datos eliminados debido al bloqueo periódico, en donde la aplicación del código exterior de FEC comprende aplicar un código de corrección de errores a cada uno de los paquetes para generar un bloque de código respectivo;

15 intercalar (S317, S327, S337) cada bloque de código de una manera diseñada para evitar la eliminación de bits de paridad consecutivos dentro del bloque de código por el bloqueo periódico, en donde el intercalado de cada bloque de código comprende escribir cada bit del bloque de código en una matriz de intercalador de n filas y m columnas de manera fila por fila, ordenando aleatoriamente los bits de cada fila dentro de la fila y leyendo los bits ordenados aleatoriamente de cada fila de la matriz de intercalador de la manera fila por fila, **caracterizado por que** la ordenación aleatoria de los bits de cada fila comprende ordenar aleatoriamente cada bit de una posición original k dentro de la fila a una nueva posición dentro de la fila de acuerdo con el siguiente esquema: $k \rightarrow (k \times c_i) \bmod m$, donde c_i es una constante dependiente de la fila;

20 transmitir (S329, S339) los bloques de código codificados e intercalados a lo largo del canal inalámbrico (103), en donde se producen un número de eliminaciones de datos dentro de cada bloque de código debido al bloqueo periódico y en donde el código exterior de FEC comprende un código de verificación de paridad de baja densidad de relación 4/5, $n = 160$, $m = 800$ y los valores de $c_i = 0, 1, 2, \dots, 159$ son de la siguiente manera:

25

313,	563,	667,	539,	343,	461,	53,	181
421,	531,	397,	703,	389,	721,	661,	551
123,	133,	41,	747,	789,	199,	561,	131
17,	629,	357,	333,	41,	99,	563,	233
411,	437,	47,	307,	779,	189,	311,	671
603,	83,	317,	379,	197,	769,	373,	621
69,	113,	553,	509,	431,	439,	673,	9,
23,	353,	671,	77,	387,	401,	401,	363
261,	797,	147,	207,	319,	649,	477,	81,
61,	753,	79,	619,	69,	267,	687,	379
493,	187,	343,	201,	387,	757,	511,	507
479,	677,	427,	727,	551,	559,	591,	621
17,	127,	237,	259,	83,	583,	363,	731
779,	217,	197,	103,	29,	19,	297,	171
27,	43,	453,	307,	177,	737,	207,	259
499,	159,	523,	783,	609,	19,	791,	329
281,	329,	89,	103,	167,	353,	9,	691
333,	687,	153,	349,	501,	353,	457,	267
691,	343,	317,	327,	533,	373,	393,	201
201,	729,	431,	783,	71,	613,	371,	441.

2. El método de la reivindicación 1, en el que el código exterior de FEC comprende un código de verificación de paridad de baja densidad configurado para optimizar la recuperación del número de datos eliminados dentro de cada bloque de código.

30

3. El método de la reivindicación 1, en el que c_i y m son relativamente primos.

4. El método de la reivindicación 1, que comprende adicionalmente:
añadir (S315, S325, S335) una palabra única, UW, a cada uno de los paquetes del flujo de datos para la adquisición de una o más de entre una frecuencia, una fase portadora y una sincronización de símbolos del paquete respectivo.

35

5. El método de la reivindicación 1, que comprende adicionalmente:
aplicar un código interior de corrección de errores hacia delante, FEC, a cada bloque de código codificado e intercalado.

40

6. El método de la reivindicación 5, en el que el código interior de FEC comprende uno de entre un código de verificación de paridad de baja densidad, LDPC, un código convolucional y un código turbo.

7. El método de la reivindicación 1, en el que:

el canal inalámbrico comprende un canal (103) en un sistema de comunicaciones por satélite;
 la transmisión comprende una transmisión de datos de un terminal de satélite (605) instalado en un helicóptero
 que tiene múltiples palas de rotor (217, 601a, 601b, 603a, 603b); y
 cada bloque dentro del período de tiempo comprende un bloqueo por una pala (217, 601a, 601b, 603a, 603b)
 de uno de los rotores (219, 601, 603) respectivos.

8. Un aparato, que comprende:

al menos un procesador (803, 903); y
 al menos una memoria (805, 905) que incluye un código de programa informático para uno o más programas,
 estando la al menos una memoria (805, 905) y el código de programa informático configurados para, con el al
 menos un procesador (803, 903), hacer que el aparato realice al menos lo siguiente,
 segmentar un flujo de datos (511) en paquetes de un tamaño fijo para una transmisión en modo ráfaga a través
 de un canal inalámbrico, en donde la transmisión se somete a un bloqueo periódico, comprendiendo el bloqueo
 periódico al menos dos bloqueos que se producen dentro de un período total, y cada bloqueo es de una duración
 respectiva y se repite a intervalos regulares durante el período total;
 aplicar un código exterior de corrección de errores hacia delante, FEC, a los paquetes del flujo de datos para
 recuperar datos eliminados debido al bloqueo periódico, en donde la aplicación del código exterior de FEC
 comprende aplicar un código de corrección de errores a cada uno de los paquetes para generar un bloque de
 código respectivo;
 intercalar cada bloque de código de una manera diseñada para evitar la eliminación de bits de paridad
 consecutivos dentro del bloque de código por el bloqueo periódico, en donde el intercalado de cada bloque de
 código comprende escribir cada bit del bloque de código en una matriz de intercalador de n filas y m columnas
 de manera fila por fila, ordenando aleatoriamente los bits de cada fila dentro de la fila y leyendo los bits
 ordenados aleatoriamente de cada fila de la matriz de intercalador de manera fila por fila,
caracterizado por que la ordenación aleatoria de los bits de cada fila comprende ordenar aleatoriamente cada
 bit de una posición original k dentro de la fila a una nueva posición dentro de la fila de acuerdo con el siguiente
 esquema: $k \rightarrow (k \times c_i) \bmod m$, donde c_i es una constante dependiente de la fila;
 transmitir los bloques de código codificados e intercalados a lo largo del canal inalámbrico (103), en donde se
 producen un número de eliminaciones de datos dentro de cada bloque de código debido al bloqueo periódico y
 en donde el código exterior de FEC comprende un código de verificación de paridad de baja densidad de relación
 4/5, $n = 160$, $m = 800$ y los valores de $c_i = 0, 1, 2, \dots, 159$ son de la siguiente manera:

313,	563,	667,	539,	343,	461,	53,	181
421,	531,	397,	703,	389,	721,	661,	551
123,	133,	41,	747,	789,	199,	561,	131
17,	629,	357,	333,	41,	99,	563,	233
411,	437,	47,	307,	779,	189,	311,	671
603,	83,	317,	379,	197,	769,	373,	621
69,	113,	553,	509,	431,	439,	673,	9,
23,	353,	671,	77,	387,	401,	401,	363
261,	797,	147,	207,	319,	649,	477,	81,
61,	753,	79,	619,	69,	267,	687,	379
493,	187,	343,	201,	387,	757,	511,	507
479,	677,	427,	727,	551,	559,	591,	621
17,	127,	237,	259,	83,	583,	363,	731
779,	217,	197,	103,	29,	19,	297,	171
27,	43,	453,	307,	177,	737,	207,	259
499,	159,	523,	783,	609,	19,	791,	329
281,	329,	89,	103,	167,	353,	9,	691
333,	687,	153,	349,	501,	353,	457,	267
691,	343,	317,	327,	533,	373,	393,	201
201,	729,	431,	783,	71,	613,	371,	441.

9. El aparato de la reivindicación 8, en el que el código exterior de FEC comprende un código de verificación de
 paridad de baja densidad configurado para optimizar la recuperación del número de datos eliminados dentro de cada
 bloque de código.

10. El aparato de la reivindicación 8, en el que c_i y m son relativamente primos.

11. El aparato de la reivindicación 8, en donde se hace que el aparato realice además lo siguiente:
 añadir una palabra única, UW, a cada uno de los paquetes del flujo de datos para la adquisición de una o más de

entre una frecuencia, una fase portadora y una sincronización de símbolos del paquete respectivo.

12. El aparato de la reivindicación 8, en donde se hace que el aparato realice además lo siguiente:
5 aplicar un código interior de corrección de errores hacia delante, FEC, a cada bloque de código codificado e intercalado.

13. El aparato de la reivindicación 12, en el que el código interior de FEC comprende uno de entre un código de verificación de paridad de baja densidad, LDPC, un código convolucional y un código turbo.

10 14. El aparato de la reivindicación 8, en el que:

el canal inalámbrico comprende un canal (103) en un sistema de comunicaciones por satélite;
el aparato consiste en o es parte de un terminal de satélite (605) localizado en un helicóptero que tiene múltiples
15 palas de rotor (217, 601a, 601b, 603a, 603b);
la transmisión comprende una transmisión de datos del terminal de satélite; y
cada bloque dentro del período de tiempo comprende un bloque por una pala (217, 601a, 601b, 603a, 603b)
de uno de los rotores (219, 601, 603) respectivos.

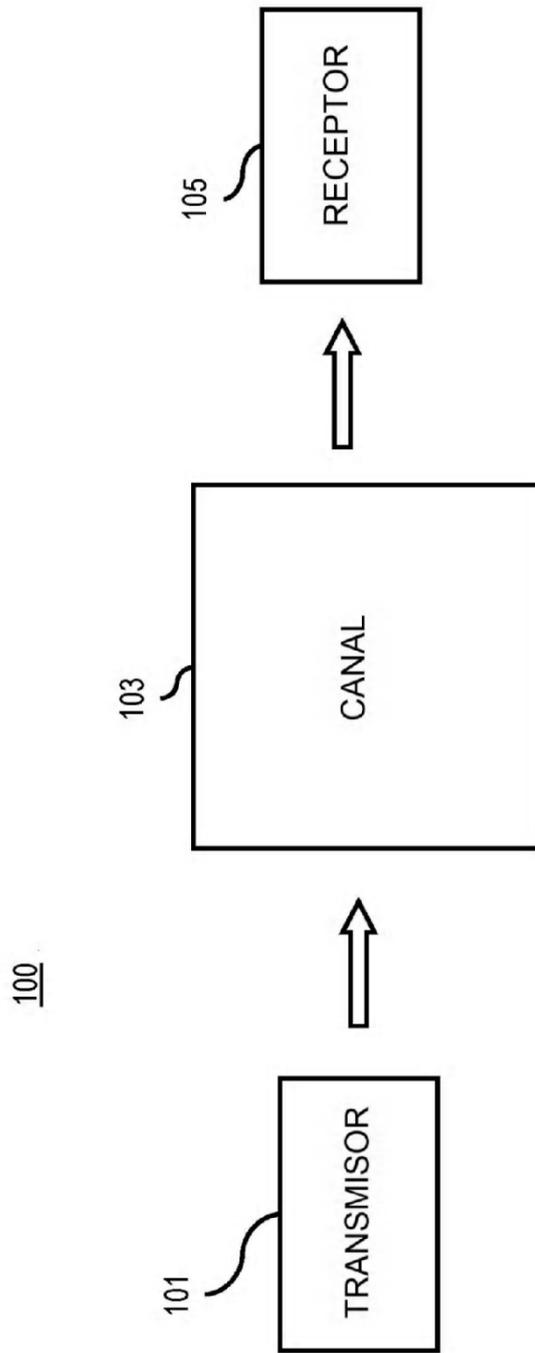


FIG. 1A

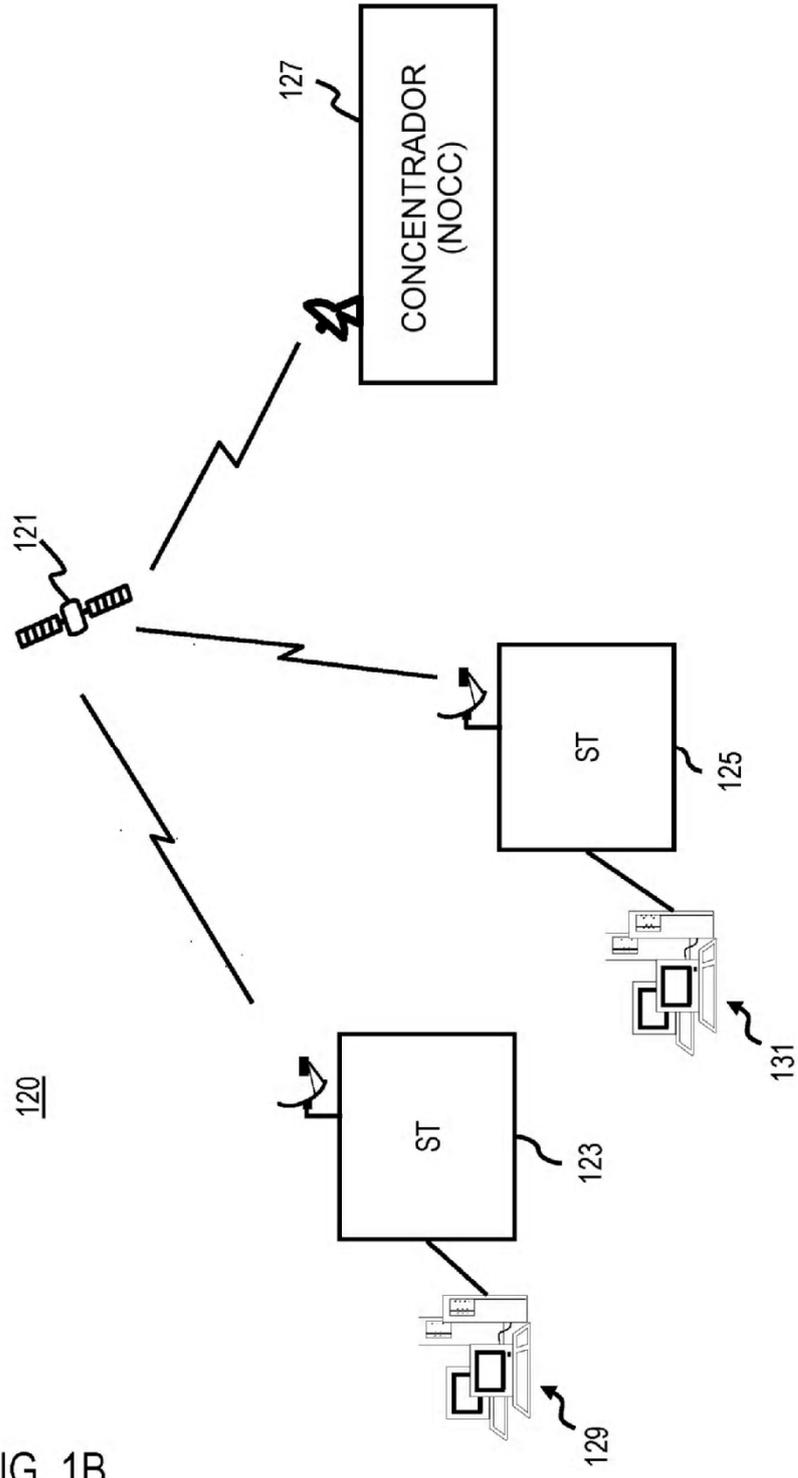


FIG. 1B

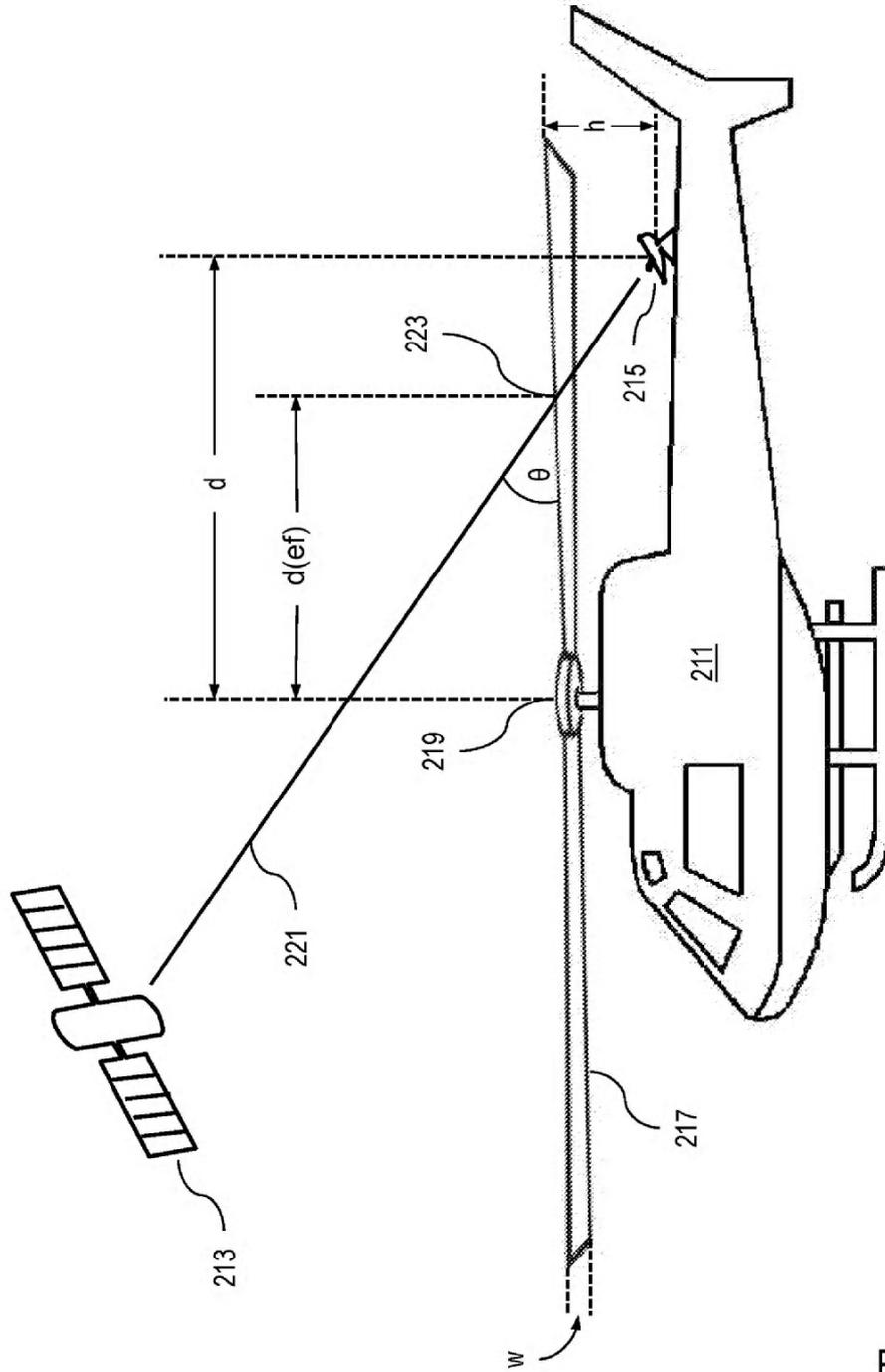


FIG. 2

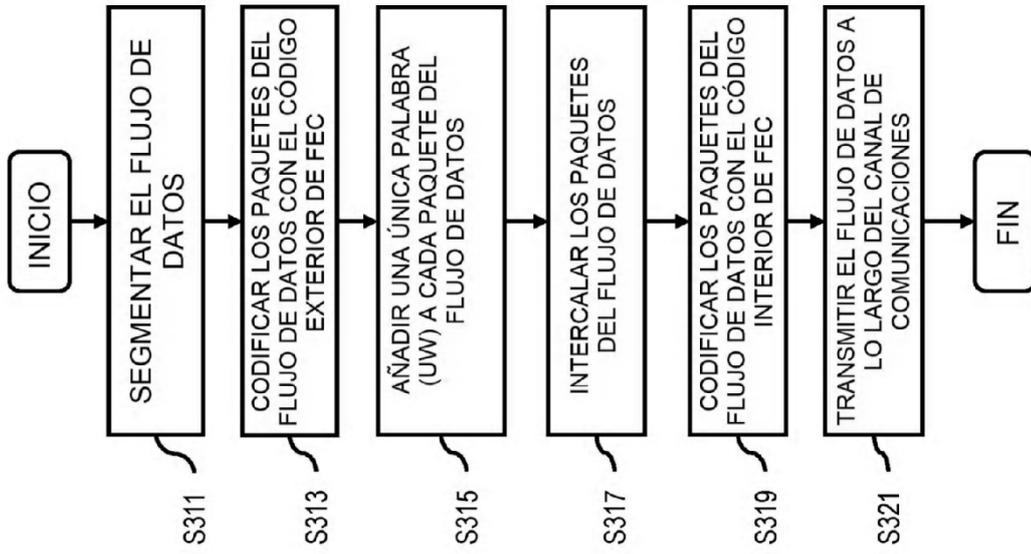


FIG. 3A

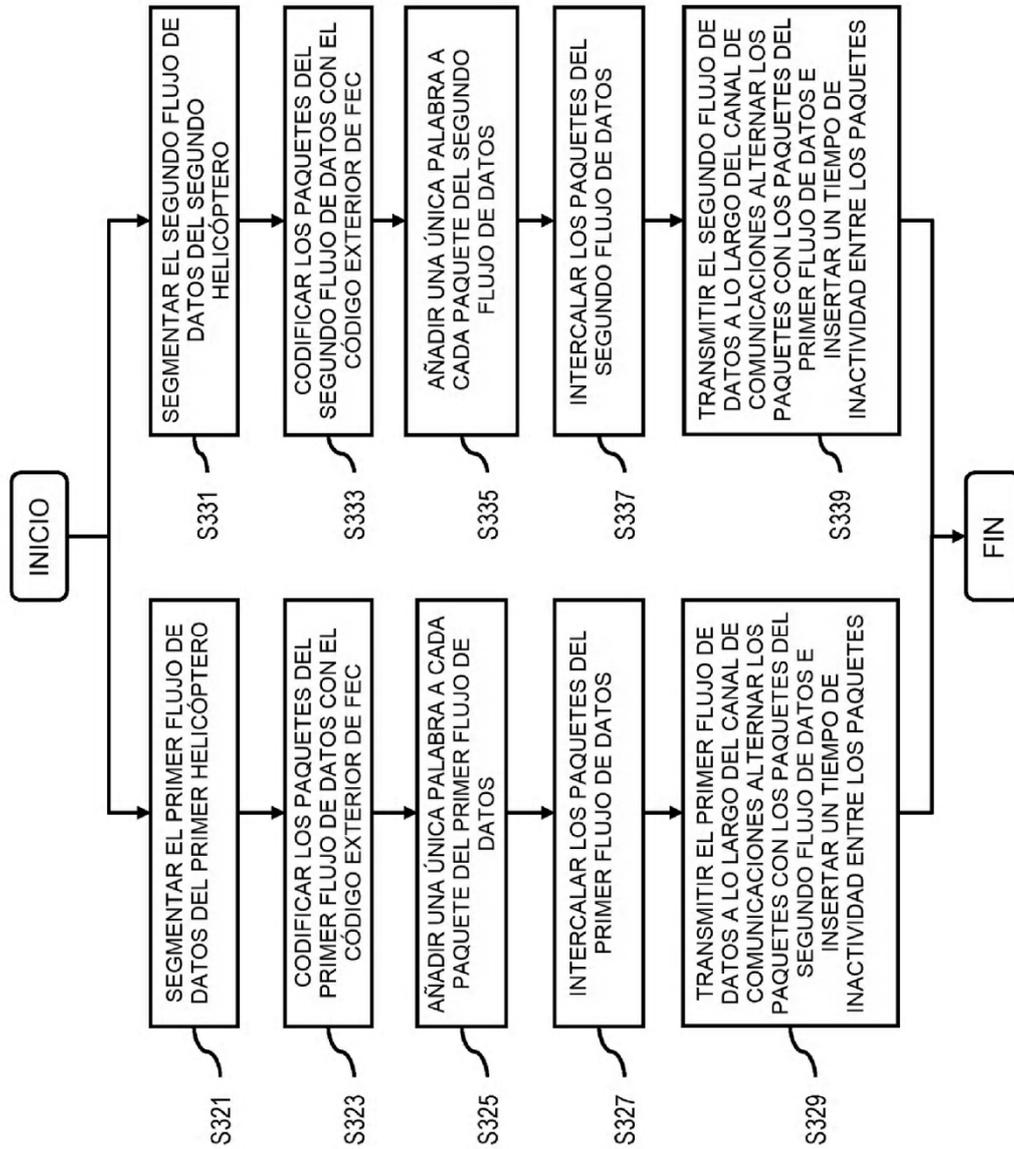


FIG. 3B

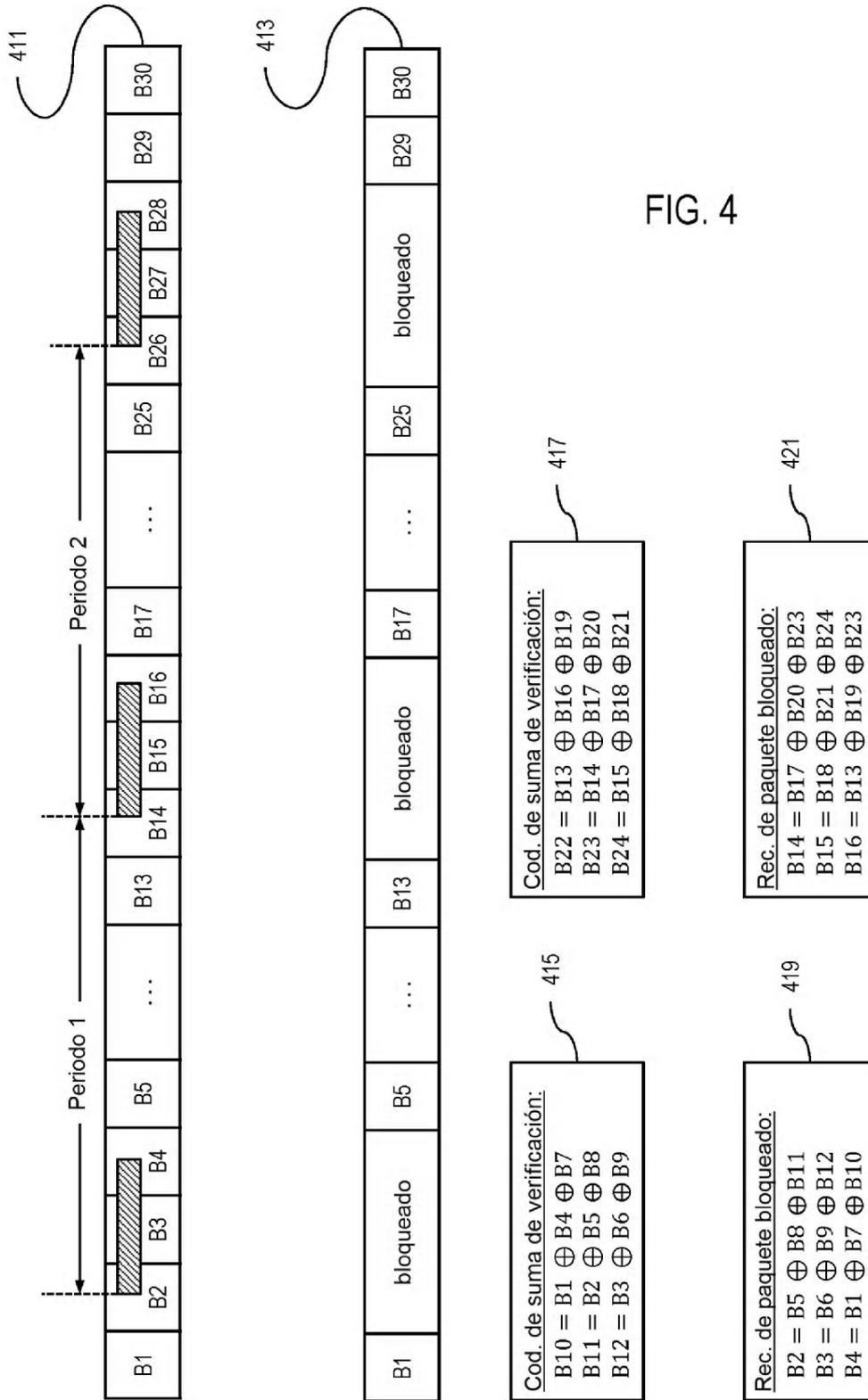


FIG. 4

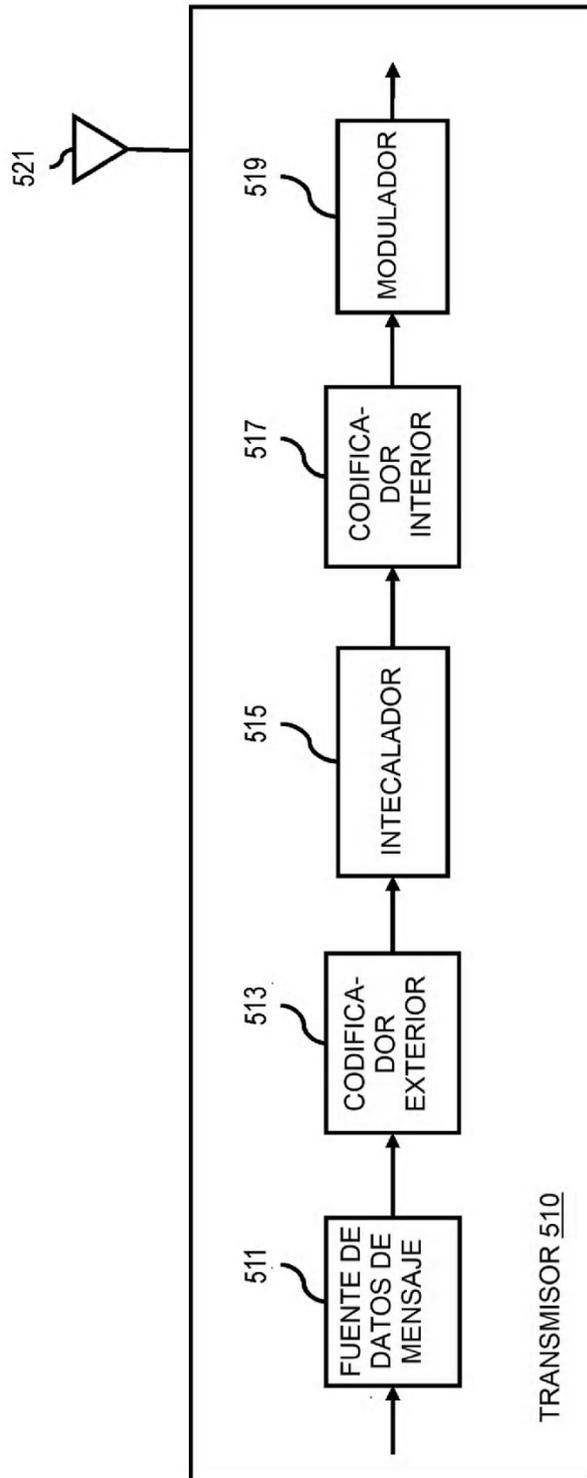


FIG. 5A

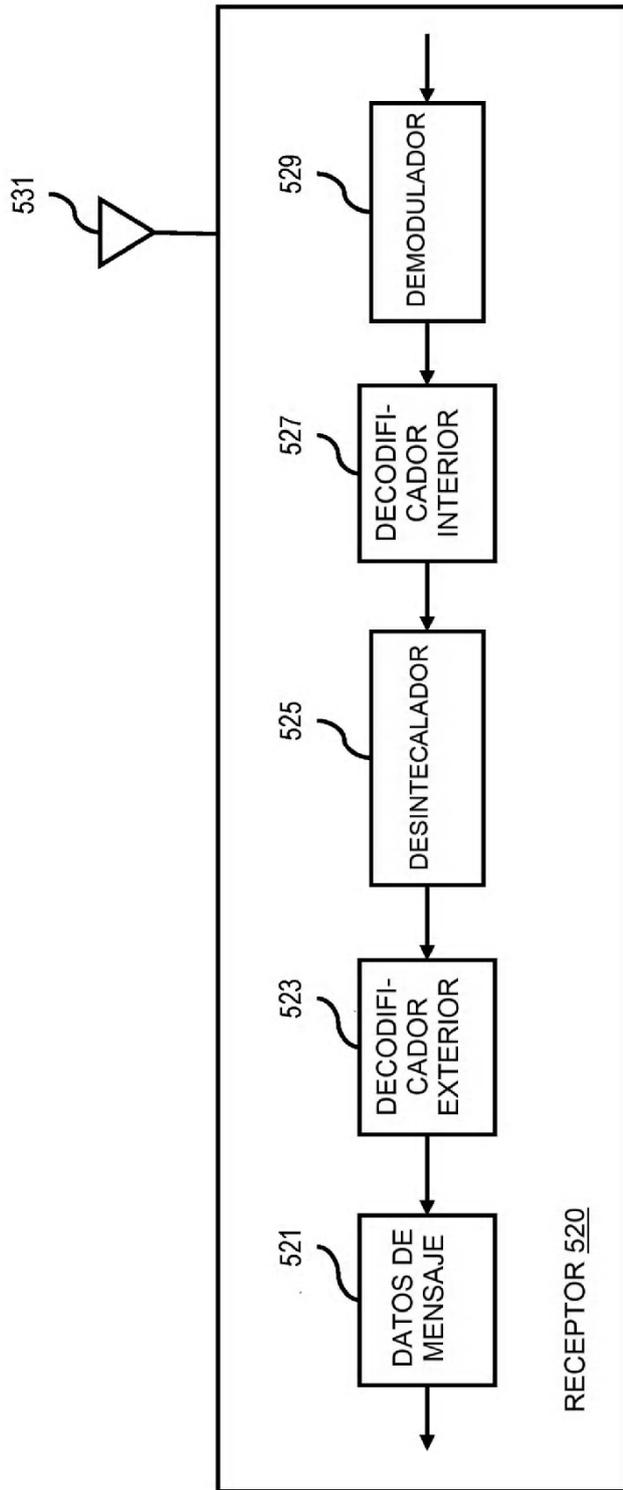


FIG. 5B

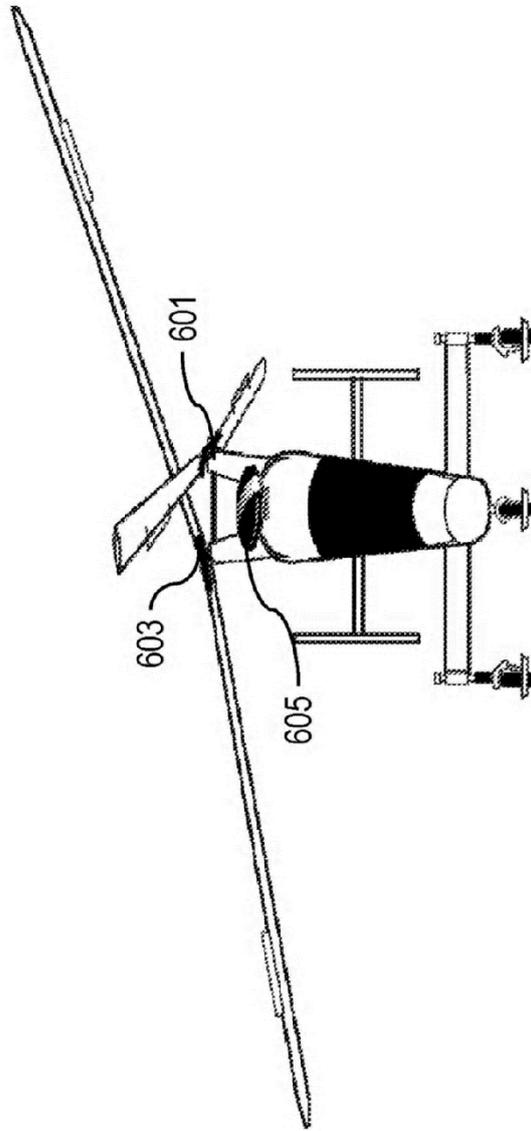


FIG. 6A

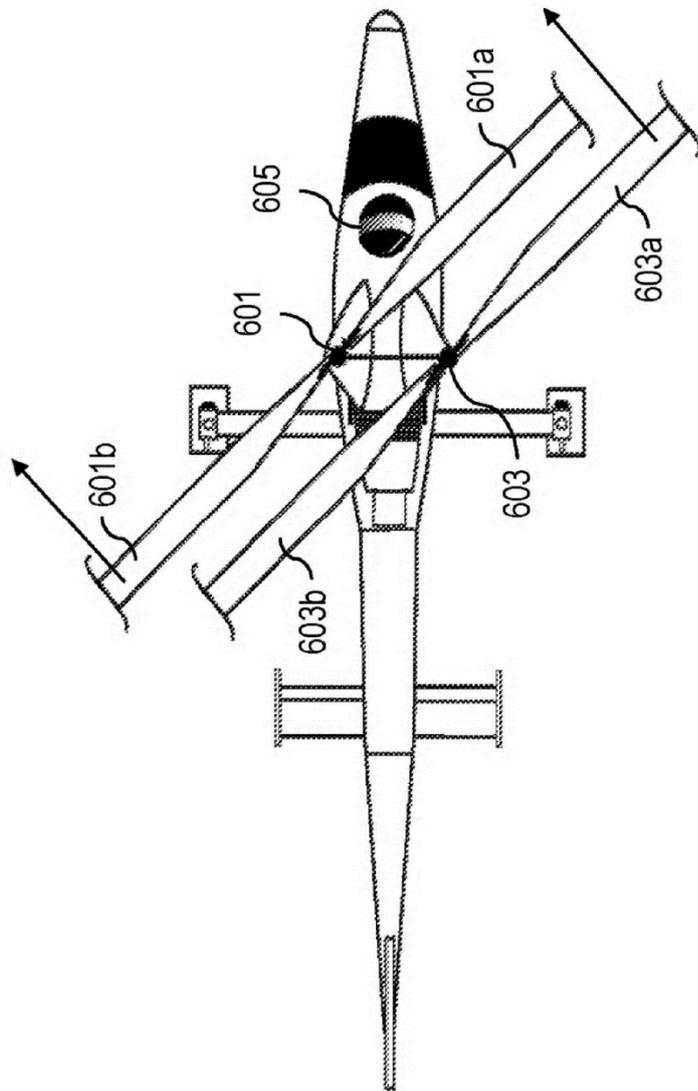


FIG. 6B

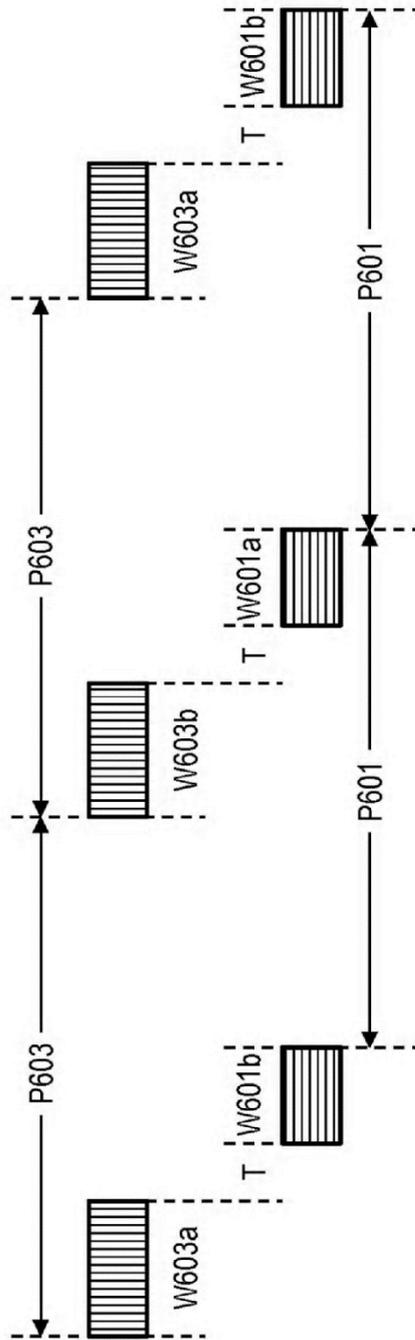


FIG. 6C

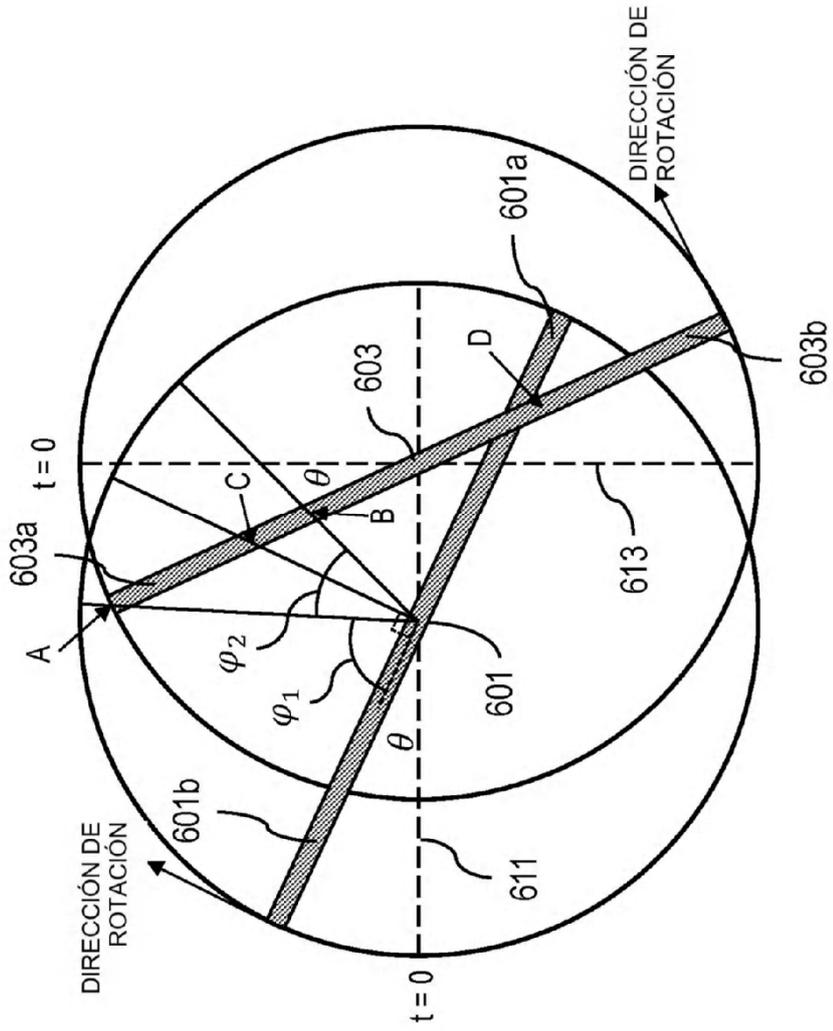


FIG. 6D

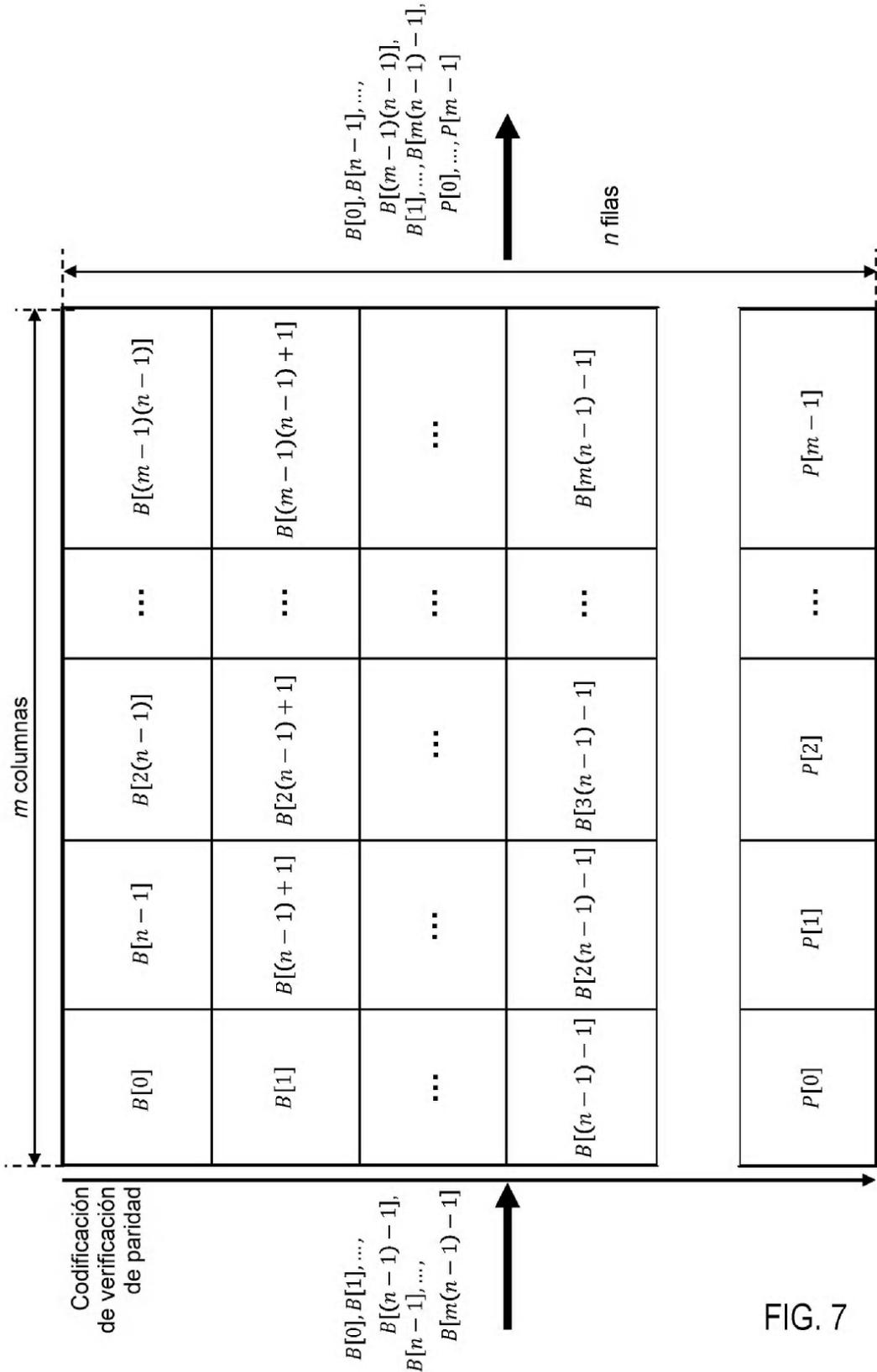


FIG. 7

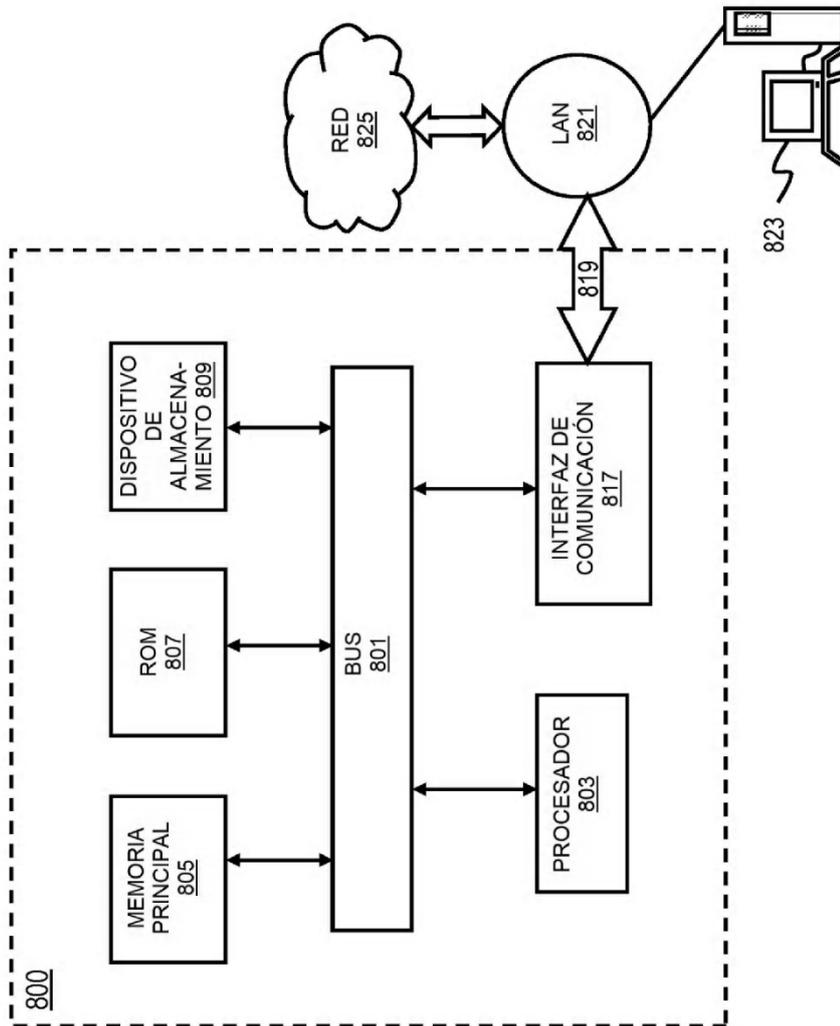


FIG. 8

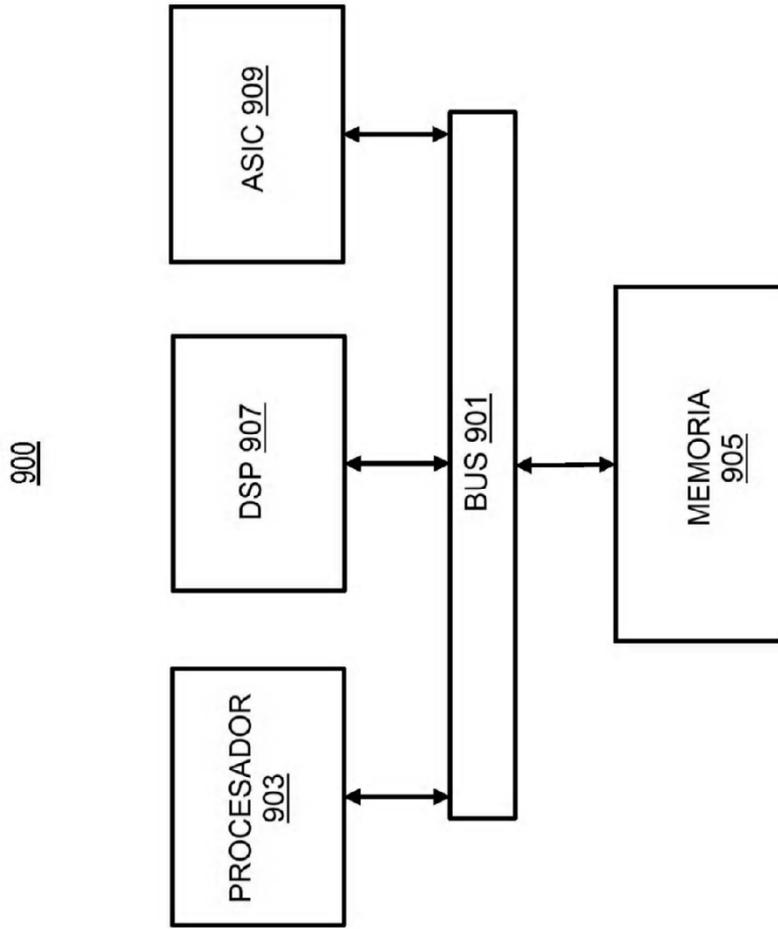


FIG. 9