

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 777 999**

21 Número de solicitud: 202030255

51 Int. Cl.:

**H03M 1/42** (2006.01)

**H03M 1/14** (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

**30.03.2020**

43 Fecha de publicación de la solicitud:

**06.08.2020**

71 Solicitantes:

**UNIVERSITAT POLITÈCNICA DE VALÈNCIA**

**(100.0%)**

**Servicio de Promoción y Apoyo a Investigación,  
Innovación y Transferencia - i2T Camí de Vera,  
s/n - Edificio 8G - Acceso A - Planta 3  
46022 Valencia ES**

72 Inventor/es:

**SEGUI LÓPEZ, Armando y  
BERJANO ZANÓN, Enrique**

74 Agente/Representante:

**PONS ARIÑO, Ángel**

54 Título: **CONVERTIDOR ANALÓGICO-DIGITAL CON MÓDULO DE BALANCE DE VALORES**

57 Resumen:

Convertidor analógico-digital con módulo de balance de valores

Que logra una alta velocidad de conversión y una alta resolución en términos de número de bits, y que comprende: un módulo de balance de valores (1); un módulo de generación de tensiones de raíl (3), conectado al módulo de balance de valores (1); un módulo de generación de bits (2), conectado a la salida del módulo de balance de valores (1); y un módulo generador (4) de fracciones de tensión de referencia ( $V_{ref}$ ), conectado a la entrada del módulo de balance de valores (1) y a la entrada del módulo de generación de bits (2).

ES 2 777 999 A1

## DESCRIPCIÓN

### CONVERTIDOR ANALÓGICO-DIGITAL CON MÓDULO DE BALANCE DE VALORES

#### 5 OBJETO DE LA INVENCION

El objeto de la invención es un convertidor analógico-digital con módulo de balance de valores, que logra una alta velocidad de conversión y una alta resolución en términos de número de bits.

10

#### ANTECEDENTES DE LA INVENCION

Los convertidores analógico-digitales (CAD) se utilizan en multitud de aplicaciones, pues la mayoría de señales captadas por sensores electrónicos son analógicas, y en muchas aplicaciones estas señales deben ser procesadas por sistemas digitales, por lo que es necesaria su conversión de señal analógica a señal digital. Las señales digitales se caracterizan por su resolución, que se mide por el número de bits. Cuanto mayor es el número de bits, mayor resolución tiene el CAD.

15

20

Existen diferentes tipos de CAD, entre los que destacan los convertidores tipo flash, de aproximaciones sucesivas o sigma-delta. Los convertidores tipo flash son los que realizan la conversión de forma más rápida. Como inconveniente, su implementación requiere de un número muy elevado de circuitos comparadores. En concreto, necesitan  $2^n - 1$  comparadores, siendo n el número de bits de resolución. Esto hace que los convertidores tipo flash estén limitados a 10 bits de resolución, ya que es difícil fabricar convertidores con más de 1024 comparadores internos ( $2^{10} - 1$ ). Por el contrario, los convertidores de aproximaciones sucesiva o los de sigma-delta necesitan muchos menos componentes internos, pero son mucho más lentos en la conversión.

25

30

En el estado de la técnica, el documento US2019268557A1 hace referencia a un dispositivo convertidor analógico-digital que emplea amplificadores operacionales y resistencias, con comparadores secuenciales en etapas conectadas en serie, con una alta velocidad de conversión y bajo consumo energético.

35

Por su parte, el documento JPH0522139A describe un dispositivo convertidor analógico-digital con una alta velocidad de conversión que distribuye las entradas entre grupos de

comparadores manteniendo una impedancia de entrada constante y reduciendo la longitud de los caminos conductores, lo que reduce el espacio que ocupa el circuito y el número de comparadores.

## 5 DESCRIPCIÓN DE LA INVENCION

El convertidor analógico-digital de la presente invención se divide en cuatro módulos: un módulo de balance de valores, un módulo de generación de tensiones de rail, un módulo de generación de bits y un módulo de generación de fracciones de tensión de referencia.

10

El convertidor analógico-digital de la presente invención, en su implementación con resolución de  $n$  bits, comprende:

- un módulo de balance de valores, que comprende  $n-1$  comparadores de balance de valores, conectados en serie,

15

- un módulo de generación de tensiones de rail, que comprende  $2(n-1)$  generadores de tensión de rail, estando cada uno conectado a un comparador de balance de valores,

- un módulo de generación de bits, que comprende  $n$  comparadores de generación de bits conectados al módulo de balance de valores, y

20

- un módulo generador de fracciones de tensión de referencia ( $V_{ref}$ ), que comprende  $n$  generadores de fracciones de tensión de referencia, y que alimentan a los comparadores de balance de valores y a los comparadores de generación de bits.

A continuación, se describen cada uno de los módulos, y las relaciones existentes entre ellos.

25

Tanto el módulo de generación de bits como el módulo de tensiones de rail comprenden una serie de comparadores, que se han denominado comparadores de balance de valores en un caso y comparadores de generación de bits en otro, para facilitar su diferenciación.

30

En cualquier caso, todos los comparadores analógicos comprenden dos entradas analógicas (una entrada analógica positiva ( $V^+$ ) y una entrada analógica negativa ( $V^-$ )) y una salida ( $V_o$ ). Además, comprenden un terminal de alimentación positivo ( $V_{CC+}$ ) y un terminal de alimentación negativo ( $V_{CC-}$ ).

En general, cuando la entrada positiva ( $V^+$ ) tiene una tensión mayor que la tensión en la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) toma un valor alto. Si la entrada positiva ( $V^+$ ) tiene una tensión menor que la de la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) toma un valor bajo.

5 Si como comparador se emplea un amplificador operacional raíl a raíl, los valores alto y bajo corresponden casi exactamente con los valores que se colocan en los terminales de alimentación positivo ( $V_{CC+}$ ) y negativo ( $V_{CC-}$ ). Es decir, cuando la entrada positiva ( $V^+$ ) tiene una tensión mayor que la que hay en la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) tendrá el mismo valor que el terminal de alimentación positivo ( $V_{CC+}$ ), mientras que cuando la entrada positiva  
 10 ( $V^+$ ) tiene una tensión menor que la tensión en la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) tiene el mismo valor que el terminal de alimentación negativo ( $V_{CC-}$ ).

A continuación, y por simplicidad se describe el funcionamiento de un convertidor analógico-digital con circuito de balance de valores de 4 bits, es decir, con  $n = 4$ , siendo la extensión al  
 15 caso de un mayor número de bits (8, 10, 12, etc.) extrapolable a partir de la descripción que sigue.

Concretamente, en el caso de  $n = 4$ , el módulo de balance de valores comprenderá  $n - 1 = 3$  comparadores de balance de valores, el módulo de generación de tensión de raíl comprenderá  $2(n - 1) = 6$  generadores de tensiones de raíl, el módulo de generación de  
 20 bits comprende  $n = 4$  comparadores de generación de bits y  $n = 4$  generadores de fracciones de tensión de referencia ( $V_{ref}$ ).

Una señal analógica a digitalizar ( $V_{00}$ ) se introduce en la entrada negativa ( $V^-$ ) de un primer  
 25 comparador de balance del módulo de balance de valores. Por la entrada positiva ( $V^+$ ) se introduce una tensión igual a la mitad de una tensión de referencia ( $V_{ref}$ ). La tensión  $V_{ref}$  es la máxima tensión a digitalizar, también llamada tensión de fondo de escala (FS). Es una tensión interna de valor muy exacto y estable.

30 Si la tensión de entrada  $V_{00}$  es superior a  $V_{ref}/2$ , la salida  $V_{01}$  del primer comparador de balance de valores toma el valor de la tensión en el terminal de alimentación negativo ( $V_{CC-}$ ). Por el contrario, si la tensión de entrada  $V_{00}$  es inferior a  $V_{ref}/2$ , la salida  $V_{01}$  del primer comparador de balance de valores toma el valor de la tensión en el terminal de alimentación positivo ( $V_{CC+}$ ), es decir  $V_{01} = V_{00}$ .

35

La tensión en el terminal de alimentación negativo ( $V_{CC-}$ ) es igual a  $V_{00} - V_{ref}/2$  y se obtiene del módulo de generación de tensiones de raíl, que se describe más adelante en detalle.

5 En esta primera comparación del primer comparador de balance de valores, se analiza si la tensión de entrada  $V_{00}$  es mayor o menor que la mitad de la tensión de referencia ( $V_{ref}$ ), lo cual condiciona el valor de su salida  $V_{01}$ .

Por otra parte, el módulo de generación de bits permite generar el segundo bit de mayor peso a partir de la salida  $V_{01}$ , y el MSB a partir de  $V_{00}$ .

10 El primer comparador de balance de valores obtiene en su salida  $V_{01}$  una señal analógica que se introduce en un segundo comparador de balance de valores, concretamente en la entrada negativa  $V^-$ . En su entrada positiva  $V^+$  se introduce una tensión igual a la cuarta parte de la tensión de referencia ( $V_{ref}$ ). Por lo tanto, la tensión de entrada negativa  $V^-$  es  
 15 función de la tensión de salida del primer comparador de balance de valores.

Si la tensión en la entrada negativa ( $V_{01}$ ) es superior a  $V_{ref}/4$ , la tensión en la salida del segundo comparador de balance de valores ( $V_{02}$ ) toma el valor de la tensión en el terminal de alimentación negativo ( $V_{CC-}$ ), que en este caso es  $V_{01} - V_{ref}/4$ . Por el contrario, si la  
 20 tensión  $V_{01}$  es inferior a  $V_{ref}/4$ , la salida ( $V_{02}$ ) toma el valor de la tensión en el terminal de alimentación positivo, es decir  $V_{02} = V_{01}$ .

La tensión  $V_{01} - V_{ref}/4$  del terminal de alimentación negativo ( $V_{CC-}$ ) se obtiene del módulo de generación de tensiones de raíl.

25 En esta segunda comparación del segundo comparador de balance de valores se analiza si la tensión de salida del primer comparador de balance de valores ( $V_{01}$ ) es mayor o menor que la cuarta parte de la tensión de referencia  $V_{ref}/4$ , lo que condiciona el valor de su salida  $V_{02}$ . El módulo de generación de bits generará el valor del tercer bit de mayor peso a partir  
 30 de la salida  $V_{02}$ .

De forma similar se conectará un tercer comparador de balance de valores.

35 En resumen, el funcionamiento del módulo de balance de valores es tal que cuando la entrada negativa ( $V^-$ ) de cada comparador de balance de valores tiene un peso analógico

superior a la fracción correspondiente de  $V_{ref}$  ( $V_{ref}/2$  en el primero,  $V_{ref}/4$  en el segundo, etc.), la tensión en la salida ( $V_o$ ) será la diferencia entre la entrada negativa ( $V^-$ ) y dicha fracción.

- 5      Está tensión de salida ( $V_o$ ) entra en el siguiente comparador de balance de valores, y también en el módulo de generación de bits, que genera un nivel alto lógico ("1"). En el caso de que la entrada negativa ( $V^-$ ) no tenga el peso suficiente (es decir, que sea inferior a la fracción correspondiente de  $V_{ref}$ ), la salida será directamente el mismo valor de la entrada. Esta tensión de salida entrará en el siguiente comparador de balance de valores, y también
- 10     en el módulo de generación de bits, que generará un nivel lógico bajo ("0").

El módulo de generación de bits comprende unos comparadores de generación de bits, en este caso cuatro. La tensión en su entrada positiva es  $V_{00}$  en el caso del primer comparador,  $V_{01}$  en el segundo,  $V_{02}$  en el tercero y así sucesivamente. La tensión en su entrada negativa

15     es  $V_{ref}/2$  en el primero,  $V_{ref}/4$  en el segundo,  $V_{ref}/8$  en el tercero y así sucesivamente. Los comparadores de generación de bits proporcionan un nivel lógico alto cuando la tensión en su entrada positiva ( $V^+$ ) es mayor que la tensión en su entrada negativa ( $V^-$ ), y un nivel lógico bajo cuando la tensión en su entrada positiva ( $V^+$ ) es menor que la tensión en su entrada negativa ( $V^-$ ).

20     El nivel lógico alto corresponde a la tensión introducida por su terminal de alimentación positiva ( $V_{CC+}$ ) y el nivel lógico bajo corresponde a la tensión introducida por su terminal de alimentación negativa ( $V_{CC-}$ ). Por ejemplo, cuando los comparadores de generación de bits son alimentados con una tensión de +5V en su terminal de alimentación positivo ( $V_{CC+}$ ) y 0V

25     en el terminal de alimentación negativo ( $V_{CC-}$ ), el nivel alto será 5 V y el nivel bajo 0 V.

El convertidor analógico-digital con módulo de balance de valores descrito presenta las ventajas de tener una alta velocidad de conversión, del rango de los convertidores CAD tipo flash, pero con un menor número de comparadores. Por lo tanto, se implementa un

30     convertidor CAD con un número de bits de resolución mayor que 8, manteniendo velocidades de conversión alta.

**DESCRIPCIÓN DE LAS FIGURAS**

5 Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte integrante de dicha descripción, un juego de figuras en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

10 Figura 1.- Muestra esquema de un comparador analógico con dos entradas analógicas ( $V^+$  y  $V^-$ ), una salida ( $V_o$ ) y dos terminales de alimentación ( $V_{cc+}$  y  $V_{cc-}$ ).

Figura 2.- Muestra un esquema del primer comparador de balance de valores.

15 Figura 3.- muestra un esquema del segundo comparador de balance de valores.

Figura 4.- Muestra un esquema del módulo de balance de valores para el caso de resolución de cuatro bits.

20 Figura 5.- Muestra un esquema de la conexión entre el módulo de balance de valores y el módulo de generación de bits, para el caso de resolución de cuatro bits.

Figura 6.- Muestra un esquema del funcionamiento de la primera etapa en el caso de tensión de entrada  $V_{in} = 3.13 V$ .

25 Figura 7.- Muestra un esquema de funcionamiento de la segunda etapa en el caso de tensión de entrada  $V_{in} = 3.13 V$ .

Figura 8.- Muestra un esquema de funcionamiento de la tercera etapa en el caso de tensión de entrada  $V_{in} = 3.13 V$ .

30 Figura 9.- Muestra un esquema de funcionamiento de la primera etapa en el caso de tensión de entrada  $V_{in} = 1.563 V$ .

35 Figura 10.- Muestra un esquema de funcionamiento de la segunda etapa en el caso de tensión de entrada  $V_{in} = 1.563 V$ .

Figura 11.- Muestra un esquema de funcionamiento de la tercera etapa en el caso de tensión de entrada  $V_{in} = 1.563 V$ .

Figura 12.- Muestra el módulo de balance de valores en un aspecto de la invención.

5

Figura 13.- Muestra un esquema del módulo de generación de tensiones de raíl en un aspecto de la invención.

Figura 14.- Muestra cuatro ejemplos de generadores de fracciones de tensión de referencia en un aspecto de la invención.

10

Figura 15.- Muestra un esquema general de un convertidor analógico-digital de resolución 4 bits, con el módulo de balance de valores (superior), el módulo de integración de tensiones de raíl (cuadrados en el centro), y el módulo de generación de bits (inferior), en el que las flechas discontinuas representan el camino más lento que realiza la señal al ser procesada por cada módulo.

15

Figura 16.- Muestra el estado del arte de los convertidores CAD en términos de número de bits (eje de ordenadas) y velocidad de conversión (eje de abscisas), siendo la línea en negrita el convertidor CAD con módulo de balance de valores.

20

Figura 17.- Muestra un esquema general del convertidor analógico-digital de resolución 4 bits, con el módulo de balance de valores (superior), el módulo de integración de tensiones de raíl (cuadrados en el centro), el módulo de generación de bits (inferior), y las conexiones a los módulos generadores de fracciones de tensión de referencia.

25

Figura 18.- Muestra un esquema del convertidor analógico-digital de n bits.

### **REALIZACIÓN PREFERENTE DE LA INVENCION**

30

A continuación se describen, con ayuda de las figuras 1 a 18, una serie de aspectos del convertidor analógico-digital (60) con módulo de balance de valores, objeto de la presente invención.

35

El convertidor analógico-digital (60) tiene una resolución de n bits, se representa esquemáticamente en la figura 17 (para el caso de  $n = 4$ ), y comprende:

- un módulo de balance de valores (1), que comprende n-1 comparadores de balance de valores (101, 102, 103) conectados en serie, representados en las figuras 2 y 3 de manera individual, y conectados en la figura 4,
- un módulo de generación de tensiones de raíl (3), representado en la figura 13, que comprende 2(n-1) generadores de tensión de raíl (301, 302, 303), conectados a los comparadores de balance de valores (101, 102, 103),
- un módulo de generación de bits (2), que comprende n comparadores de generación de bits (201, 202, 203, 204), representados en la figura 5, conectados al módulo de balance de valores (1), y
- un módulo generador (4) de fracciones de tensión de referencia ( $V_{ref}$ ), representado en la figura 14, que comprende n generadores de fracciones (41, 42, 43, 44), conectados al módulo de balance de valores (1) y al módulo de generación de bits (2).

Además, en la figura 1 se representa un comparador analógico genérico, que es el elemento básico para la implementación del módulo de balance de valores (1) y del módulo de generación de bits (2), los cuales se han denominado comparadores de balance de valores en un caso (101, 102, 103) y comparadores de generación de bits (201, 202, 203, 204) en otro, para facilitar su diferenciación.

En cualquier caso, todos los comparadores, tal y como se representa en la figura 1, comprenden dos entradas analógicas (una entrada analógica positiva ( $V^+$ ) y una entrada analógica negativa ( $V^-$ ) y una salida ( $V_o$ ). Además, comprenden un terminal de alimentación positivo ( $V_{CC+}$ ) y un terminal de alimentación negativo ( $V_{CC-}$ ).

Su funcionamiento es tal que cuando la entrada positiva ( $V^+$ ) tiene una tensión mayor que la tensión en la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) toma un valor alto. Si la entrada positiva ( $V^+$ ) tiene una tensión menor que la de la entrada negativa ( $V^-$ ), la salida ( $V_o$ ) toma un valor bajo.

A continuación, se explica el funcionamiento del convertidor analógico-digital (60) objeto de invención, en el caso de un convertidor analógico-digital (60) con resolución de n=4 bits con tensión de referencia  $V_{ref} = 5 V$ . Concretamente, se va a explicar el funcionamiento de cada uno de los módulos para dos ejemplos de tensión de entrada: 3.13 V y 1.563 V.

En el caso de tensión de entrada 3.13 V, en una primera etapa representada en la figura 6, la tensión de entrada  $V_{00}$ , que se introduce en el módulo a través de la entrada negativa ( $V^-$ )

- de un primer comparador de balance de valores (101) sería  $V_{00} = 3.13 V$ . Dado que  $3.13 V$  es mayor que  $\frac{V_{ref}}{2} = 2.5 V$ , en la salida ( $V_o$ ) del primer comparador de balance de valores (101) existe una tensión  $V_{01} = V_{00} - \left(\frac{V_{ref}}{2}\right) = 0.63 V$ , que pasa a la entrada negativa ( $V^-$ ) de un segundo comparador de balance de valores (102), tal y como se muestra en la figura 6.
- 5 Simultáneamente, dado que  $3.13 V$  es mayor que  $\frac{V_{ref}}{2} = 2.5 V$ , y que es la tensión que se introduce por la entrada positiva ( $V^+$ ) del primer comparador de generación de bits (201), el bit tomará un valor de  $+5 V$ , es decir, un valor lógico alto (este es el Bit 0, MSB, según la figura 5).
- 10 En una segunda etapa, representada esquemáticamente en la figura 7,  $V_{01} = 0.63 V$ , que se introduce por la entrada negativa ( $V^-$ ) del segundo comparador de balance de valores (102). En esta etapa, ya que  $0.63 V$  es menor que  $\frac{V_{ref}}{4} = 1.25 V$  la salida ( $V_o$ ) del segundo comparador de balance de valores (102) tendrá un valor igual al de la entrada negativa ( $V^-$ ), es decir  $V_{02} = 0.63 V$ . Este valor de tensión será el que entre en un tercer comparador de
- 15 balance de valores (103). Simultáneamente, ya que  $V_{01} = 0.63 V$ , es menor que  $\frac{V_{ref}}{4} = 1.25 V$ . y que es la tensión que se introduce por la entrada positiva ( $V^+$ ) del segundo comparador de generación de bits (202), el módulo de generación de bits (2) genera en esta posición un bit de valor bajo (este es el Bit 1 según la figura 5).
- 20 En la figura 8 se representa esquemáticamente el funcionamiento de una tercera etapa, que en este ejemplo concreto es la última etapa. La tensión de entrada en la entrada negativa ( $V^-$ ) del tercer comparador de balance de valores (103) es  $V_{02} = 0.63 V$ . Al compararla con el valor de la entrada positiva ( $V^+$ ), que en este caso tiene un valor de  $\frac{V_{ref}}{8} = 0.625 V$ , provoca que la salida ( $V_o$ ) del tercer comparador de balance de valores (103) adopte un valor
- 25 de  $V_{02} - \frac{V_{ref}}{8} = 0.005 V$ . Simultáneamente, ya que  $V_{02} = 0.63 V$ , es mayor que  $\frac{V_{ref}}{8} = 0.625 V$  y que es la tensión que se introduce por la entrada positiva ( $V^+$ ) del tercer comparador de generación de bits (203), el módulo de generación de bits (2) genera en esta posición un bit de valor alto (este es el Bit 2 según la figura 5).
- 30 Finalmente, el módulo de generación de bits (2) compara el valor de la salida ( $V_{03}$ ) del tercer comparador de balance de valores (103) con  $\frac{V_{ref}}{16} = 0.3125 V$ , y genera el bit de menor peso (este es el Bit 3, LSB, según la figura 5), que es 0 en este caso, pues  $0.005 V$  es menor que  $0.3125 V$ .

Por tanto, en este ejemplo de realización, el resultado final del convertido analógico-digital, generado en el módulo de generación de bits (2), es 1010.

5 En el caso de que la tensión de entrada sea 1.563 V, en la primera etapa, representada en la figura 9, la tensión de entrada  $V_{00}$ , que se introduce en el módulo a través de la entrada negativa ( $V^-$ ) del primer comparador de balance de valores (101), sería  $V_{00} = 1.563 V$ .

10 Dado que 1.563 V es en este caso menor que  $\frac{V_{ref}}{2} = 2.5 V$  y que es la tensión que se introduce por la entrada negativa ( $V^-$ ) del primer comparador de balance de valores (101), en la salida ( $V_o$ ) del primer comparador de balance (101) existe una tensión  $V_{01} = V_{00} = 1.563 V$ , que pasa a la entrada negativa ( $V^-$ ) de un segundo comparador de balance de valores (102), tal y como se muestra en la figura 9.

15 Simultáneamente, ya que 1.563 V es menor que  $\frac{V_{ref}}{2} = 2.5 V$  y que es la tensión que se introduce por la entrada positiva ( $V^+$ ) del primer comparador de generación de bits (201), el bit más significativo (MSB) tomará un valor de 0 V, es decir, un valor lógico bajo.

20 En la segunda etapa, representada esquemáticamente en la figura 10,  $V_{01} = 1.563 V$ , que se introduce por la entrada negativa ( $V^-$ ) del segundo comparador de balance de valores (102).

25 En esta etapa, ya que 1.563 V es mayor que  $\frac{V_{ref}}{4} = 1.25 V$ , y que es el valor introducido por la entrada negativa ( $V^-$ ) del segundo comparador de balance de valores (102), la salida ( $V_o$ ) del segundo comparador de balance de valores (102) tendrá un valor  $V_{01} - \frac{V_{ref}}{4} = 0.313V$ . Este valor de tensión será el que entre en un tercer comparador de balance de valores (103).

30 Simultáneamente, el módulo de generación de bits (2) genera un bit de valor alto, ya que 1.563 V es mayor que  $\frac{V_{ref}}{4} = 1.25 V$ , y que es el valor introducido por la entrada positiva ( $V^+$ ) del segundo comparador de generación de bits (202).

En la figura 11 se representa esquemáticamente el funcionamiento de la tercera etapa. La tensión de entrada en la entrada negativa ( $V^-$ ) del tercer comparador de balance de valores (103) es  $V_{02} = 0.313 V$ . Al compararla con el valor de la entrada positivo ( $V^+$ ), que en este

caso tiene un valor de  $\frac{V_{ref}}{8} = 0.625 V$ , provoca que la salida ( $V_o$ ) del tercer comparador de balance de valores (103) es igual a  $V_{03} = V_{02} = 0.313 V$ .

5 Simultáneamente, ya que  $0.313 V$  es menor que  $\frac{V_{ref}}{8} = 0.625 V$ , y que es el valor introducido por la entrada positiva ( $V^+$ ) del tercer comparador de generación de bits (203), el módulo de generación de bits (2) genera en esta posición un bit de valor bajo.

Finalmente, el módulo de generación de bits (2) compara el valor de la salida ( $V_o$ ) del tercer comparador de balance de valores (103) con  $\frac{V_{ref}}{16} = 0.3125 V$ , y genera el bit de menor peso, que es 1 en este caso, pues  $0.313$  es mayor que  $0.3125 V$ .

10 Por tanto, en este ejemplo de realización, el resultado final del convertido analógico-digital, que genera el módulo de generación de bits (2), es 0101.

En la figura 12, se muestra una posible implementación para cada uno de los comparadores de balance de valores (101, 102, 103). Se muestra en concreto para el primer comparador de balance de valores (102). Comprende un amplificador operacional (7) alimentado de forma simétrica con  $\pm 5 V$  en sus terminales de alimentación positivo y negativo ( $V_{cc+}, V_{cc-}$ ), respectivamente. Conectados a la salida del amplificador operacional (7), se sitúa un par complementario de transistores (8), de tipo MOSFETs, uno pMOS y otro nMOS.

20 Cuando  $V_{00}$  en la entrada positiva ( $V^+$ ) es mayor que  $V_{ref}/2$  de la entrada negativa ( $V^-$ ), la salida del amplificador operacional satura en positivo ( $+V_{sat}$ ), provocando que el pMOS esté en estado de no conducción, y que el nMOS esté en conducción, lo que permite tener en  $V_{01}$  la tensión  $V_{00} - V_{ref}/2$ .

25 Por el contrario, si  $V_{00}$  es menor que  $V_{ref}/2$ , la salida del operacional satura en negativo ( $-V_{sat}$ ), provocando que el nMOS esté en estado de no conducción, y que el pMOS esté en estado de conducción, lo que permite tener en  $V_{01}$  la tensión  $V_{00}$ .

30 Por su parte, como se muestra en la figura 5, el módulo de generación de bits (2) en los ejemplos anteriores, comprende n comparadores analógicos (201, 202, 203, 204).

Además, el módulo de generación de tensiones de raíl (3) es el encargado de proporcionar las tensiones de los terminales de alimentación negativos ( $V_{cc-}$ ) a los comparadores de

balance de valores (101, 102, 103). Las tensiones de los terminales de alimentación positivo ( $V_{CC+}$ ) se obtienen directamente de la tensión de entrada positiva ( $V^+$ ) de cada comparador de balance de valores (101, 102, 103). La figura 13 muestra la estructura general para lograr las tensiones de los terminales de alimentación negativas ( $V_{CC-}$ ). Cada una de estas tensiones ( $V_{CC-}$ ) es la diferencia entre la tensión de entrada positiva ( $V^+$ ) de los comparadores de balance de valores (101, 102, 103) y una fracción de la tensión de referencia.

El funcionamiento es el siguiente.  $V_{ref}$  es la tensión de referencia de escala del convertidor analógico-digital (60) y  $V_{00}$  es la entrada analógica que se desea digitalizar. Tomando como ejemplo el caso de un convertidor analógico digital (60) de  $n = 4$  bits, como el de la figura 5, la tensión del terminal de alimentación negativo ( $V_{CC-}$ ) del primer comparador de balance de valores (101) se consigue mediante un primer amplificador inversor con una resistencia de alimentación de valor  $R/2$  (301), seguido de un sumador inversor ponderado (302) que proporciona una salida de valor  $V_{00} - V_{ref}/2$ .

De forma similar, la tensión del terminal de alimentación negativo ( $V_{CC-}$ ) del segundo comparador de balance de valores (102) se obtiene mediante un primer amplificador inversor (301) con una resistencia de realimentación de valor  $R/4$ , seguido de un sumador inversor ponderado (302) en el que se introduce directamente la salida ( $V_0$ ) del primer comparador de balance de valores (101). Con ello se logra una tensión de salida de valor  $V_{01} - V_{ref}/4$ , y así sucesivamente.

Para conseguir tensiones equivalentes a fracciones de la tensión de referencia ( $V_{ref}$ ) se utiliza, en un aspecto de la invención, el módulo de generación (4) de fracciones de tensión de referencia ( $V_{ref}$ ), que comprende  $n$  amplificadores operacionales. En la figura 14 se muestran cuatro divisores resistivos seguidos de circuitos buffer basados en amplificador operacional (41, 42, 43, 44). El primero genera una tensión  $V_{ref}/2$ , el segundo  $V_{ref}/4$ , y así sucesivamente.

En resumen, tal y como se muestra en la figura 18, la implementación del convertidor analógico-digital (60) con módulo de balance de valores de  $n$  bits de resolución comprende un total de  $n - 1$  comparadores de balance de valores (101, 102, 103) para el módulo de balance de valores (1),  $n$  comparadores de generación de bits (201, 202, 203, 204) para el módulo de generación de bits (2),  $2(n-1)$  amplificadores operacionales (301, 302) para el

módulo de generación de tensiones de raíl (3), y  $n$  amplificadores operacionales de generación (41, 42, 43, 44) para el módulo generador (4) de fracciones de tensión de referencia ( $V_{ref}$ ). En total,  $2n - 1$  comparadores y  $3n - 2$  amplificadores operacionales.

- 5 Si consideramos que los comparadores podrían ser basados en amplificadores operacionales raíl a raíl, el total de amplificadores sería  $5n - 3$ . Esto implica que para un convertidor analógico-digital (60) de 8 bits se requieren solo 37 amplificadores operacionales, frente a los 256 que requiere un convertidor CAD tipo flash.
- 10 La diferencia es todavía mayor para el caso de un convertidor de 10 bits, donde solo un convertidor CAD de tipo flash necesita 1024 amplificadores operacionales, mientras que, con un convertidor analógico-digital (60) con módulo de balance de valores, como el de la presente invención, solo se necesitan 47 amplificadores operacionales.
- 15 El parámetro crítico a la hora de comparar distintas arquitecturas de convertidores analógicos-digitales es el tiempo de conversión, que sería el tiempo que el convertidor requiere para realizar una conversión completa.

Su inversa es la velocidad de conversión, que se mide en mega muestras por segundo (MS/s). Para poder estimar el tiempo de conversión del convertidor analógico-digital (60) con circuito de balance de valores, tomamos como ejemplo el caso de un convertidor de  $n=4$  bits, como el mostrado en la figura 5. En la figura 15 se muestra el mismo esquema eléctrico resaltando con flechas discontinuas el camino más lento en el procesamiento de la señal de entrada  $V_{00}$ . Cada flecha representa el procesamiento por parte de un amplificador

20 operacional del módulo generador de tensiones de raíl (3) o de un comparador del módulo de balance de valores (1) o del módulo de generación de bits (2).

Se asume que tanto la tensión de referencia ( $V_{ref}$ ) como sus diferentes fracciones obtenidas mediante el módulo de generación de tensiones de raíl (3), mostrado en la figura 13, están

30 disponibles en cuanto se alimenta el convertidor, por lo que no contribuyen al tiempo de conversión analógico-digital.

En primer lugar, la señal  $V_{00}$  debe pasar a través del módulo de generación de tensiones de raíl (3) para poder generar una tensión  $V_{00} - V_{ref}/2$ . Para poder crear esta tensión de raíl

35 hay que esperar un tiempo de retraso  $t_{AO}$  asociado al segundo amplificador operacional

(302) del módulo de generación de tensiones de raíl (3) mostrado en la figura 13 (el primer amplificador operacional (9) no se debe tener en cuenta en este análisis).

Una vez se tiene disponible la tensión  $V_{00} - \frac{V_{ref}}{2}$  habrá que esperar un tiempo de retraso  $t_c$  asociado al primer comparador de balance de valores (101). A partir de ahí el análisis se repite hasta llegar a la salida  $V_o$  del tercer comparador de balance de valores (103). Una vez ahí, solo queda sumar el tiempo  $t_c$  asociado al cuarto comparador de generación de bits (204), que genera el bit menos significativo (LSB). Con todo se deduce que el tiempo de conversión de todo un convertidor analógico-digital (60) con módulo de balance de valores de  $n$  bits es  $n \cdot (t_{AO} + t_c) + t_c$ .

El tiempo de retraso  $t_c$  asociado a un comparador raíl a raíl puede ser tan pequeño como  $4.5 ns$ . Para los amplificadores operacionales se tienen tiempos de retraso  $t_{AO}$  de  $5 ns$ . Con estos valores orientativos es posible estimar el tiempo de conversión y la velocidad de conversión en función del número de bits.

La figura 16 muestra la posición relativa que ocupa el convertidor analógico-digital (60) con módulo de balance de valores en relación a otros tipos de convertidores ya establecidos como un convertidor CAD tipo flash (50), un convertidor CAD de aproximaciones sucesivas (51), o un convertidor CAD sigma-delta (52).

Se trata de un esquema en el que el convertidor analógico-digital (60) de la presente invención se compara con el estado de la técnica actual, representando en el eje de abscisas de la gráfica la velocidad de conversión (MS/s) y en el eje de ordenadas el número de bits del convertidor. Como se puede comprobar en la figura 16, los resultados confirman que el convertidor analógico-digital (60) con módulo de balance de valores presenta ventajas en términos de resolución y velocidad, especialmente cuando el número de bits es elevado (24).

## REIVINDICACIONES

1.- Convertidor analógico-digital (60) con módulo de balance de valores, de resolución n bits, que comprende:

- 5           - un módulo de balance de valores (1), que comprende n-1 comparadores de balance de valores (101, 102, 103) con una entrada positiva ( $V^+$ ), una entrada negativa ( $V^-$ ), una salida ( $V_o$ ) y unos terminales de alimentación positivo y negativo ( $V_{CC+}, V_{CC-}$ ), alimentándose la entrada negativa ( $V^-$ ) de un primer comparador de balance de valores (101) con una tensión de entrada  $V_{00}$ , y estando conectada en serie la salida ( $V_o$ ) de cada comparador de balance de valores (101, 102, 103) n-1 a la entrada negativa ( $V^-$ ) del siguiente comparador de balance de valores (101, 102, 103) n,
- 10           - un módulo de generación de tensiones de raíl (3), que comprende 2(n-1) generadores de tensión de raíl (301, 302, 303), que comprenden una entrada alimentada por una tensión de referencia  $V_{ref}$  y una salida de alimentación al terminal de alimentación negativo ( $V_{CC-}$ ) de los comparadores de balance de valores (101, 102, 103), con una tensión de valor  $V_{on} - V_{ref}/2^{n+1}$ ,
- 15           - un módulo de generación de bits (2), que comprende n comparadores de generación de bits (201, 202, 203, 204), estando cada uno alimentado en su entrada positiva ( $V^+$ ) por la tensión  $V_{0,n-1}$  de los comparadores de balance de valores (101, 102, 103), y generando en su salida  $V_o$  un bit, generando en un primer comparador de generación de bits (201) el bit de mayor peso, y un n comparador de generación de bits el bit de menor peso, y
- 20           - un módulo generador (4) de fracciones de tensión de referencia ( $V_{ref}$ ), que comprende n generadores de fracciones (41, 42, 43, 44) que alimentan con una tensión  $V_{ref}/2^{n+1}$  a los n-1 comparadores de balance de valores (101, 102, 103) por sus respectivas entradas positivas ( $V^+$ ) y a los n comparadores de generación de bits (201, 202, 203, 204) por sus respectivas entradas negativas ( $V^-$ ).
- 25

30           2.- El convertidor analógico-digital (60) de la reivindicación 1, en el que los comparadores de balance de valores (101, 102, 103) comprenden un amplificador operacional (7) alimentado de forma simétrica en sus terminales de alimentación positivo y negativo ( $V_{CC+}, V_{CC-}$ ) respectivamente, y transistores (8) conectados a la salida de un amplificador operacional (7).

3.- El convertidor analógico-digital (60) de la reivindicación 1, en el que los generadores de tensión de raíl (301, 302, 303) comprenden un primer amplificador inversor (9) con una resistencia de alimentación de valor  $R/2^{n+1}$  (10), seguido de un sumador inversor ponderado (11) que proporciona una salida de valor  $V_{on} - V_{ref}/2^{n+1}$ .

5

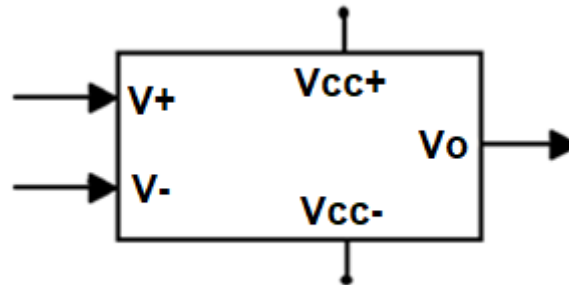


FIG. 1

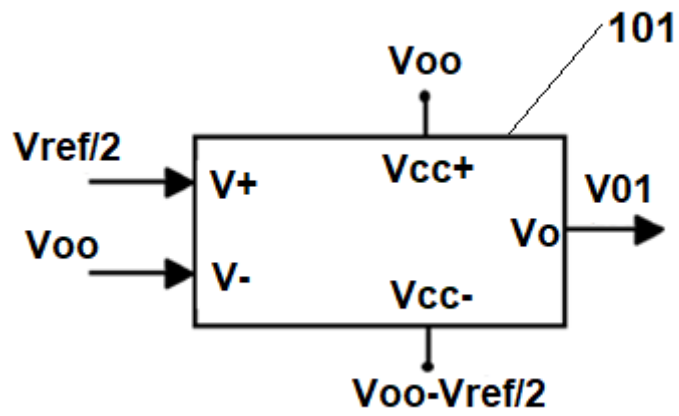


FIG. 2

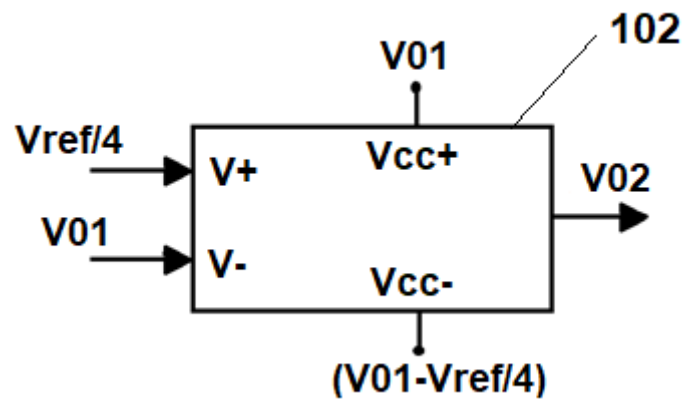


FIG. 3

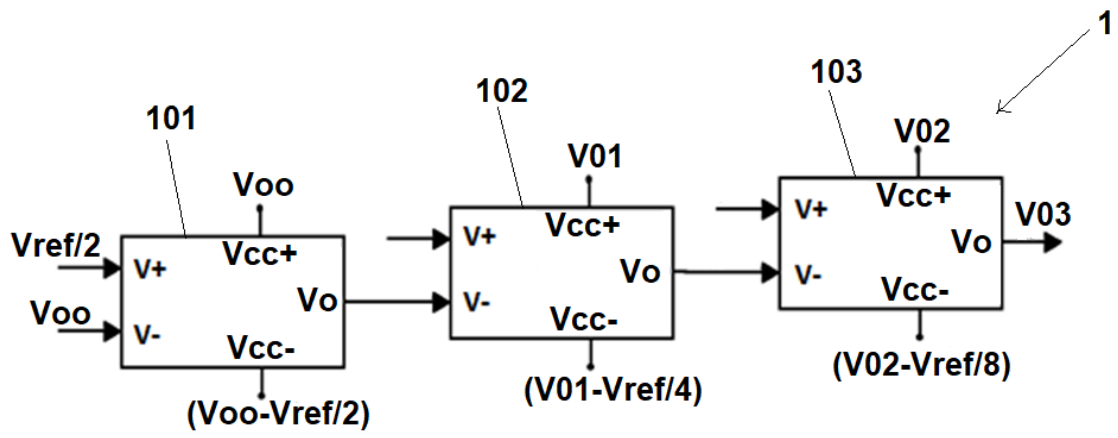


FIG. 4

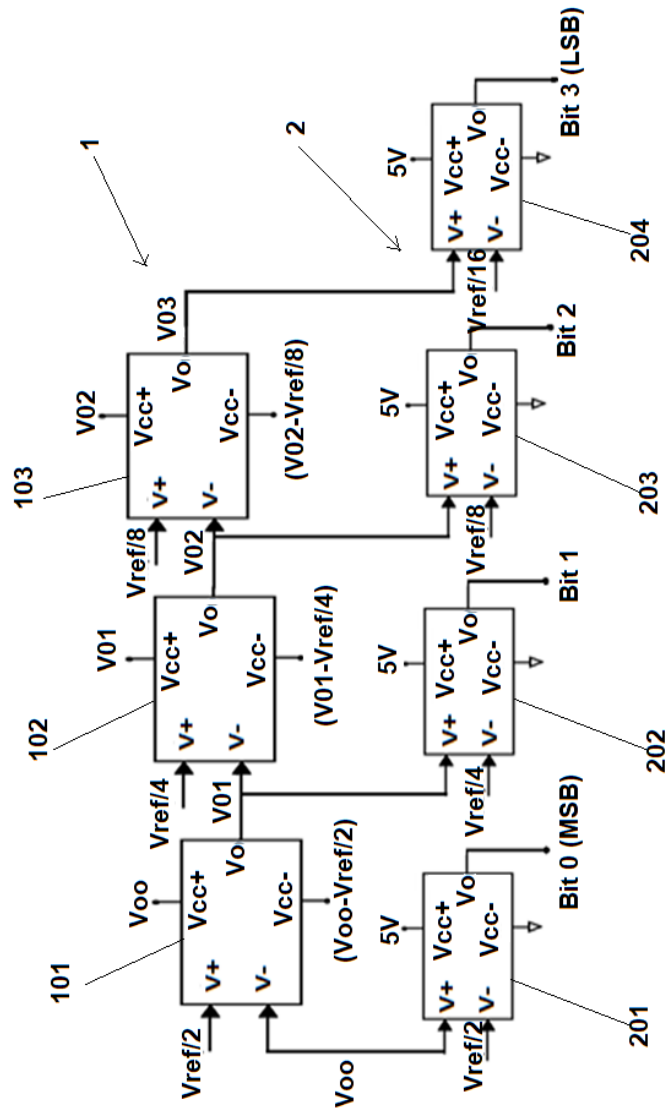


FIG. 5

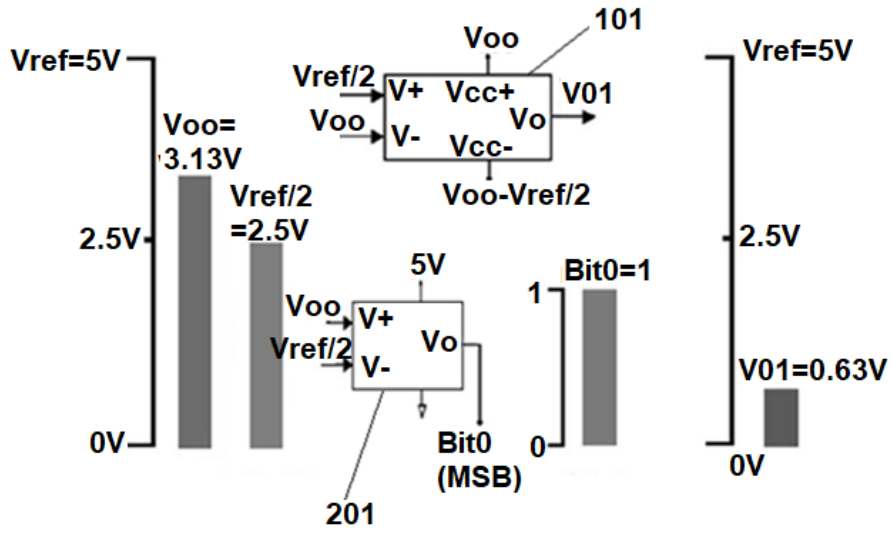


FIG. 6

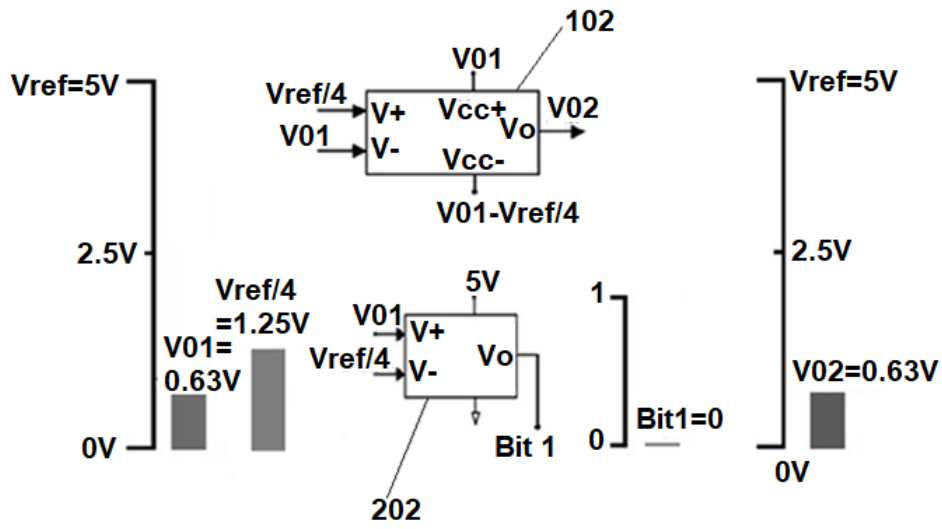


FIG. 7

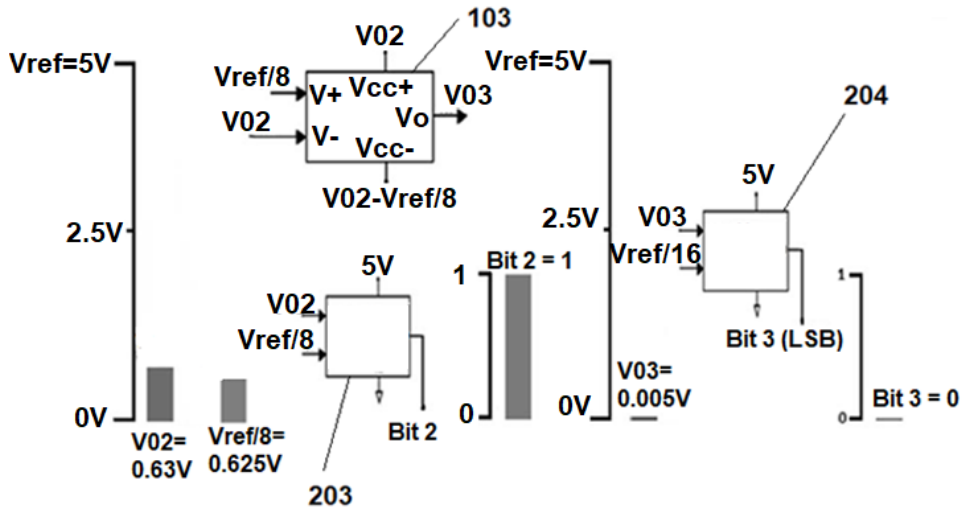


FIG. 8

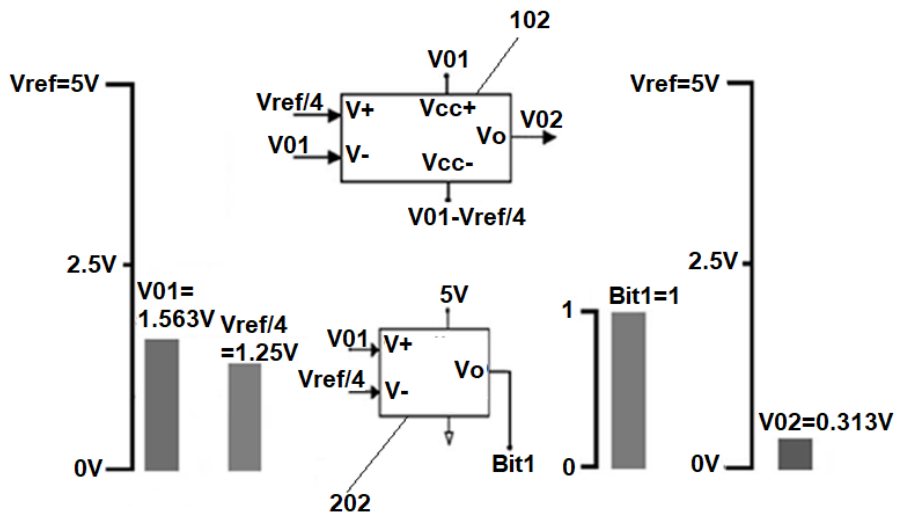


FIG. 9

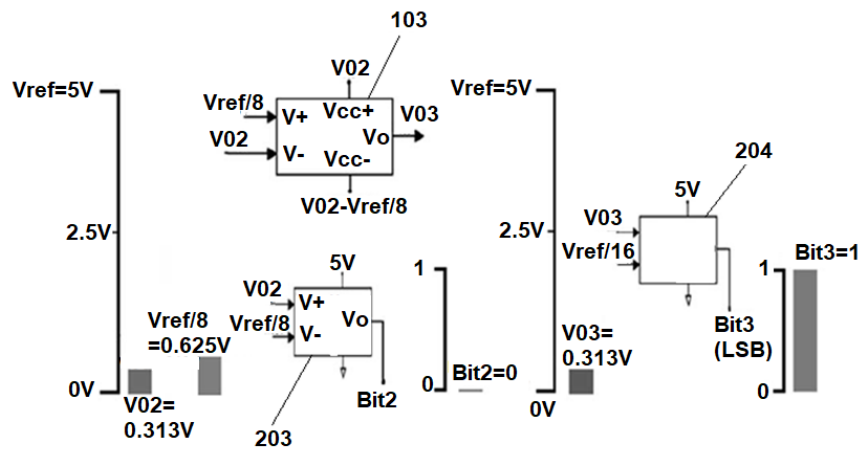


FIG. 10

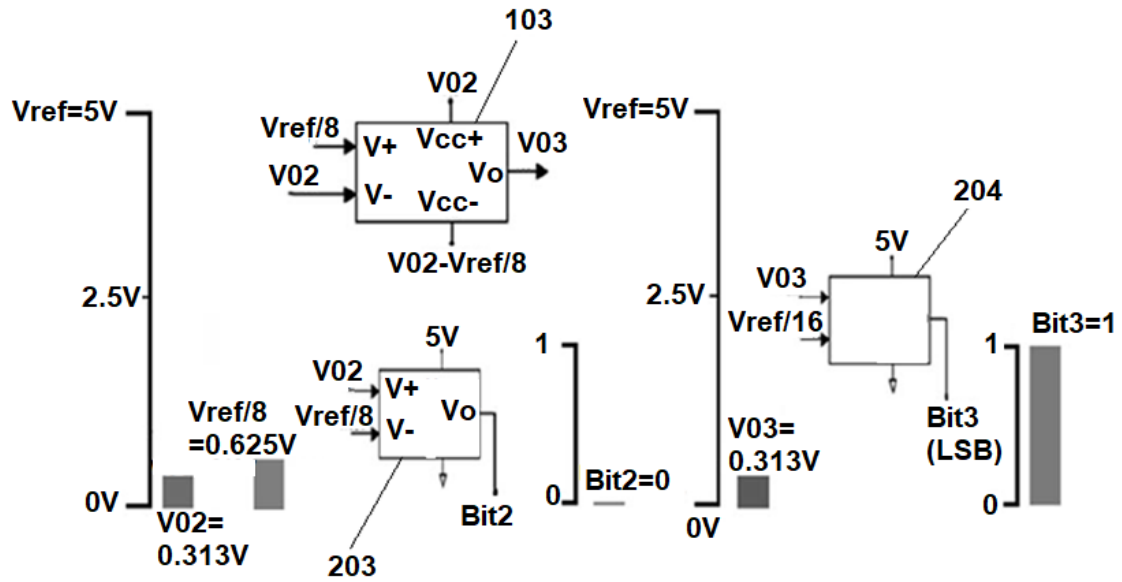


FIG. 11

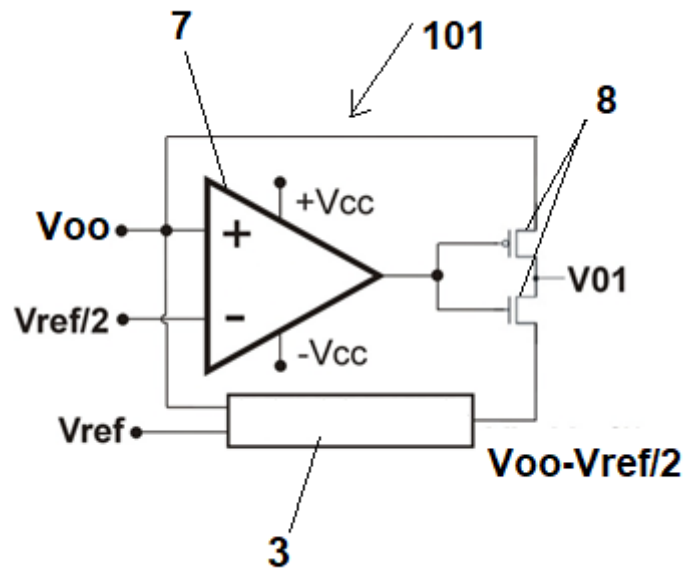


FIG. 12

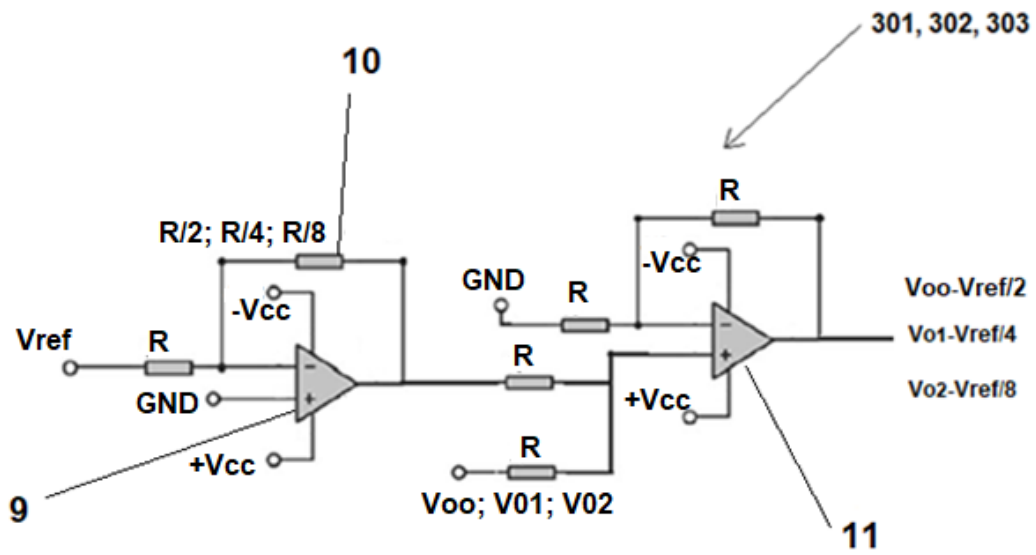


FIG. 13

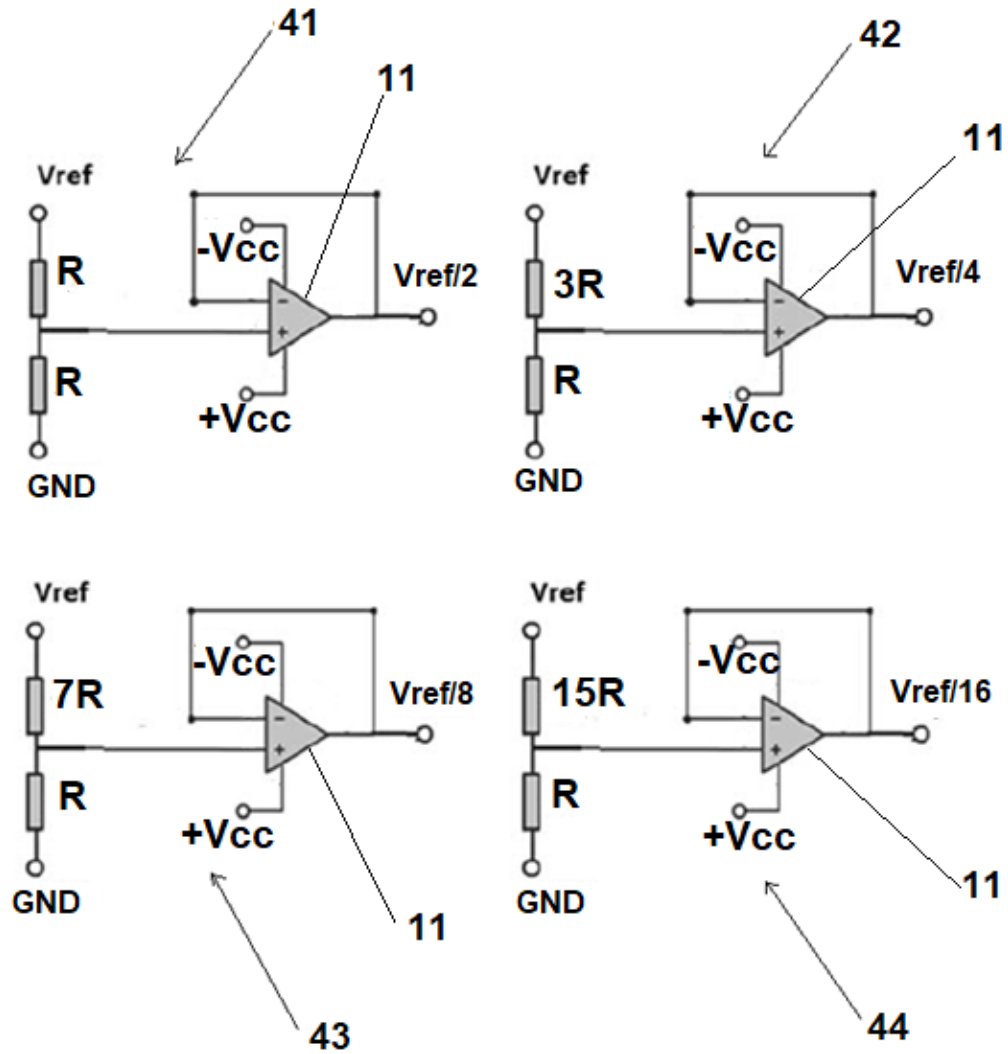


FIG. 14

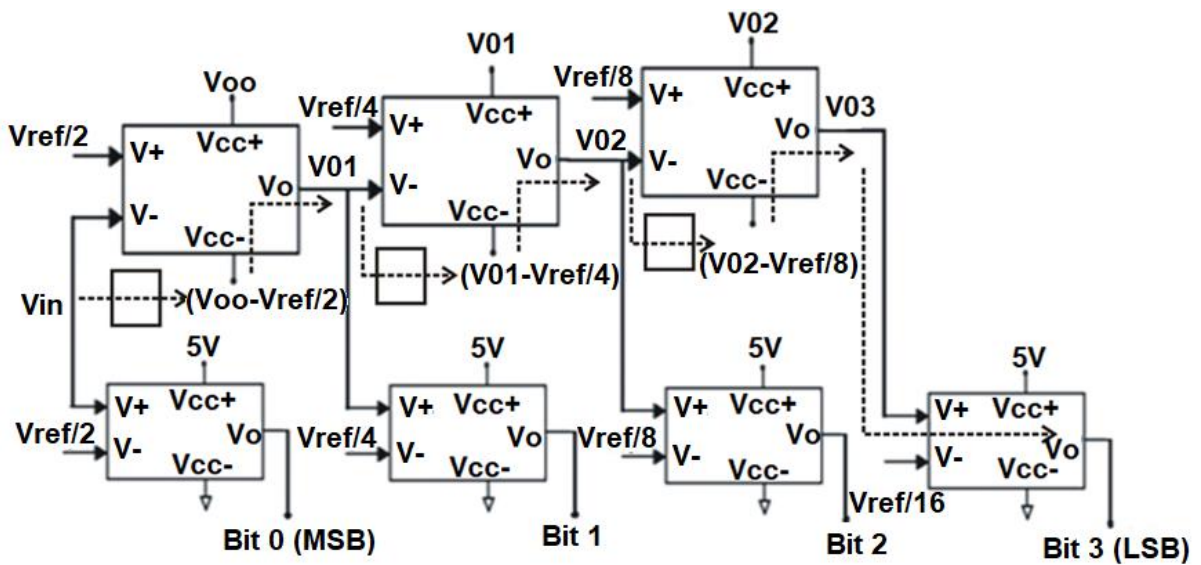


FIG. 15

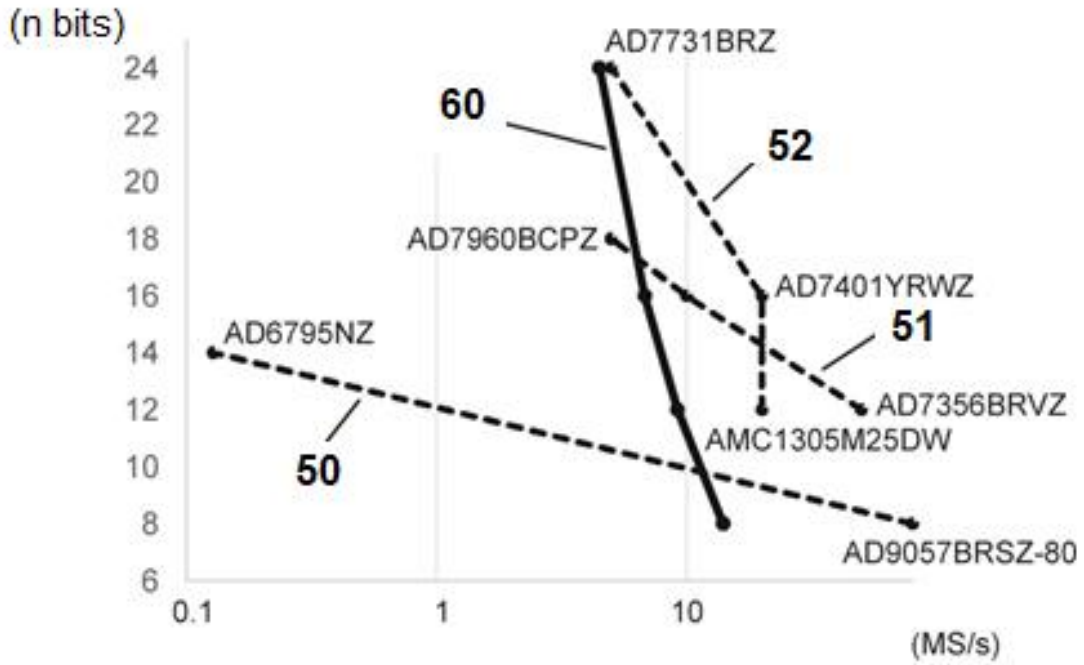


FIG. 16

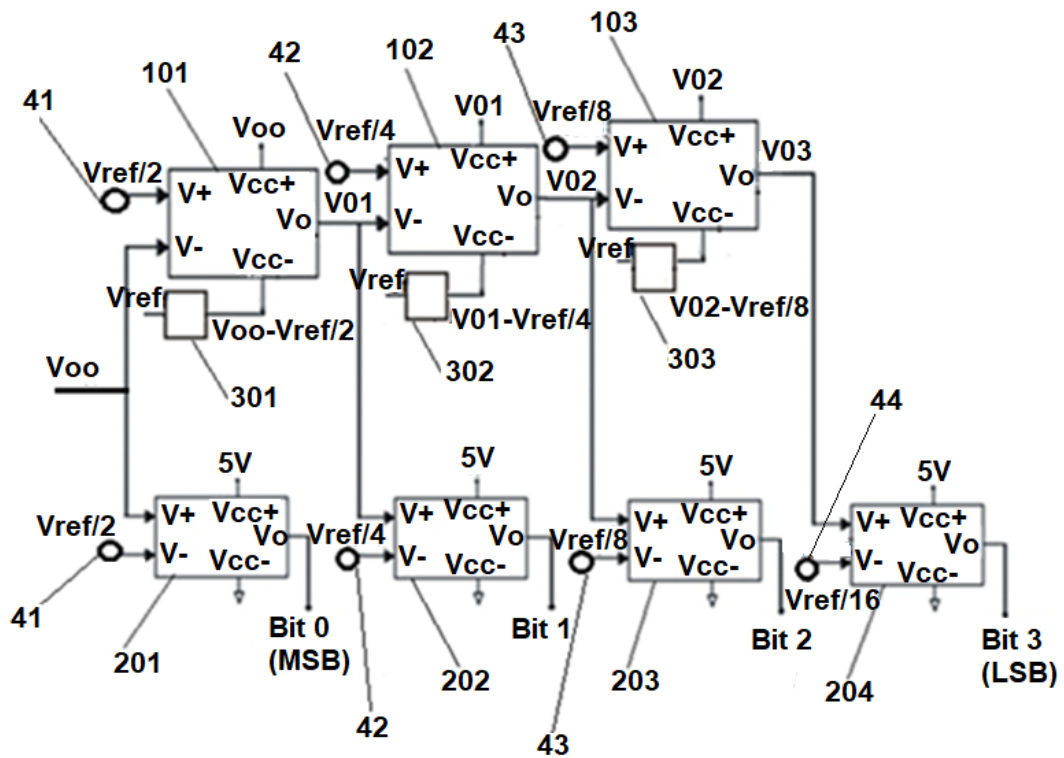


FIG. 17

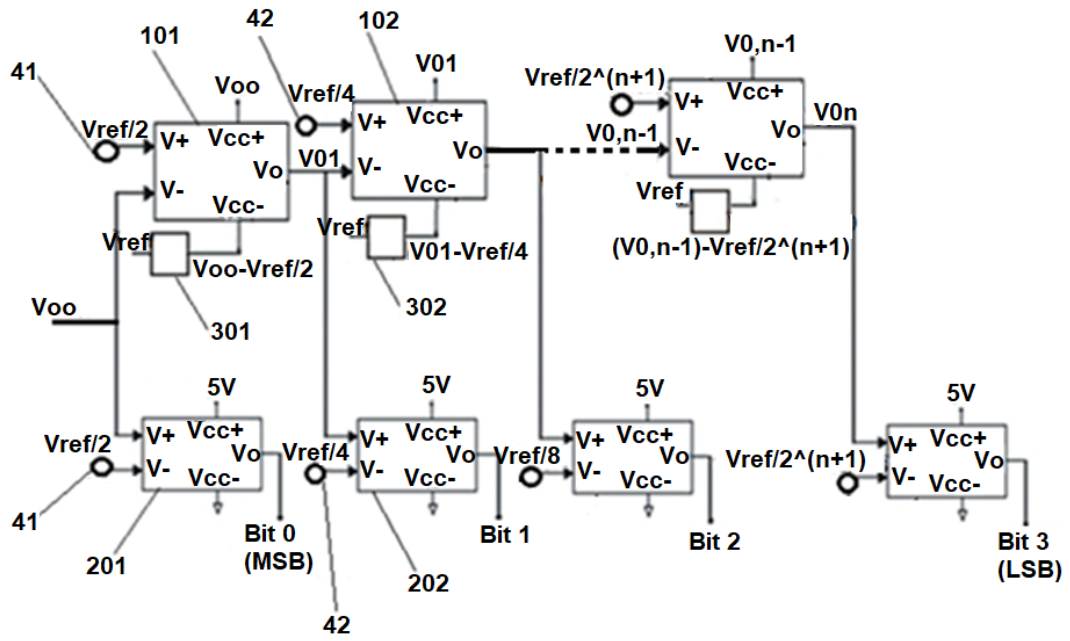


FIG. 18



OFICINA ESPAÑOLA  
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 202030255

②② Fecha de presentación de la solicitud: 30.03.2020

③② Fecha de prioridad:

## INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤① Int. Cl.: **H03M1/42** (2006.01)  
**H03M1/14** (2006.01)

### DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	US 2013162456 A1 (CHEN BO-WEI) 27/06/2013, Todo el documento.	1-3
A	US 2004263366 A1 (YADA NAOKI et al.) 30/12/2004, Todo el documento.	1-3

#### Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

#### El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe  
16.07.2020

Examinador  
J. Botella Maldonado

Página  
1/2

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H03M

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPEC.