(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 762 747**

(21) Número de solicitud: 201831134

(51) Int. CI.:

G06F 17/14 (2006.01)
G06F 17/10 (2006.01)

(12) SOLICITUD DE PATENTE A1

(22) Fecha de presentación:

22.11.2018

(43) Fecha de publicación de la solicitud:

25.05.2020

(71) Solicitantes:

UNIVERSIDAD DE SEVILLA (100.0%)
Paseo de las Delicias S/N. Pabellón de Brasil
41013 Sevilla ES

(72) Inventor/es:

GUERRERO MARTOS, David;
MILLÁN CALDERÓN, Alejandro;
JUAN CHICO, Jorge;
VIEJO CORTÉS, Julián;
BELLIDO DÍAZ, Manuel Jesús;
RUIZ DE CLAVIJO VÁZQUEZ, Paulino y
OSTÚA ARANGÜENA, Enrique

(74) Agente/Representante:

PONS ARIÑO, Ángel

(54) Título: **DISPOSITIVO ELECTRÓNICO CALCULADOR DE FUNCIONES TRIGONOMÉTRICAS**

(57) Resumen:
En este documento se detalla un dispositivo electrónico que permite calcular una serie de funciones matemáticas, más concretamente una serie de funciones trigonométricas mediante la implementación de una serie de circuitos especializados. El dispositivo objeto de la invención permite calcular funciones trigonométricas de la suma de dos ángulos A y B. En particular, las funciones trigonométricas que calcula el dispositivo son sen(A+B) y com(A+B), siendo com la función complemento del coseno definida por com(x)=1-cos(x). El dispositivo recibe como entrada los senos y los complementos de los cosenos de A y B.

ES 2 762 747 A1

DESCRIPCIÓN

Dispositivo electrónico calculador de funciones trigonométricas

OBJETO DE LA INVENCIÓN

La presente invención, según lo expresa el enunciado de esta memoria descriptiva, se refiere a un método y dispositivo electrónico digital para cálculo de funciones trigonométricas y tratamiento digital de señales e imágenes. Más concretamente, el objeto de la invención es un dispositivo, basado en un circuito electrónico digital, que permite calcular el seno y el y el complemento del coseno de la suma de dos ángulos a partir de los senos y complementos de los cosenos de dichos ángulos, entendiéndose el complemento del coseno de un ángulo como el resultado de restar a la unidad el coseno de dicho ángulo.

Esta invención tiene su aplicación dentro de la industria dedicada a la fabricación de dispositivos electrónicos y/o informáticos que requieran el cálculo de funciones trigonométricas, incluyendo de forma no exhaustiva a aquellos dedicados al tratamiento digital de señales e imágenes.

ANTECEDENTES DE LA INVENCIÓN

Entre los principales objetivos de los diseñadores de circuitos electrónicos digitales se encuentran la reducción del área ocupada por los mismos, así como la reducción de su consumo de energía y el aumento de su velocidad. La reducción de área permite reducir los costes de producción de los chips y generalmente acarrea una reducción de consumo. Esto último es especialmente importante en equipos portátiles alimentados por baterías de cara a aumentar su autonomía. En los sistemas dedicados al tratamiento digital de señales e imágenes resulta esencial el computo de funciones trigonométricas. En particular, muchos de estos sistemas integran dispositivos que calculan senos y/o cosenos de múltiplos de un ángulo constante ϕ, es decir, calculan $sen(n\phi)$ y/o $cos(n\phi)$, siendo n un número entero que se proporciona como entrada al dispositivo. A continuación, se describen algunas de las aplicaciones de estos dispositivos:

- Calcular la transformada de Fourier. El cómputo de esta transformada emplea una serie de coeficientes complejos denominados *factores de pivote* (*twiddle factors*) cuyos valores se obtienen de los correspondientes pares seno/coseno de determinados múltiplos de un mismo ángulo ϕ. Para una transformada de longitud L dicho ángulo es $\phi = -2\pi/L$. Expresado formalmente, los factores de pivote son las potencias del número complejo $e^{(-2\pi/L)i}$. Así, el factor de pivote de índice n será $(e^{(-2\pi/L)i})^n = e^{n(-2\pi/L)i} = sen[n(-2\pi/L)]i + cos[n(-2\pi/L)]$, es decir, el par seno/coseno de $n\phi$ siendo $\phi = -2\pi/L$.

- Implementar sistemas digitales cuya función sea proporcionar el seno y/o coseno de un ángulo expresado en una determinada unidad. Para ilustrarlo, supongamos uno de estos sistemas cuya entrada denominaremos I. Es evidente que I tiene un número finito de bits, por lo que el conjunto de ángulos que puede representar es también finito. Sea C el conjunto de los valores absolutos de los ángulos representables distintos de cero y sea ϕ el elemento más pequeño de C, todos los ángulos representables son múltiplos positivos o negativos de ϕ, independientemente de si la entrada del dispositivo se representa en punto fijo, punto flotante o alguna notación entera. Por tanto la funcionalidad del sistema equivale a proporcionar el seno y/o coseno de $n\phi$ siendo n un entero.

En adelante consideraremos que el entero n se representa en notación base 2 sin signo. No obstante, dadas las propiedades de periodicidad y simetría de las funciones seno y coseno es irrelevante si la notación empleada permite valores de n positivos y negativos. Para ilustrarlo con un ejemplo, veamos la funcionalidad del circuito descrito por F. de Dinechin en su artículo “Fixed-Point Trigonometric Functions on FPGAs” de la publicación ACM SIGARCH Computer Architecture News Vol. 41, No. 5 de diciembre de 2013. Dicho circuito calcula el seno y el coseno de πx siendo x un número en el intervalo $[-1,1)$ representado en complemento a 2. Si llamamos I a la entrada del circuito, w al número de bits de I y S al valor representado por I en complemento a 2 tenemos que $x = S/2^{w-1} \Rightarrow \pi x = S\pi/2^{w-1}$. Por tanto el circuito calcula el seno y el coseno de $S\phi$ siendo $\phi = \pi/2^{w-1}$. Si n es el valor representado por I en notación base 2 sin signo, es fácil ver que el seno/coseno de $S\phi$ coincide con el de $n\phi$, por lo que la funcionalidad de este circuito equivale a calcular el seno y el coseno de $n\phi$. Esto se ilustra a continuación para $w = 3$.

I	S	n	$x = S/4$	$\pi x = S\phi$	$n\phi$	$sen(\pi x) = sen(S\phi) = sen(n\phi)$	$cos(\pi x) = cos(S\phi) = cos(n\phi)$
000	0	0	0	0	0	0	1
001	1	1	$1/4$	$\pi/4$	$\pi/4$	$1/\sqrt{2}$	$1/\sqrt{2}$
010	2	2	$2/4$	$2\pi/4$	$2\pi/4$	1	0
011	3	3	$3/4$	$3\pi/4$	$3\pi/4$	$1/\sqrt{2}$	$-1/\sqrt{2}$
100	-4	4	-1	$-4\pi/4$	$4\pi/4$	0	-1
101	-3	5	$-3/4$	$-3\pi/4$	$5\pi/4$	$-1/\sqrt{2}$	$-1/\sqrt{2}$
110	-2	6	$-2/4$	$-2\pi/4$	$6\pi/4$	-1	0
111	-1	7	$-1/4$	$-\pi/4$	$7\pi/4$	$-1/\sqrt{2}$	$1/\sqrt{2}$

Volviendo al ejemplo de cálculo de la transformada de Fourier, dado que el cálculo de funciones trigonométricas resulta costoso en tiempo, en implementaciones hardware de la transformada donde la velocidad es crítica los factores de pivote se encuentran precalculados en memorias de acceso directo (normalmente de tipo ROM). Estas memorias pueden tener gran número de posiciones pues se requieren tantos coeficientes como muestras tenga la serie. Esto supone una grave penalización en área y consumo en el hardware de cálculo de transformadas de secuencias largas siendo el tamaño de las memorias muy grande en comparación con el resto de componentes tal y como señala O. Gustafsson en su trabajo “Analysis of Twiddle Factor Memory Complexity of Radix-2i Pipelined FFTs” (Conference Record of the Forty-Third Asilomar Conference on Signals, Systems and Computers, 2009, páginas 217-220). Por ello se han propuesto varias formas de reducir el número de posiciones requeridas cuando la longitud de la transformada es potencia de 2:

- En 1976, D. Cohen mostró que sólo era necesario un número de posiciones igual a la mitad del número de muestras en su artículo “Simplified control of FFT hardware” de la revista IEEE Trans. Acoust. Speech Signal Process (páginas 577-579).
- Entre 1999 y 2000, Y. Ma, L. Wanhammar, Y. Chang y K. K. Parhi redujeron el número de posiciones a la cuarta parte al almacenar únicamente los coeficientes de ángulos en un intervalo de un cuarto de circunferencia. El resto se obtiene de forma fácil y rápida mediante relaciones trigonométricas simples que sólo requieren permutar y complementar los valores almacenados. Véase su artículo “Efficient FFT implementation using digit-serial arithmetic” del IEEE Workshop on

Signal Processing Systems de 1999 (páginas 645-653) así como “Hardware efficient control of memory addressing for high performance FFT processors” de la revista IEEE Trans. Signal Process (páginas 917-921) del 2000.

- En 2002 M. Hasan y T. Arslan redujeron el número de posiciones a aproximadamente un octavo del número de muestras almacenando únicamente los coeficientes en un intervalo de un octavo de circunferencia. De nuevo los coeficientes restantes pueden calcularse rápidamente a partir de ellos aplicando relaciones trigonométricas. Esto se hace patente en su artículo “Scheme for reducing size of coefficient memory in FFT processor” del ejemplar del 14 de febrero de la revista Electronics Letters (páginas 907-911).

- En 2006 T. Sansaloni, A. Pérez-Pascual, V. Torres y J. Valls redujeron el número de posiciones a exactamente un octavo del número de muestras usando hardware específico para detectar y tratar los coeficientes cuyas parte real/imaginaria tiene una magnitud igual a $1/\sqrt{2}$. Esto permite evitar los problemas derivados de implementar una memoria semiconductora cuyo tamaño no es una potencia de 2. Su esquema es presentado en su artículo “Scheme for Reducing the Storage Requirements of FFT Twiddle Factors on FPGAs” publicado en 2007 en la revista Journal of VLSI Signal Processing (páginas 183-187).

Estas optimizaciones se basan en propiedades de simetría y periodicidad de las funciones seno y coseno que también son aprovechadas por F. de Dinechin para simplificar su circuito de cálculo de seno y coseno de πx en una optimización que denomina *reducción de argumentos*. Desgraciadamente, aun aplicando todas estas mejoras la implementación de la transformada sigue requiriendo una memoria de un número de posiciones que crece linealmente con el número de muestras. Esto supone un inconveniente en aplicaciones en las que la secuencia de datos es larga tales como PLC o DVB-T2 (con longitudes del orden de 2^{13} y 2^{15} respectivamente) o muy larga como es el caso de las aplicaciones basadas en conteo de fotones o en el uso de radiotelescopios (con longitudes del orden de 2^{27} y 2^{30} respectivamente). Esto se solucionó en la patente P201600865 presentada en octubre de 2016. La patente requiere memorias cuyo número total de posiciones crece de forma logarítmica con el número de muestras en lugar de crecer de forma lineal. La patente empleaba un dispositivo que calcula el complejo $e^{n\phi i}$, es decir, el seno y el coseno de $n\phi$ siendo n un número codificado en base 2 que se suministra como entrada y ϕ un ángulo constante que puede elegirse de forma arbitraria dependiendo de la aplicación. El dispositivo comprendía los siguientes componentes:

- memorias semiconductoras (normalmente de tipo ROM)
- multiplicadores complejos

Para describir el dispositivo de la patente P201600865, en adelante usaremos la siguiente notación:

- w: número de bits de entrada del dispositivo
- $I = I_{w-1}I_{w-2} \dots I_1I_0$: entrada del dispositivo
- $n = \sum_{t=0}^{w-1} I_t 2^t$: valor representado por la entrada
- m: número de memorias empleadas
- $M_0, M_1, \dots, M_{m-1}$: las m memorias empleadas
- $M_k[d]$: contenido de la posición de la memoria M_k cuya dirección es d
- $L(k)$: número de líneas de dirección de la memoria M_k
- $A(k) = A(k)_{L(k)-1} \dots A(k)_0$: líneas de dirección de la memoria M_k
- $n_k = \sum_{t=0}^{L(k)-1} A(k)_t 2^t$: dirección representada por A(k)
- $SL(k) = \sum_{t=0}^{k-1} L(t) = \begin{cases} 0 \text{ si } k = 0 \\ L(k-1) + SL(k-1) \text{ si } k > 0 \end{cases}$: número total de líneas de dirección de las memorias de índice inferior a k
- ϕ_k: ángulo definido por $(2^{SL(k)})\phi$

Las memorias se eligen de forma que el número total de líneas de dirección coincide con el número de bits de entrada del dispositivo, de modo que

$$w = SL(m) = \sum_{k=0}^{m-1} L(k)$$

El valor precalculado que contienen las posiciones de memoria se define de la forma siguiente:

$$M_k[d] = e^{d\phi_k i} = sen(d\phi_k)i + cos(d\phi_k)$$

Una memoria de acceso directo pone en su salida el contenido de la posición cuya dirección coincida con el número indicado por sus líneas de dirección. Por lo tanto, cada memoria M_k pondrá en su salida el seno y el coseno del ángulo $n_k\phi_k$. Por otro lado, las líneas de dirección de cada memoria M_k se conectan a las líneas de entrada del dispositivo que van de $I_{SL(k)}$ a $I_{SL(k+1)-1}$, es decir, cada línea de dirección $A(k)_t$ está conectada a la línea de entrada $I_{t+SL(k)}$ de modo que

$$A(0) = I_{L(0)-1} \dots I_1 I_0$$
$$A(1) = I_{L(0)+L(1)-1} \dots I_{L(0)+1} I_{L(0)}$$
$$\vdots$$
$$A(m-1) = I_{w-1} \dots I_{SL(m-1)+1} I_{SL(m-1)}$$

Debido a esto, el valor n representado por la entrada podemos escribirlo de la forma siguiente:

$$n = \sum_{t=0}^{w-1} I_t 2^t = \sum_{k=0}^{m-1} \sum_{t=SL(k)}^{SL(k)+L(k)-1} I_t 2^t = \sum_{k=0}^{m-1} \sum_{t=0}^{L(k)-1} I_{t+SL(k)} 2^{t+SL(k)} =$$
$$\sum_{k=0}^{m-1} \sum_{t=0}^{L(k)-1} A(k)_t 2^{t+SL(k)} = \sum_{k=0}^{m-1} (\sum_{t=0}^{L(k)-1} A(k)_t 2^t) 2^{SL(k)} = \sum_{k=0}^{m-1} n_k 2^{SL(k)}$$

de modo que el múltiplo del ángulo cuyo seno y coseno se desea calcular puede escribirse así:

$$n\phi = \sum_{k=0}^{m-1} n_k 2^{SL(k)} \phi = \sum_{k=0}^{m-1} n_k \phi_k$$

Así que el ángulo $n\phi$ es la suma de los subángulos $n_k\phi_k$. Como los senos y cosenos de estos subángulos se encuentran a las salidas de las memorias, el seno y el coseno de $n\phi$ puede obtenerse a partir de los mismos aplicando las siguientes fórmulas trigonométricas:

$$sen(A+B) = sen(A)cos(B) + cos(A)sen(B)$$
$$cos(A+B) = cos(A)cos(B) - sen(A)sen(B)$$

Una forma alternativa de decirlo es que la salida de cada memoria M_k proporciona el complejo $sen(n_k\phi_k)i + cos(n_k\phi_k) = e^{n_k\phi_k i}$ y que el valor de $e^{n\phi i}$ puede calcularse mediante el producto $e^{n_0\phi_0 i} e^{n_1\phi_1 i} \dots e^{n_{m-1}\phi_{m-1} i}$. En efecto, el cálculo del producto de dos complejos de módulo unidad equivale al cálculo del seno y el coseno de la suma de dos ángulos a partir de los senos y cosenos de dichos ángulos e implica cuatro productos simples, una suma y una resta. Teniendo esto en cuenta, el grafo del dispositivo descrito en la patente tiene forma de árbol binario dirigido con m hojas en el que cada nodo intermedio tiene exactamente dos hijos. Cada nodo se corresponde con un componente que tiene como salida un complejo de módulo unidad. Las hojas se corresponden con las m memorias y proporcionan los complejos $e^{n_k\phi_k i}$. El resto de los nodos se corresponden con multiplicadores complejos que calculan el producto de las salidas de los componentes correspondientes a sus nodos hijos. La salida del dispositivo corresponde a la del nodo raíz. En adelante denominaremos H a la altura de dicho árbol. A continuación se comentan recomendaciones que, aunque no son necesarias para que el dispositivo funcione, mejoran la eficiencia del diseño:

- Para reducir la latencia del dispositivo conviene minimizar la altura del árbol H. Esto se consigue usando un árbol binario completo o semicompleto. Este tipo de árboles se caracteriza porque el nivel de cualquier par de hojas difiere en no más de la unidad.

- El número total de posiciones de memoria se minimiza cuando el número de líneas de dirección de cada par de memorias difiere como mucho en la unidad. Para conseguir esto, sea q el cociente de dividir el número de líneas de entrada w entre m y sea r el resto de dicha división, de entre las m memorias, r deberán tener $q+1$ líneas de dirección y las demás deberán tener q líneas de dirección.

- Si se sigue la recomendación anterior, el número total de posiciones de memoria disminuye a medida que aumenta el número de memorias m. Para una altura de árbol fija H, el valor máximo de m es 2^H, por lo que el número total de posiciones de memoria se minimiza para dicho valor de m.

Una aplicación obvia de este dispositivo es el cálculo de los factores de pivote de la transformada de Fourier. Para ello bastaría tomar $\phi = -2\pi/L$, siendo L la longitud de la transformada. El número de bits de la entrada w sería la parte entera por exceso de $\log_2(L)$ de modo que $w < 2\log_2(L)$. Si se toma como altura del árbol H la parte entera por defecto de $log_2(w)$ se tendrían no más de w memorias de no más de dos líneas de dirección cada una, con lo que el número de posiciones de memoria totales estará acotado superiormente por $2^2 w < 8log_2(L)$. Esta cota crece de forma logarítmica con L. Aunque esto por si solo permite ahorrar gran cantidad de recursos, si L es potencia de 2 se puede emplear un circuito de cálculo de factores de pivote aún más optimizado. El circuito optimizado para $L = 2^f$ se muestra en la figura 1. Su entrada se ha denominado $B = B_{f-1}B_{f-2} \dots B_1 B_0$. Comprende los siguientes componentes:

- un dispositivo como el descrito anteriormente para calcular el seno y el coseno de múltiplos de $2\pi/L$ (1)
- cinco multiplexores 2:1 (2)
- un sumador (3)
- un conjunto de puertas lógicas (4)

Este circuito emplea un esquema similar al presentado por T. Sansaloni de forma que los casos en los que el múltiplo de $-2\pi/L$ corresponde a los ángulos $\pi/4$, $3\pi/4$, $5\pi/4$ y $7\pi/4$ se detectan con una simple puerta lógica (4a) y se tratan de forma separada. La puerta se limita a comprobar si el bit B_{f-3} vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno y el coseno es $1/\sqrt{2}$ gracias a un par de multiplexores (2b). A diferencia del esquema de T. Sansaloni, este circuito no usa una ROM para obtener los senos y cosenos de los múltiplos de $\phi = -2\pi/L$ en el intervalo $(-\pi/4, 0]$. En lugar de eso se emplea un dispositivo como el descrito anteriormente para calcular los pares seno/coseno de los múltiplos de $\phi = 2\pi/L$ en el intervalo $[0, \pi/4)$. Esto hace posible reducir enormemente la memoria necesaria para implementar el sistema. Además, al ser positivos los senos y cosenos de todos los ángulos en el intervalo $[0, \pi/4)$, los multiplicadores complejos pueden implementarse usando multiplicadores de magnitud sin signo. Cuando $B_{f-3} = 0$ la entrada al dispositivo que devuelve los senos y cosenos se hace igual a la subcadena $B_{f-4}B_{f-5} \ldots B_0$. En caso contrario se hace igual al complemento a dos de dicha subcadena siguiendo el esquema de M. Hasan. Para ello se emplean el multiplexor (2a) y el sumador (3). En la última etapa una puerta lógica (4b) calcula la operación *or* exclusiva de B_{f-3} y B_{f-2}. Si el resultado vale 0, un par de multiplexores (2c) harán la magnitud de la parte imaginaria y de la parte real igual a las del seno y el coseno calculadas por el dispositivo respectivamente. En caso contrario las magnitudes imaginaria y real serán las del coseno y el seno respectivamente. El signo de la parte real y la imaginaria se calcula con puertas lógicas simples (4c) en función de B_{f-2} y B_{f-1}.

En el dispositivo descrito en la patente P201600865, las memorias de menor índice codifican los pares seno/coseno de ángulos muy pequeños. Esto implica que sus senos serán muy próximos a cero y sus cosenos muy próximos a uno, lo que permite llevar a cabo ciertas optimizaciones. Para ilustrarlo, veamos cómo podría aplicarse la patente P201600865 en el cálculo de los factores de pivote de una transformada de longitud $L = 2^{11}$. En este ejemplo las componentes seno y coseno de cada coeficiente se proporcionan en notación de punto fijo con 8 bits de parte fraccionaria sin bit para la parte entera, por lo que el valor uno se aproxima por $1 - 2^{-8}$. Se usará el circuito optimizado de la figura 1 que incluirá un dispositivo de $11 - 3 = 8$ líneas de entrada para calcular los pares seno/coseno de los múltiplos de $\phi = 2\pi/2^{11} = \pi/2^{10}$ en el intervalo $[0, \pi/4)$. Si el dispositivo está estructurado en forma de árbol de altura unidad tendrá la apariencia que se muestra en la figura 2. Nótese que, para compensar los errores de redondeo, las memorias (5) deben almacenar los valores con una precisión de 17 bits. La memoria M_0 codificará los senos y cosenos de los ángulos múltiplos de $\phi_0 = 2^0\phi = \pi/2^{10}$, mientras que la memoria M_1 codificará los senos y cosenos de los ángulos múltiplos de $\phi_1 = 2^4\phi = \pi/2^6$. Los ángulos correspondientes a la memoria M_0 son mucho más pequeños que los correspondientes a la memoria M_1, y se encuentran en el intervalo $[0,\ 15\pi/2^{10}]$. Dado que en $[0,\ \pi/4)$ el seno es creciente, el seno más grande codificado en M_0 es el de $15\pi/2^{10}$, la representación de ese seno tiene los cuatro bits más significativos a cero. Esto implica que todos los senos de la memoria M_0 tienen dichos bits a cero, por lo que no es necesario almacenarlos. Por otro lado, dado que el coseno es decreciente en $[0,\ \pi/4)$, el coseno más pequeño codificado en M_0 es el de $15\pi/2^{10}$. La representación de este coseno tiene los nueve bits más significativos a uno, lo que implica que todos los cosenos de la memoria M_0 tienen dichos bits a uno y no es necesario almacenarlos. Las mismas observaciones podrían hacerse con la memoria M_1 pero, al ser los ángulos correspondientes a ésta más grandes, en M_1 solo es posible ahorrar un bit por pivote.

Dicho bit es el más significativo de los cosenos ya que vale 1 en todos los cosenos codificados en M_1. Nótese que los ceros comunes en los bits más significativos de los senos permiten reducir el tamaño de la circuitería aritmética. En este caso concreto, en lugar de cuatro multiplicadores de 17×17 bits han sido necesarios dos de 17×17 (6b) y dos de 13×17 (6a). Una observación importante es que los unos comunes en los bits más significativos de los cosenos no permiten una optimización semejante en la circuitería aritmética. La invención propuesta ayuda a resolver esta limitación.

DESCRIPCIÓN DE LA INVENCIÓN

El dispositivo objeto de la invención, al que en algunas partes del texto se refiere como *sumador trigonométrico*, permite calcular funciones trigonométricas de la suma de dos ángulos A y B. En particular, las funciones trigonométricas que calcula el dispositivo son $sen(A+B)$ y $com(A+B)$, siendo com la función *complemento del coseno* definida por $com(x) = 1 - cos(x)$. El dispositivo recibe como entrada los senos y los complementos de los cosenos de A y B. Para implementarlo, partiendo de las siguientes fórmulas trigonométricas

$$sen(A+B) = sen(A)cos(B) + cos(A)sen(B)$$
$$cos(A+B) = cos(A)cos(B) - sen(A)sen(B)$$

se obtienen las siguientes

$$sen(A+B) = sen(A) + sen(B) - [sen(A)com(B) + com(A)sen(B)]$$
$$com(A+B) = com(A) + com(B) + [sen(A)sen(B) - com(A)com(B)]$$

Por tanto, un sumador trigonométrico puede construirse a partir de multiplicadores, sumadores y restadores tal y como se muestra en la figura 3. Aunque no se muestra en dicha figura, entre los distintos circuitos aritméticos pueden situarse registros que almacenen valores intermedios si se desea una implementación en pipeline o secuencial. En este último caso, uno o más de uno de los circuitos aritméticos puede reutilizarse para calcular más de un valor durante el cómputo de una misma salida del dispositivo. Los multiplicadores empleados en la invención propuesta son más pequeños de los que se requerirían para calcular el seno y el coseno de $A+B$ a partir de los senos y cosenos de A y B, de modo que puede usarse para mejorar la eficiencia de los sistemas descritos en los antecedentes.

DESCRIPCIÓN DE LOS DIBUJOS

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde, con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

- Figura 1.- Muestra un diagrama donde se aprecia un circuito que calcula los factores de pivote de la transformada de Fourier para muestras de longitud $L = 2^f$ siguiendo el esquema de T. Sansaloni. El índice del coeficiente a calcular se codifica en la entrada $B = B_{f-1}B_{f-2} \dots B_0$. El circuito comprende un dispositivo que calcula el seno y coseno de un múltiplo de $\phi = 2\pi/2^f$ en el intervalo $[0, \pi/4)$ (1). Un multiplexor (2a) y un sumador (3) se emplean para que el dispositivo que devuelve los senos y cosenos reciba como entrada $B_{f-4}B_{f-5} \dots B_0$ cuando $B_{f-3} = 0$, o su complemento a dos cuando $B_{f-3} = 1$. Una puerta lógica (4a) comprueba si el bit $B_{f-3} = 0$ vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno y el coseno es $1/\sqrt{2}$ gracias a un par de multiplexores (2b). En la última etapa otra puerta lógica (4b) calcula la operación *or* exclusiva de B_{f-3} y B_{f-2}. Si la salida de dicha puerta es 0, un par de multiplexores (2c) harán la magnitud de la parte imaginaria y de la parte real igual a las del seno y el coseno calculadas por el subcircuito (1) respectivamente. En caso contrario las magnitudes imaginaria y real serán las del coseno y el seno respectivamente. El signo de la parte real y la imaginaria se calculan fácilmente con puertas lógicas simples (4c) en función de B_{f-2} y B_{f-1}.

- Figura 2.- Muestra un diagrama donde se aprecia un ejemplo de uso del dispositivo de la patente P201600865 que calcula los senos y los cosenos de los múltiplos de $\phi = 2\pi/2^{11} = \pi/2^{10}$ en el intervalo $[0, \pi/4)$. La entrada del circuito se denomina I y tiene $11 - 3 = 8$ bits. El circuito pone en su salida el seno y el coseno de $n\phi$ siendo n el número representado por I en base 2. En este ejemplo las salidas se proporcionan en notación de punto fijo con 8 bits de parte fraccionaria sin bit para la parte entera, por lo que el valor 1 se aproxima por $1 - 2^{-8}$. El dispositivo de este ejemplo está estructurado en forma de árbol de altura unidad $(H = 1)$ y comprende dos memorias pequeñas $(m = 2^H = 2)$, denominadas M_0 y M_1 (5). La memoria M_0 codifica los senos y cosenos de los ángulos múltiplos de $\phi_0 = 2^0\phi = \pi/2^{10}$, mientras que la memoria M_1 codifica los senos y cosenos de los ángulos múltiplos de $\phi_1 = 2^4\phi = \pi/2^6$.

Nótese que, para compensar los errores de redondeo, las memorias deben almacenar los valores con una precisión de 17 bits. Los ángulos correspondientes a la memoria M_0 son mucho más pequeños que los correspondientes a la memoria M_1, y se encuentran en el intervalo $[0{,}15\pi/2^{10}]$. Dado que en $[0, \pi/4)$ el seno es creciente, el seno más grande codificado en M_0 es el de $15\pi/2^{10}$, y la representación de ese seno tiene los cuatro bits más significativos a cero. Esto implica que todas las representaciones de los senos de la memoria M_0 tienen dichos bits a cero, por lo que no es necesario almacenar esos bits. Por otro lado, dado que el coseno es decreciente en $[0, \pi/4)$, el coseno más pequeño codificado en M_0 es el de $15\pi/2^{10}$.

La representación de este coseno tiene los nueve bits más significativos a uno, lo que implica que todas las representaciones de los cosenos de la memoria M_0 tienen dichos bits a uno y no es necesario almacenar esos bits. Las mismas observaciones podrían hacerse con la memoria M_1 pero, al ser los ángulos correspondientes a ésta más grandes, en M_1 solo es posible ahorrar un bit por pivote. Dicho bit es el más significativo de los cosenos ya que vale 1 en todos los cosenos codificados en M_1.

Los cuatro bits menos significativos de I se conectan a las líneas de dirección de M_0 y los restantes a las líneas de dirección de M_1 de modo que $n = n_0 + n_1 2^4$ siendo n_0 y n_1 el valor representado por las líneas de dirección de M_0 y M_1 respectivamente, por tanto $n\phi = n_0\phi + n_1 2^4\phi = n_0\phi_0 + n_1\phi_1$. El seno y el coseno de $n\phi$ se obtienen a partir de las salidas de las memorias usando cuatro multiplicadores (6), un sumador (3) y un restador (7). Como el seno y coseno de todos los ángulos en el intervalo $[0, \pi/4)$ son positivos, estos circuitos aritméticos usan notación sin signo. Los ceros comunes en los bits más significativos de los senos permiten reducir el tamaño de la circuitería aritmética. En este caso concreto, en lugar de cuatro multiplicadores de 17×17 bits han sido necesarios dos de 17×17 (6b) y dos de 13×17 (6a).

- Figura 3.- Muestra un diagrama donde se aprecia un circuito, denominado *sumador trigonométrico*, que calcula el seno y el complemento del coseno de la suma de dos ángulos denominados A y B a partir de los senos y el complemento de los cosenos de dichos ángulos. El complemento del coseno de un ángulo se define como el resultado de restar a la unidad el coseno de dicho ángulo. El circuito emplea sumadores (3), restadores (7) y multiplicadores (6) para obtener los resultados aplicando las fórmulas

$$sen(A+B) = sen(A) + sen(B) - [sen(A)com(B) + com(A)sen(B)]$$
$$com(A+B) = com(A) + com(B) + [sen(A)sen(B) - com(A)com(B)]$$

En estas fórmulas com denota la función complemento del coseno, es decir, $com(x) = 1 - cos(x)$.

REALIZACIÓN PREFERENTE DE LA INVENCIÓN

En una realización preferente del objeto de la invención se implementó sobre una FPGA (*Field Programable Gate Array*) modelo Virtex 7 XC7VX485T-2FFG1761 del fabricante Xilinx, un circuito que calcula los factores de pivote de la transformada de Fourier para muestras de longitud $L = 2^{15}$ en notación punto fijo de 16 bits para la parte fraccionaria y 0 bits para la parte entera. La síntesis se ha realizado mediante la herramienta Vivado Design Suite de Xilinx. En dicha síntesis se usaron las unidades DSP integradas en la FPGA para implementar los multiplicadores. Siguiendo el esquema de T. Sansaloni, el circuito usa un dispositivo con una entrada de $15-3=12$ bits que calcula el seno y coseno de los múltiplos de $\phi=2\pi/2^{15}$ en el intervalo $[0,\,\pi/4)$. Dicho dispositivo se ha implementado usando la invención propuesta para calcular el seno y el complemento del coseno de los múltiplos de $\phi=2\pi/2^{15}$. Este ejemplo de la invención comprende dos tablas de consulta que se han implementado usando las LUT de la FPGA. Cada una de las ellas tiene $12/2=6$ bits de entrada. Un circuito aritmético trivial resta a la unidad el complemento del coseno para obtener el coseno. La implementación requirió 7 unidades de DSP.

Para realizar una comparación con el estado de la técnica, se ha implementado un circuito con idéntica funcionalidad pero que, en lugar de usar la invención propuesta, usa el dispositivo descrito en el documento anteriormente comentado P201600865 para calcular el seno y coseno de $\phi=2\pi/2^{15}$ en el intervalo $[0,\,\pi/4)$. Usando la misma FPGA y la misma herramienta de síntesis que en el caso anterior, el diseño requirió 12 unidades de DSP. Por tanto la invención propuesta proporciona un ahorro de casi un 42% en dichos recursos.

REIVINDICACIONES

1. Dispositivo electrónico digital calculador de funciones trigonométricas caracterizado por que comprende:
   - entradas por las que recibe el seno y el complemento del coseno de dos ángulos denominados A y B, definiéndose el complemento del coseno de un ángulo x como $com(x) = 1 - cos(x)$.
   - salidas por las que proporciona el seno y el complemento del coseno de la suma de los ángulos A y B anteriormente mencionados, y
   - dispositivos digitales configurados para realizar los cálculos siguientes:

$$sen(A + B) = sen(A) + sen(B) - [sen(A)com(B) + com(A)sen(B)]$$
$$com(A + B) = com(A) + com(B) + [sen(A)sen(B) - com(A)com(B)]$$

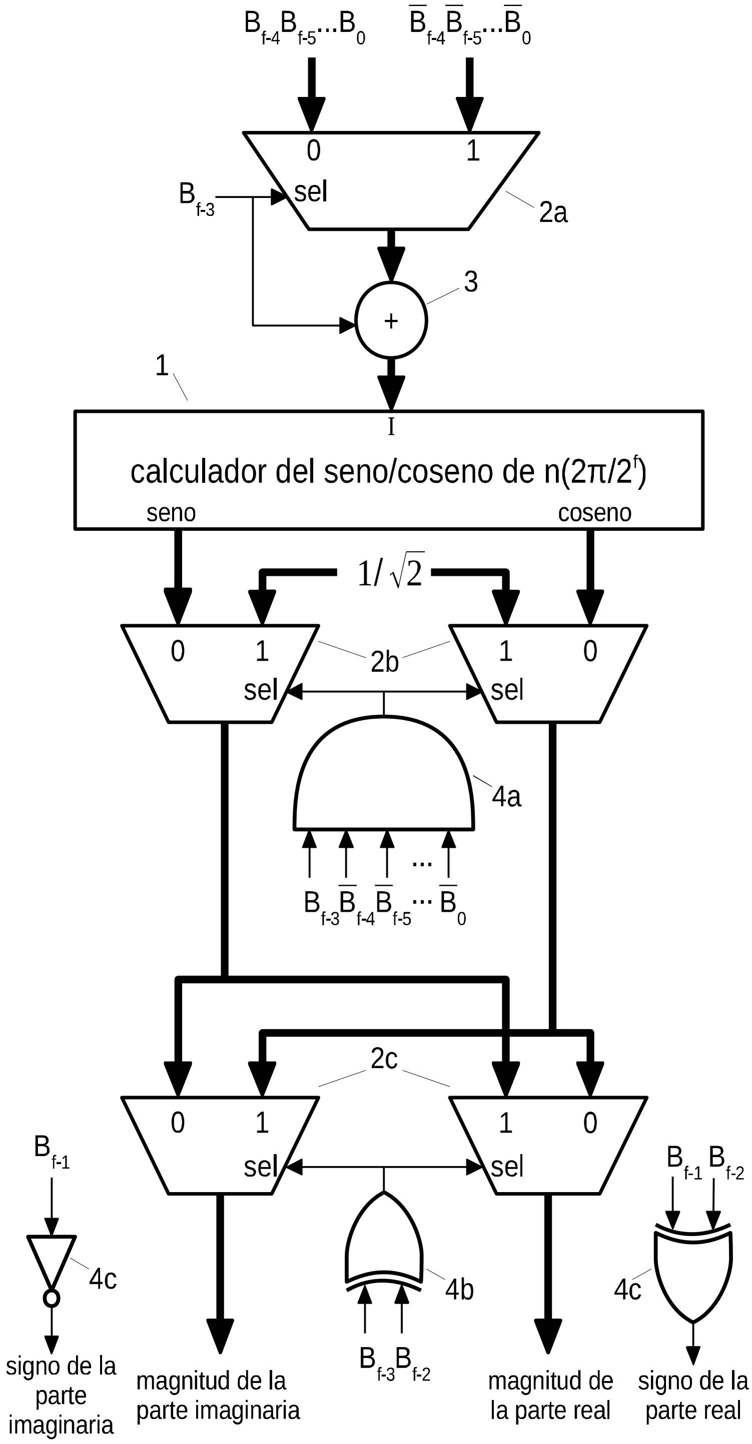
2. Dispositivo electrónico digital según reivindicación 1 caracterizado porque comprende registros donde se escriben los resultados de cálculos intermedios.

3. Dispositivo electrónico digital según reivindicación 2 caracterizado porque el número de circuitos aritméticos que comprende es inferior al número operaciones intermedias requeridas para calcular $sen(A + B)$ y $com(A + B)$, reutilizándose al menos uno de ellos para realizar dos o más cálculos intermedios.

4. Dispositivo electrónico digital según una cualquiera de las reivindicaciones anteriores caracterizado por usar una codificación numérica que solo permite representar valores mayores o iguales a cero.

5. Dispositivo electrónico digital según una cualquiera de las reivindicaciones anteriores caracterizado porque los circuitos aritméticos que comprende no realizan operaciones con signo.

6. Uso del dispositivo electrónico digital descrito en cualquiera de las reivindicaciones 1 a 5 para calcular funciones trigonométricas de un ángulo arbitrario.



$B_{f-4}B_{f-5}...B_0$
$\overline{B}_{f-4}\overline{B}_{f-5}...\overline{B}_0$
0
1
sel
B_{f-3}
2a
3
+
1
I
calculador del seno/coseno de n(2π/2^f)
seno
coseno
$1/\sqrt{2}$
0
1
2b
1
0
sel
sel
4a
$B_{f-3}\overline{B}_{f-4}\overline{B}_{f-5}\cdots\overline{B}_0$
2c
0
1
1
0
sel
sel
B_{f-1}
4c
B_{f-1} B_{f-2}
4b
4c
$B_{f-3}B_{f-2}$
signo de la parte imaginaria
magnitud de la parte imaginaria
magnitud de la parte real
signo de la parte real

Fig 1

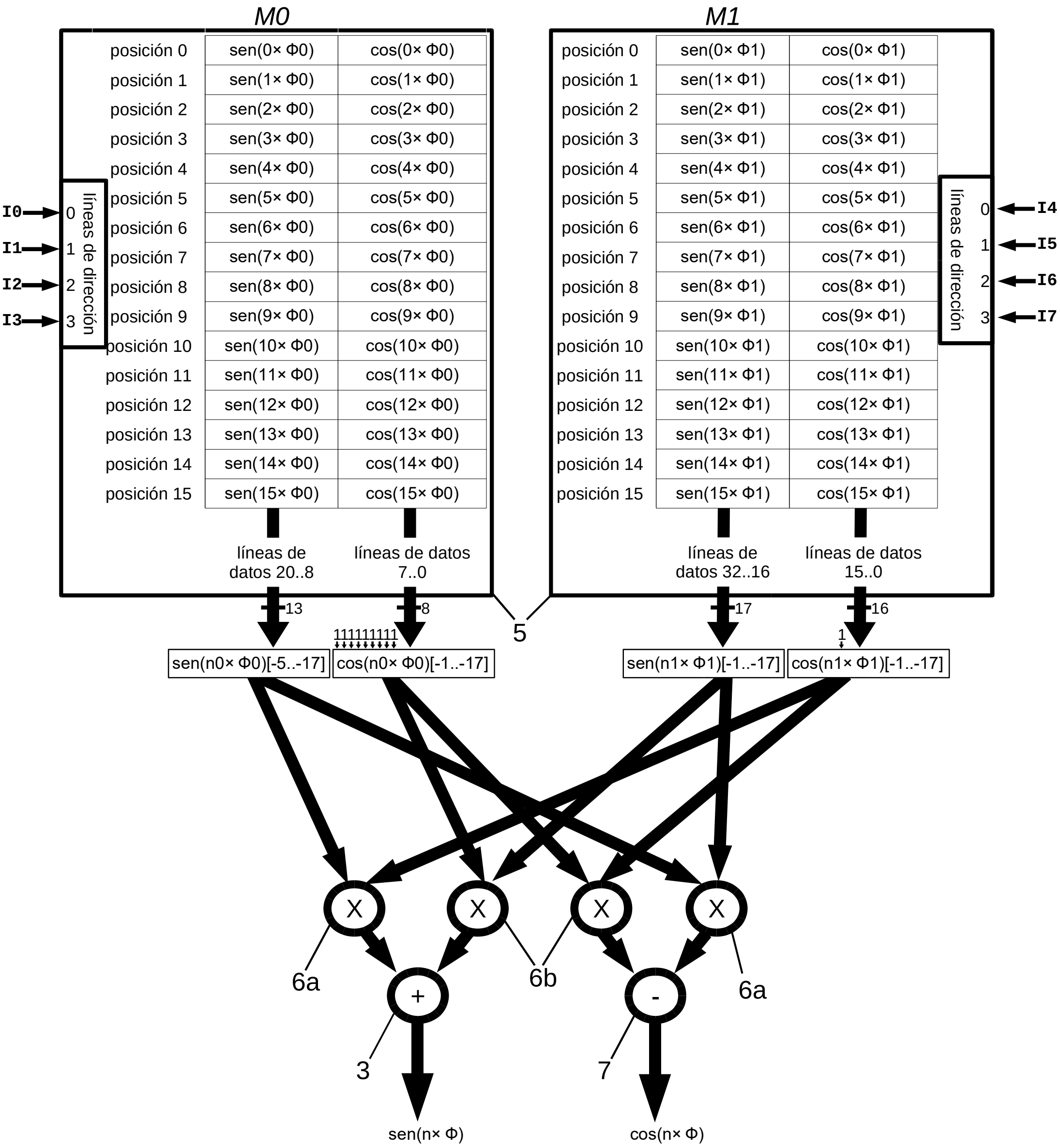

M0
M1
posición 0
posición 1
posición 2
posición 3
posición 4
posición 5
posición 6
posición 7
posición 8
posición 9
posición 10
posición 11
posición 12
posición 13
posición 14
posición 15
sen(0× Φ0) cos(0× Φ0)
sen(1× Φ0) cos(1× Φ0)
sen(2× Φ0) cos(2× Φ0)
sen(3× Φ0) cos(3× Φ0)
sen(4× Φ0) cos(4× Φ0)
sen(5× Φ0) cos(5× Φ0)
sen(6× Φ0) cos(6× Φ0)
sen(7× Φ0) cos(7× Φ0)
sen(8× Φ0) cos(8× Φ0)
sen(9× Φ0) cos(9× Φ0)
sen(10× Φ0) cos(10× Φ0)
sen(11× Φ0) cos(11× Φ0)
sen(12× Φ0) cos(12× Φ0)
sen(13× Φ0) cos(13× Φ0)
sen(14× Φ0) cos(14× Φ0)
sen(15× Φ0) cos(15× Φ0)
sen(0× Φ1) cos(0× Φ1)
sen(1× Φ1) cos(1× Φ1)
sen(2× Φ1) cos(2× Φ1)
sen(3× Φ1) cos(3× Φ1)
sen(4× Φ1) cos(4× Φ1)
sen(5× Φ1) cos(5× Φ1)
sen(6× Φ1) cos(6× Φ1)
sen(7× Φ1) cos(7× Φ1)
sen(8× Φ1) cos(8× Φ1)
sen(9× Φ1) cos(9× Φ1)
sen(10× Φ1) cos(10× Φ1)
sen(11× Φ1) cos(11× Φ1)
sen(12× Φ1) cos(12× Φ1)
sen(13× Φ1) cos(13× Φ1)
sen(14× Φ1) cos(14× Φ1)
sen(15× Φ1) cos(15× Φ1)
líneas de dirección
I0 0
I1 1
I2 2
I3 3
I4 0
I5 1
I6 2
I7 3
líneas de datos 20..8
líneas de datos 7..0
líneas de datos 32..16
líneas de datos 15..0
13
8
17
16
5
11111111
1
sen(n0× Φ0)[-5..-17]
cos(n0× Φ0)[-1..-17]
sen(n1× Φ1)[-1..-17]
cos(n1× Φ1)[-1..-17]
X
X
X
X
6a
6b
6a
+
-
3
7
sen(n× Φ)
cos(n× Φ)

Fig 2:

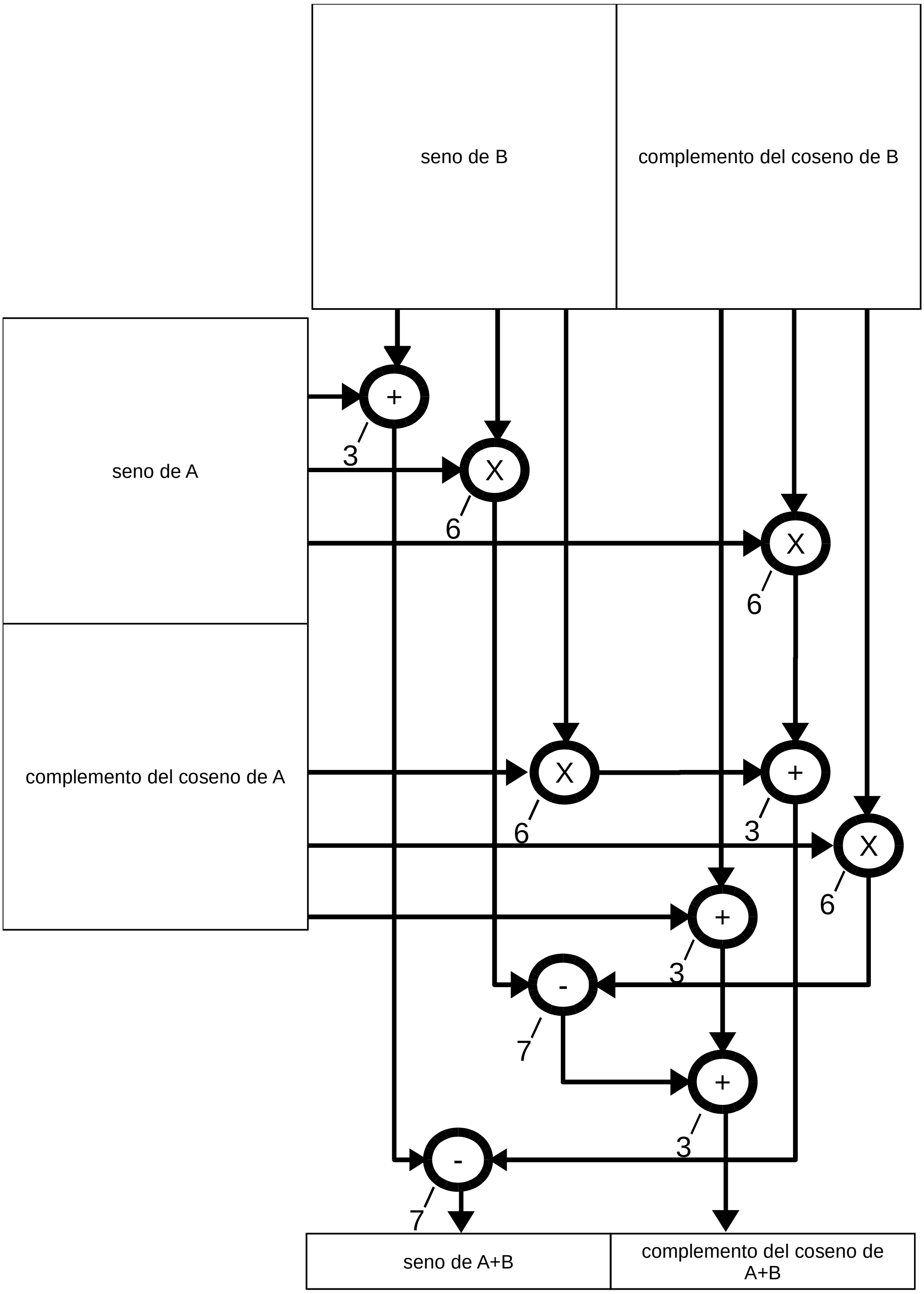

seno de B
complemento del coseno de B
seno de A
complemento del coseno de A
+
X
X
X
+
X
+
-
+
-
3
6
6
6
3
6
3
7
3
7
seno de A+B
complemento del coseno de A+B

Fig 3

OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

(21) N.º solicitud: 201831134

(22) Fecha de presentación de la solicitud: 22.11.2018

(32) Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

(51) **Int. Cl. :** ***G06F17/14*** (2006.01)
G06F17/10 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	(56) Documentos citados	Reivindicaciones afectadas
X	WO 2018104566 A1 (UNIV SEVILLA) 14/06/2018, Todo el documento.	1-6
A	FAHAD QURESHI et al. 4k-point FFT algorithms based on optimized twiddle factor multiplication for FPGAs. Microelectronics and Electronics (PrimeAsia), 2010 Asia Pacific Conference on Postgraduate Research in, 20100922 IEEE, Piscataway, NJ, USA. , 22/09/2010, Páginas 225 - 228, ISSN ISBN 978-1-4244-6735-8; ISBN 1-4244-6735-7. Todo el documento.	1
A	US 2014337401 A1 (XIE SHAOLIN et al.) 13/11/2014, Todo el documento.	1
A	US 2005273483 A1 (DENT PAUL W DENT PAUL WILKINSON) 08/12/2005, Todo el documento.	1

Categoría de los documentos citados
X: de particular relevancia
Y: de particular relevancia combinado con otro/s de la misma categoría
A: refleja el estado de la técnica
O: referido a divulgación no escrita
P: publicado entre la fecha de prioridad y la de presentación de la solicitud
E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado
☒ para todas las reivindicaciones
☐ para las reivindicaciones nº:

Fecha de realización del informe	Examinador	Página
28.08.2019	M. Muñoz Sanchez	1/2

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06F

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC,WPI, NPL, XPIEE, XPI3E