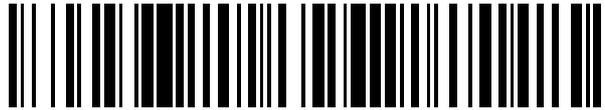


19



OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: 2 663 168

21 Número de solicitud: 201600865

51 Int. Cl.:

G06F 17/14 (2006.01)

G06F 17/10 (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

10.10.2016

43 Fecha de publicación de la solicitud:

11.04.2018

71 Solicitantes:

UNIVERSIDAD DE SEVILLA (100.0%)
Secretariado de Transferencia del conocimiento y emprendimiento Paseo de las Delicias s/n - pabellón de Brasil
41013 Sevilla ES

72 Inventor/es:

GUERRERO MARTOS , David;
VIEJO CORTÉS, Julián;
RUIZ DE CLAVIJO VÁZQUEZ, Paulino;
JUAN CHICO, Jorge;
BELLIDO DÍAZ, Manuel Jesús;
MILLÁN CALDERÓN, Alejandro;
OSTÚA ARANGÜENA, Enrique;
VILLAR DE OSSORNO, Jose Ignacio;
QUIRÓS CARMONA, Juan y
MUÑOZ RIVERA , Alejandro

54 Título: Circuito electrónico digital para el cálculo de senos y cosenos de múltiplos de un ángulo

57 Resumen:

Circuito electrónico para el cálculo de los senos y cosenos de múltiplos de un ángulo que permite implementar eficientemente el cómputo de los factores de twiddle de la transformada de Fourier.

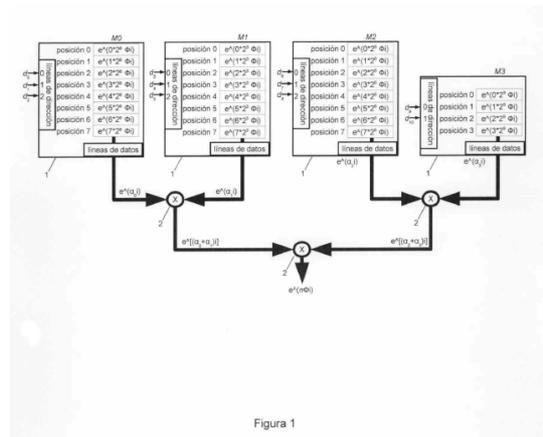


Figura 1

DESCRIPCIÓN

Circuito electrónico digital para el cálculo de senos y cosenos de múltiplos de un ángulo

Objeto de la invención

5 La presente invención tiene por objeto un circuito electrónico digital que calcula los coeficientes de twiddle de la transformada de Fourier empleando un subcircuito que calcula los senos y cosenos de múltiplos enteros de un ángulo concreto que comprende memorias semiconductoras cuyo número total de entradas es del orden del logaritmo de la longitud de la transformada. Esto implica un ahorro considerable en
10 área (componentes) y consumo de memoria en aplicaciones en las que la secuencia de datos es larga.

Tiene su aplicación en el área de la tecnología electrónica, concretamente, en el tratamiento digital de señales.

15 Estado de la técnica

Entre los principales objetivos de los diseñadores de circuitos electrónicos digitales se encuentran la reducción del área ocupada por los mismos así como la reducción de su consumo de energía y el aumento de su velocidad. La reducción de área permite reducir los costes de producción de los chips y generalmente acarrea una reducción
20 de consumo. Esto último es especialmente importante en equipos portables alimentados por baterías de cara a aumentar su autonomía. Muchos de estos equipos integran circuitos que calculan senos y/o cosenos de múltiplos de un ángulo. Un ejemplo notable son los circuitos que implementan la transformada rápida de Fourier. En ellos se requieren una serie de coeficientes complejos (denominados de twiddle o de pivote) cuyos valores se obtienen de los correspondientes pares seno/coseno de
25 determinados múltiplos de un mismo ángulo. Dado que el cálculo de funciones trigonométricas resulta costoso en tiempo, en implementaciones hardware de la transformada donde la velocidad es crítica estos valores se encuentran precalculados en memorias de acceso directo (normalmente de tipo ROM). Estas memorias pueden
30 tener gran número de posiciones pues se requieren tantos coeficientes como muestras tenga la serie. Esto supone una grave penalización en área y consumo en el hardware

de cálculo de transformadas de secuencias largas siendo el tamaño de las memorias muy grande en comparación con el resto de componentes (1).

Por ello se han propuesto varias formas de reducir el número de posiciones requeridas:

- 5 - D. Cohen mostró que era suficiente un número de posiciones igual a la mitad del número de muestras (2).
- Y. Ma, L. Wanhammar, Y. Chang y K. K. Parhi redujeron el número de posiciones a la cuarta parte al almacenar únicamente los coeficientes de ángulos en un intervalo de un cuarto de circunferencia. El resto se obtiene de forma fácil y rápida mediante relaciones trigonométricas simples que sólo requieren permutar y cambiar el signo de los componentes de los valores almacenados (3) y (4).
- 10 - M. Hasan y T. Arslan redujeron el número de posiciones a poco más de un octavo del número de muestras almacenando únicamente los coeficientes en un intervalo de un octavo de circunferencia. De nuevo los coeficientes restantes pueden calcularse rápidamente a partir de ellos aplicando relaciones trigonométricas (5).
- 15 - T. Sansaloni, A. Pérez-Pascual, V. Torres y J. Valls redujeron el número de posiciones a exactamente un octavo del número de muestras usando hardware específico para detectar y tratar los coeficientes cuyas parte real/imaginaria tiene una magnitud igual a $1/\sqrt{2}$. Esto permite evitar los problemas derivados de implementar una memoria semiconductora cuyo tamaño no es una potencia de 2 (6).
- 20

Sin embargo, todas estas mejoras requieren una memoria de un número de posiciones que crece linealmente con el número de muestras. Esto supone un inconveniente en aplicaciones en las que la secuencia de datos es larga tales como PLC (7) o DVB-T2 (8) (con longitudes del orden de 2^{13} y 2^{15} respectivamente) o muy larga como es el caso de las aplicaciones basadas en conteo de fotones (9) o en el uso de radiotelescopios (10) (con longitudes del orden de 2^{27} y 2^{30} respectivamente).

25

Referencias

- 30 (1) O. Gustafsson, "Analysis of Twiddle Factor Memory Complexity of Radix-2' Pipelined FFTs", *Conference Record of the Forty-Third Asilomar Conference on Signals, Systems and Computers*, 2009, páginas 217-220
- (2) "Simplified control of FFT hardware", *IEEE Trans. Acoust. Speech Signal Process*, páginas 577-579, 1976
- 35 (3) "Efficient FFT implementation using digit-serial arithmetic", *IEEE Workshop on Signal Processing Systems*, páginas 645-653, 1999

- (4) "Hardware efficient control of memory addressing for high performance FFT processors", *IEEE Trans. Signal Process*, páginas 917-921, 2000
- (5) "Scheme for reducing size of coefficient memory in FFT processor", *Electronics Letters*, páginas 907-911, 14 Febrero 2002
- 5 (6) "Scheme for Reducing the Storage Requirements of FFT Twiddle Factors on FPGAs", *Journal of VLSI Signal Processing*, páginas 183-187, 2006
- (7) IEEE 1901, "IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications", IEEE Communications Society, 2010.
- 10 (8) "Digital Video Broadcasting (DVB); Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2)", Ref. REN/JTC-DVB-308, ETSI EN 302 755 v1.3.1, 2012.
- (9) Stanton, R. H., "PhotonCounting - One More Time", *The Society for Astronomical Sciences, 31st Annual Symposium on Telescope Science, May 22-24, 2012, Big Bear Lake, CA. Society for Astronomical Sciences, 2012, pp.177-184.*
- 15 (10) Nakahara, H., Nakanishi, H., Sasao, T., "On a Wideband Fast Fourier Transform for a Radio Telescope", *ACM SIGARCH Computer Architecture News*, Vol. 40, No. 5, pp. 46-51, December 2012.

20

Descripción de las figuras

Figura 1.- Se ilustra un subcircuito que calcula los senos y cosenos de los múltiplos de $\Phi=2\pi/L=\pi/2^{13}$ en el intervalo $[0,\pi/4)$, es decir, las potencias del complejo $e^{j\Phi}$. El subcircuito está estructurado en dos fases y comprende cuatro memorias pequeñas

25 ($F=2, D=2^F=4$), denominadas M_0, M_1, M_2 y M_3 (1). Cada memoria de índice K mantiene los coeficientes (pares seno/coseno) de los ángulos múltiplos de $2^k\Phi$. M_3 posee sólo dos líneas de dirección ($q = 2$) y las otras tres memorias ($r = 3$) tienen una línea más. En total estas ROM suman solamente 28 posiciones de memoria. Sea d la entrada del subcircuito (de 11 bits), este calcula el complejo $e^{jn\Phi}$ siendo n el número codificado en

30 d . Los bits de d se reparten entre las líneas de dirección de las memorias de forma que cada una de ellas proporciona el par seno/coseno de un subángulo α_k siendo $n\Phi=\alpha_0+\alpha_1+\alpha_2+\alpha_3$. El complejo $e^{jn\Phi}$ se obtiene multiplicando las salidas de las memorias usando dos niveles de multiplicadores complejos (2) de forma que el retraso total del subcircuito es de dos multiplicadores complejos.

35 Figura 2.- Se ilustra un circuito que calcula los coeficientes de twiddle de la transformada de Fourier para muestras de longitud $L=2^f$ siguiendo el esquema de T.

Sansaloni. En el caso del ejemplo $f=14$. El índice del coeficiente a calcular se codifica en la entrada $B=B_{f-1}B_{f-2}..B_0$. El circuito comprende un subcircuito como el ilustrado en la figura 2 (3). Un multiplexor (4a) y un sumador (5) se emplean para que el subcircuito que devuelve los senos y cosenos reciba como entrada $B_{f-4}B_{f-5}..B_0$ cuando $B_{f-3}=0$, o su complemento a dos cuando $B_{f-3}=1$. Una puerta lógica (6a) comprueba si el bit B_{f-3} vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno y el coseno es $1/\sqrt{2}$ gracias a un par de multiplexores (4b). En la última etapa otra puerta lógica (6b) calcula la operación lógica EXOR de B_{f-3} y B_{f-2} . Si el valor de la operación lógica EXOR es 0 un par de multiplexores (4c) harán la magnitud de la parte imaginaria y de la parte real igual a la del seno y el coseno calculada por el subcircuito (3) respectivamente. En caso contrario las magnitudes imaginaria y real serán las del coseno y el seno respectivamente. El signo de la parte real y la imaginaria se calculan fácilmente con puertas lógicas simples (6c) en función de B_{f-2} y B_{f-1} .

15

Descripción de la invención

La invención trata de un circuito electrónico digital que calcula los coeficientes de twiddle de la transformada de Fourier. Los coeficientes de twiddle son los pares seno/coseno de los ángulos múltiplos de $-2\pi/L$ siendo L la longitud de la secuencia sobre la que se aplica la transformada. Esto es, los coeficientes de twiddle son las potencias del complejo $e^{-2\pi i/L}$. Para llevarlo a cabo se ha ideado un subcircuito que calcula el complejo $e^{n\Phi}$, es decir, el seno y el coseno de $n\Phi$ siendo Φ un ángulo constante y n un número codificado en base 2 que se suministra como entrada. Hay que hacer notar que el subcircuito puede emplearse para cálculo trigonométrico en general y no solo para el cálculo de los coeficientes de twiddle. El subcircuito consta de los siguientes componentes:

- memorias semiconductoras (normalmente de tipo ROM)
 - multiplicadores complejos
 - líneas que los interconectan en forma de árbol
- 30 Sea b la entrada del subcircuito y E el número de bits de b , pueden codificarse $N = 2^E$ ángulos distintos. El subcircuito se estructura en un número F de fases siendo F no mayor que el logaritmo en base 2 de E . En total el subcircuito comprende $d = 2^F$ memorias de acceso directo que denominaremos M_0, M_1, \dots, M_{d-1} . Sea q el cociente de dividir E entre d y sea r el resto, de entre las d memorias r tendrán $q + 1$ líneas de dirección. El resto tendrá sólo q líneas de dirección. Sea $\text{líneas}(M_k)$ el número de líneas de dirección de cada memoria k , se tiene

35

$$\sum_{k=0}^{d-1} \text{lineas}(M_k) = E$$

Cada posición de memoria p de la memoria M_m contendrá el seno y el coseno del ángulo

$$\Phi p 2^{\sum_{k=0}^{d-1} \text{lineas}(M_k)}$$

5 Dicho de otra forma, dicha posición de memoria contendrá el complejo definido por

$$e^{i(\Phi p 2^{\sum_{k=0}^{d-1} \text{lineas}(M_k)})}$$

Sea $b = b_{E-1} b_{E-2} \dots b_1 b_0$, la entrada del subcircuito que codifica el número n , para obtener el seno y el coseno de $n\Phi$, es decir, el complejo $e^{in\Phi}$, se divide b en d subcadenas S_0, S_1, \dots, S_{d-1} de longitudes $\text{lineas}(M_0), \text{lineas}(M_1), \dots, \text{lineas}(M_{d-1})$.

10 Nótese que

$$n = n_0 2^0 + n_1 2^{\text{lineas}(M_0)} + n_2 2^{\text{lineas}(M_0) + \text{lineas}(M_1)} + \dots + n_{d-1} 2^{\text{lineas}(M_0) + \text{lineas}(M_1) + \dots + \text{lineas}(M_{d-1})}$$

donde n_k denota el número representado por la subcadena S_k . Por tanto tenemos que $n\Phi = \alpha_0 + \alpha_1 + \dots + \alpha_{d-1}$ siendo cada ángulo α_k definido por

$$\alpha_k = \Phi n_k 2^{\sum_{i=0}^{k-1} \text{lineas}(M_i)}$$

15

De modo que el valor buscado puede calcularse mediante el producto

$$e^{in\Phi} = e^{i\alpha_0} e^{i\alpha_1} \dots e^{i\alpha_{d-1}}$$

Las líneas de dirección de cada memoria M_m se conectan a la subentrada S_m de forma que su salida proporciona el complejo $e^{i\alpha_m}$. El valor $e^{in\Phi}$ es calculado por los multiplicadores a partir de las salidas de las memorias. Los multiplicadores se disponen en paralelo de forma que cada fase introduce un retraso igual al de un multiplicador complejo. En el caso de tomar para F el valor de la parte entera por defecto de $\log_2(E)$, como máximo se tendrían E memorias de no más de dos líneas de dirección, con lo que el número de posiciones de memoria totales estará acotado superiormente por $2^2 E = 4 \log_2(N)$. Esta cota crece logarítmicamente con el número de ángulos N .

20 El subcircuito presentado puede emplearse para calcular directamente los coeficientes de twiddle de una transformada de longitud L tomando $\Phi = -2\pi/L$. El número de bits de la entrada E sería la parte entera por exceso de $\log_2(L)$ de modo que $E < 2 \log_2(L)$. Si se toma como número de fases F el valor de la parte entera por defecto de $\log_2(E)$ se tendrían no más de E memorias de no más de dos líneas de dirección, con lo que el número de posiciones de memoria totales estará acotado superiormente por

$2^2 E < 8 \log_2(L)$. Aunque esto por sí solo permite ahorrar gran cantidad de recursos respecto al estado de la técnica, si L es potencia de 2 se puede emplear un circuito aún más optimizado. El circuito optimizado está compuesto por los siguientes elementos:

- 5 • Un subcircuito como el descrito en el apartado anterior
- Cinco multiplexores 2:1
- Un sumador
- Un conjunto de puertas lógicas

Este circuito emplea un esquema similar al presentado por T. Sansaloni de forma que
 10 los casos en los que el múltiplo de Φ corresponde a los ángulos $\pi/4$, $3\pi/4$, $5\pi/4$ y $7\pi/4$ se detectan con una simple puerta lógica y se tratan de forma separada. La puerta se limita a comprobar si el bit $B_{f,3}$ vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno (parte imaginaria) y el coseno (parte real) es $1/\sqrt{2}$ gracias a un par de multiplexores. A diferencia del esquema de T.
 15 Sansaloni, este circuito no usa una ROM para obtener los senos y cosenos de los múltiplos de $\Phi = -2\pi/L$ en el intervalo $(-\pi/4, 0]$. En lugar de eso se emplea un subcircuito como el descrito anteriormente para calcular los pares seno/coseno de los múltiplos de $\Phi = 2\pi/L$ en el intervalo $[0, \pi/4)$. Esto hace posible reducir enormemente la memoria necesaria para implementar el sistema. Además, al ser positivos los senos y cosenos
 20 de todos los ángulos en el intervalo $[0, \pi/4)$, los multiplicadores complejos pueden implementarse usando multiplicadores de magnitud sin signo. Sea la longitud de la transformada $L = 2^f$ y sea $B = B_{f-1} B_{f-2} \dots B_0$ la entrada del circuito optimizado que codifica el índice del coeficiente de twiddle a calcular, cuando $B_{f,3} = 0$ la entrada al subcircuito que devuelve los senos y cosenos se hace igual a la subcadena $B_{f,4} B_{f,5} \dots B_0$. En caso
 25 contrario se hace igual al complemento a dos de dicha subcadena. Para ello se emplean un multiplexor y un sumador. Una puerta lógica comprueba si el bit $B_{f,3}$ vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno y el coseno es $1/\sqrt{2}$ gracias a un par de multiplexores conectados a la salida del subcircuito. En la última etapa una puerta calcula la operación lógica EXOR
 30 de $B_{f,3}$ y $B_{f,2}$. Si vale 0 un par de multiplexores harán la magnitud de la parte imaginaria y de la parte real igual a la del seno y el coseno calculada por el subcircuito respectivamente. En caso contrario las magnitudes imaginaria y real serán las del coseno y el seno respectivamente. El signo de la parte real y la imaginaria se calcula con puertas lógicas simples en función de $B_{f,2}$ y $B_{f,1}$.

Modo de realización de la invención

A modo de ejemplo se ha realizado sobre FPGA (Field Programmable Gate Array) un circuito que calcula los coeficientes de twiddle de la transformada de Fourier para secuencias de longitud $L = 2^{14}$. Esto requiere conocer los senos y cosenos de los múltiplos enteros del ángulo $\Phi = 2\pi/L = \pi/2^{13}$. En el esquema presentado por T. Sansaloni se mantendrían almacenados en una memoria ROM los coeficientes correspondientes a los ángulos en el intervalo $(-\pi/4, 0]$ (una octava parte de circunferencia, esto es, $N = L/8 = 2^{11} = 2048$). La ROM tendría 11 líneas de dirección ($E = 11$) y 2048 posiciones de memoria. En lugar de dicha ROM se ha empleado el subcircuito de la figura 1 que calcula los senos (parte imaginaria) y cosenos (parte real) de los múltiplos de $\Phi = 2\pi/L = \pi/2^{13}$ en el intervalo $[0, \pi/4)$ usando tan solo un total de 28 posiciones de memoria. Dicho subcircuito se emplea en el circuito de la figura 2 para el cálculo de los coeficientes de twiddle.

Reivindicaciones

1. Subcircuito que calcula el complejo $e^{n\Phi}$, es decir, el seno y el coseno de $n\Phi$ siendo Φ un ángulo constante y n un número codificado en base 2 que se suministra como entrada caracterizado porque el subcircuito consta de los siguientes componentes:

- memorias semiconductoras (normalmente de tipo ROM)
- multiplicadores complejos
- líneas que los interconectan en forma de árbol

Sea b la entrada del subcircuito y E el número de bits de b , pueden codificarse $N = 2^E$ ángulos distintos. El subcircuito se estructura en un número F de fases siendo F no mayor que el logaritmo en base 2 de E . En total el subcircuito comprende $d = 2^F$ memorias de acceso directo que denominaremos M_0, M_1, \dots, M_{d-1} . Sea q el cociente de dividir E entre d y sea r el resto, de entre las d memorias r tendrán $q + 1$ líneas de dirección. El resto tendrá sólo q líneas de dirección. Sea $líneas(M_k)$ el número de líneas de dirección de cada memoria k , se tiene

$$\sum_{k=0}^{d-1} líneas(M_k) = E$$

Cada posición de memoria p de la memoria M_m contendrá el seno y el coseno del ángulo

$$\Phi p 2^{\sum_{i=0}^{m-1} líneas(M_i)}$$

Dicho de otra forma, dicha posición de memoria contendrá el complejo definido por

$$e^{i(\Phi p 2^{\sum_{i=0}^{m-1} líneas(M_i)})}$$

Sea $b = b_{E-1} b_{E-2} \dots b_1 b_0$, la entrada del subcircuito que codifica el número n , para obtener el seno y el coseno de $n\Phi$, es decir, el complejo $e^{n\Phi}$, se divide b en d subcadenas S_0, S_1, \dots, S_{d-1} de longitudes $líneas(M_0), líneas(M_1), \dots, líneas(M_{d-1})$. Nótese que

$$n = n_0 2^0 + n_1 2^{líneas(M_0)} + n_2 2^{líneas(M_0)+líneas(M_1)} + \dots + n_{d-1} 2^{líneas(M_0)+líneas(M_1)+\dots+líneas(M_{d-1})}$$

donde n_k denota el número representado por la subcadena S_k . Por tanto tenemos que $n\Phi = \alpha_0 + \alpha_1 + \dots + \alpha_{d-1}$ siendo cada ángulo α_k definido por

$$\alpha_k = \Phi n_k 2^{\sum_{i=0}^{k-1} líneas(M_i)}$$

El valor buscado se calcula mediante el producto $e^{n\Phi i} = e^{a_0 i} e^{a_1 i} \dots e^{a_{p-1} i}$. Las líneas de dirección de cada memoria M_m se conectan a la subentrada S_m . Su salida proporciona el complejo $e^{(a_m i)}$. El valor $e^{(n\Phi i)}$ es calculado por los multiplicadores a partir de las salidas de las memorias. Los multiplicadores se disponen en paralelo para optimizar la velocidad.

2. Un circuito para el cálculo de los coeficientes de twiddle de una transformada de Fourier de longitud L que emplea un subcircuito como el descrito en la reivindicación anterior para calcular los pares seno/coseno de los múltiplos de $\Phi=2\pi/L$ en el intervalo $[0, \pi/4)$. Sea la longitud de la transformada $L=2^f$ y sea $B=B_{f-1} B_{f-2} \dots B_0$ la entrada que codifica el índice del coeficiente de twiddle a calcular, caracterizado porque cuando $B_{f-3}=0$ la entrada al subcircuito que devuelve los senos y cosenos se hace igual a la subcadena $B_{f-4} B_{f-5} \dots B_0$. En caso contrario se hace igual al complemento a dos de dicha subcadena. Para ello se emplean un multiplexor y un sumador. Una puerta lógica comprueba si el bit B_{f-3} vale 1 y el resto de bits menos significativos de B valen 0, en cuyo caso la magnitud devuelta para el seno y el coseno es $1/\sqrt{2}$ gracias a un par de multiplexores conectados a la salida del subcircuito. En la última etapa una puerta calcula la operación lógica EXOR de B_{f-3} y B_{f-2} . Si vale 0 un par de multiplexores harán la magnitud de la parte imaginaria y de la parte real igual a la del seno y el coseno calculada por el subcircuito respectivamente. En caso contrario las magnitudes imaginaria y real serán las del coseno y el seno respectivamente. El signo de la parte imaginaria se calcula con un inversor cuya entrada se conecta a B_{f-1} mientras que el de la parte real se calcula con una puerta lógica EXOR cuyas entradas se conectan a B_{f-2} y B_{f-1} .

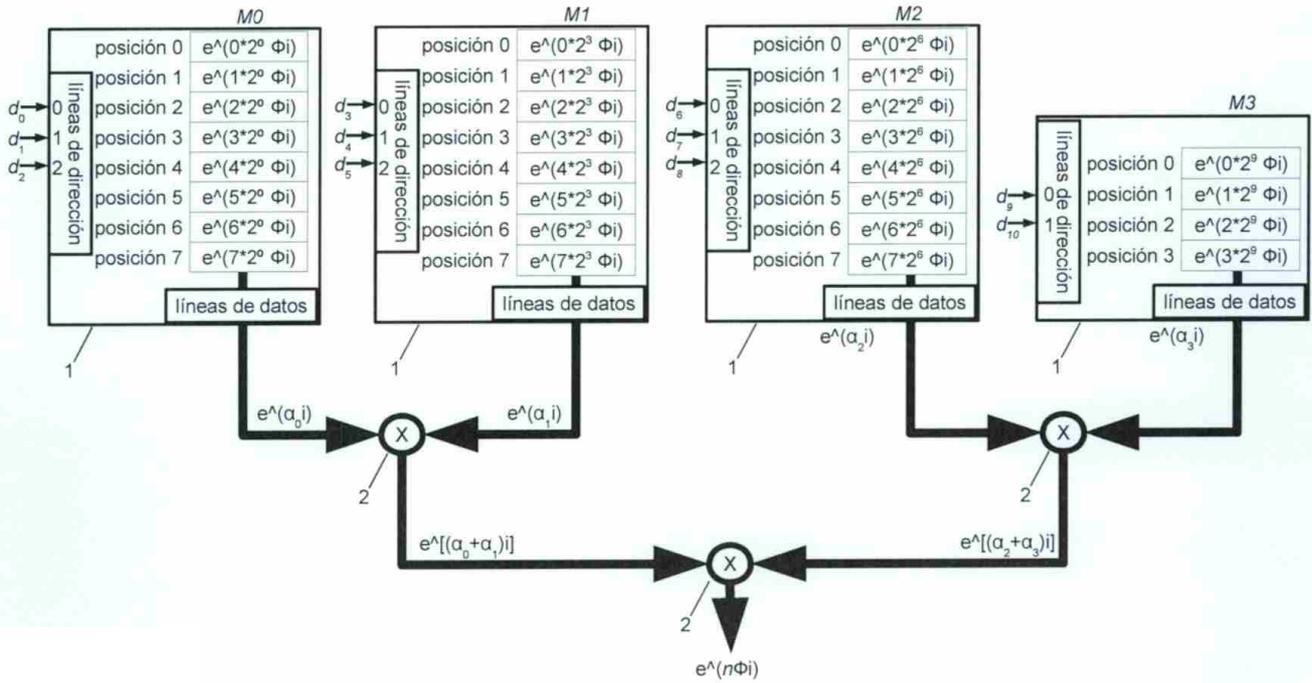


Figura 1

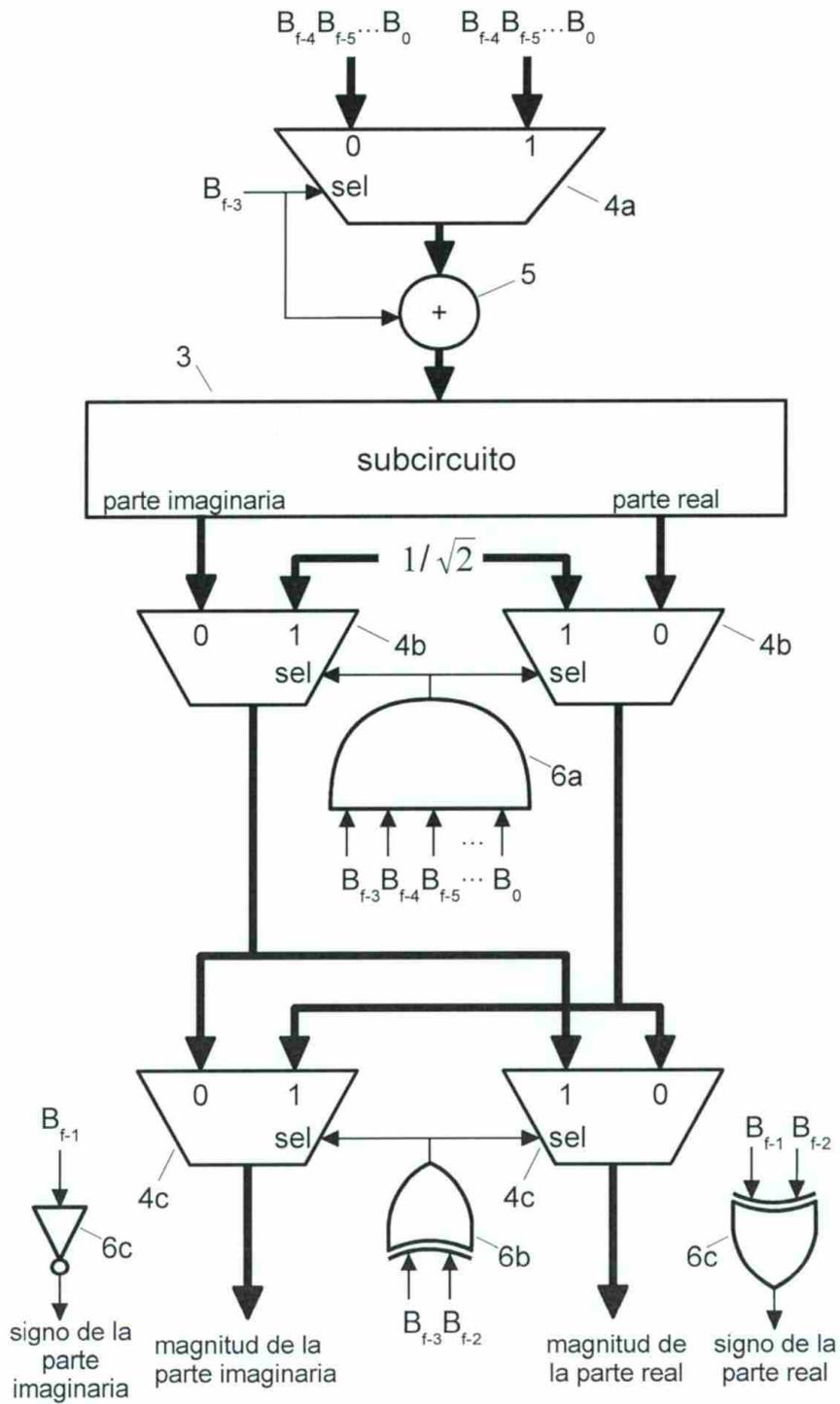


Figura 2



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201600865

②② Fecha de presentación de la solicitud: 10.10.2016

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **G06F17/14** (2006.01)
G06F17/10 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	Fahad Qureshi et al. 4K-POINT FFT ALGORITHMS BASED ON OPTIMIZED TWIDDLE FACTOR MULTIPLICATION FOR FPGAS. 22/09/2010, Páginas 225 - 228, ISBN 978-1-4244-6735-8; ISBN 1-4244-6735-7. Todo el documento.	1-2
A	US 2014337401 A1 (XIE SHAOLIN et al.) 13/11/2014, Todo el documento.	1-2
A	US 2005273483 A1 (DENT PAUL W DENT PAUL WILKINSON) 08/12/2005, Todo el documento.	1-2
A	US 7440987 B1 (SONG YONGCHUL et al.) 21/10/2008, Todo el documento.	1-2

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
29.08.2017

Examinador
M. Muñoz Sanchez

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G06F

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPI3E, XPIEE

Fecha de Realización de la Opinión Escrita: 29.08.2017

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 1-2	SI
	Reivindicaciones	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones 1-2	SI
	Reivindicaciones	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	Fahad Qureshi et al.. 4K-POINT FFT ALGORITHMS BASED ON OPTIMIZED TWIDDLE FACTOR MULTIPLICATION FOR FPGAS. Microelectronics and Electronics (PrimeAsia), 2010 Asia Pacific Conference on Postgraduate Research in, 20100922 IEEE, Piscataway, NJ, USA. Páginas 225 - 228, ISSN ISBN 978-1-4244-6735-8 ; ISBN 1-4244-6735-7	22.09.2010
D02	US 2014337401 A1 (XIE SHAOLIN et al.)	13.11.2014
D03	US 2005273483 A1 (DENT PAUL W DENT PAUL WILKINSON)	08.12.2005
D04	US 7440987 B1 (SONG YONGCHUL et al.)	21.10.2008

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

Se considera D01 el documento más próximo del estado de la técnica al objeto de la solicitud.

Reivindicaciones independientes

Reivindicación 1: El documento D01 divulga un método para el cálculo de la transformada rápida de Fourier de una señal, en el que se utiliza la simetría de octava (intervalo angular $[0 - \pi/4)$) de los pares seno-coseno para obtener los coeficientes de twiddles necesarios para dicho cálculo de dicha transformada. Los coeficientes están almacenados en memorias para su consulta pero no se precisa cuantas memorias y cuantos coeficientes (pares seno-coseno) se almacenan en cada una siendo esta la diferencia con el circuito reivindicado, que consigue ahorrar recursos gracias a un reparto prácticamente uniforme de los coeficientes entre un número de memorias que excede la parte entera del logaritmo en base dos del número de bits que representa el ángulo de entrada. El problema técnico objetivo consistiría así en cómo organizar los coeficientes en memoria para permitir un ahorro de recursos similar y que el circuito resultante fuera también simple.

En el documento D02 por su parte, en aras de la paralelización, se reparten los coeficientes de twiddles en distintos bloques de memoria pero no se hace ninguna referencia a la combinación de ángulos en su cálculo en relación con su almacenamiento en memorias.

En el documento D03 por su parte se hace referencia al álgebra de números complejos en relación con los coeficientes de twiddles y a la sencilla descomposición de un ángulo en otros a la hora de calcular el valor de un número complejo expresado en forma polar a partir de valores almacenados en tablas de consulta incluso mencionando que resultaría ventajoso aplicar dichas sencillas descomposiciones pero no se concreta cómo se realizarían ni los recursos a emplear.

Por tanto, la reivindicación 1 posee actividad inventiva según el art. 8.1 de la Ley 11/86 de Patentes.

Reivindicaciones dependientes

Reivindicación 2: esta reivindicación también posee actividad inventiva según el art. 8.1 de la Ley 11/86 de Patentes por ser dependiente de la reivindicación 1 y presentarla esta también como se ha dicho.