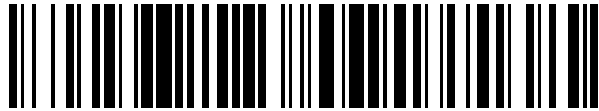


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 378 801**

21 Número de solicitud: 201030482

51 Int. Cl.:

H03K 17/687 (2006.01)

H03K 17/16 (2006.01)

12

PATENTE DE INVENCION

B1

22 Fecha de presentación:

30.03.2010

43 Fecha de publicación de la solicitud:

18.04.2012

Fecha de la concesión:

15.03.2013

45 Fecha de publicación de la concesión:

01.04.2013

73 Titular/es:

**MONDRAGON GOI ESKOLA POLITEKNIKOA J.
M^a ARIZMENDIARRIETA S. COOP
LORAMENDI, 4
20500 ARRASATE-MONDRAGON (Gipuzkoa) ES**

72 Inventor/es:

**GALARZA IBARRONDO, Josu Imanol;
BARRENA BRUÑA, Jon Andoni;
BARAIA ZUBIAURRE, Igor y
IRAOLA IRIONDO, Unai**

74 Agente/Representante:

IGARTUA IRIZAR, Ismael

54 Título: **MÉTODO DE CONTROL PARA EL APAGADO DE UNA PLURALIDAD DE TRANSISTORES DE POTENCIA DISPUESTOS EN SERIE.**

57 Resumen:

Método de control para el apagado de una pluralidad de transistores de potencia dispuestos en serie y que comprenden una puerta (G), un primer electrodo (C) y un segundo electrodo (E). En el método se aplica una primera corriente de puerta determinada a la puerta (G), se mide la tensión (Vce) en el primer electrodo principal (C) de cada transistor (T), se predetermina un valor umbral para la tensión de cada primer electrodo principal (C), se predetermina un intervalo de tiempo máximo desde el envío de la primera corriente de puerta para cada transistor (T), y se aplica una segunda corriente de puerta a la puerta (G) del transistor (T) correspondiente, de amplitud menor a la primera corriente de puerta, cuando la tensión (Vce) en el primer electrodo principal (C) correspondiente iguala al valor umbral V_u correspondiente o cuando transcurra el intervalo de tiempo máximo.

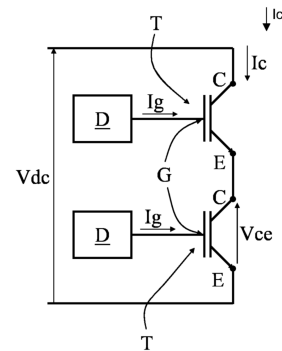


Fig. 1

ES 2 378 801 B1

DESCRIPCIÓN

Método de control para el apagado de una pluralidad de transistores de potencia
dispuestos en serie

5

SECTOR DE LA TÉCNICA

La presente invención se relaciona con métodos de control para el apagado de una
pluralidad de transistores de potencia, y más concretamente con métodos de control
para el apagado de una pluralidad de transistores de potencia dispuestos en serie.

10

ESTADO ANTERIOR DE LA TÉCNICA

La presencia de semiconductores de potencia en aplicaciones de media y/o alta
tensión es cada vez mayor. Sin embargo, la capacidad de bloqueo de los
semiconductores disponibles comercialmente no siempre es suficiente para cubrir
las necesidades de dichas aplicaciones, puesto que no soportan tensiones
elevadas.

15

20

Una de las soluciones para solventar esta limitación consiste en conectar en serie
varios semiconductores de potencia de forma que la tensión de bloqueo se reparta
entre los distintos semiconductores conectados en serie. Por sus características
funcionales, cuando se requiere la conexión en serie de una pluralidad de
semiconductores, el empleo de transistores de potencia controlados por tensión
tales como los IGBT es la opción más recurrente. Los IGBTs comprenden dos
electrodos principales (colector y emisor) y una puerta.

25

Cada uno de los IGBTs dispuestos en serie es controlado mediante un circuito de
control o unos medios de control, y debido a diferencias entre los distintos IGBTs
conectados en serie y/o diferencias entre los circuitos de control correspondientes,
se pueden generar desequilibrios de tensión entre dichos IGBTs. Si algún IGBT
supera su máxima tensión de bloqueo dicho IGBT falla. Es por ello necesario tomar
ciertas medidas que garanticen que la tensión de todos los IGBTs conectados en
serie se reparta de forma equitativa.

30

35

Se conocen del estado de la técnica diferentes soluciones empleadas para hacer
frente a este inconveniente y proporcionar el equilibrado de tensiones entre los

distintos IGBTs conectados en serie, como por ejemplo:

- Las conocidas comúnmente como “*circuitos snubber*”.
- Las conocidas comúnmente como “*circuitos clamp*”.
- 5 - Técnicas de control activo por puerta en cada IGBT.

A pesar de que los circuitos snubber presentan soluciones eficaces en el equilibrado, el aumento drástico de las pérdidas de conmutación hace poco atractivo su uso.

10 Los circuitos clamp únicamente limitan la máxima tensión admisible en cada semiconductor. Sin embargo, estos circuitos clamp no son capaces de equilibrar las pérdidas de conmutación entre los distintos semiconductores conectados en serie, lo cual es crítico cuando se opera a altas frecuencias de conmutación.

15 Es por ello que en los últimos años la investigación se ha centrado en técnicas de control activo por puerta orientadas especialmente al equilibrado dinámico de tensiones de IGBTs conectados en serie. Son conocidas técnicas de control activo por puerta para controlar el comportamiento del IGBT durante la conmutación (encendido y/o apagado) y en consecuencia equilibrar las tensiones de los distintos IGBTs conectados en serie.

20

Durante el apagado de un transistor de potencia, generalmente se realiza un control de la puerta de dicho transistor para controlar la derivada de tensión de dicho transistor (cambios en la tensión colector – emisor de dicho transistor). Controlando dicha derivada es posible conseguir que las tensiones de todos los transistores de potencia evolucionen igual, reduciéndose el riesgo de que alguno de los transistores de potencia supere su máxima tensión de bloqueo.

25

30 En el documento US 5828539 A se divulga un método de control sobre la derivada de tensión colector - emisor de los transistores. Sin embargo, durante el apagado de un transistor existe un periodo de tiempo durante el cual el generador de corriente (*driver*) extrae cargas desde la puerta del transistor correspondiente sin que dicho transistor se desature (retardo en el apagado). Dicho retardo depende de las características de cada transistor, de la corriente de colector y de la corriente de

35

puerta, por lo que es posible que, debido a la dispersión de parámetros entre los transistores conectados en serie o sus respectivos *drivers* de puerta, dichos transistores comprendan retardos diferentes, lo que puede dar lugar a desequilibrios de tensión entre los transistores durante el apagado de los mismos si no se

sincronizan dichos transistores, a pesar de controlar la derivada de tensión colector – emisor de cada transistor.

5 EXPOSICIÓN DE LA INVENCION

El objeto de la invención es el de proporcionar un método de control para el apagado de una pluralidad de transistores de potencia dispuestos o conectados en serie, que permita la sincronización de todos los transistores conectados en serie.

10

El método de control de la invención está diseñado para su uso en el apagado de una pluralidad de transistores de potencia, que están dispuestos en serie, y que se emplean en aplicaciones de media y/o alta tensión. Dichos transistores de potencia comprenden una puerta, un primer electrodo principal y un segundo electrodo principal. Con el método de la invención se aplica una corriente de puerta controlada a la puerta de cada transistor de potencia, durante el apagado de dicho transistor de potencia.

15

En el método de la invención se aplica una primera corriente de puerta determinada a la puerta de cada transistor de potencia, se mide la tensión en el primer electrodo principal de cada transistor de potencia (la tensión entre el primer electrodo principal y el segundo electrodo principal), que se corresponde con el colector del transistor de potencia, se predetermina un valor umbral V_u para la tensión del primer electrodo principal de cada transistor, y se predetermina un intervalo de tiempo máximo de aplicación de la primera corriente de puerta.

20

25

En el método de la invención, además, se aplica una segunda corriente de puerta a cada puerta del transistor de potencia correspondiente, de amplitud menor a la primera corriente de puerta, cuando la tensión en el primer electrodo principal del transistor correspondiente iguala al valor umbral V_u predeterminado correspondiente, o cuando transcurra el intervalo de tiempo máximo predeterminado correspondiente a dicho transistor desde la aplicación de la primera corriente de puerta, si transcurrido dicho intervalo de tiempo máximo dicha tensión no ha igualado a dicho valor umbral V_u .

30

35

De esta manera, con el método de la invención se controla la extracción de cargas de la puerta de los transistores y cuando dichos transistores de potencia conmutan al apagarse, el cambio de una corriente de puerta a otra se realiza pudiendo controlarse la derivada de tensión para cualquier condición de operación. Así,

pueden controlarse las derivadas de tensión de todos los transistores conectados en serie en cualquier condición de operación durante el apagado de dichos transistores garantizando la operación sincronizada de dichos transistores y evitándose así los posibles desequilibrios de tensión originados por los diferentes retardos en los
5 diferentes transistores.

Estas y otras ventajas y características de la invención se harán evidentes a la vista de las figuras y de la descripción detallada de la invención.

10

DESCRIPCIÓN DE LOS DIBUJOS

La FIG. 1 muestra un sistema de control con transistores conectados en serie, donde se puede aplicar el método de la invención.

15

La FIG. 2 muestra un diagrama de bloques representativo de una realización del método de la invención.

La FIG. 3 muestra la evolución de la tensión en un primer electrodo principal de un transistor del sistema de la FIG. 1, con el método de la invención, para diferentes corrientes de colector de dicho transistor.
20

EXPOSICIÓN DETALLADA DE LA INVENCIÓN

25

El método de control de la invención está diseñado para su uso en el apagado de una pluralidad de transistores T de potencia, que están dispuestos o conectados en serie tal y como se muestra en la realización de la figura 1, y que comprenden, preferentemente, un IGBT, comprendiendo cada uno una puerta G, un primer
30 electrodo principal C que se corresponde con el colector, y un segundo electrodo principal E que se corresponde con el emisor. En dicha realización, con el propósito de simplificar la figura 1, se muestran dos transistores T conectados en serie pero podrían emplearse más transistores T si así fuese requerido. La configuración de los transistores T en serie se emplea generalmente en aplicaciones de media y/o alta
35 tensión, en las que un sólo transistor T no tiene capacidad para soportar las tensiones Vdc de dichas aplicaciones, de tal manera que dicha tensión Vdc se reparte entre los distintos transistores T conectados en serie. Cada transistor T comprende unos generadores de corriente D (*“drivers”*) para aplicar una corriente de puerta sobre el transistor T correspondiente, y controlar así la conmutación de los

mismos. Dichos *drivers* D están adaptados para aplicar corrientes de puerta sustancialmente constantes y que pueden ser como los descritos en el documento de patente EP 1779512 A1 por ejemplo.

- 5 En el método de la invención los *drivers* D están controlados mediante unos medios de control no mostrados en las figuras, que pueden comprender un microcontrolador, una PLD ("*Programmable Logic Device*") o un dispositivo equivalente, y que están adaptados para controlar la corriente de puerta de cada transistor T durante el apagado de los mismos. Cada *driver* D puede estar controlado por unos medios de control específicos, o unos mismos medios de control pueden controlar todos los *driver* D.

Durante el apagado de un transistor T, existe un periodo de tiempo durante el cual el *driver* D extrae cargas desde la puerta del transistor T correspondiente sin que dicho *driver* D detecte que el transistor T se haya desaturado, conociéndose comúnmente dicho periodo de tiempo como un retardo en el apagado. Dicho retardo depende de las características de cada transistor T, de la corriente de colector I_c a la que conmuta dicho transistor T y de la corriente de puerta I_g aplicada a dicho transistor T, por lo que es posible que, debido a la dispersión de los diferentes parámetros entre los transistores T conectados en serie o sus respectivos *drivers* D, dichos transistores T comprendan retardos diferentes, lo que puede dar lugar a desequilibrios de tensión entre los transistores T durante el apagado de los mismos. Durante dicho apagado, una vez terminada la fase de retardo, la tensión V_{ce} en el primer electrodo principal C (tensión colector - emisor) va aumentando. Esto ocurre además con una corriente de puerta de conmutación I_{gc} determinada que determina la derivada de la tensión V_{ce} del transistor T. Para garantizar el equilibrado de tensiones de una pluralidad de transistores T conectados en serie, es preferible que el cambio en la tensión V_{ce} se pueda controlar, y que siga una pendiente determinada conocida como la derivada de la tensión V_{ce} . No se explican el modo de controlar la derivada de tensión V_{ce} y de calcular la corriente de puerta de conmutación I_{gc} puesto que no son objeto de la invención, pudiendo emplearse para ello los métodos divulgados en el documento US5828539 u otros conocidos del estado de la técnica.

- 35 En el método de la invención, cuando se ordena o se requiere el apagado de los transistores T se aplica una primera corriente de puerta I_{g1} determinada a la puerta de cada transistor T, igual para todos los transistores T, se mide una tensión V_{ce} en el primer electrodo principal C de cada transistor T (tensión colector - emisor) mediante un detector convencional no mostrado en las figuras, se predetermina un

- valor umbral V_u para la tensión V_{ce} de cada transistor T , y se predetermina mediante ensayos previos, para cada transistor T , un intervalo de tiempo máximo T_{max} de aplicación de la primera corriente de puerta I_{g1} que permita la conmutación controlada del apagado de los transistores T conectados en serie.
- 5 Durante dichos ensayos se determina, para cada transistor T , el tiempo que tarda el transistor T en desaturarse para diferentes corrientes de colector I_c con una primera corriente de puerta I_{g1} aplicada en la puerta G del transistor T correspondiente. La desaturación es detectada por el *driver* D una vez la tensión V_{ce} en el primer electrodo principal C (tensión colector – emisor) del transistor T iguala al valor
- 10 umbral V_u . Mediante ensayos previos se determina para cada transistor T la tensión V_{ce} a partir de la cual se modificaría la corriente aplicada en la puerta G sin el método de la invención, debido a que el *driver* D detectaría que el transistor T se ha desaturado, correspondiéndose dicha tensión V_{ce} con el valor umbral V_u .
- 15 Cuando un transistor T conmuta una corriente de colector I_c alta, el *driver* D requiere extraer una cantidad de carga menor por puerta G que cuando se conmuta un corriente de colector I_c menor, para que la tensión V_{ce} en el primer electrodo principal C (tensión colector – emisor) del transistor T iguale el valor umbral V_u , lo cual es indicativo de desaturación. Una vez detectada la desaturación del transistor
- 20 T con el valor umbral V_u , se deben extraer más cargas del terminal de puerta G para garantizar la completa desaturación del transistor T y así poder controlar la derivada de tensión V_{ce} con la corriente de puerta de conmutación I_{gc} . Este segundo proceso de extracción de cargas se lleva a cabo mediante una segunda corriente de puerta I_{g2} aplicada en el terminal de puerta del IGBT, de amplitud
- 25 menor que la primera corriente de puerta I_{g1} pero mayor que la corriente de puerta de conmutación I_{gc} . Cuando la tensión V_{ce} es lo suficientemente alta, el *driver* D puede aplicar la corriente de puerta de conmutación I_{gc} apropiada para controlar la derivada de tensión V_{ce} .
- 30 Cuanto menor sea la corriente de colector I_c conmutada de un transistor T mayor es el tiempo que tarda el *driver* D en detectar la desaturación, por lo que mayor es la cantidad de cargas que se extraen de la puerta G de dicho transistor T durante la fase de retardo mediante la primera corriente de puerta I_{g1} . Cuando la tensión V_{ce} en el primer electrodo principal C (tensión colector – emisor) del transistor T iguala
- 35 al valor umbral V_u el *driver* D ha de pasar de aplicar una primera corriente de puerta I_{g1} a una segunda corriente de puerta I_{g2} en el terminal de puerta G . A mayor cantidad de cargas extraídas por la primera corriente de puerta I_{g1} , menor será la cantidad de cargas a extraer por la segunda corriente de puerta I_{g2} y viceversa. Evidentemente, el *driver* D requiere un tiempo para pasar de aplicar la primera

corriente de puerta Ig1 a la segunda corriente de puerta Ig2 así como a la corriente de puerta de conmutación Igc aplicada para controlar la derivada de tensión Vce. Este hecho puede provocar un incremento abrupto de la tensión Vce del transistor T en los casos en los que se extrae una cantidad elevada de cargas por la primera corriente de puerta Ig1 y el *driver* D no es capaz de cambiar de la primera corriente de puerta Ig1 a la segunda corriente de puerta Ig2 de forma inmediata. Este comportamiento hace que el proceso de conmutación no sea controlable por el *driver* D en todo el rango de corrientes de colector Ic si la amplitud de la primera corriente de puerta Ig1 es demasiado elevada, lo cual es interesante para minimizar el tiempo de retardo de los IGBTs conectados en serie y así la dispersión de estos tiempos, lo cual permite garantizar la sincronización de los transistores T conectados en serie. Es por ello conveniente limitar el tiempo en el que se aplica la primera corriente de puerta Ig1, de tal manera que a pesar de no alcanzar el valor umbral Vu de desaturación el *driver* D pueda cambiar a una segunda corriente de puerta Ig2 cuando en el terminal de puerta G existen cargas suficientes para que la tensión Vce del transistor T no aumente abruptamente. Dicho intervalo de tiempo limitado se corresponde con el intervalo de tiempo máximo Tmax, y se determina mediante ensayos previos, detectando para diferentes corrientes de colector Ic la situación (tiempo Tmax) a partir del cual se pierde el control de la derivada.

Preferentemente, los transistores T conectados en serie se han seleccionado de una misma serie de fabricación y/o de una misma familia, por lo que las características de todos ellos son sustancialmente iguales y puede ser suficiente con la determinación de un tiempo máximo Tmax para un transistor T, y con la determinación del valor umbral Vu de un transistor T, aplicándose después dichas determinaciones a todos los transistores T.

Así, en el método de la invención, mostrado a modo de diagramas de flujo en la figura 2, durante el apagado de los transistores T se sustituye la primera corriente de puerta Ig1 por una segunda corriente de puerta Ig2 cuando se cumple una las siguientes condiciones (la que primero se de):

- 1) La tensión Vce de dicho transistor T iguala o supera al valor umbral Vu predeterminado; y
- 2) Transcurrido el intervalo de tiempo máximo Tmax correspondiente desde la aplicación de la primera corriente de puerta Ig1, dicha tensión Vce no ha igualado o superado dicho valor umbral Vu.

La primera corriente de puerta Ig1 es lo más elevada posible que permita un

correcto funcionamiento tanto del *driver* D como del transistor T correspondiente, de tal manera que se extraen el mayor número de cargas posible de la puerta G del transistor T y en el menor tiempo posible. De esta forma se minimiza la dispersión en los tiempos de retardo entre los transistores T conectados en serie y se garantiza la apertura síncrona de dichos transistores T. El cambio de la primera corriente de puerta I_{g1} a la segunda corriente de puerta I_{g2} se realiza siempre en un punto en el que la puerta G conserva un número de cargas suficiente para que se pueda mantener el control de la derivada de la tensión V_{ce} de dicho transistor T, en cualquier condición de operación. Un riesgo de la pérdida del control de la derivada se da cuando la corriente de colector I_c del transistor T comprende un valor pequeño, de tal manera que a la hora de pasar de una corriente I_{g1} a otra I_{g2} en la puerta G de dicho transistor apenas quedan cargas que extraer, no pudiendo el driver D pasar de una corriente de puerta a otra antes de que se extraigan estas cargas, lo que deriva en un aumento rápido de la tensión V_{ce} y por consiguiente en una pérdida del control de la derivada de tensión

Con el método de la invención se asegura que el cambio de corriente a la corriente de puerta de conmutación I_{gc} se da de una forma controlada, de tal manera que no se pierde el control de la derivada de tensión V_{ce} , pudiendo mantenerse dicho control y pudiéndose así sincronizar todos los transistores T. De este modo, predeterminando el intervalo de tiempo máximo T_{max} y el valor umbral V_u se consigue que, incluso con una corriente de colector I_c pequeña, el cambio de una corriente a otra en la puerta G (de I_{g1} a I_{g2} en este caso) se origine siempre antes de que se extraigan un número excesivo de cargas de la puerta G del transistor T correspondiente, lo que daría lugar a un aumento rápido de la tensión V_{ce} del primer electrodo principal C, que se traduciría en una pérdida del control de la derivada de tensión V_{ce} .

En la figura 3 se muestra un ejemplo de la evolución de la tensión V_{ce} , con el método de la invención, y con dos corrientes de colector diferentes: una corriente de colector I_{c1} elevada, y una corriente de colector I_{c2} pequeña (en líneas discontinuas, le corresponde la tensión V_{ce} con líneas discontinuas). Con la corriente de colector I_{c2} , la corriente de puerta I_g pasa de I_{g1} a I_{g2} cuando transcurre el tiempo máximo T_{max} (condición 2), mientras que con la corriente de colector I_{c1} dicha corriente de puerta I_g pasa de I_{g1} a I_{g2} cuando la tensión V_{ce} a igualado o superado el valor umbral V_u (condición 1). Con dicha corriente de colector I_{c2} , con la segunda corriente de puerta I_{g2} se siguen extrayendo cargas pero en con menor rapidez, de tal manera que cuando se desatura plenamente el transistor T se puede controlar la derivada de tensión V_{ce} . Tal y como se muestra

en dicha figura 3, la derivada de la tensión V_{ce} (desde el punto 1 al 2 en dicha figura 3) es igual para ambos casos.

REIVINDICACIONES

- 1.- Método de control para el apagado de una pluralidad de transistores de potencia dispuestos en serie y que comprenden una puerta (G), un primer electrodo principal
 5 (C) que se corresponde con el colector, y un segundo electrodo principal (E) que se corresponde con el emisor, con el que se aplica una corriente de puerta (I_g) controlada a la puerta (G) de los transistores (T) de potencia,
- caracterizado porque**
- 10 se aplica una primera corriente de puerta (I_{g1}) determinada a cada puerta (G),
- se mide una tensión (V_{ce}) en el primer electrodo principal (C) de cada transistor (T),
- se predetermina un valor umbral (V_u) para la tensión (V_{ce}) de cada transistor (T),
- 15 se predetermina un intervalo de tiempo máximo (T_{max}) de aplicación de la primera corriente de puerta (I_{g1}), y
- se aplica una segunda corriente de puerta (I_{g2}) a la puerta (G) del transistor (T) de potencia correspondiente, de amplitud menor a la primera corriente de puerta (I_{g1}), cuando la tensión (V_{ce}) de dicho transistor (T) iguala o supera el valor umbral
 20 (V_u) correspondiente para dicho transistor (T), o cuando transcurre el intervalo de tiempo máximo (T_{max}) correspondiente a dicho transistor (T) desde la aplicación de la primera corriente de puerta (I_{g1}) a dicho transistor (T), si transcurrido dicho intervalo de tiempo máximo (T_{max}) dicha tensión (V_{ce}) no ha igualado o superado dicho valor umbral (V_u).
- 25
- 2.- Método según la reivindicación 1, en donde la primera corriente de puerta (I_{g1}) es generada por un generador de corriente (D), correspondiéndose dicha primera corriente de puerta (I_{g1}) con la corriente de puerta (I_g) más elevada posible que permita un correcto funcionamiento tanto del generador de corriente (D) como del
 30 transistor (T) correspondiente.
- 3.- Método según cualquiera de las reivindicaciones 1 ó 2, en donde la segunda corriente de puerta (I_{g2}) es mayor que una corriente de puerta de conmutación (I_{gc}) que se aplica a la puerta (G) del transistor (T) al conmutar dicho transistor (T) de un
 35 estado a otro, aplicándose dicha corriente de puerta de conmutación (I_{gc}) con posterioridad a la segunda corriente de puerta (I_{g2}).
- 4.- Método según cualquiera de las reivindicaciones 1 a 3, en donde la primera corriente de puerta (I_{g1}) y la segunda corriente de puerta (I_{g2}) son constantes.

5.- Método según cualquiera de las reivindicaciones 1 a 4, en donde el intervalo de tiempo máximo (T_{max}) se determina en función de las características del transistor (T).

5

6.- Método según cualquiera de las reivindicaciones 1 a 5, en donde el valor umbral (V_u) se determina en función de las características del transistor (T).

7.- Método de control según cualquiera de las reivindicaciones anteriores, en donde la amplitud de la primera corriente de puerta (I_{g1}) es sustancialmente igual para todos los transistores de potencia, y en donde la amplitud de la segunda corriente de puerta (I_{g2}) también es sustancialmente igual para todos los transistores de potencia.

8.- Sistema de control que comprende una pluralidad de transistores (T) de potencia que están dispuestos en serie y que comprenden una puerta (G), un primer electrodo principal (C) y un segundo electrodo principal (E), un generador de corriente (D) asociado a cada transistor (T) para aplicar una corriente de puerta (I_g) a la puerta (G) del transistor (T) correspondiente, durante el apagado de los transistores (T),

caracterizado porque

unos medios de control que actúan sobre los generadores de corriente (D) para controlar la corriente de puerta (I_g) aplicada por dichos generadores de corriente (D), y que están adaptados para llevar a cabo el método según cualquiera de las reivindicaciones anteriores.

9.- Sistema de control según la reivindicación 8, en donde los transistores (T) de potencia se corresponden con IGBTs.

30

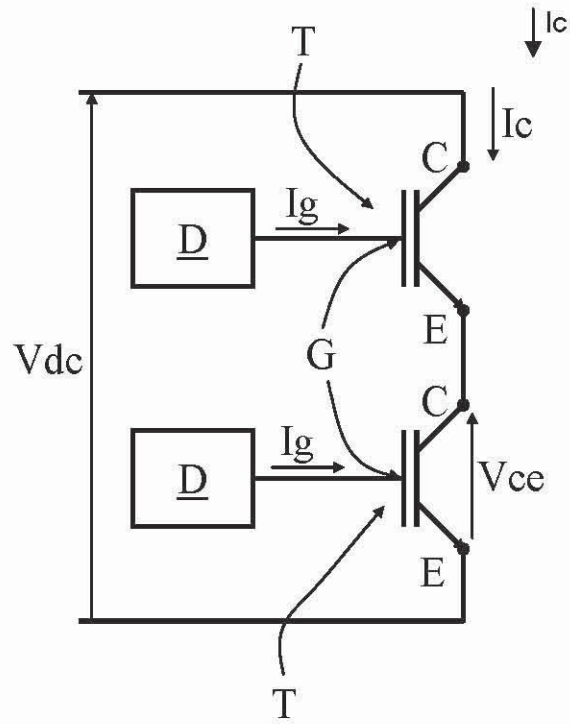


Fig. 1

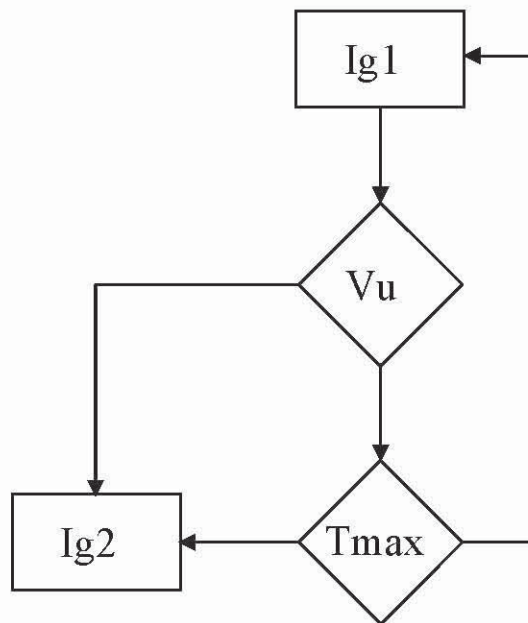


Fig. 2

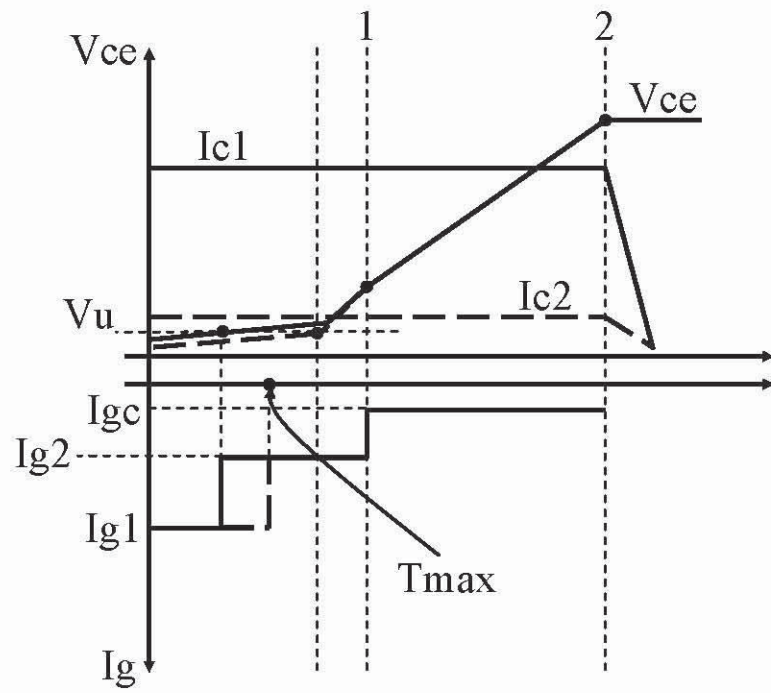


Fig. 3



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201030482

②② Fecha de presentación de la solicitud: 30.03.2010

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **H03K17/687** (2006.01)
H03K17/16 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	BARAIA et al. "Control Activo por Puerta Para la Conexión en Serie de IGBTs". SAAEI 2008. Cartagena.	1-7
X		8
A	GB 2433358 A (BOMBARDIER TRANSP GMBH) 20.06.2007, todo el documento.	1-7
X		8
A	WO 2006015884 A1 (BOMBARDIER TRANSP GMBH et al.) 16.02.2006, todo el documento.	1-8
A	ECKEL et al; "Optimization of the Turn-off Performance of IGBT at Overcurrent and Short-Circuit Current," Power Electronics and Applications, 1993., Fifth European Conference on, pp. 317-322 vol. 2,13-16 Sep 1993 URL: http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=264936&isnumber=6646	1-8

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
27.03.2012

Examinador
M. P. López Sábater

Página
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H03K

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 27.03.2012

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones 1-8	SI
	Reivindicaciones	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones 1-7	SI
	Reivindicaciones 8	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	BARAIA et al. "Control activo por puerta para la conexión en serie de IGBTs". SAAEI 2008. Cartagena.	09.09.2008

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración

Reivindicación 1

El documento del estado de la técnica D01 se considera el más cercano a esta primera reivindicación por divulgar un método de control para el apagado de una pluralidad de transistores de potencia dispuestos en serie y que comprenden una puerta (G), un primer electrodo principal (C) que se corresponde con el colector, y un segundo electrodo principal (E) que se corresponde con el emisor. En este método se aplica una corriente de descarga de la puerta de los transistores de potencia, se mide una tensión (VCE) en el primer electrodo principal (C) de cada transistor (T), se predetermina un valor de referencia para la tensión (VCE) de cada transistor (T) y, cuando la tensión (VCE) de dicho transistor (T) iguala o supera un valor de referencia correspondiente, se aplica a la puerta otra corriente de descarga distinta.

La diferencia más importante entre D01 y el método de esta primera reivindicación es que en el documento base, el cambio de corriente de descarga de la puerta se realiza cuando se detecta que se está dando una de dos condiciones posibles: O bien la tensión colector emisor ha alcanzado un valor umbral, o bien ha transcurrido un tiempo máximo preestablecido sin que la primera condición haya tenido lugar.

A consecuencia de esta diferencia, el método de D01 no limita el tiempo máximo permitido para aplicar la primera corriente de descarga de la puerta, dando lugar a una posible pérdida del control de la derivada. (Documento base, página 7, línea 30 a página 8, línea 19)

La solución aportada a este problema en esta primera reivindicación no se ha encontrado en ningún otro documento del estado de la técnica anterior, por lo que esta reivindicación puede considerarse nueva y con actividad inventiva.

Reivindicaciones 2 a 7:

Estas reivindicaciones de método se consideran nuevas e inventivas por depender de la primera.

Reivindicación 8:

Esta reivindicación dependiente se ve anticipada por varios documentos del estado de la técnica anterior, como D01 ó D02. Cualquiera de los sistemas de control propuestos por estos documentos consta de los mismos elementos que se enumeran en esta reivindicación y comprenden unos medios de control que pueden adaptarse para implementar el método de las reivindicaciones 1 a 7. Por lo tanto esta reivindicación carece de novedad según el artículo 6 de la Ley de Patentes 11/86.