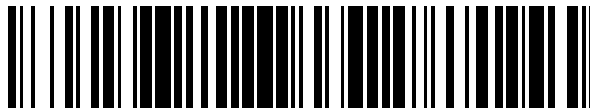


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 377 375**

21 Número de solicitud: 201030916

51 Int. Cl.:

**G05F 1/46**

(2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación: **14.06.2010**

43 Fecha de publicación de la solicitud: **27.03.2012**

43 Fecha de publicación del folleto de la solicitud:  
**27.03.2012**

71 Solicitante/s:

**UNIVERSIDAD DE ZARAGOZA  
CAMPUS PL. SAN FRANCISCO  
EDIF. INTERFACULTADES  
C/ PEDRO CERBUNA 12  
50009 ZARAGOZA, ES**

72 Inventor/es:

**VALERO BERNAL, MARÍA DE RODANAS;  
MEDRANO MARQUÉS, NICOLÁS J.;  
CALVO LÓPEZ, BELÉN y  
CELMA PUEYO, SANTIAGO**

74 Agente/Representante:

**Pons Ariño, Ángel**

54 Título: **RESISTENCIA LINEAL INTEGRADA CON COMPENSACIÓN DE TEMPERATURA.**

57 Resumen:

Resistencia lineal integrada con compensación de temperatura.

Permite proporcionar una resistencia cuya resistividad es esencialmente constante ante cambios de temperatura, aportando una solución efectiva, sencilla, compacta y completamente compatible con la tecnología CMOS. Dicha resistencia lineal integrada destaca fundamentalmente por comprender una red MRC; y un primer circuito de control que comprende un espejo de corriente formado por dos transistores MOS ( $M_{31}$ ,  $M_{41}$ ) polarizados por una fuente de intensidad ( $I_{B1}$ ) independiente de la temperatura y que comprende un ramal con dos resistencias ( $R_{A1}$ ,  $R_{B1}$ ) en serie cuyo terminal está conectado a un primer grupo de puertas ( $G_{1}$ ) de la red MRC; y donde el valor de las dos resistencias ( $R_{A1}$ ,  $R_{B1}$ ) es tal que la variación de  $R_{1} = R_{A1} + R_{B1}$  compensa las desviaciones provocadas por la temperatura en  $R_{MRC}$ .

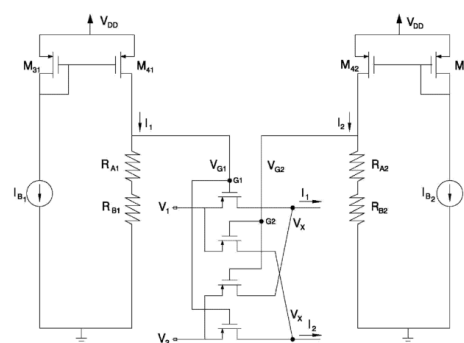


FIG. 2a

ES 2 377 375 A1

DESCRIPCIÓN

**RESISTENCIA LINEAL INTEGRADA CON COMPENSACIÓN DE TEMPERATURA**

**OBJETIVO DE LA INVENCION**

5

La presente invención se engloba dentro del campo de los sistemas microelectrónicos, y más concretamente en los sistemas de procesado y tratamiento de señales eléctricas analógicas realizados en tecnología CMOS que precisan de resistencias lineales con baja dependencia térmica. Concretamente, el objeto de la presente invención es proporcionar una resistencia cuya resistividad sea esencialmente constante ante cambios de temperatura.

**ANTECEDENTES DE LA INVENCION**

15

Los parámetros característicos de muchos circuitos analógicos están directamente relacionados con sus componentes pasivos, tanto resistivos como capacitivos. Por ejemplo, la ganancia de un amplificador puede estar determinada por cocientes de resistencias y/o capacidades, mientras que las frecuencias críticas de un filtro vienen dadas por productos RC. Por ese motivo, es extremadamente importante seleccionar resistencias adecuadas a cada aplicación, normalmente en función de factores como la linealidad, el área, la complejidad del circuito de polarización o la variación de la resistencia con la temperatura.

25

En procesos CMOS estándares, las resistencias más ideales son simples tiras de polisilicio. Sin embargo, la resistencia específica o por cuadro es pequeña incluso en el caso de polisilicio de alta resistividad. Otro inconveniente conocido es que con frecuencia se producen desviaciones de la resistencia de hasta un 20% respecto al valor esperado debido a variaciones en el proceso y a los elevados coeficientes de temperatura. Adicionalmente, hay que añadir a esto el efecto del envejecimiento de los circuitos. Sin embargo, el mayor inconveniente tanto de las resistencias pasivas integradas, como resistencias de polisilicio,

30

resistencias de pozo N o P es que son extremadamente sensibles a las variaciones en la temperatura, a lo que se suma la relativamente elevada área de silicio requerida para su implementación si su correspondiente valor resistivo es elevado

5

Otra opción es el uso de transistores MOS como elemento resistivo, lo cual no sólo implica un considerable ahorro de área, sino que además posibilita el control directo del valor de la resistencia a través de la tensión de puerta del transistor. Siempre que los parámetros de un circuito sean función del valor de una resistencia es posible implementar un ajuste fino de los mismos mediante el uso de transistores MOS en zona óhmica. Aunque el empleo de transistores MOS soluciona el problema del área de silicio requerido por las resistencias pasivas integradas, los transistores MOS distan de ser inmunes a las fluctuaciones de temperatura. Además, otro de los inconvenientes del empleo de transistores MOS como resistencias es la limitación del rango dinámico, ya que los transistores presentan, incluso en esta región de operación, una característica de salida altamente no lineal.

El circuito MOS resistivo, o MRC, que se muestra en la Fig. 1a, es una solución estándar a estos problemas de no linealidad. Bajo unas determinadas condiciones de polarización y para un rango de permitido de tensiones de entrada ( $V_1$  y  $V_2$ ), este circuito se comporta como una resistencia altamente lineal (véase la Fig. 1b) cuya magnitud es controlable a través de la diferencia de unas tensiones de control  $V_{G1}$ ,  $V_{G2}$ , como describe Zdzislaw Czarnul en “Novel MOS Resistive Circuit for Synthesis of Fully Integrated Continuous – Time Filters”, IEEE Trans. Circuit Syst., vol. CAS – 33, nº. 7, pp. 718 – 721, Julio 1986).

La característica de este circuito, supuesto que los transistores MOS trabajan en inversión fuerte y en la zona de triodo está descrita por:

30

$$I_1 - I_2 = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{G1} - V_{G2}) \cdot (V_1 - V_2) \quad (1)$$

donde  $\mu$  es la movilidad de los portadores en el canal del transistor,  $C_{ox}$  es la capacidad del óxido de puerta por unidad de área,  $V_{G1}-V_{G2}$  la diferencia de tensiones de puerta aplicadas a los transistores y  $V_1-V_2$  la diferencia de tensiones de entrada. Reordenando esta ecuación se obtiene:

$$I_1 - I_2 = \frac{1}{R_{MRC}} \cdot (V_1 - V_2) \quad (2)$$

donde

10

$$R_{MRC} = \frac{1}{\frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{G1} - V_{G2})} \quad (3)$$

Es decir, la resistencia diferencial  $R_{MRC}$  de la red MRC es inversamente proporcional a la movilidad  $\mu$ , la cual introduce la principal dependencia del valor resistivo con la temperatura, como se observa en la Fig. 1c.

Así pues, sería deseable proporcionar una resistencia activa compensada térmicamente que no solamente sea económica en términos de área de silicio, sino que además presente una elevada linealidad y su valor sea controlable e independiente de las variaciones de la temperatura.

20

## DESCRIPCIÓN DE LA INVENCION

La presente invención propone una solución efectiva, sencilla, compacta y completamente compatible con la tecnología CMOS. La resistencia lineal integrada que se propone está formada por una red MRC cuyas variaciones con la temperatura se compensan empleando al menos un circuito de control. Aunque las topologías definidas en esta solicitud están implementadas utilizando transistores PMOS, se entiende que sería posible también implementarlas utilizando transistores NMOS.

30

A continuación se describen con mayor detalle las partes que componen la resistencia lineal integrada con compensación de temperatura de la invención, cuya implementación con dos circuitos de control se muestra en la Fig. 2a:

5

### a) Red MRC

En el presente documento, el término “red MRC” hace referencia al circuito conocido en la técnica que se describió anteriormente y que se representa en la Fig. 1a, formado por cuatro transistores idénticos trabajando en triodo cuyas puertas están conectadas dos a dos y cuyos terminales de canal se cruzan.

10

### b) Circuito de control

15

El circuito de control de la presente invención tiene dos funciones principales:

- Proporcionar los niveles de tensión  $V_{Gi}$  que fijan el valor resistivo  $R_{MRC}$  deseado según la fórmula (3) anterior.

20

- Compensar las variaciones térmicas de  $R_{MRC}$  por medio de valores adecuados de los voltajes  $V_{Gi}$  con el objeto de obtener una  $R_{MRC}$  esencialmente constante con la temperatura.

25

Para ello, el circuito de control comprende un espejo de corriente MOS dotado de una fuente de intensidad ( $I_{Bi}$ ) independiente de la temperatura, configurado para copiar en una rama de salida, dotada de un par de resistencias ( $R_{Ai}$ ,  $R_{Bi}$ ), una intensidad proporcional a dicha intensidad ( $I_{Bi}$ ), obteniéndose como resultado los voltajes  $V_{Gi}$  del circuito MRC. Con esta topología, una adecuada elección de las resistencias ( $R_{Ai}$ ,  $R_{Bi}$ ) permite obtener voltajes  $V_{Gi}$  cuya variación con la temperatura compensa los cambios en  $R_{MRC}$ ,

30

dando como resultado una resistencia constante.

Las resistencias ( $R_{Ai}$ ,  $R_{Bi}$ ) se implementan de modo que cada par de resistencias ( $R_{Ai}$ ,  $R_{Bi}$ ) en serie tenga unos coeficientes térmicos tales que la variación de  $R_i = R_{Ai} + R_{Bi}$  compense las desviaciones provocadas por la temperatura en  $R_{MRC}$ . Es decir, si  $R_{Ai}$  y  $R_{Bi}$  son resistencias con diferentes coeficientes térmicos  $T_{CAi}$  y  $T_{CBi}$ , es posible combinarlas para obtener una resistencia serie equivalente  $R_i = R_{Ai} + R_{Bi}$  con un coeficiente térmico  $T_{Ci}$  dado por:

$$T_{Ci} = T_{CAi} \frac{\beta}{1+\beta} + T_{CBi} \frac{\beta}{1+\beta} \quad (4)$$

donde  $\beta = R_{Bi}/R_{Ai}$  es el cociente entre los valores resistivos de  $R_{Ai}$  y  $R_{Bi}$

La Fig. 2b muestra la variación de la intensidad diferencial  $I_1 - I_2$  con la temperatura de la resistencia lineal integrada de la invención formada por el circuito RMC más los circuitos de control. Se aprecia que las desviaciones de la resistencia están por debajo del 0,3%, en contraste con las desviaciones del 32% del circuito RMC sin compensación que se aprecian en la Fig. 1c.

## 20 BREVE DESCRIPCIÓN DE LAS FIGURAS

La Fig. 1a muestra un circuito MRC según la técnica anterior.

La Fig. 1b muestra la característica V-I del circuito MRC de la Fig. 1a.

25

La Fig. 1c muestra la variación de la resistencia  $R_{MRC}$  del circuito MRC de la Fig. 1a en función de la temperatura.

La Fig. 2a muestra una realización preferida de la resistencia lineal integrada de la invención.

30

La Fig. 2b muestra la variación de la resistencia del circuito de la Fig. 2a

en función de la temperatura.

La Fig. 3 muestra un ejemplo de resistencia lineal integrada según la invención que comprende un único circuito de control.

5

La Fig. 4 muestra otro ejemplo de resistencia lineal integrada según la invención.

## 10 REALIZACIÓN PREFERIDA DE LA INVENCION

Como puede deducirse de (3), utilizando la configuración con dos circuitos de control mostrada en la Fig. 2 es posible hacer que la resistencia  $R_{MRC}$  sea positiva o negativa según la diferencia de tensiones de puerta  $V_{G1}-V_{G2}$  sea positiva o negativa, respectivamente. Por otro lado, si únicamente interesa que la resistencia  $R_{MRC}$  tome valores bien positivos o bien negativos, se puede prescindir de uno de los dos circuitos de control ( $I_{B1}$  ó  $I_{B2}$ ) conectando directamente una de las puertas  $G_2$  ó  $G_1$  a una tensión de referencia fija e independiente de la temperatura  $V_{ref}$  (dentro del rango de la tensión de alimentación), tal y como se muestra en la Fig. 3, en la cual la tensión de puerta  $V_{G2}$  permanece constante, de forma que la compensación se efectúa mediante la otra tensión de puerta  $V_{G1}$ .

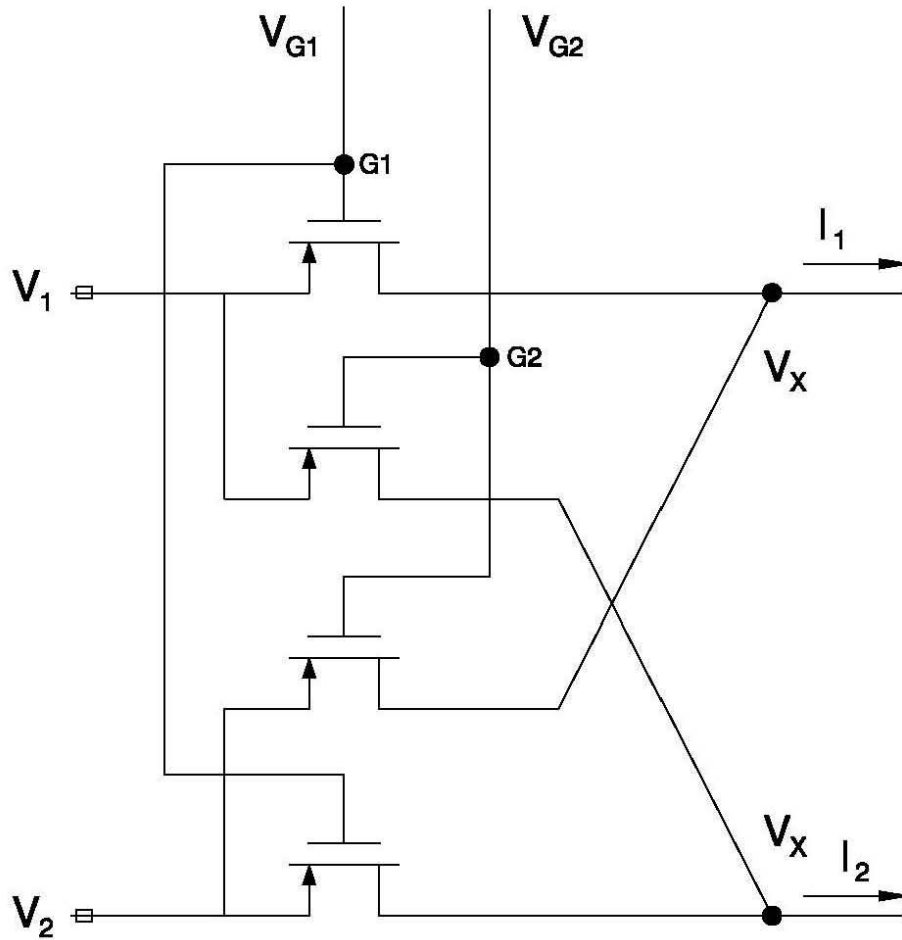
Otra opción si se desean implementar resistencias  $R_{MRC}$  tanto positivas como negativas es el circuito de la Fig. 4, donde las señales de control  $S_{UP}$  y  $S_{DOWN}$  serán de la misma frecuencia y en contrafase. El circuito de la Fig. 4 consta de un único espejo de corriente MOS que proporciona una intensidad  $I$ , proporcional a la de polarización  $I_B$ , cuya función es polarizar adecuadamente los transistores  $M_1-M_2$  que actúan como interruptores controlados por las señales digitales  $S_{UP}$  y  $S_{DOWN}$ , donde  $S_{DOWN}$  corresponde a la negada de  $S_{UP}$  (control mediante 1 bit). Conectadas a los drenadores de sendos transistores se encuentran la resistencia serie de  $R_{Ai}$  y  $R_{Bi}$ , con los valores resistivos y

coeficientes térmicos adecuados para crear la resistencia equivalente  $R_i = R_{Ai} + R_{Bi}$  con el coeficiente térmico deseado (4).

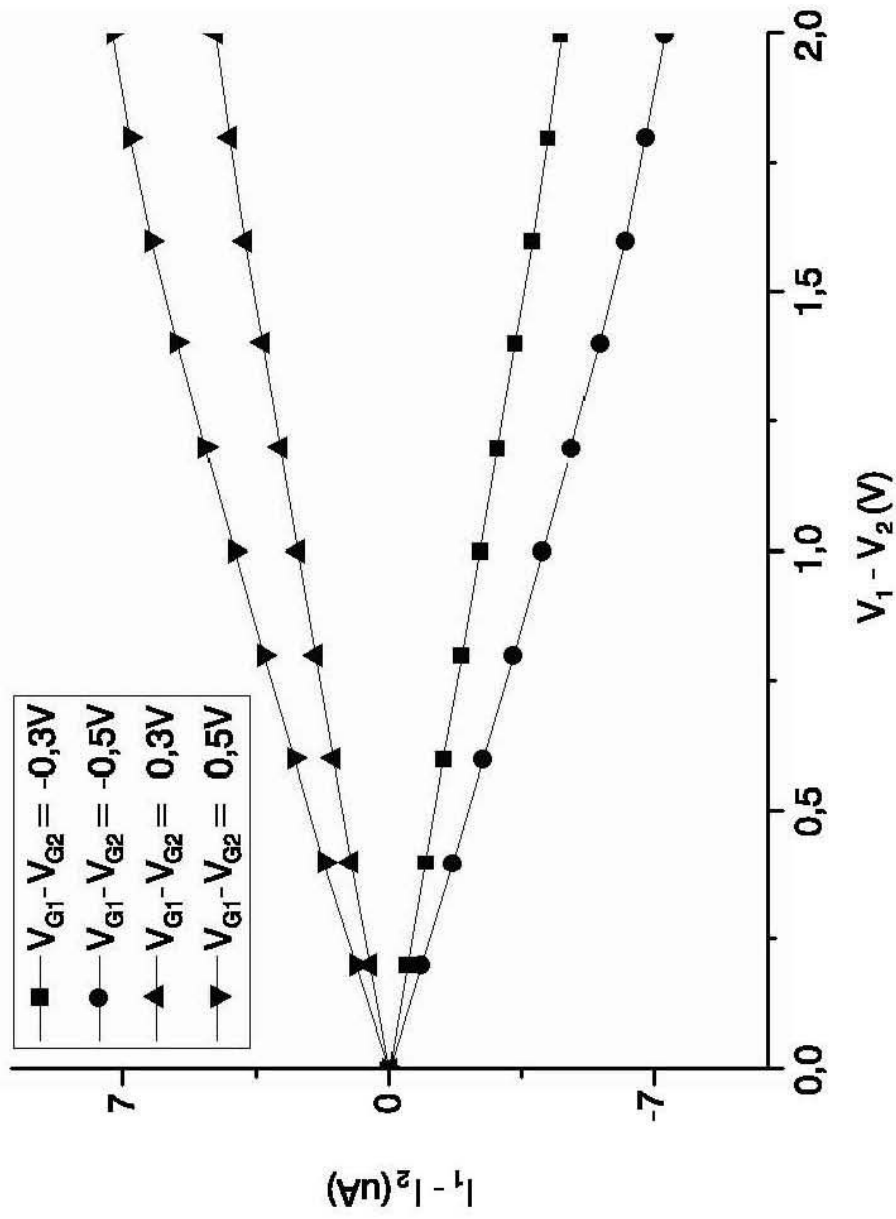
- Así, en caso de desear implementar resistencias positivas, fijamos
- 5  $S_{UP}=V_{DD}=1$ ,  $S_{DOWN}=0=0$ , de manera que  $(V_{G1}-V_{G2})=I \cdot R_1$ , y viceversa en el caso de desear implementar resistencias negativas, en cuyo caso  $(V_{G1}-V_{G2})=-I \cdot R_2$ .

## REIVINDICACIONES

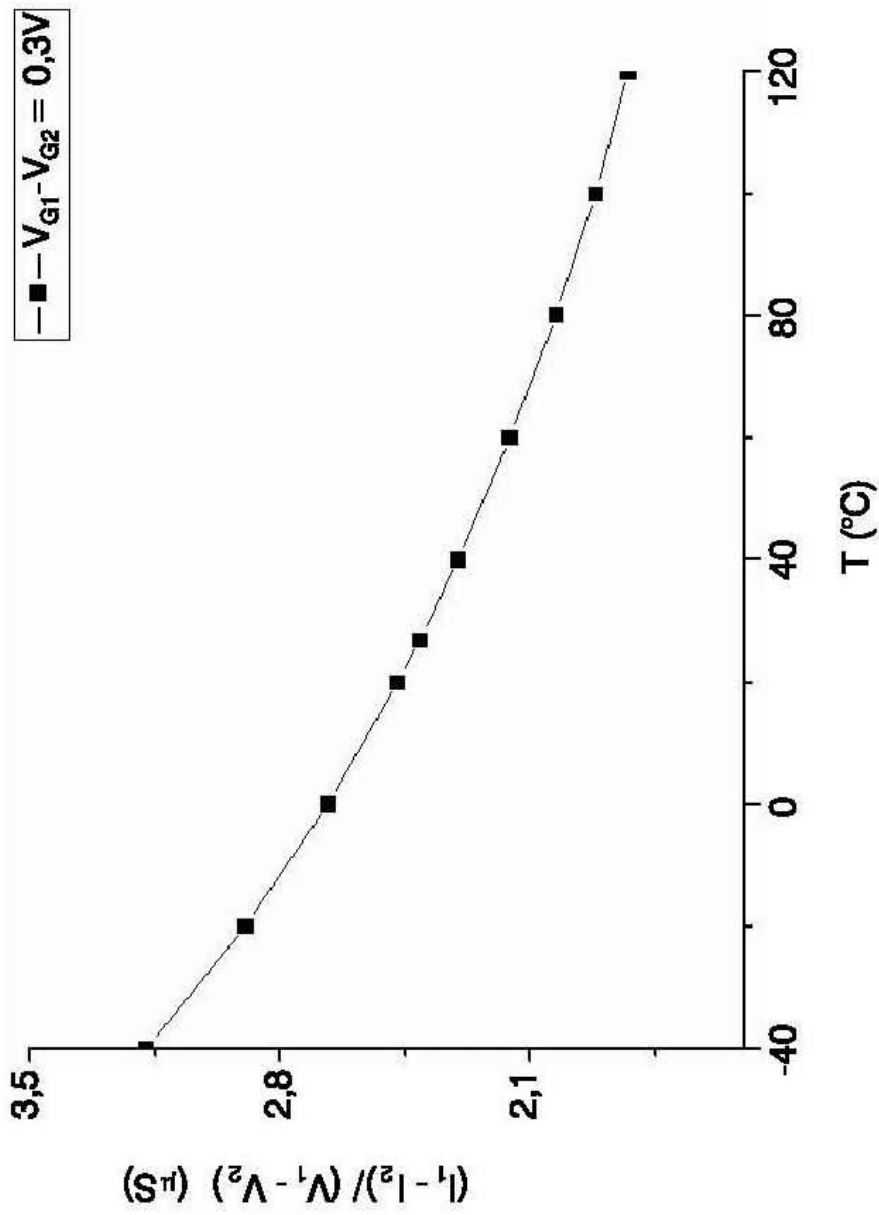
1. Resistencia lineal integrada con compensación de temperatura caracterizada porque comprende:
  - 5           - una red MRC; y
  - un primer circuito de control que comprende un espejo de corriente formado por dos transistores MOS ( $M_{31}$ ,  $M_{41}$ ) polarizados por una fuente de intensidad ( $I_{B1}$ ) independiente de la temperatura y que comprende un ramal con dos resistencias ( $R_{A1}$ ,  $R_{B1}$ ) en serie cuyo terminal está conectado a un primer grupo de puertas ( $G_1$ ) de la red MRC,
  - 10           y donde el valor de las dos resistencias ( $R_{A1}$ ,  $R_{B1}$ ) es tal que la variación de  $R_1 = R_{A1} + R_{B1}$  compensa las desviaciones provocadas por la temperatura en  $R_{MRC}$ .
- 15   2. Resistencia lineal integrada según la reivindicación 1, donde el segundo grupo de puertas ( $G_2$ ) está conectado a un segundo circuito de control igual que el primero, pudiendo así obtenerse una  $R_{MRC}$  tanto positiva o como negativa.
- 20   3. Resistencia lineal integrada según la reivindicación 1, donde el segundo grupo de puertas ( $G_2$ ) está conectado a un nodo de referencia ( $V_{ref}$ ), pudiendo así obtenerse una  $R_{MRC}$  bien positiva o bien negativa.
- 25   4. Resistencia lineal integrada según la reivindicación 1, donde el espejo de corriente del primer circuito de control está conectado a dos transistores MOS ( $M_1$ ,  $M_2$ ), los cuales están a su vez conectados al primer ( $V_{G1}$ ) y al segundo ( $V_{G2}$ ) grupos de puertas, y que además comprende un ramal con dos resistencias ( $R_{A2}$ ,  $R_{B2}$ ) conectado a dicho segundo grupo de puertas ( $V_{G2}$ ).
- 30   5. Resistencia lineal integrada según cualquiera de las reivindicaciones anteriores, donde los transistores MOS se eligen entre transistores PMOS y transistores NMOS.



TECNICA ANTERIOR  
**FIG. 1a**



TECNICA ANTERIOR  
**FIG. 1b**



TECNICA ANTERIOR  
**FIG. 1c**

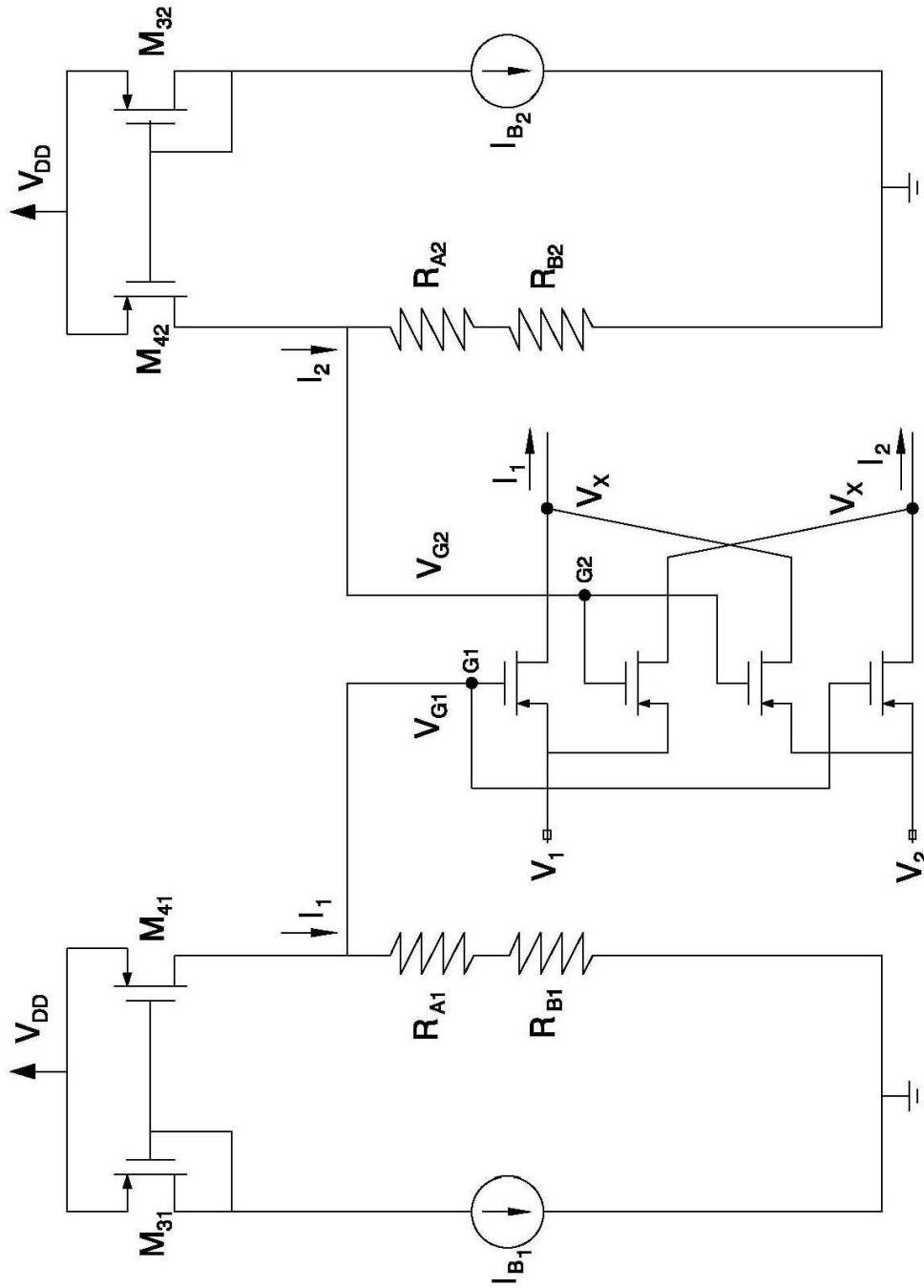


FIG. 2a

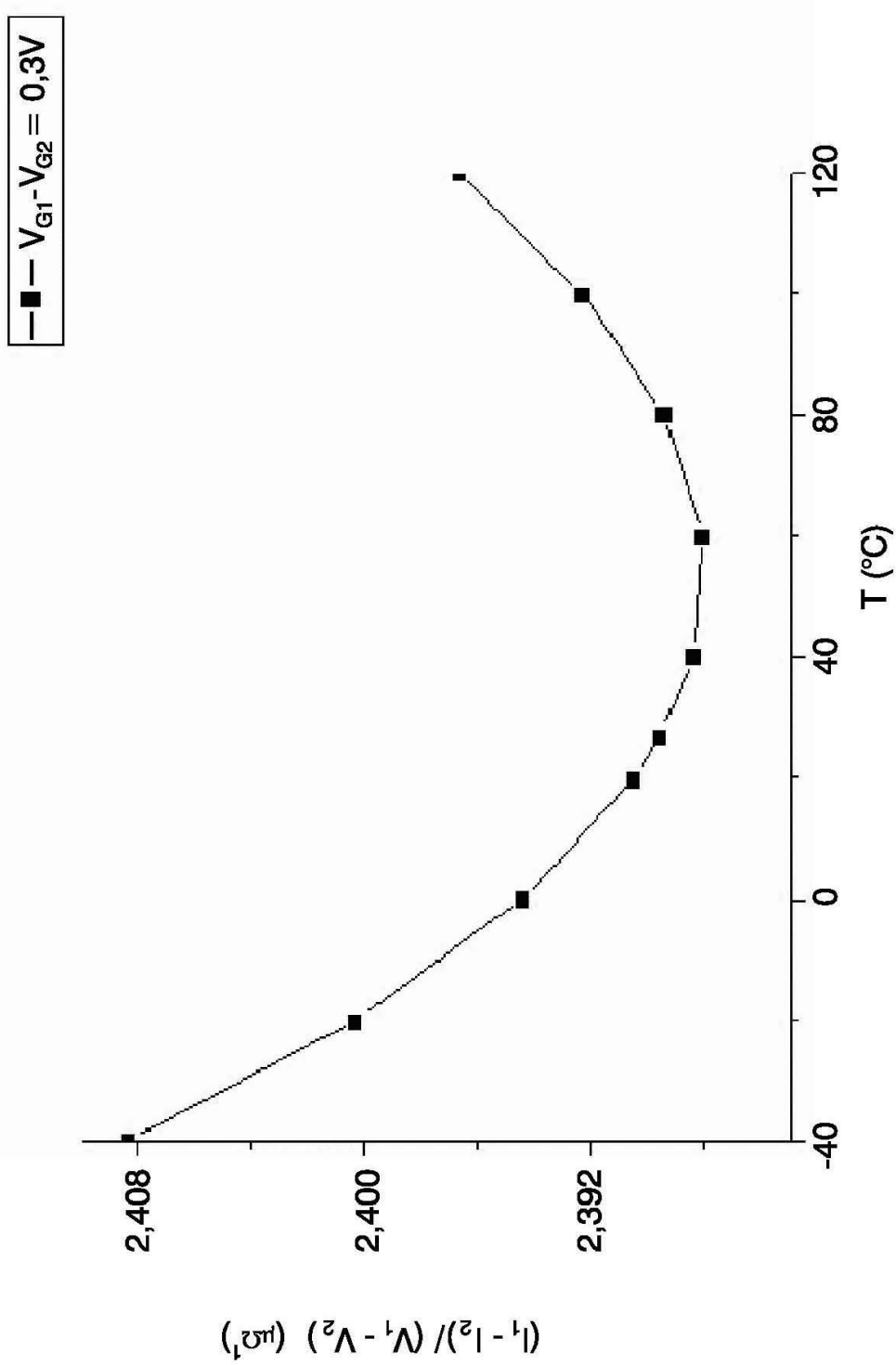
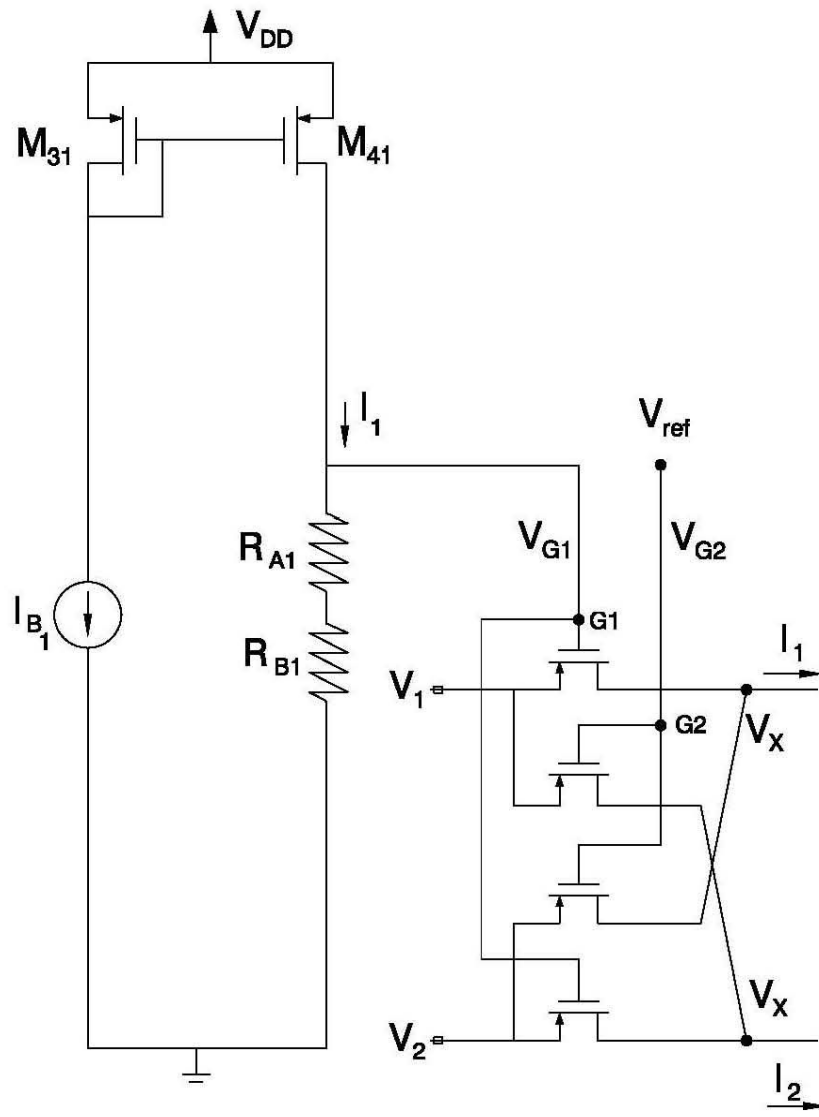


FIG. 2b



**FIG. 3**





OFICINA ESPAÑOLA  
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201030916

②② Fecha de presentación de la solicitud: 14.06.2010

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **G05F1/46** (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
Y	US 6650176 B1 (LORENZ PERRY S) 18.11.2003, todo el documento.	1-5
Y	CZARNUL, Z.; "Novel MOS Resistive Circuit for Synthesis of Fully Integrated Continuous-Time Filters," Circuits and Systems, IEEE Transactions on, vol. 33, no. 7, pp. 718-721, Jul 1986; doi: 10.1109/TCS.1986.1085974	1-5
A	US 6348832 B1 (CHIH YUE-DER) 19.02.2002, todo el documento.	1-5
Y	US 2006125462 A1 (ECKSTEIN WOLFGANG) 15.06.2006, todo el documento.	1-5
Y	TAKAGI et al., "Generalized MRC [MOS Resistive Circuit]," Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on, vol. 1, pp. 221-224 vol.1, 9-12 Jun 1997; doi: 10.1109/ISCAS.1997.608677	1-5
A	FR 2832819 A1 (ST MICROELECTRONICS SA) 30.05.2003, páginas 11-13; figuras.	
A	US 2006197585 A1 (KIM HYOUNGRAE et al.) 07.09.2006, descripción; figuras.	1-5

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

**El presente informe ha sido realizado**

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe  
12.03.2012

Examinador  
M. P. López Sábater

Página  
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G05F

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 12.03.2012

**Declaración**

<b>Novedad (Art. 6.1 LP 11/1986)</b>	Reivindicaciones 1-5	<b>SI</b>
	Reivindicaciones	<b>NO</b>
<b>Actividad inventiva (Art. 8.1 LP11/1986)</b>	Reivindicaciones	<b>SI</b>
	Reivindicaciones 1-5	<b>NO</b>

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

**Base de la Opinión.-**

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

**1. Documentos considerados.-**

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	US 6650176 B1 (LORENZ PERRY S)	18.11.2003
D02	CZARNUL, Z.; "Novel MOS Resistive Circuit for Synthesis of Fully Integrated Continuous-Time Filters," Circuits and Systems, IEEE Transactions on, vol. 33, no.7, pp. 718-721, Jul 1986; doi: 10.1109/TCS.1986.1085974	
D03	US 2006125462 A1 (ECKSTEIN WOLFGANG)	15.06.2006
D04	TAKAGI et al., "Generalized MRC [MOS Resistive Circuit]," Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on, vol. 1, pp. 221-224 vol.1, 9 -12 Jun 1997; doi: 10.1109/ISCAS.1997.608677	

**2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración**

Reivindicación 1:

El documento del estado de la técnica anterior D01 presenta una red resistiva (R1 a R6) y un primer circuito de control que comprende un espejo de corriente (130) formado por dos transistores MOS (M31, M41) y un ramal con dos resistencias (R7, R8). Además, el valor de las dos resistencias (R7, R8) es tal que la variación de la resistencia equivalente que forman compensa las desviaciones provocadas por la temperatura en las redes de resistencias posibles (R1-R4) y (R5, R6).

A diferencia del documento base, las distintas redes de resistencias que se contemplan no son del tipo MRC, pero para un experto en la materia interesado compensar las variaciones de temperatura de una red de este tipo sería inmediato sustituir la red resistiva (R1 a R6) de D01 por una red como la presentada en D02 aprovechando el funcionamiento del espejo de corriente y las resistencias de compensación sin que ello conlleve actividad inventiva según el artículo 8 de la Ley 11/86 de Patentes.

A la misma conclusión se llega con la combinación obvia de D03 y D04.

Reivindicaciones 2 a 5:

Estas reivindicaciones también ven su actividad inventiva afectada por la combinación obvia de los documentos D01 y D02, así como por la combinación de los documentos D03 y D04.