

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 363 145**

21 Número de solicitud: 200930030

51 Int. Cl.:
G01R 31/3187 (2006.01)
G01R 31/00 (2006.01)

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **02.04.2009**

43 Fecha de publicación de la solicitud: **21.07.2011**

Fecha de la concesión: **24.05.2012**

45 Fecha de anuncio de la concesión: **05.06.2012**

45 Fecha de publicación del folleto de la patente:
05.06.2012

73 Titular/es:
**UNIVERSITAT DE LES ILLES BALEARS
CAMPUS UNIVERSITARIO, CTRA. DE
VALLDEMOSA KM. 7,5 EDIFICI SON LLEDO
07071 PALMA DE MALLORCA, Illes Balears, ES**

72 Inventor/es:
**BOTA FERRAGUT, SEBASTIAN ANTON;
ALORDA LADARIA, BARTOMEU;
MERINO PANADES, JOSE LUIS;
VERD MARTORELL, JAUME;
ROSSELLO SANZ, JOSE LUIS y
SEGURA FUSTER, JAUME AGAPIT**

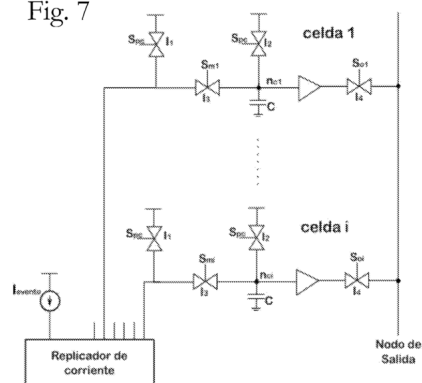
74 Agente/Representante:
Ponti Sales, Adelaida

54 Título: **DISPOSITIVO DE CARACTERIZACIÓN DE TRANSITORIOS DE CORRIENTE PRODUCIDOS POR INTERACCIÓN DE PARTÍCULAS IONIZANTES CON UN BLOQUE DE TRANSISTORES DE UNA PUERTA LÓGICA.**

57 Resumen:

Dispositivo de caracterización de transitorios de corriente producidos por interacción de partículas ionizantes con un bloque de transistores de una puerta lógica, que comprende un bloque de memoria con condensadores y un bloque de sincronismo, - estando el bloque de memoria provisto de medios para replicar dicha corriente y enviarla a una pluralidad de salidas conectadas cada una a una derivación hacia un condensador mediante un interruptor de evaluación, - siendo el bloque de sincronismo capaz de generar a intervalos regulares unas señales de control de abertura de los interruptores, de modo que durante un transitorio de corriente la variación de carga de los diferentes condensadores a través de los interruptores de evaluación se inicia a intervalos regulares, siendo posible caracterizar a partir de los estados de carga de los condensadores el perfil temporal aproximado de la integral del transitorio de corriente.

Fig. 7



ES 2 363 145 B1

DESCRIPCIÓN

Dispositivo de caracterización de transitorios de corriente producidos por interacción de partículas ionizantes con un bloque de transistores de una puerta lógica.

La presente invención se refiere a un dispositivo para la captura y medida experimental de los efectos transitorios producidos por un SEE en un circuito microelectrónico que puede ser implementado en cualquier tecnología CMOS estándar.

Antecedentes de la invención

Las partículas alfa o los neutrones provenientes de la radiación cósmica son partículas ionizantes que pueden generar procesos de ionización en circuitos integrados.

El efecto producido por una de dichas partículas en un dispositivo electrónico recibe el nombre de SEE (*Single Event Effect*). La tendencia de la industria microelectrónica consistente en fabricar dispositivos cada vez más pequeños trabajando con voltajes cada vez más bajos está provocando que la carga eléctrica necesaria para producir un error en un nodo determinado del circuito sea cada vez más pequeña.

En consecuencia, los dispositivos microelectrónicos son cada vez más sensibles a la generación de pulsos transitorios producidos por SEEs. Si bien dichos efectos son transitorios, pueden tener consecuencias nefastas en aplicaciones que requieran elevada fiabilidad, como por ejemplo las relacionadas con la aeronáutica, la automoción o las aplicaciones médicas.

Un tipo frecuente de SEE es el conocido como SEU (*Single Event Upset*). Un SEU es un error que se produce en el circuito causado por la carga eléctrica que se genera por la pérdida de energía que experimenta una partícula ionizante cuando impacta en un cristal semiconductor como el silicio. Si dicha carga es suficientemente grande, puede cambiar el estado lógico de un nodo que contenga la información del estado de un elemento de memoria.

Otro tipo de SEE es el SET (*Single Event Transient*). Un SET tiene lugar cuando una partícula impacta en un nodo determinado de un circuito lógico combinacional, produciendo una perturbación transitoria del voltaje de dicho nodo. Dicha perturbación puede dar lugar a una falsa transición lógica, que puede propagarse a través de varias etapas de puertas lógicas para ser capturada en última estancia por un elemento de memoria dando lugar a un SEU.

Típicamente un SEE es generado por radiación ionizante presente en la atmósfera procedente de la radiación cósmica tal como neutrones o protones. El flujo de dichas partículas es más elevado en zonas altas de la atmósfera que en el nivel del mar, por ejemplo en la zona destinada a la aviación comercial. Adicionalmente, un SEE puede ser producido por partículas alfa originadas por la desintegración de átomos de uranio o torio, presentes en forma de trazas en el encapsulado de los circuitos integrados.

Los SEEs pueden generarse también en circuitos que trabajen en ambientes con presencia de materiales radioactivos o tras la explosión de armas nucleares.

Hasta el momento se han desarrollado numerosas técnicas encaminadas a mitigar el efecto de los SEEs, tanto en circuitos lógicos como en memorias (consultar por ejemplo las patentes US7319253, US2007/0109865, comentadas más abajo), que tienen como objetivo incrementar el tiempo medio entre fallos que presenta un circuito electrónico cuando opera en su entorno habitual de funcionamiento.

También se conocen trabajos previos encaminados a detectar el instante específico en que se produce un SEU (US7109746, US2007/0162798, EP1758022) o a medir la tasa de errores debida a SEEs en circuitos trabajando en condiciones normales de operación. En dichos trabajos se utilizan memorias SRAM de elevada capacidad y se detecta el número de posiciones de memoria que han cambiado de estado lógico como consecuencia de un SEU. Sin embargo, estas técnicas no permiten determinar las características eléctricas que han causado dicho SEU.

Otro problema diferente es el de determinar las características eléctricas producidas por un SEE en un nudo determinado del circuito, como por ejemplo los transitorios de corriente inducidos en dicho nudo.

Respecto a este último problema, no se conoce ningún dispositivo encaminado a dicha finalidad. Tres son los motivos que dificultan dicha tarea:

- i. La aparición de un SEE es un proceso aleatorio, tanto en el espacio como en el tiempo.
- ii. La probabilidad de que dicho SEE se produzca en el nudo concreto a analizar es muy baja, incluso trabajando en ambientes con niveles de radiación ionizante elevados.
- iii. La corta duración de los fenómenos transitorios producidos. La duración y forma de dichos transitorios dependen de las características propias de cada suceso, en especial de la naturaleza de la radiación ionizante,

energía, distancia entre el punto de interacción y el nodo afectado, y/o las características específicas de la tecnología microelectrónica involucrada. En cualquier caso, transitorios del orden de unas decenas de picosegundos -como los producidos por partículas alfa- pueden dar lugar a SEUs.

Estas circunstancias provocan que en la práctica se recurra a técnicas de simulación por ordenador para obtener información relativa a las características de dichos transitorios (US 2007/0096754).

Se describen a continuación algunos de los antecedentes mencionados así como otros documentos del estado de la técnica relacionados con la presente invención.

En EP 1 906 526 se describe la “utilización de filtros de promedio móvil para detectar transitorios debidos a la radiación y corregir sus efectos”, de modo que no es necesario con este procedimiento emplear memorias redundantes para detectar cambios en el circuito. Sin embargo, se trata de un procedimiento de detección que no permite medir ni caracterizar las corrientes originadas por la radiación ionizante.

En US 5 657 267 se describe una RAM dinámica capaz de detectar SEU, en el cual se emplean memorias redundantes para poder comparar entre instantes diferentes. Sin embargo, es un dispositivo basado en la comparación y que tampoco permite caracterizar las corrientes producidas en acontecimientos SEU o SET. Además, también precisa de memorias redundantes.

En US 5 898 711 A1 se describe un procedimiento en el que se distribuyen una pluralidad de detectores de SEU, los cuales funcionan por registros de bits, y para cuya aplicación son necesarios registros blindados redundantes para poder realizar comparaciones, y por lo tanto, presenta las mismas carencias que el anterior.

En US 2007/0096754, ya mencionada y considerado como el antecedente más cercano de la invención, se describe un procedimiento y un sistema para analizar SEU's en dispositivos semiconductores, concretamente en el que se usa un modelo para predecir la respuesta de un dispositivo semiconductor a un SEU. Este procedimiento de análisis incluye simular el impacto de una partícula en un nodo, determinar si provoca cambios en el nodo y finalmente variar la carga de la partícula para obtener un rango de valores de la carga que provocan cambios en el nodo. Sin embargo, tampoco se basa en la medida de corrientes y su eficacia depende de los modelos de simulación, necesariamente simplificados, empleados.

Finalmente, en el artículo de Maya Gokhale y Paul Graham “*Dynamic reconfiguration for management of radiation-induced faults in FPGAs*” se describe un sistema de reconfiguración dinámica para la gestión de SEU en FPGAs. Este sistema incluye la posibilidad de inducir fallos artificialmente, que puede tratarse de una exposición a radiación conocida y controlada o bien una simulación por ordenador, pero tampoco permite caracterizar con precisión los acontecimientos SEU y SET y los transitorios de corriente que tienen asociados. También se basa en la comparación entre memorias redundantes.

Ante lo expuesto, el solicitante de la presente invención ha considerado necesario concebir un dispositivo y un procedimiento basado en este capaces de caracterizar con precisión SEU y SET en dispositivos microelectrónicos, en especial mediante la medida de corrientes provocadas por estos transitorios.

Descripción de la invención

Para ello, la presente invención propone un dispositivo de caracterización de transitorios de corriente producidos por interacción de partículas ionizantes con un bloque de transistores de una puerta lógica, que se caracteriza por el hecho de que comprende un bloque de memoria con condensadores y un bloque de sincronismo,

- estando el bloque de memoria provisto de medios para replicar dicha corriente y enviarla a una pluralidad de salidas conectadas cada una a una derivación hacia un condensador mediante un interruptor de evaluación,
- siendo el bloque de sincronismo capaz de generar a intervalos regulares unas señales de control de abertura de los interruptores de evaluación,

de modo que durante un transitorio de corriente la variación de carga de los diferentes condensadores a través de los interruptores de evaluación se inicia a intervalos regulares, siendo posible caracterizar a partir de los estados de carga de los condensadores el perfil temporal aproximado de la integral del transitorio de corriente.

A partir de la integral asociada a cada transitorio de corriente es posible deducir la corriente y caracterizar el transitorio tanto cuantitativa como cualitativamente.

Además, la estructura descrita puede ser replicada en paralelo de modo que es posible disponer de un sistema que opera en continuo, es decir, sin tiempos muertos.

Asimismo, es posible adaptar la precisión de la medida seleccionando los parámetros del bloque de sincronismo.

Preferentemente, cada derivación está conectada a un nodo de salida común a través de un interruptor de lectura, de modo que mediante señales de control de los interruptores es posible descargar los condensadores y deducir la carga almacenada en cada uno, para posteriormente obtener la mencionada integral.

5 Más preferentemente, el dispositivo de la invención está provisto de medios de restablecimiento del potencial de los condensadores a un voltaje determinado, de modo que la evaluación se realiza siempre en las mismas condiciones.

Aún más preferentemente, los medios de restablecimiento del potencial de los condensadores comprenden sendos interruptores conectados en la entrada y salida de cada uno de dichos interruptores de evaluación.

10 Ventajosamente, el dispositivo comprende un amplificador dispuesto entre cada condensador y el nodo de salida.

Más ventajosamente, el bloque de memoria tiene los condensadores, y sus interruptores asociados, organizados en dos bancos idénticos, de modo que se pueden hacer trabajar alternadamente en el tiempo, evitando tiempos muertos de detección.

Ventajosamente, el bloque de sincronismo comprende una cadena de celdas monoestables, disposición que permite obtener frecuencias de muestreo del orden de las decenas de Gigahertz.

20 Más ventajosamente, el bloque de sincronismo comprende dos sub-bloques de sincronismo conectados entre sí y sincronizados con los citados dos bancos de condensadores, permitiendo así al conjunto operar en continuo.

Preferentemente, el dispositivo de la invención comprende un bloque de detección configurado para detectar el inicio de un transitorio de corriente, de modo que al detectarse un transitorio de corriente, es posible interrumpir los periodos de evaluación, es decir los periodos en los que se abren los interruptores de evaluación.

Ventajosamente, el bloque de detección comprende un condensador, un interruptor que conecta la salida de dicho bloque de transistores de la puerta lógica a una derivación hacia dicho condensador y medios para emitir una señal de detección a partir de un valor umbral de carga de dicho condensador.

30 Esta señal de detección interrumpe la fase de evaluación del bloque de memoria, en especial para proceder a la lectura de las cargas de los condensadores. En este caso, se producirá necesariamente un tiempo muerto de detección para poder "leer" la carga de los condensadores, pero la probabilidad de que ocurran dos SEE seguidos es extremadamente baja, por lo que se trata de un tiempo muerto que no altera globalmente a la eficiencia de detección.

35 Más ventajosamente, los medios para emitir una señal de detección consisten en un *trigger de Schmitt*.

Preferentemente, el dispositivo de la invención comprende una unidad de control configurada para controlar el bloque generador de sincronismo en función de consignas externas y de las señales emitidas por el bloque de detección. Concretamente, en función de las consignas externas, la unidad de control permite operar en diversos modos, tal como se expondrá más adelante.

45 Más preferentemente, la puerta lógica, el bloque de memoria, el bloque de sincronismo y el bloque de detección están integrados en un mismo sustrato, de modo que se simplifica la conexión entre los diferentes componentes, lo cual a su vez evita la introducción de retardos, elementos capacitivos o inductivos que introducirían señales no controladas en la lectura de los transitorios.

Asimismo, el dispositivo según la invención prevé un bloque de generación inducida de corrientes, preferentemente un monoestable conectado a la base de un transistor, capaz de suministrar una corriente a dicho bloque de memoria para su calibración.

En especial, al activar este componente, se genera un transitorio de corriente bien conocido y cuya duración es del orden de un SEE, con lo cual es posible verificar el correcto funcionamiento del dispositivo así como calibrarlo.

55 Asimismo, el dispositivo puede comprender un bloque de atenuación, ubicado entre el bloque de transistores de la puerta lógica muestreada y la entrada del bloque de memoria.

Ventajosamente, cada derivación está conectada a un nodo de salida común a través de un interruptor de lectura, el cual permite realizar un procedimiento de evaluación y lectura de tipo FISO (*Fast in, Slow out*).

60 Preferentemente, el bloque de transistores de una puerta lógica está realizado con tecnología CMOS, así como todos los demás componentes.

Finalmente, la invención se refiere a un procedimiento de caracterización de transitorios de corriente producidos por interacción de partículas ionizantes con una puerta lógica CMOS, en el que se emplea un dispositivo según cualquiera de las reivindicaciones anteriores, que comprende las etapas de:

- replicar dicha corriente para enviarla a dichas salidas,

- abrir secuencialmente y a intervalos de tiempo regulares los diferentes interruptores de evaluación,

de modo que durante un transitorio de corriente la variación de carga de los diferentes condensadores se inicia a intervalos regulares, siendo posible caracterizar a partir de los estados de carga de los condensadores el perfil temporal aproximado de la integral del transitorio de corriente.

Breve descripción de los dibujos

Para mejor comprensión de cuanto se ha expuesto se acompañan unos dibujos en los que, esquemáticamente y tan sólo a título de ejemplo no limitativo, se representa un caso práctico de realización.

La figura 1 muestra un esquema de los bloques que forman el dispositivo de la invención.

La figura 2 muestra una disposición típica del dispositivo para la generación de los acontecimientos transitorios.

La figura 3 muestra un circuito de transistores cuyo punto de trabajo permite la exposición de acontecimientos en un transistor pMOS (a), la exposición de acontecimientos en un transistor nMOS (b).

La figura 4 muestra un esquema correspondiente a la etapa de generación inducida de acontecimientos.

La figura 5 muestra un esquema de una etapa (o bloque) de atenuación.

La figura 6 muestra un esquema a nivel de transistor de la disposición típica recogida en la figura 2.

La figura 7 muestra un esquema de la celda (o bloque) de memoria analógica utilizada.

La figura 8 muestra un esquema donde se explica la secuencia de fases de precarga y evaluación y las señales utilizadas para controlar el tiempo de descarga en un banco de memoria analógica (bloque de memoria).

La figura 9 Muestra un esquema del bloque detector de acontecimientos.

La figura 10 muestra un esquema del bloque de sincronismo con el que se obtiene una frecuencia de muestreo suficientemente alta para la adecuada reconstrucción de los transitorios producidos.

La figura 11 ilustra la manera en que están conectados los dos sub-bloques del bloque de sincronismo para suministrar alternadamente las señales de abertura de los interruptores a los dos bancos en que están organizados los condensadores con sus interruptores asociados (También llamadas celdas de memoria).

Descripción de una realización preferida

Las dificultades ligadas a la detección de SETs tienen que ver, por una parte, con el carácter aleatorio del proceso, con la baja probabilidad de que una partícula produzca un transitorio en un nodo determinado del circuito y con el desconocimiento *a priori* de la duración y magnitud del transitorio que se va a producir. Con la finalidad de disponer de un sistema que sea capaz de medir dichos fenómenos la presente invención propone un dispositivo formado por los bloques que se detallan en la figura 1.

El dispositivo está formado por un bloque generador de acontecimientos, un bloque destinado a memorizar el transitorio de corriente producido por un acontecimiento, un bloque detector de acontecimientos, un bloque de generación de señales de sincronismo que permita obtener las elevadas frecuencias de muestreo que requiere la aplicación y finalmente un bloque de control. El dispositivo incorpora las señales de control necesarias para que el dispositivo pueda operar en modo de espera, en modo de captura continuo o en modo de lectura de datos. Estos tres modos de operación se describen a continuación:

- En modo de espera, se inicializa el estado de los diferentes elementos del sistema y se deja preparado para que pueda entrar en el modo de captura continuo cuando se habilite la señal pertinente.

- En modo de captura continuo, el dispositivo es capaz de detectar y memorizar un transitorio de corriente producido en el bloque generador de acontecimientos, independientemente del instante en el que se produzca dicho acontecimiento.

- En el modo de lectura de datos, es posible acceder de forma aleatoria el bloque de memoria utilizado para muestrear el transitorio.

Bloque generador de acontecimientos

Dicho bloque dispone de varias zonas sensibles, susceptibles de generar transitorios de corriente como consecuencia de interacciones producidas por radiaciones ionizantes. En la figura 2, se muestra una disposición típica del bloque sensible de acontecimientos. Para que se produzca un acontecimiento transitorio es necesario que la zona sensible,

donde ocurre el acontecimiento, forme parte de un transistor en estado de corte, lo habitual es que dicha zona esté constituida por el drenador del transistor.

Dicho transistor, a su vez, forma parte de una puerta lógica. En esta invención, el bloque generador de acontecimientos, se obtiene a partir de un inversor lógico CMOS complementario, aunque puede utilizarse cualquier otra puerta lógica implementada mediante transistores MOS. La modificación a realizar dependerá de la región que deseemos sensibilizar al paso de las partículas ionizantes:

- Configuración P: para que el paso de la partícula ionizante produzca un efecto generado en el drenador de un transistor pMOS (Figura 3a), dicho transistor (o grupo de transistores) se mantendrá en estado de corte conectando su puerta a un nivel lógico alto, indicado como "1", o en su caso a la tensión de alimentación.

Asimismo el bloque de transistores nMOS de la puerta se substituirá por un transistor nMOS con su drenador y puerta conectados entre sí.

- Configuración N: para que el paso de la partícula ionizante produzca un efecto generado en el drenador de un transistor nMOS, dicho transistor (o grupo de transistores) se mantendrá en estado de corte conectando su puerta a un nivel lógico bajo, indicado como "0", o en su caso a la tensión de tierra. Asimismo el bloque de transistores pMOS de la puerta se substituirá por un único transistor pMOS con su drenador y puerta conectados entre sí.

Para incrementar la probabilidad de captura de un acontecimiento, la configuración elegida puede replicarse N veces conectando entre sí los nudos de salida de varias 3 puertas modificadas idénticas (nudo nSET de las figuras 3(a) y 3(b)). El valor del número de sensores, N, se elegirá en función de la capacidad parásita asociada al nudo de salida resultante ya que valores excesivamente elevados de dicha capacidad producen una excesiva atenuación y distorsión en los transitorios generados.

La puerta lógica descrita en la figura 3 se completa con una etapa de generación inducida de acontecimientos (Figura 4) formada por un circuito monoestable conectado a la puerta del transistor MGE 3 (dicho transistor será de tipo pMOS en la configuración N y de tipo nMOS en la configuración P). Al activar la señal Vmn, el monoestable produce un acontecimiento transitorio de duración y amplitud conocidas sobre el nodo de medida (nSET).

Este bloque permite validar el correcto funcionamiento del nodo-dispositivo presentado.

Una segunda etapa adicional, en este caso de atenuación (Figura 5) se obtiene con el transistor MAT. MAT es un transistor pMOS en la configuración P o un transistor nMOS en la configuración N. Esta etapa permite atenuar de una forma controlada la amplitud máxima de los acontecimientos producidos. Mediante el voltaje de la señal VAT se selecciona el nivel de atenuación sobre el nodo de interés. Dicha etapa será de utilidad en caso de utilizar el dispositivo bajo la exposición a partículas muy energéticas (esto puede suceder en procesos de caracterización acelerados que hacen uso de aceleradores de partículas).

La figura 6 muestra una disposición, correspondiente a una configuración N, que incorpora la puerta lógica con los nudos sensibles, la etapa de generación controlada y la etapa de atenuación.

Con la finalidad de proceder al muestreo de los transitorios de corriente inducidos en el nudo nSET de la figura 6, éstos son replicados mediante una etapa de salida implementada por ejemplo, a partir de espejos de corriente. De esta manera posibles efectos SET producidos en las celdas de memoria no interfieren en el nudo de medida.

Por los motivos que se comentan en el apartado siguiente, al estar la memoria dividida en dos bancos, son necesarias dos etapas de salida idénticas conectadas al nudo nSET.

Tal como se deduce, dicho bloque opera en modo estático, por lo que una vez polarizado estará en todo momento habilitado para generar acontecimientos producidos por radiaciones ionizantes.

Bloque de memoria

El bloque de memoria está destinado a capturar el transitorio producido en el bloque generador de acontecimientos. Dicho bloque está integrado en el mismo sustrato que el bloque generador y está organizado en dos bancos iguales, formado cada uno de ellos por M celdas idénticas de memoria analógica. La división en dos bancos permite que el sistema trabaje sin tiempos muertos.

Para poder capturar el transitorio de corriente producido en el bloque generador, es necesario efectuar un muestreo de la señal que queremos memorizar. Para ello se propone utilizar una estructura como la descrita en la figura 7. Suponiendo que el nudo n_c se encuentre polarizado inicialmente a un valor $V_{nc}(t=0) = V_{inicial}$, (por ejemplo $V_{inicial} = V_{dd}$ en una configuración P), una corriente variable en el tiempo $i_{acontecimiento}(t)$ que actúe durante un tiempo t_D produce una descarga parcial del nudo n_c que a su vez se traduce en un cambio en el valor del voltaje en dicho nudo:

$$V_{nc}(t_D) = V_{inicial} - \frac{1}{C} \int_0^{t_D} i_{evento}(t) dt$$

Para facilitar el proceso de lectura, cada posición de memoria dispone de un amplificador de salida.

Si tenemos un banco formado por M celdas idénticas, variando el tiempo de descarga de cada celda obtenemos un voltaje final diferente para cada una de las celdas del banco. Si $t_{muestreo}$ es el periodo de muestreo del transitorio de corriente, asignando un tiempo de descarga de la primera celda igual a $M \cdot t_{muestreo}$, $(M-1) \cdot t_{muestreo}$ a la segunda celda y así sucesivamente hasta la última, que presentará un tiempo de descarga igual a $t_{muestreo}$, entonces, en el caso de que se produzca un acontecimiento, la señal muestreada almacenada en la memoria dependerá linealmente de $\int i_{acontecimiento}(t) dt$.

De este modo, el transitorio $i_{acontecimiento}(t)$ podrá obtenerse derivando numéricamente los valores capturados en el bloque de memoria. Nótese que en caso de no producirse ningún acontecimiento, el valor de todas las celdas se mantiene en $V_{inicial}$.

Si el tiempo transcurrido entre el momento en que el voltaje del nodo n_c se fija al valor inicial y el momento en que se produce un acontecimiento es considerable, es posible que el voltaje resultante $V_{nc}(t)$ sufra variaciones atribuibles a otro tipo de procesos físicos habituales en las tecnologías nanométricas, como son, por ejemplo, la aparición de corrientes parásitas de fugas (*leakage currents*).

Por este motivo es necesario refrescar periódicamente el valor inicial de voltaje de cada una de las celdas de memoria. Esto da lugar a que cuando el dispositivo entre en modo de captura, el banco de memoria (bloque de memoria) deba operar alternando continuamente dos fases diferenciadas: en una primera fase de precarga todas las celdas de memoria del banco se inicializan a un valor de fijo de voltaje (en nuestro caso V_{dd}), en una segunda fase, la fase de evaluación, el voltaje establecido en la fase de precarga puede variar en función del valor de la corriente de carga/descarga originada por el SET, variación que en cada celda estará modulada por la duración de su tiempo de descarga (Figura 7). Nótese que los interruptores I_1 e I_2 , controlados por la señal S_{pc} , se utilizarán para activar la fase de precarga ($S_{pc} = "1"$ en modo precarga y $"0"$ en modo de evaluación). El interruptor I_3 , controlado por la señal S_m , tiene por misión controlar el tiempo de descarga de cada celda (se entiende por celda cada rama del bloque de memoria compuesta por el condensador y los interruptores asociados). Nótese que mientras la señal S_{pc} es la misma para todas las celdas de un banco, la señal S_m varía para cada celda.

La disposición presentada en la figura 7 y descrita en los párrafos precedentes corresponde a una configuración P. En el caso de querer trabajar con una configuración N, El condensador C, estaría situado entre n_c y V_{dd} , los interruptores I_1 e I_2 estarían conectados entre el nudo de entrada y tierra y entre n_c y tierra respectivamente. La precarga correspondería a situar $V_{inicial} = 0V$. El transitorio producido en el bloque generador causaría el aumento del voltaje del nudo n_c . Tal como ocurre en la situación descrita, la señal muestreada almacenada en la memoria continuará siendo una función lineal de $\int i_{acontecimiento}(t) dt$.

Cuando un banco se encuentra en su fase de precarga, no es capaz de capturar datos, por este motivo, para que el sistema pueda trabajar en modo de adquisición continuo, es preciso dividir el bloque de memoria en dos bancos iguales, de manera que el bloque de sincronismo se encargará de que mientras un banco se encuentre en fase de precarga el otro se encuentre en fase de evaluación y viceversa (Figura 8).

La secuencia de procesos de precarga/evaluación estará activa mientras el bloque detector no detecte la presencia de un acontecimiento, las características del bloque detector se presentan en el apartado siguiente. Alternativamente, el proceso puede detenerse actuando adecuadamente sobre la unidad de control. En el momento en que se detecta un acontecimiento, el modo de proceder del dispositivo presentado es el siguiente:

- se espera a que finalicen las fases de evaluación en curso de los dos bancos de memoria
- se suspenden los procesos de precarga, y
- se deja la memoria accesible al modo de lectura.

De esta manera se capturan $2M$ muestras correspondientes a un transitorio de duración $2M \cdot t_{muestreo}$.

Externamente, se puede indicar de forma aleatoria, la posición de memoria que se desea leer. Dicha señal, adecuadamente decodificada se utiliza para abrir el correspondiente interruptor de salida, I_4 (señal S_o representada en la figura 7), de modo que en el nudo de salida se obtiene la tensión analógica correspondiente a la posición escogida.

Para acelerar el proceso de lectura, se prevé de una salida independiente para cada banco. La aceleración del proceso de lectura es recomendable si el sensor se implementa en tecnologías nanométricas, de modo que es posible reducir efectos producidos por las corrientes parásitas de descarga sobre el valor de voltaje almacenado en el nudo n_c .

5 *Bloque detector de acontecimientos*

Este bloque se conecta directamente a la etapa de salida del bloque generador. Su función es la de determinar el instante preciso en el que se produce un acontecimiento en el bloque generador. Esta información se necesita para decidir en que momento detener la secuencia de fases de precarga y evaluación del bloque de memoria y entrar en su modo de lectura.

De este modo, se garantiza que únicamente los acontecimientos producidos en el bloque generador activan procesos de captura en el bloque de memoria. Aquellas partículas que incidiesen en posiciones distintas a las zonas sensibles del bloque generador, como pueda ser por ejemplo la incidencia de una partícula en una celda del bloque de memoria, crearían transitorios de corriente que posiblemente alterarían el voltaje final de una o mas celdas de memoria; no obstante, estos acontecimientos al no poder ser reconocidos por el bloque detector no detendrían el proceso de precarga/evaluación por lo que sus efectos serían restaurados tras la consiguiente fase de precarga.

Una posible estructura del bloque detector se muestra en la figura 9. Su estructura es similar a la estructura de la celda de memoria presentada en la figura 7, con la diferencia de que en lugar de un amplificador de salida, el nudo n_c está conectado a un *trigger de Schmitt*, circuito que permite una mayor inmunidad frente a interferencias que puedan generar falsos acontecimientos.

Esta celda trabaja con un tiempo de descarga igual a $M \cdot t_{\text{muestreo}}$. Se utiliza un valor de capacidad del condensador C_D , menor al utilizado en las celdas de memoria, ajustándose dicho valor con la finalidad de seleccionar el umbral de disparo del *trigger de Schmitt*.

Tras cada fase de precarga, el voltaje del nudo n_c se restaura a V_{dd} (valor equivalente a un "1" lógico) por lo que en el nudo n_{out} se obtiene un en principio un nivel lógico bajo ("0"). En el caso de producirse un acontecimiento, el voltaje de n_c baja rápidamente a 0, por lo tanto n_{out} conmuta de "0" a "1". Cuando esto sucede, el nuevo valor queda registrado en un elemento biestable cuyo estado se utiliza para indicar que se ha producido la detección de un acontecimiento.

Al estar sujeto a los procesos de precarga/evaluación, es necesario disponer de dos bloques de detección, uno por cada banco de memoria.

35 *Bloque de sincronismo*

Para un adecuado muestreo de los transitorios, el periodo de muestreo, t_{muestreo} , debe ser suficientemente bajo. El bloque de sincronismo, tiene por función por una parte generar las señales de sincronismo $S_{pc,A}$ y $S_{pc,B}$ utilizadas en los bancos de memoria para controlar sus fases de precarga y evaluación durante el funcionamiento en modo de captura continuo, y por otra generar periódicamente el conjunto de señales de muestreo descritas en la figura 8, que se utilizan para establecer el tiempo de descarga de cada una de las celdas del banco de memoria.

Cada monoestable tiene una entrada RST que restaura el nivel lógico del nudo Q a "1", cuando la entrada S_{in} se activa a "1" se produce la descarga del nudo Q hasta "0" y la carga de Q_B de "0" a "1", proceso que tiene una duración t_Q . Si se encadenan M celdas monoestables en serie de modo que la salida Q_B de un monoestable esté conectada a la entrada S_{in} del circuito siguiente (Figura 10), se obtiene un bloque que genera un conjunto de señales como el descrito en la figura 8 con $t_{\text{muestreo}} = t_Q$.

El tiempo de muestreo t_{muestreo} puede ajustarse convenientemente mediante la selección de las medidas de los transistores de este bloque. En el dispositivo de la invención se han conseguido tiempos de muestreo de 40 ps en una tecnología CMOS de 130 nm.

Como puede observarse dicho bloque también trabaja siguiendo una secuencia de dos fases que se van alternando, una fase de disparo y una fase de recuperación o de precarga de todos los nudos Q a "1", por lo que de nuevo, tal como se ilustra en la figura 11, se utiliza la opción de dividir el bloque de sincronismo en dos sub-bloques de manera que cuando un sub-bloque está en modo de disparo generando las señales de tiempo de descarga de uno de los bancos de memoria, el otro bloque se encuentra en fase de recuperación (fase que coincide con la fase de precarga del banco de memoria asignado al citado sub-bloque). En este caso es condición necesaria conseguir que $t_{\text{recuperación}} < M \cdot t_{\text{muestreo}}$.

Tal como se deduce de la figura 11b, la señal de disparo de la última celda de uno de los sub-bloques se utiliza para iniciar el disparo de la primera celda del otro sub-bloque e inicia el proceso de recuperación de su sub-bloque. De esta manera cuando el dispositivo está en modo de captura continuo, el proceso de generación de señales de sincronismo puede continuar indefinidamente (el proceso se detiene cuando se detecta un acontecimiento).

Unidad de control

Finalmente, la unidad de control es una máquina de estados finitos que se encarga de generar las señales necesarias para iniciar convenientemente los modos de espera, de captura y de lectura descritos en los apartados precedentes.

A modo de resumen, para incrementar la eficiencia de captura, es necesario que el dispositivo pueda trabajar en modo de captura continuo durante largos periodos de tiempo. Para ello la invención recurre a un sistema de adquisición de alta velocidad en la que se capturan un conjunto de muestras del transitorio monitorizado. La estructura de dicho módulo, caracterizado por tener un tiempo de captura muy rápido y un tiempo de lectura más lento, puede considerarse por tanto como una adaptación al problema de caracterizar corrientes de transitorios de una estructura FISO (*Fast-in Slow-Out*) como las presentadas en US 1981/4271488 o EP0483945 B1.

Esta parte de la invención se diferencia de las precedentes en el sentido en que la memoria se ha organizado en dos bancos lineales de M celdas cada uno (banco A y banco B), para poder conseguir que el sistema trabaje en modo continuo y sin tiempos muertos. El puerto de lectura de nuestra memoria se ha adaptado convenientemente para poder responder a transitorios de corriente del acontecimiento a capturar y, finalmente, se ha establecido un protocolo de señales de control que rigen el proceso de captura de manera que si $i_{\text{acontecimiento}}(t)$ es el transitorio de corriente producido por el acontecimiento, el sistema de adquisición captura de la invención es en realidad una señal proporcional a $\int i_{\text{acontecimiento}}(t)dt$. Las señales necesarias para ello son generadas internamente por un bloque específico basado en una cadena de monoestables.

REIVINDICACIONES

1. Dispositivo de caracterización de transitorios de corriente (I) producidos por interacción de partículas ionizantes con un bloque de transistores de una puerta lógica (1), **caracterizado** por el hecho de que comprende un bloque de memoria (2) con condensadores (C) y un bloque de sincronismo (3),
 - estando el bloque de memoria (2) provisto de medios para replicar dicha corriente (I) y enviarla a una pluralidad de salidas conectadas cada una a una derivación (n_c) hacia un condensador (C) mediante un interruptor de evaluación (m_i),
 - siendo el bloque de sincronismo (3) capaz de generar a intervalos regulares (t_{muestreo}) unas señales de control de apertura (S_{m_i}) de los interruptores de evaluación (m_i),
 de modo que durante un transitorio de corriente (I) la variación de carga de los diferentes condensadores (C) a través de los interruptores de evaluación se inicia a intervalos regulares (t_{muestreo}), siendo posible caracterizar a partir de los estados de carga de los condensadores (C) el perfil temporal aproximado de la integral del transitorio de corriente (I).
2. Dispositivo según la reivindicación anterior, en el que cada derivación (n_c) está conectada a un nodo de salida (N) común a través de un interruptor de lectura (o_i).
3. Dispositivo según cualquiera de las reivindicaciones anteriores, provisto de medios de restablecimiento del potencial de los condensadores a una tensión determinada (V_{dd}).
4. Dispositivo según la reivindicación anterior, en el que dichos medios comprenden sendos interruptores (PC) conectados en la entrada y salida de cada uno de dichos interruptores de evaluación (m_i).
5. Dispositivo según cualquiera de las reivindicaciones 2, 3 ó 4, que comprende un amplificador dispuesto entre cada condensador (C) y el nodo de salida (N).
6. Dispositivo según cualquiera de las reivindicaciones anteriores, el bloque de memoria (2) tiene los condensadores (C), y sus interruptores asociados (m_i , p_c), organizados en dos bancos idénticos.
7. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que el bloque de sincronismo (3) comprende una cadena de celdas monoestables.
8. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que el bloque de sincronismo (3) comprende dos sub-bloques (A, B) de sincronismo conectados entre sí.
9. Dispositivo según cualquiera de las reivindicaciones anteriores, que comprende un bloque de detección (4) configurado para detectar el inicio de un transitorio de corriente (I).
10. Dispositivo según la reivindicación anterior, en el que dicho bloque de detección (4) comprende un condensador (C_d), un interruptor (m_1) que conecta la salida de dicho bloque de transistores de la puerta lógica (1) a una derivación (n_c) hacia dicho condensador (C_d) y medios para emitir una señal de detección a partir de un valor umbral de carga de dicho condensador (C_d).
11. Dispositivo según la reivindicación anterior, en el que dichos medios para emitir una señal de detección consisten en un *trigger de Schmitt*.
12. Dispositivo según cualquier combinación de las reivindicaciones anteriores, que comprende una unidad de control (5) configurada para controlar el bloque generador de sincronismo (3) en función de consignas externas y de las señales emitidas por el bloque de detección (4).
13. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que la puerta lógica (1), el bloque de memoria (2), el bloque de sincronismo (3) y el bloque de detección (4) están integrados en un mismo sustrato.
14. Dispositivo según cualquiera de las reivindicaciones, que comprende un bloque de generación inducida de corrientes (6) capaz de suministrar una corriente a dicho bloque de memoria (2) para su calibración.
15. Dispositivo según la reivindicación anterior, en el que dicho bloque de generación inducida de corrientes 6 comprende un monoestable conectado a la puerta de un transistor.
16. Dispositivo según cualquiera de las reivindicaciones anteriores, que comprende un bloque de atenuación (7) conectado en la entrada del bloque de memoria (2).

17. Dispositivo según la reivindicación anterior, en el que dicho bloque de atenuación (7) es un transistor.

18. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que cada derivación (n_c) está conectada a un nodo de salida (N) común a través de un interruptor de lectura (oi).

19. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que dicho bloque de transistores de una puerta lógica (1) está realizado con tecnología CMOS.

20. Procedimiento de caracterización de transitorios de corriente (I) producidos por interacción de partículas ionizantes con una puerta lógica CMOS (1), en el que se emplea un dispositivo según cualquiera de las reivindicaciones anteriores, que comprende las etapas de:

- replicar dicha corriente (I) para enviarla a dichas salidas,

- abrir secuencialmente y a intervalos de tiempo regulares (t_{muestreo}) los diferentes interruptores de evaluación (mi),

de modo que durante un transitorio de corriente (I) la variación de carga de los diferentes condensadores (C) se inicia a intervalos regulares (t_{muestreo}), siendo posible caracterizar a partir de los estados de carga de los condensadores (C) el perfil temporal aproximado de la integral del transitorio de corriente (I).

Fig. 1

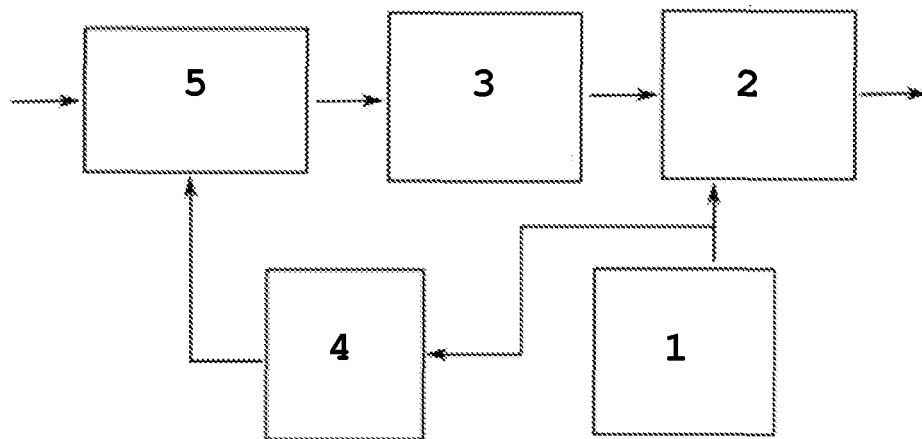


Fig. 2

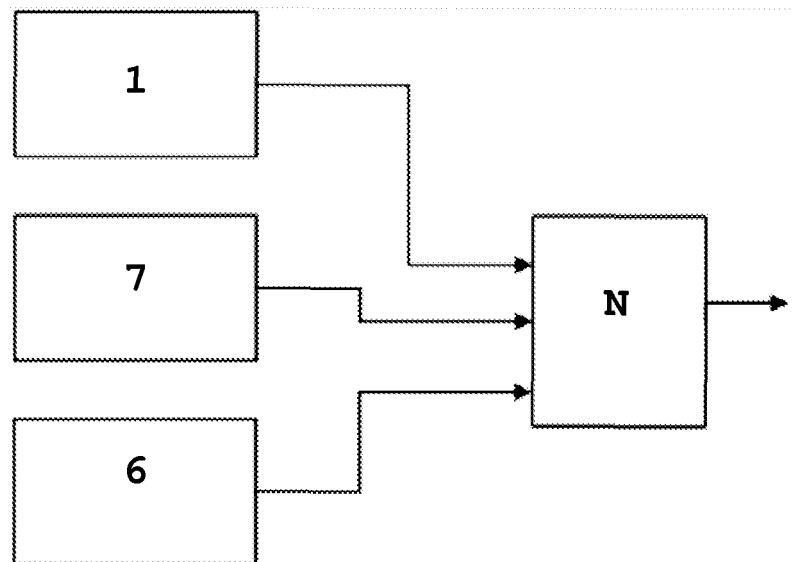


Fig. 3

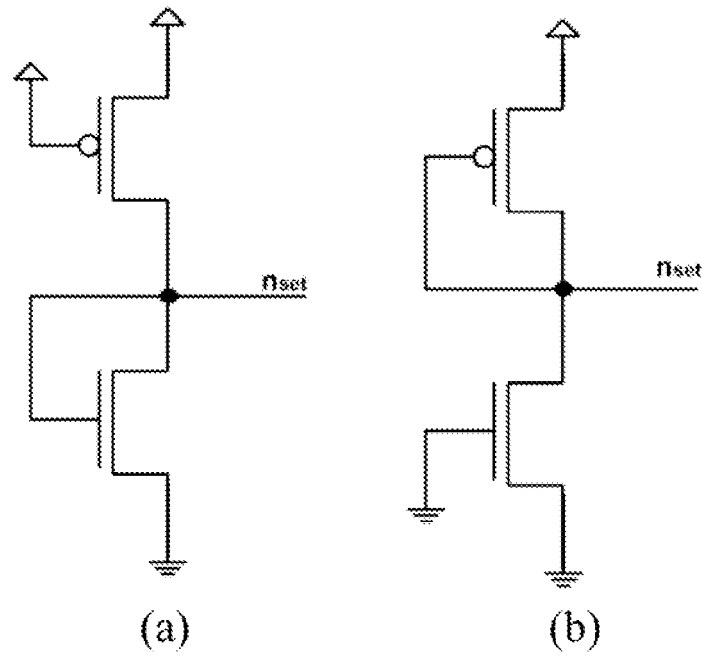


Fig. 4

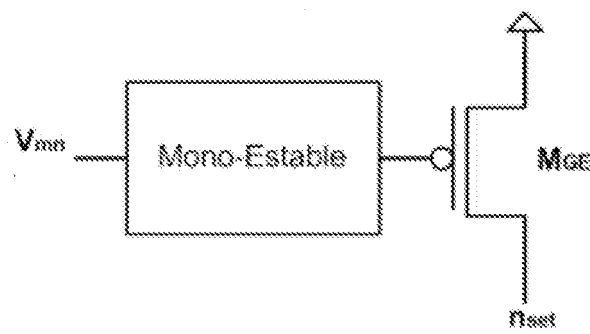


Fig. 5

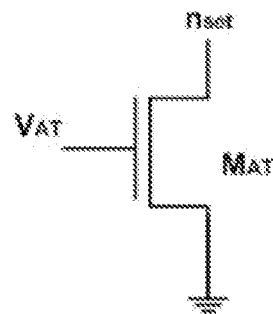


Fig. 6

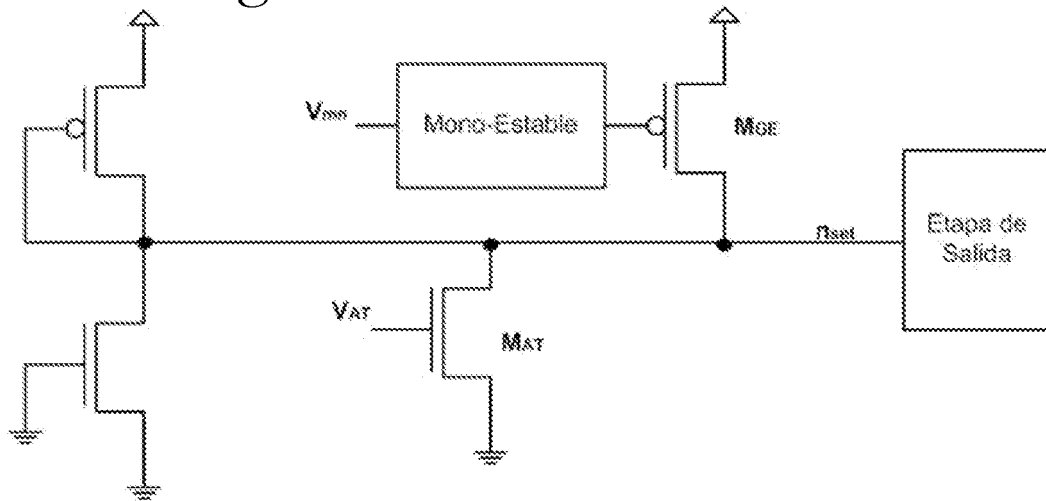


Fig. 7

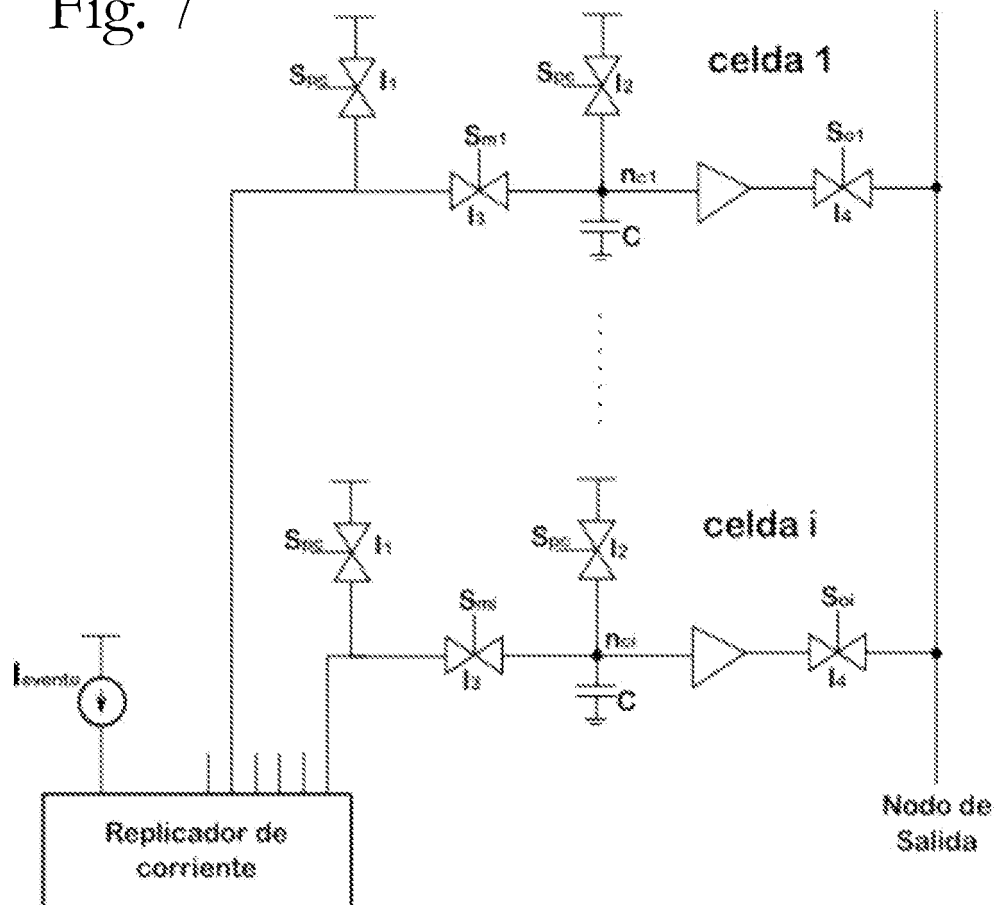


Fig. 8

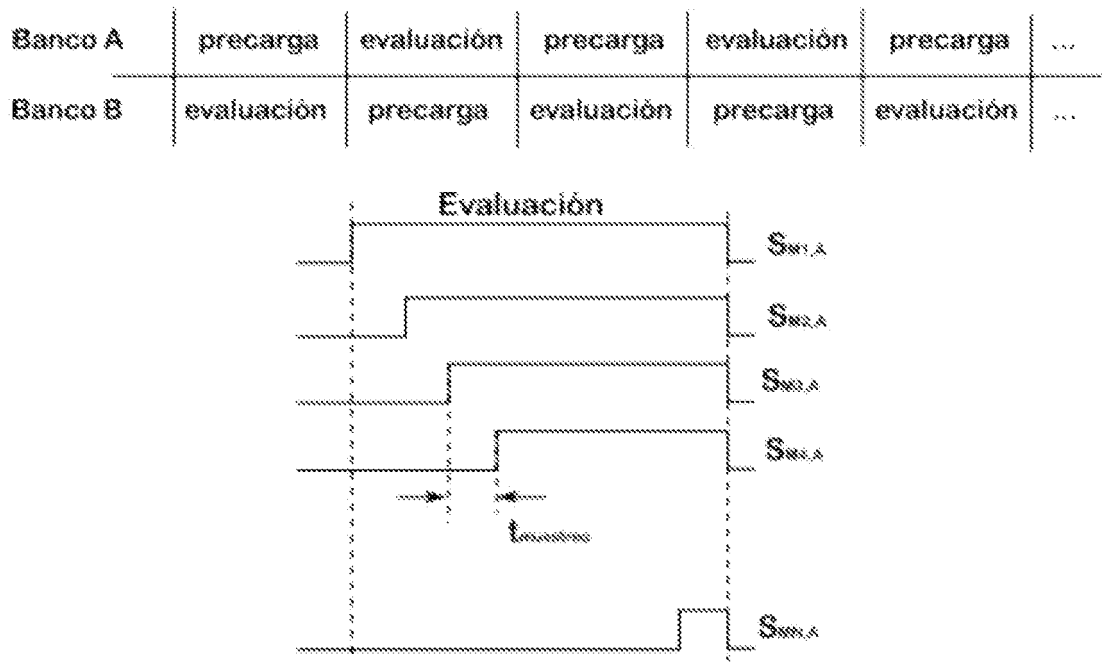


Fig. 9

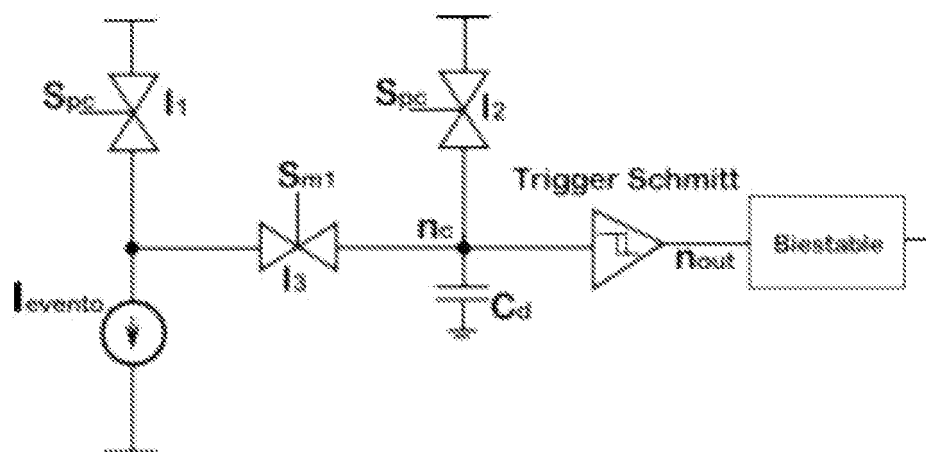


Fig. 10

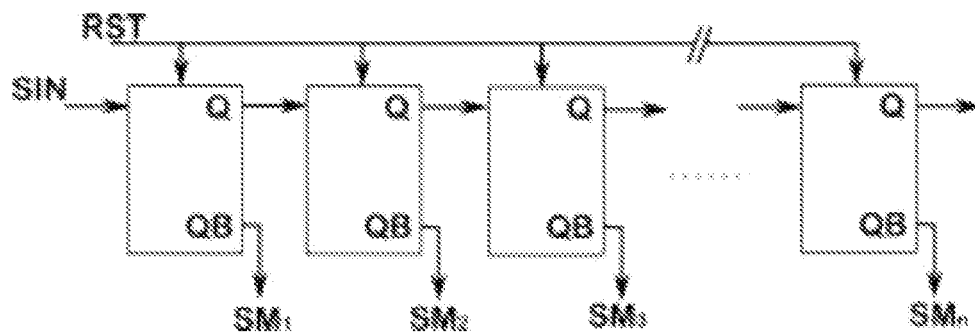
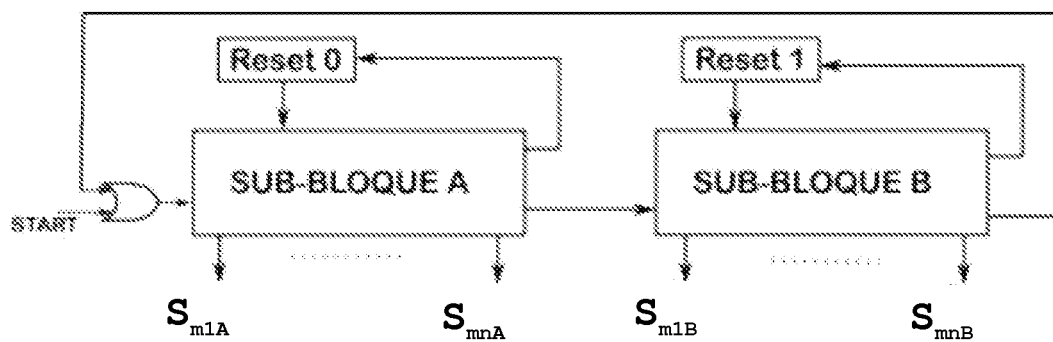


Fig. 11





OFICINA ESPAÑOLA
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 200930030

②② Fecha de presentación de la solicitud: 02.04.2009

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤① Int. Cl.: **G01R31/3187** (2006.01)
G01R31/00 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	WO 0022500 A1 (HOLLANDSE SIGNAALAPPARATEN BV et al.) 20.04.2000, resumen; figura 1; página 1, líneas 3-33; página 2, líneas 14-31; página 4, línea 7 – página 7, línea 14.	1-20
X	US 2008151456 A1 (JULICHER JOSEPH HARRY) 26.06.2008, resumen; reivindicaciones 1-26; figuras 1-3; párrafos [0004-0013],[0019-0031].	1,20
X	US 2003001597 A1 (JUN LI-SHEN et al.) 02.01.2003, resumen; reivindicaciones 1,2; figuras 1-4; columna 2, líneas 5-38; columna 2, línea 57 – columna 4, línea 19.	1,20
X	US 5300765 A (MIZUTA MASAHARU) 05.04.1994, resumen; reivindicaciones 1-4; figuras 1-3; párrafos [0007-0009],[0015-0028].	1,20

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones nº:

Fecha de realización del informe 07.07.2011	Examinador M. López Sabater	Página 1/4
--	--------------------------------	---------------

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G01R

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC

Fecha de Realización de la Opinión Escrita: 07.07.2011

Declaración

Novedad (Art. 6.1 LP 11/1986)	Reivindicaciones	SI
	Reivindicaciones 1-3, 6-8, 10, 12 y 13	NO
Actividad inventiva (Art. 8.1 LP11/1986)	Reivindicaciones	SI
	Reivindicaciones 4, 5, 7, 11, 14-20	NO

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

Base de la Opinión.-

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

1. Documentos considerados.-

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	WO 0022500 A1 (HOLLANDSE SIGNAALAPPARATEN BV et al.)	20.04.2000
D02	US 2003001597 A1 (JUHN LI-SHEN et al.)	02.01.2003

2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración**Reivindicación 1:**

El documento más cercano esta reivindicación en el estado de la técnica es D01, en el que se divulga un dispositivo de identificación y protección contra transitorios de corriente producidos por interacción de partículas ionizantes que comprende un bloque de memoria con condensadores (12, 13) y un bloque de sincronismo, estando el bloque de memoria provisto de medios para replicar dicha corriente (1) y enviarla a una pluralidad de salidas conectadas cada una a una derivación hacia un condensador (12, 13) mediante un interruptor de evaluación (11, 12), siendo el bloque de sincronismo capaz de generar a intervalos regulares, (reivindicación 4 de D01), unas señales de control de abertura de los interruptores de evaluación (10, 11) de modo que durante un transitorio de corriente la variación de carga de los diferentes condensadores (12, 13) a través de los interruptores de evaluación se inicia a intervalos regulares, siendo posible caracterizar, a partir de los estados de carga de los condensadores (12, 13), el perfil temporal aproximado de la integral del transitorio de corriente. Por lo tanto, esta primera reivindicación carece de novedad en el sentido del artículo 6 de la Ley de Patentes 11/86.

Reivindicación 2:

El nodo de salida común (2) de D01 al que se conecta cada derivación de este documento por medio del microcontrolador (9) y las líneas 14.i de comunicación, anticipan los elementos del dispositivo que se desea proteger en esta reivindicación dependiente que, por lo tanto, tampoco es nueva.

Reivindicación 3:

A lo largo de todo el documento D01 se hace mención a los medios de restablecimiento de potencial de los condensadores a una tensión determinada. Por lo tanto, también esta reivindicación dependiente es anticipada por este documento y carece de novedad.

Reivindicaciones 4 y 5:

En estas reivindicaciones dependientes se hace referencia a componentes electrónicos que los solicitantes han empleado para implementar los circuitos electrónicos de las reivindicaciones anteriores. Puesto que el uso de estos componentes se ha hecho de una manera conocida y que no conlleva un efecto técnico inesperado, estas reivindicaciones carecen de actividad inventiva según el artículo 8 de la Ley de Patentes 11/86.

Reivindicaciones 6, 8 a 10, 12 y 13:

Estas reivindicaciones se ven anticipadas por D01 según se desprende de la lectura del mismo y, por lo tanto, carecen de novedad.

Reivindicaciones 7, 11 y 15 a 20:

En estas reivindicaciones, de nuevo se ha hecho una elección de entre componentes y circuitos conocidos en el estado de la técnica para ser usados de manera conocida por el experto en la materia. Así pues, no tienen actividad inventiva.

Reivindicación 14:

En esta reivindicación dependiente se establece que el dispositivo puede incorporar un bloque de generación inducida de corrientes. Se trata de una opción de diseño conocida en el estado de la técnica como se ilustra, por ejemplo, en la primera reivindicación de D02. Por consiguiente, tampoco esta reivindicación tiene actividad inventiva.