



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



① Número de publicación: **2 209 629**

② Número de solicitud: 200201830

⑤ Int. Cl.7: **G06E 1/04**
G02F 3/00

⑫

SOLICITUD DE PATENTE

A1

⑫ Fecha de presentación: **25.07.2002**

⑬ Fecha de publicación de la solicitud: **16.06.2004**

⑭ Fecha de publicación del folleto de la solicitud:
16.06.2004

① Solicitante/s: **Universidad Politécnica de Valencia**
CTT-Camino de Vera, s/n
46022 Valencia, ES

② Inventor/es: **Marti Sendra, Javier;**
Ramos Pascual, Francisco;
Martínez Canet, Josep Manuel y
Herrera Llorente, Javier

④ Agente: **No consta**

⑤ Título: **Método y dispositivo para comparar dos secuencias de bits, en un entorno completamente óptico.**

⑦ Resumen:

Método y dispositivo para comparar dos secuencias de bits, en un entorno completamente óptico.

Una arquitectura basada en una puerta lógica XOR realimentada (la señal de control a la entrada se alimenta con la señal de salida de dicha puerta) más una etapa de adaptación de la señal a la salida cuya función consiste en realizar la comparación entre dos secuencias de bits, obteniendo un pulso a la salida del último bit comparado si las dos secuencias son iguales. La invención tiene particular aplicación en el procesado óptico de paquetes de datos que llegan a los nodos de una red óptica con una dirección de referencia.

ES 2 209 629 A1

DESCRIPCIÓN

Método y dispositivo para comparar dos secuencias de bits, en un entorno completamente óptico.

Objeto de la invención

La presente invención consiste en una arquitectura realimentada completamente óptica para la comparación de dos secuencias de N bits a la entrada, basada en la presencia de un pulso de control que permite realizar la comparación (en ausencia del pulso, la puerta se inhibe y no realiza ninguna función), obteniendo un pulso óptico a la salida si todos los bits anteriores han coincidido. Como aplicación particular, y sobre la que se realizará especial hincapié de aquí en adelante, cabe destacar el procesado óptico de paquetes, puesto que esta arquitectura permite realizar la comparación de la cabecera de los paquetes de datos que llegan a los nodos de una red óptica con una dirección de referencia.

Antecedentes de la invención

El tráfico en el campo de las telecomunicaciones ha provocado en los últimos años un espectacular crecimiento en la demanda de capacidad de transmisión a través de la fibra óptica. Esto es consecuencia de la creciente oferta de nuevos servicios interactivos y de difusión. Los servicios que se ofrecen presentan un amplio margen de requisitos en cuanto a capacidad de canal, ocupación de canal, duración de las conexiones, tiempo de establecimiento de las conexiones, etc. Esta evolución provoca que las redes y los nodos de comunicaciones tengan que adaptarse para poder ofrecer estas demandas de manera rápida, eficiente y flexible, permitiendo una comparación dinámica del ancho de banda entre los distintos usuarios.

Uno de los primeros pasos para conseguir aumentar la capacidad de una red óptica fue la aparición de la tecnología de multiplexación por división en longitud de onda (WDM, Wavelength Division Multiplexing), mediante la cual se pueden transmitir varias longitudes de onda (también llamadas canales) sobre una misma fibra óptica. A continuación, apareció una mejora de este tipo de multiplexación, denominada multiplexación por división en longitud de onda densa (DWDM, Dense Wavelength Division Multiplexing), con un espaciado entre canales más estrecho.

Una de las últimas evoluciones de las redes ópticas es la migración desde la concepción de una red orientada a conmutación de circuitos hacia una red basada en conmutación de paquetes. Las redes ópticas por conmutación de paquetes permiten realizar la función de encaminamiento independientemente de la velocidad de la red o del protocolo que se utilice. De esta manera, la función de encaminamiento resulta transparente y fácilmente escalable (y mucho más adecuada para el gran tráfico IP existente).

Los nodos encargados de realizar las funciones de conmutación y encaminamiento son los OXCs y los OADMs. Los encaminadores (routers) se encargan principalmente de procesar las cabeceras de los paquetes que reciben, y decidir en base a dicha cabecera cuál es el siguiente nodo al que deben llegar. Otra característica importante de este tipo de nodos es la capacidad de reemplazar cabeceras en tiempo real para realizar un etiquetado de los paquetes (label swapping), así como la conversión de longitud de onda y la regeneración óptica tanto de la carga útil (payload) como de la cabecera.

En la actualidad, la mayoría de estos nodos rea-

lizan parte del procesado de la señal en el dominio eléctrico, lo cual supone una restricción en términos de capacidad y velocidad, lo que redundaría en una disminución de los recursos de la red. El objetivo deseable es reducir el procesado electrónico que se realiza, y por tanto, el coste en velocidad de los dispositivos. La manera de conseguir esta reducción de procesado eléctrico consiste en migrar hacia redes completamente ópticas (all-optical networks) en las cuales los datos se conmutan y encaminan de manera transparente, con mínimo o nulo procesado eléctrico.

Las funciones más importantes, a nivel de red, que deben realizar estos nodos son las siguientes: conversión de longitud de onda, sincronización óptica, procesado óptico de cabeceras y conmutación óptica. Todas estas funciones, al ser funciones críticas, deben poder ser implementadas completamente en el dominio óptico. Dentro de este marco es donde toma especial importancia la arquitectura que se presenta, pues realiza la función de procesado de la cabecera de los paquetes sin necesidad de realizar conversión al dominio eléctrico.

Actualmente, existen diversas arquitecturas para realizar el procesado de cabeceras de paquetes [3]: 1) filtros adaptados basados en fibra óptica [4], cuyo mayor inconveniente es que no son sintonizables, 2) filtros basados en técnicas espectro-holográficas [5], los cuales requieren de óptica espacial, 3) puertas lógicas ópticas (AND, XOR, etc...) [2,6], que presentan una baja eficiencia para cabeceras cortas, y 4) configuraciones NOLM (Nonlinear Optical Loop Mirror) [7], que aunque son apropiadas para redes de alta velocidad presentan una sensibilidad ambiental muy grande.

La mayoría de las tecnologías existentes en la actualidad realizan la comparación de cabeceras bit a bit. Es decir, en cada instante de bit obtienen a la salida el resultado de dicha comparación sin tener en cuenta el resultado de la comparación del bit anterior, por lo que resulta necesario algún tipo de procesado para saber si las dos secuencias de bits coinciden completamente. En este punto, la invención que aquí se presenta supone un gran avance, pues para obtener el resultado final de la comparación de dos secuencias de N bits tan sólo es necesario observar a la salida el resultado de la comparación del N-ésimo bit.

Referencias citadas

[1] K. E. **Stubkjaer**, "Semiconductor Optical Amplifier-based all-optical gates for high-speed optical processing", *IEEE Journal on Selected Topics in Quantum Electronics*, vol.6, no. 6, November/December 2000

[2] T. **Fjelde**, **D. Wolfson**, **A. Kloch**, **B. Dagens**, **A. Coquelin**, **I. Guillemot**, **F. Gaborit**, **F. Poingt**, and **M. Renaud**, "Demonstration of 20 Gb/s all-optical logic XOR in integrated SOA-based interferometric wavelength converter", *Electronic Letters*, 26th October 2000, vol.36, no.22

[3] M. C. **Cardakli**, **S. Lee**, **A. E. Willner**, **V. Grubsky**, **D. Starodubov**, and **J. Feinberg**, "Reconfigurable Optical Packet Header Recognition and Routing using Time-to-Wavelength Mapping and Tunable Fiber Bragg Gratings for Correlation Decoding", *IEEE Photonics Technology Letters*, vol.12, no.5, May 2000

[4] **J. Shin**, **M. Jeon**, and **C. Kang**, "Fiber-optic matched filters with metal films deposited on fiber delay-line ends for optical packet address detection", *IEEE Photonic Technology Letters*, vol.8,

pp.941-943, 1996

[5] X. Shen, and R. Kachru, "Optical header recognition by spectroholographic filtering", *Optics Letters*, vol.20, pp-2508-2510, 1995

[6] D. Cotter, J. K. Lucek, M. Shabeer, K. Smith, D. C. Rogers, D. Nasset, and P. Gunning, "Self routing of 100 Gb/s using 6 bits keyword address recognition", *Electronic Letters*, vol.31, pp.1475-1476, 1995

[7] I. Glesk, J. P. Solokoff, and P. Prucnal, "All-optical address recognition and self-routing in a 250 Gb/s packet-switched network", *Electronic Letters*, vol.30, pp.1322-1323, 1994

[8] F. Girardin, G. Guekos, and A. Houbavlis, "Gain Recovery of Bulk Semiconductor Optical Amplifiers", *IEEE Photonics Technology Letters*, vol.10, no.6, June 1998

[9] Jacco L. Pleumeekers, Matthias Kauer, Kevin Dreyer, Charles Burrus, Andrew G. Dentai, Steve Shunk, Jürg Leuthold, Charles H. Joyner, "Acceleration of Gain Recovery in Semiconductor Optical Amplifiers by Optical Injection Near Transparency Wavelength", *IEEE Photonics Technology Letters*, vol.14, no.1, January 2002.

Descripción de la invención

La invención aporta características esenciales de novedad y notables ventajas en cuanto a reducción de coste con respecto a las estructuras ya conocidas y utilizadas para fines similares en el estado actual de la técnica. Otra de las ventajas que presenta la presente arquitectura es que permite realizar todo el proceso en el dominio óptico, evitando de esa manera realizar procesado electrónico que reduciría las prestaciones de velocidad del sistema.

La invención propone la utilización de una puerta lógica XOR realimentada (la señal de control a la entrada se alimenta con la señal de salida de dicha puerta) más una etapa de adaptación de la señal a la salida. De esta manera, con una única puerta lógica se consigue el procesado de todos los bits de la secuencia.

La puerta XOR completamente óptica [1,2], puede estar basada en cualquier arquitectura apropiada, como por ejemplo en una estructura interferométrica Mach-Zehnder (MZI, Mach-Zehnder Interferometer) en la que cada uno de los brazos de dicha estructura contiene un amplificador óptico de semiconductor (SOA, Semiconductor Optical Amplifier). Las señales ópticas que entran por sendos puertos (que pueden tener longitudes de onda distintas o iguales) se acoplan en los correspondientes puertos, mientras que una señal de onda continua (a longitud de onda λ_{XOR}) se acopla a otro puerto. En el MZI, las señales ópticas de datos pasan a través de cada uno de los SOAs, e inducen una modulación en su densidad de portadores, o lo que es lo mismo, del índice de refracción del medio. Esto tiene como efecto una modulación de fase de la señal de onda continua que se propaga a través de los dos SOAs debido al efecto de modulación cruzada de fase (XPM, Cross-Phase Modulation). Otra de las ventajas de esta arquitectura es que permite que las señales de entrada sean de muy baja potencia.

En este caso particular, en lugar de introducir una señal continua como señal de control [2], se introduce una señal pulsada, sincronizada temporalmente con el primer bit de cada una de las cabeceras de los paquetes que lleguen al dispositivo. La función de dicha señal es servir de disparo para activar el procesado de

la cabecera por parte de la puerta XOR y de su etapa de adaptación.

En el caso particular de procesado óptico de paquetes, las señales de entrada corresponden a la cabecera del paquete que se quiere analizar, y a la secuencia binaria (dirección del nodo) con la que queremos comparar la cabecera representada en su complemento a dos.

La etapa de adaptación tiene la función de adecuar la señal de salida tanto en tiempo como en amplitud, de manera que cada pulso de control realimentado coincida con los bits a procesar, y evitar problemas de oscilación en el bucle de realimentación, pues proviene de una etapa de amplificación (los SOAs de la puerta XOR).

En concreto, la etapa de adaptación consta de:

- un filtro paso-banda, centrado a la longitud de onda de la señal de control y que sirve para evitar que las señales de entrada se realimenten,

- un elemento atenuador, que se encarga de reducir el nivel de la señal de control, y

- un elemento retardador, que sincroniza el pulso de control realimentado con los instantes de los bits a procesar en la entrada.

Los anteriores elementos de la etapa de adaptación son además susceptibles de agruparse, por ejemplo, mediante el empleo de una red de difracción sobre fibra óptica con chirp (CFG, Chirped Fiber Grating), para filtrar, retardar y atenuar la señal, o cualquier combinación de estas funcionalidades en un solo dispositivo.

Esta etapa es una de las principales características de la invención, pues es la que permite la utilización de una misma puerta lógica para el procesado en serie de los N bits que forman la secuencia. De esta manera, se consigue una notable reducción en número de dispositivos, solamente dos SOAs, que se necesitan para realizar el procesado de cabeceras. Si bien hay que resaltar que para que esta arquitectura funcione correctamente, es necesario sustituir la señal de control de onda continua de la puerta XOR convencional por una señal de control pulsada.

La presente invención tiene su aplicación más inmediata en aquellos elementos que se encargan de realizar las funciones de conmutación y encaminamiento de paquetes a través de una red óptica. En concreto, los dispositivos que en la actualidad se encargan de realizar dichas funciones son los OADMs (Optical Add-Drop Multiplexer) y los OXCs (Optical Cross-Connect).

Breve descripción de los dibujos

Estas y otras características y ventajas de la invención se pondrán más claramente de manifiesto a partir de la descripción detallada que sigue de una forma preferida de realización, dada únicamente a título de ejemplo ilustrativo y no limitativo, con referencia a los dibujos que se acompañan, en los que:

La figura 1.- muestra la tabla de verdad de la función lógica XOR. Esta función, aplicada sobre las dos secuencias de datos a la entrada, resulta en un pulso óptico cada vez que los bits de entrada son distintos. En el caso aplicado al procesado óptico de paquetes, la función XOR se aplica sobre 2 secuencias de bits, una que es la cabecera del paquete óptico de datos y otra que es el complemento a dos de la dirección del nodo (Keyword) de la red óptica de comunicaciones, es decir, cada vez que los bits de la cabecera y los originales de la keyword coinciden se obtiene un pulso a

la salida.

La figura 2.- representa la arquitectura básica de una puerta XOR óptica. Este caso particular está basado en una estructura Mach-Zehnder interferométrica, en la que en cada uno de los brazos hay un SOA. Esta arquitectura utiliza como señal de control una señal de onda continua, y en las dos entradas restantes las señales sobre las que se quiere aplicar la función XOR.

La figura 3.- representa la arquitectura para el procesado de cabeceras mediante puertas XOR con realimentación, objeto de esta invención. Se basa en la arquitectura para la puerta XOR de la figura 2, a la que se añade una etapa de adaptación de la señal de salida para poder utilizar dicha señal de salida, mediante realimentación, como señal de control para los restantes bits. En este caso, la señal de control es una señal pulsada (donde cada pulso coincide con el primer bit de la secuencia a procesar) que actuará como condición de disparo de la puerta XOR, como muestra la figura 4.

La figura 4.- muestra la señal de control.

La figura 5.- muestra la etapa de adaptación, que permite que la señal de salida de la puerta realimente de nuevo la señal de control a la entrada de la misma. Esta etapa consta de 3 elementos: un filtro pasobanda, un atenuador y una línea de retardo.

Descripción de la realización preferida

Para llevar a cabo la descripción detallada que sigue de la realización preferida de la presente invención, se hará referencia permanente a los dibujos de las figuras, a través de las cuales se han utilizado las mismas referencias numéricas para las partes iguales o similares.

La arquitectura que se presenta tiene como objetivo realizar la comparación entre dos secuencias de bit, obteniendo un pulso a la salida del último bit comparado si las dos secuencias son exactamente iguales. Esta invención tiene aplicación tanto en los nodos de las redes ópticas para realizar la comparación entre la cabecera de los paquetes de datos y una cabecera de referencia, como para realizar la comparación entre dos cabeceras o secuencias de bit cualesquiera.

El principio de funcionamiento de esta arquitectura se describe a continuación. Se pueden distinguir dos bloques principales, uno correspondiente a la puerta lógica XOR (12) representado en la figura 2, y el otro bloque formado por la etapa de adaptación (13) representada en las figuras 3 y 5.

La señal de control (9) que se acopla con la salida de la puerta lógica es una señal pulsada, cuya frecuencia de repetición de pulso coincide con la frecuencia de llegada de paquetes. De esta manera, esta señal de control (9) genera un pulso que coincide con el primer bit de la cabecera que se quiere procesar. Este pulso, representado en la figura 4, es la señal de disparo para la puerta XOR (12), de manera que a partir de ese momento, la señal que va a servir de control para el resto de bits de la secuencia será la propia salida (15) de la puerta lógica XOR(12) (tras pasar por la correspondiente etapa de adaptación (13)). De este modo, el funcionamiento de la puerta (12) se inhibe cuando no hay señal de control (9) a la entrada (17). Así, solo cuando haya presente un pulso en la señal de control (9), la puerta (12) realizará la comparación correspondiente.

En el caso concreto de procesado óptico de paquetes, una de las señales de datos a la entrada de la

puerta (12) es la cabecera de los paquetes de datos (10) que se quiere procesar. Dicha señal de cabecera (10) se habrá obtenido previamente tras separar la parte del paquete correspondiente a la cabecera de la parte correspondiente a la carga útil.

La otra señal de datos corresponde a la secuencia o señal de referencia (11) (Keyword) con la que se quiere comparar la cabecera anterior (10). Esta secuencia de referencia (11) se debe introducir en complemento a dos, de tal manera que cuando los dos bits comparados a la entrada sean distintos, la puerta lógica XOR (12) proporcione un pulso a la salida. Es decir, que si el bit de la cabecera (10) es distinto del bit de la secuencia de referencia (11) en complemento a dos, entonces el bit de la cabecera y el de la secuencia original son iguales. Por esta razón es de suma importancia que se introduzca la secuencia de referencia (11) en complemento a dos, y no la secuencia original.

El funcionamiento de la puerta lógica XOR (12), es el siguiente a la vista de la figura 2. La señal de control (2) alimenta a cada una de las dos ramas del interferómetro. A la entrada de cada una de las ramas, la señal de control (2) se acopla con las señales a comparar mediante los acopladores (4) y (6). Por la rama superior, la señal de control (2) y la señal de entrada 1 (1) pasaran por el SOA (7), mientras que por la rama inferior la señal de control (2) y la señal de entrada 2 (3) pasan por el SOA (7'). De esta manera, las señales de entrada (1,3) provocan una modulación en fase de la señal de control (2). A la salida del interferómetro, las señales procedentes de las dos ramas se acoplan de nuevo originando la señal de salida (8).

La señal de salida (8) resultará la siguiente:

- si los dos bits a procesar son iguales, el efecto de modulación que sufre la señal de control (2) es el mismo en las dos ramas. Teniendo en cuenta que la rama inferior sufre un desfase de n radianes provocado por los acopladores (4) y (6) del interferómetro, la señal de salida (8) resultará ser la interferencia destructiva de las señales que circulan por ambas ramas, obteniendo una señal de potencia nula.

- por otra parte, si los bits a comparar son distintos, el efecto de modulación de fase es distinto en cada una de las ramas, contrarrestando el desfase de n radianes que hay entre ambas, produciéndose una interferencia constructiva y obteniendo de esa manera un pulso a la salida. La intensidad de este pulso será máxima cuando el desfase inducido por los bits de las señales de datos sobre la señal de control en el SOA sea de π radianes.

Por tanto, se obtendrá un pulso a la salida cuando los bits comparados a la entrada sean distintos, y no se obtendrá pulso a la salida cuando los bits a la entrada sean iguales. El funcionamiento de la puerta XOR se ve condicionado por el hecho de que exista un pulso de control a la entrada sobre el cual realizar la modulación de fase.

En el caso de que a la salida de la puerta XOR (12) se obtenga un pulso (es decir, que el bit de la cabecera coincida con el bit de la secuencia de referencia original), éste deberá pasar por la etapa de adaptación (13) para poder realimentar la puerta (12) y servir de señal de control para el siguiente bit de la cabecera.

A la salida (15) de la puerta (12) se tienen señales a distintas longitudes de onda: la señal de control (9) a la longitud de onda λ_{XOR} , y las señales de entrada (10) y (11), que pueden tener la misma o distintas longitudes de onda, y que a su vez han de ser distintas

a la longitud de onda de la señal de control. La señal que contiene la información de interés es la señal de control, es decir, la señal de longitud de onda λ_{XOR} . Por lo tanto, se requiere un filtro paso-banda (18) cuya longitud de onda central coincida con λ_{XOR} .

El pulso que se obtiene a la salida (15) de la puerta (12) viene precedido de una etapa de amplificación, con lo que el nivel de la señal suele ser muy elevado. Si no atenuáramos el pulso de salida, al pasar iterativamente por la puerta, se vería constantemente amplificado, con lo que el sistema sería altamente inestable. Por eso se requiere un elemento atenuador (20) que adecue el nivel del pulso.

También es necesario que el pulso de salida, para que sirva como señal de control de nuevo en la entrada, coincida temporalmente con el siguiente bit que se quiere comparar. Por eso es necesario un elemento retardador (19) que retarde el pulso de la salida de la puerta hasta el siguiente bit a comparar.

A la salida (16) de la etapa de adaptación (13) se tiene el pulso de salida con un nivel de amplitud adecuado y sincronizado con los siguientes bits de entrada para servir como señal de control a la puerta. El acoplador (14) a la entrada de la puerta permite que tanto la señal inicial de control (9) como las sucesivas salidas de la puerta sirvan como señal de control.

El funcionamiento global de esta arquitectura es el siguiente: inicialmente se inyecta un pulso en la entrada de control para realizar la primera comparación (mediante la puerta XOR (12)) entre los bits de la entrada (10) y (11). Si esa comparación resulta en un pulso a la salida (el bit de cabecera y el bit de la secuencia original son iguales), éste pasa por la etapa de adaptación (13) y realimenta de nuevo a la puerta (12). para realizar la comparación del siguiente bit. Si en algún momento no se obtuviera un pulso a la salida (lo que implicaría que el bit de cabecera y el bit de la secuencia original no son iguales), se obten-

5

10

15

20

25

30

35

40

45

50

55

60

65

dría a partir de ese instante una salida nula en todos los bits siguientes. De esta manera, solo se obtendrá finalmente un pulso a la salida del sistema (21), situada preferentemente entre el filtro paso banda y el elemento retardador, en el último bit, si todos los bits anteriores han coincidido (y por lo tanto la cabecera completa coincide con la de referencia). Ésta será realmente la salida del sistema completo.

Mediante el principio de funcionamiento descrito, esta arquitectura permite implementar las siguientes funciones:

1.- Puede ser utilizada para realizar la comparación de dos secuencias de bits en un entorno completamente óptico, siendo una de las secuencias de bits la cabecera de un paquete óptico de datos, y la otra secuencia de bits la dirección, en complemento a dos, de un nodo de una red óptica de comunicaciones.

2.- Asimismo, también permite comparar dos cabeceras de sendos paquetes de datos, siendo una de las secuencias de bits la cabecera de un paquete óptico de datos y la otra secuencia de bits la cabecera de otro paquete óptico de datos.

3.- Del mismo modo, esta arquitectura permite calcular el número de bits de dos secuencias cualesquiera que coinciden de manera consecutiva (a partir del primer bit).

Por último, cabe añadir que el dispositivo comparador de secuencias de bits que se preconiza en la presente invención puede estar integrado en un único dispositivo o bien estar formado por un conjunto de elementos o dispositivos que realicen las mismas funciones.

No obstante, debe entenderse que la invención ha sido descrita según una realización preferida de la misma, por lo que puede ser susceptible de modificaciones sin que ello suponga alteración alguna de su fundamento, definido en las reivindicaciones anexas.

REIVINDICACIONES

1. Dispositivo para comparar dos secuencias de bits, en un entorno completamente óptico, **caracterizado** porque consiste en una puerta lógica XOR realimentada, la cual recibe en sus entradas a las dos secuencias de bits que se desea comparar y a una señal de control que se acopla a las dos entradas de la puerta XOR, para actuar como condición de operación de dicha puerta XOR, estando compuesta la señal de control por la realimentación de la salida de la puerta XOR, a través de una etapa de adaptación, la cual se encarga de adaptar dicha salida para que pueda actuar como señal de control una vez realizada la comparación de la primera pareja de bits.

2. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 1ª, **caracterizado** porque la puerta es una única puerta XOR completamente óptica con una arquitectura apropiada, como por ejemplo la interferométrica (interferómetro Mach-Zehnder, interferómetro Michelson, etc.), en la que en cada uno de sus brazos dispone de un amplificador óptico de semiconductor (SOA).

3. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según reivindicaciones anteriores, **caracterizado** porque después de la etapa de adaptación, la realimentación de la salida de la puerta XOR se introduce en la misma puerta XOR a través de un elemento acoplador (14), que permite que tanto un pulso inicial de disparo, como posteriormente las sucesivas salidas de la puerta XOR, puedan actuar como señal de control.

4. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 1ª, **caracterizado** porque la etapa de adaptación, está formada por un filtro paso-banda, centrado a la longitud de onda de referencia (longitud de onda de la señal de control) que evita que las señales de entrada se realimenten, un elemento atenuador, que se encarga de adaptar el nivel de potencia de la señal, y un elemento de retardo, que realiza la sincronización temporal de los pulsos de salida con los bits de las secuencias de bits a procesar.

5. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 4ª, en el cual la etapa de adaptación contiene además un acoplador que permita extraer la señal de salida de la puerta para un procesamiento posterior.

6. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 1ª, en el cual el desfase entre las señales que circulan por las dos ramas del interferómetro se realice mediante el efecto no lineal XPM (cross-phase modulation) en los SOAs.

7. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 4ª, **caracterizado** porque el filtro paso-banda está centrado a la longitud de onda de la señal de control.

8. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 1ª, **caracterizado** porque las longitudes de onda de las dos señales de datos a la entrada de la puerta XOR son iguales.

9. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según rei-

vindicaciones anteriores, **caracterizado** porque se inyecta una señal óptica (continua o pulsada) a cualquier longitud de onda para acelerar o configurar la respuesta de los SOAs.

10. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 4ª, **caracterizado** porque las funcionalidades de los elementos que componen la etapa de adaptación, es decir, filtrado, atenuación y retardo, puedan agruparse en un solo dispositivo, como por ejemplo mediante el empleo de una red de difracción sobre fibra óptica con chirp (CFG, Chirped Fiber Grating), para filtrar, retardar y atenuar la señal.

11. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según la reivindicación 4ª, **caracterizado** porque la salida (21) del sistema está situada preferentemente entre el filtro paso banda y el elemento retardador.

12. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según reivindicaciones anteriores, **caracterizado** porque una de las secuencias de bits es la cabecera de un paquete óptico de datos, y la otra secuencia de bits es la dirección, en complemento a dos, de un nodo de una red óptica de comunicaciones.

13. Dispositivo para comparar dos secuencias de bits en un entorno completamente óptico, según reivindicaciones anteriores, **caracterizado** por estar integrado en un único dispositivo, o en varios dispositivos que realicen las funciones descritas en reivindicaciones 1ª a 12ª.

14. Método para comparar dos secuencias de bits en un entorno completamente óptico, mediante el dispositivo de las reivindicaciones 1ª a 10ª, **caracterizado** porque la comparación se realiza consecutivamente bit a bit mediante una puerta óptica XOR realimentada, a cuyas entradas se aplican las dos secuencias de bits a comparar, estando controlada la operación de dicha puerta XOR mediante una señal de control, la cual en la comparación de la primera pareja de bits produce un pulso para activar inicialmente la puerta XOR, y que a partir de la comparación de la primera pareja de bits, utiliza la realimentación de la salida de la puerta XOR como señal de control, de modo que tan solo se permite la comparación de la siguiente pareja de bits, si el resultado de la última comparación ha sido positivo.

15. Método para comparar dos secuencias de bits en un entorno completamente óptico, según reivindicaciones 11ª y 12ª, **caracterizado** porque la señal de control inicial es una señal pulsada cuyo pulso coincidirá temporalmente con el primer bit de cada una de las cabeceras de los paquetes que lleguen al dispositivo.

16. Método para comparar dos secuencias de bits en un entorno completamente óptico, según las reivindicaciones 1ª a 13ª, **caracterizado** porque una de las secuencias de bits es la cabecera de un paquete óptico de datos, y la otra secuencia de bits es la dirección, en complemento a dos, de un nodo de una red óptica de comunicaciones.

17. Método para comparar dos secuencias de bits en un entorno completamente óptico, según las reivindicaciones 11ª a 13ª, **caracterizado** porque las dos secuencias de bits a comparar son las cabeceras de sendos paquetes ópticos de datos.



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 209 629

② Nº de solicitud: 200201830

③ Fecha de presentación de la solicitud: **25.07.2002**

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.7: G06E 1/04, G02F 3/00

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	EP 1174759 A1 (LUCENT TECHNOLOGIES INC.) 23.01.2002, todo el documento.	1-17
A	US 5999284 A (ROBERTS) 07.12.1999, todo el documento.	1-17
A	US 5999283 A (ROBERTS et al.) 07.12.1999, todo el documento.	1-17
A	EP 1176459 A1 (PIRELLI CAVI E SISTEMI S.p.A.) 30.01.2002, todo el documento.	1-17

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe
24.05.2004

Examinador
J. Botella Maldonado

Página
1/1