



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

⑪ Número de publicación: **2 138 545**

⑫ Número de solicitud: 009702282

⑤① Int. Cl.⁶: G06T 7/00

⑫

SOLICITUD DE PATENTE

A1

⑫② Fecha de presentación: **04.11.1997**

⑫③ Fecha de publicación de la solicitud: **01.01.2000**

⑫③ Fecha de publicación del folleto de la solicitud:
01.01.2000

⑦① Solicitante/s:
Universidad de Castilla-La Mancha
C/ Paloma, 9 (Rectorado)
Ciudad Real, ES
Universidad Nacional de Educación a Distancia

⑦② Inventor/es: **Mira Mira, José;**
López Bonal, M^a Teresa y
Fernández Graciani, Miguel Angel

⑦④ Agente: **No consta**

⑤④ Título: **Sistema de computación para la realización de acumulación espacio-temporal de activación en señales digitales.**

⑤⑦ Resumen:

Sistema de computación para la realización de acumulación espacio-temporal de activación en señales digitales.

En algunos algoritmos de computación, es necesario calcular el periodo de tiempo que una determinada señal digital permanece activa o el tiempo que hace que dejó de estarlo. Este cálculo es utilizado entre otros casos en el análisis de movimiento en secuencias de imagen y requiere la integración espacio-temporal de este tipo de señales. Esta invención consiste en un sistema capaz de ejecutar este tipo de cálculos en tiempo real. El sistema está basado en la serialización de los datos de entrada, la utilización de un solo sumador para todo el espacio de entrada y el almacenamiento de los datos de carga en una memoria de acceso aleatorio. Tras esta circuitería se pospone un comparador y un contador que es incrementado o no según el resultado del comparador a cada punto de imagen y puesto a cero después de cada fotograma. Puede verse un esquema del sistema en la figura 1.

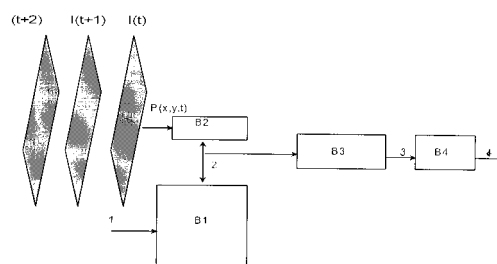


FIG 1.

ES 2 138 545 A1

DESCRIPCION

Sistema de computación para la realización de acumulación espacio-temporal de activación en señales digitales.

La siguiente invención se refiere a un sistema de computación para la realización de acumulación espacio-temporal de activación en señales digitales.

Antecedentes de la invención

En algunos algoritmos de computación es necesario calcular el período de tiempo que una determinada señal digital permanece activa o el tiempo que hace que dejó de estarlo. Este cálculo es utilizado entre otros casos en el análisis de movimiento en secuencias de imagen, donde tras binarizar la imagen de entrada por métodos de umbralización u otros, es necesario medir el tiempo durante el que el valor de la señal asociado a un mismo punto de imagen ha permanecido activo, o el tiempo que hace que dejó de estarlo. Estos parámetros ofrecen información acerca del movimiento del elemento de la escena que ocupa dicho punto de imagen. La presente invención define un sistema capaz de realizar este tipo de cálculos sobre señales de televisión en toda la imagen y en tiempo real. Su capacidad principal es pues la de conseguir integrar el tiempo de activación de cada señal en un espacio de entradas amplio (del orden de 512x512) y posteriormente integrar espacialmente el número de entradas que poseen valores concretos de este parámetro (usualmente llamado carga).

La integración temporal de la activación de una señal de entrada puede realizarse con facilidad utilizando una resistencia y un condensador pero este mecanismo, debido a su naturaleza física, es tan sólo aplicable en casos en los que se integra un número de señales reducido y no es viable para espacios de entrada como los que hemos definido, sobre todo si los tiempos de integración hacen que los condensadores tengan que ser voluminosos, lo que hace inviable su integración de forma eficiente. El realizar este proceso de forma digital permite aprovechar todos los beneficios que conlleva esta tecnología, tanto en cuanto al almacenamiento de los datos de carga que puede realizarse en registros en vez de hacerlo en condensadores, como en cuanto a la versatilidad con respecto a los periodos de integración, que pueden modificarse con facilidad si se utiliza tecnología digital, pudiéndose abarcar periodos de integración más largos simplemente decrementando la frecuencia de muestreo. Obviamente, se aprovechan también otras ventajas de la tecnología digital como son el mejor comportamiento ante ruidos, la fiabilidad en cuanto al almacenamiento de datos o el ahorro en consumo sobre todo a partir de unos determinados valores de carga. Por otro lado, puesto que hemos considerado que trabajamos con datos de entrada digitales, el realizar el cálculo acumulativo de forma digital ahorra también los procesos de volver a convertir la señal en digital. Al obtener los datos de carga de forma digital, la posterior integración espacial puede realizarse sin modificar la naturaleza de la señal.

La estructura más cercana a los planteamientos

que define esta invención son los mosaicos CCD. Estos sí trabajan en paralelo sobre toda la zona de muestreo, y en este caso la tecnología sí está desarrollada y permite realizaciones eficientes. Pero estos mecanismos no son válidos para el proceso de computación que resuelve nuestra invención, ya que realizan la integración del valor de una señal (intensidad luminosa) a lo largo de un período concreto, y el proceso que resuelve nuestra invención, exige la integración del tiempo que la señal está a un determinado valor. En los mosaicos CCD se obtiene, con una frecuencia concreta, la integral del valor de la señal durante un período concreto para todos los puntos de muestreo. En nuestro caso el problema es calcular en cada momento, para cada punto de muestreo, cuánto tiempo ha estado activada la señal.

El estado actual de la técnica resuelve la integración del valor de la luminosidad sobre un mosaico de dos dimensiones a lo largo de un intervalo de tiempo concreto. También está resuelta la integración temporal de la activación de señales de entrada, pero no para espacios bidimensionales de entrada con dimensiones del orden de la de las imágenes de televisión. El estado actual de la técnica no resuelve por tanto el problema de realizar la integración espacio-temporal de señales para espacios de entrada bidimensionales del orden de las procedentes de señales de televisión de una forma eficiente, económica y viable. El resolver este tipo de computación es el objetivo de nuestra invención.

Descripción de la invención

El problema que resuelve nuestra invención es por tanto la integración en el tiempo y en el espacio de la activación de señales procedente de un espacio de entradas bidimensional con otra componente temporal. Aunque el sistema que proponemos no está limitado al campo de la señal de vídeo, el problema que resuelve puede ilustrarse en este campo. Si consideramos como señal de entrada una secuencia indefinida de imágenes procedentes de una cámara de televisión formato CCIR en la que por procesos de umbralización sobre el nivel de gris u otros, se ha binarizado la imagen, la operación de integración espacio-temporal que deseamos realizar sobre ella consiste en realizar los procesos siguientes:

1) Para cada punto de imagen integrar, elevando el valor de carga, el tiempo que la imagen binarizada toma el valor 1 o decrementar dicho valor de carga cuando vale 0.

2) A cada fotograma, integrar, para toda la imagen, cuantos puntos de la misma tienen un valor de carga concreto.

Según hemos definido, la integración en el tiempo de la activación de la señal de entrada, se traduce en incrementar el valor de carga cuando el valor de entrada es 1 y decrementarlo cuando es 0. Esta operación se realiza de forma sencilla mediante un sumador-restador y un registro de almacenamiento cuando hablamos de una sola señal de entrada. Cuando abordamos el problema de resolverlo sobre todos los puntos (512x512) de una imagen en tiempo real, sería necesario 512x512 conexiones de un hilo, 512x512

sumadores-restadores y 512x512 registros de almacenamiento, además de las rutas de datos para la conexión de dichos recursos. Una realización física del sistema con estas características es inviable debido principalmente al elevado número de conexiones necesario.

Describimos a continuación la solución que plantea nuestra invención. En el caso de la señal de televisión (blanco y negro, norma CCIR), si se desea trabajar en tiempo real, la temporización viene definida por la señal de cuadro (un fotograma a cada señal de cuadro), esto exige procesar un cuadro cada 40 miliseg.. Un cuadro contiene 262144 (512x512) puntos de imagen. El tiempo para procesar un fotograma de imagen es de 40 miliseg. mientras que el tiempo para procesar un punto de imagen es del orden de 100 nanoseg. Nuestra invención aprovecha esta doble temporización y utiliza el hecho de que los 100 nanoseg. que corresponden a cada punto de imagen son suficientes para realizar la actualización de su valor de carga (la tecnología digital actual permite realizar una lectura de dato incremento-decremento y posterior almacenamiento). Al tiempo que se realiza sobre el dato de carga la operación de incremento-decremento, se realiza paralelamente la sumatoria espacial asociada a los valores concretos de carga.

Nuestra invención por tanto propone realizar esta computación utilizando tecnología digital, según se ejemplifica en la figura 1, para ello propone la serialización de los datos de entrada, utilizar un solo módulo de sumador-restador para realizar esta operación sobre todos los datos de carga asociados a los puntos de imagen, y el uso de una memoria para almacenar todos los datos de carga. Una vez serializados los datos (uno cada 100 nanoseg.), a cada nuevo dato de entrada, se direcciona la memoria mediante las coordenadas de dicho punto y se obtiene el valor de carga asociado a el. Este valor de carga se incrementa o decrementa según el valor de la entrada sea uno o cero (integración temporal), se vuelve a almacenar en la memoria de carga en la misma posición, y se pasa también al comparador. El comparador, a cada dato de carga asociado a cada punto de imagen, lo compara con un valor concreto, y según el resultado incrementa o no el contador posterior (integración espacial). Al final de cada fotograma, en el contador aparece el número de puntos de imagen que superan un determinado valor de carga (uno cada 40 miliseg.).

De esta forma nuestra invención consigue realizar la integración espacio-temporal de espacios de entrada de dos dimensiones de magnitud del orden de las de las imágenes de televisión, sobre toda la imagen y en tiempo real. La computación se realiza con tecnología digital, con las ventajas ya mencionadas que esto supone, y resuelve el problema de realizar dicha computación sobre toda la imagen en tiempo real de una forma eficiente y económica.

Descripción de los dibujos

En la Fig. 1 se muestra un esquema de la invención, $I(t+2)$, $I(t+1)$, $I(t)$ indican las imágenes binarizadas de tamaño 512x512 en tres instantes de tiempo consecutivos. El bloque B2 es un módulo que realiza las operaciones de suma o

resta sobre todos los datos de carga, 2 en la Fig. 1, asociados a los puntos de la imagen. $P(x,y,t)$ indica el pixel de coordenadas (x,y,t) de una imagen dada, el bloque B1 es un bloque de memoria donde se almacenan todos los datos de carga, este bloque B1 es direccionado por el valor de la coordenada (x,y) 1 en la Fig.1, el módulo B3 realiza la comparación de los datos de carga con un valor concreto y la salida de este módulo, 3 en la fig. 1, se usará como señal de control de bloque B4. El bloque B4 es un contador que se incrementará o no dependiendo del valor de 3 y que generará el resultado del sistema, 4 en la fig. 1.

Un esquema de una realización preferida del sistema puede observarse en la fig. 3, en esta realización se interconectan los módulos básicos que se muestran en la fig. 2.

Un módulo básico, como se muestra en la fig. 2, está formado por dos circuitos FPGA (F1, F2), una memoria para almacenamiento de carga M1, y otra memoria M2 para realizar transformaciones. En la fig. 2, 3 indica las líneas de direcciones y control de M1, 4 indica las líneas de datos de M1, 1 indica las líneas de direcciones y control de M2 y 2 indica las líneas de datos de M2. También se realizan conexiones entre los bloques de lógica F1 y F2 (5 en fig. 2) para poder transmitir información entre dichos bloques.

En la fig. 3 vemos un esquema general de la arquitectura diseñada con 5 segmentos. S1, S2, S3, S4, S5 son los segmentos formados cada uno con la estructura indicada en la fig. 2. Además de los segmentos, en la fig. 3 se muestran las conexiones y los componentes necesarios que conforman la arquitectura resultante, a continuación se enumeran estas conexiones y componentes:

- Para poder acceder a los datos de todas las memorias necesitamos buses de datos que comuniquen los distintos segmentos, comunicando concretamente los F1 de cada segmento (BD1-2, BD2-3, BD3-4 BD 4-5 en fig. 3). También necesitamos buses de direcciones para poder acceder a las direcciones que comunicarán los F2 de cada segmento (BDI 1-2, BDI 2-3, BDI 3-4, BDI 4-5).
- Un módulo de Arranque y Test (B1).
- Un módulo de Interconexión (B2), que genera un bus de direcciones BDI, un bus de datos BD, un bus de programación BP, un Bus General(BG) y dos buses particulares (BUS1 y BUS2).
- Un módulo de Entrada/salida (B3).
- Relojes del sistema (B4).
- C1, C2, C3 y C4 son conectores de entrada/salida. Los segmentos se comunican entre si (C1-2, C2-3, C3-4, C4-5 en fig. 3), con los conectores de Entrada y Salida C1,C2 (estas comunicaciones vienen indicadas por 1,2,3,4 en fig. 3), con el conector C3 a través del bloque B6 (C5-6 comunican el segmento S5 con la bloque B6 y 5 indican la comunicación del bloque b6 con el conector C3

Descripción de una realización preferida

Una realización física del sistema puede obtenerse como sigue:

Las operaciones de suma-resta se pueden realizar sobre dispositivos tipo FPGA de lógica programable, al tiempo que se almacenan los datos en una memoria RAM. El direccionamiento de esta memoria puede realizarse generando las coordenadas correspondientes mediante contadores que se sincronizan mediante los sincronismos de punto y de cuadro de la señal de televisión. Estos contadores pueden realizarse también mediante circuitos integrados tipo FPGA. El comparador se puede realizar mediante una memoria RAM direccionada por el dato de carga que almacena en las direcciones correspondientes a cada valor de carga, el resultado de la comparación con el valor umbral (es decir una memoria LUT). Según el resultado de esta comparación, se incrementa o no el contador posterior que igualmente puede realizarse en un circuito FPGA. Esta estructura puede realizarse con un módulo básico como se muestra en la fig. 2 formado por dos circuitos FPGA (F1 y F2), una memoria para almacenamiento de carga (M1) y otra de LUT (M2) para realizar la comparación con el umbral. Los resultados, tanto del sumador espacial como de la integración temporal pueden hacerse accesibles al resto del sistema según se comenta a continuación.

Para describir una forma de realización concreta de nuestra invención, vamos a describir a continuación una placa de circuito impreso que alberga los recursos requeridos, diseñada para trabajar sobre señal digitalizada de vídeo, hospedada en una ranura de bus PCI de un computador personal. Denominamos a esta placa "placa de computación acumulativa (PCA)".

Este sistema puede realizarse sobre una placa de circuito impreso para computación acumulativa de propósito general sobre un conjunto de señales de entrada. En particular, se resuelve el problema de detección de un conjunto de elementos de imagen que se mueven de acuerdo con patrones de velocidad definidos.

Entre los requerimientos de la placa que se describe, además de la capacidad de realizar los procesos de integración espacio-temporal que se han descrito, requiere algunas prestaciones accesorias que le permitan trabajar con unas prestaciones adecuadas y compartir información con el computador que la alberga. Estos requerimientos son los siguientes:

Versatilidad:

Debe adaptarse a distintos tipos y número de señales de entrada o de salida.

Tener la capacidad de modificar la lógica en función de la aplicación de que se trate.

Permitir la reconfiguración de la lógica una vez fijada la aplicación.

Capacidad de realizar funciones misceláneas (generar coordenadas, etc)

Capacidad de almacenamiento de datos:

Debe permitir almacenar tanto los datos de entrada que se estén procesando en un

momento determinado como los resultados. Por ejemplo, si tenemos en cuenta la aplicación de tratamiento de imágenes de vídeo, la unidad de almacenamiento será una imagen, que la según norma CIIR (512x512x8) será 256 Kbytes.

Según se ha comentado, para cubrir las necesidades de versatilidad se ha optado por realizar la implementación de la lógica mediante FPGA's (Field Programmable Gate Arrays) reconfigurables por RAM estática de XILINX, debido a su flexibilidad ya que son fácilmente reconfigurables y son los más adecuados para aquellos desarrollos en los que se precisa reconfigurar el hardware existente. Los FPGA's son dispositivos inicialmente pensados para el prototipado hardware que permiten la programación de un circuito con un nivel de flexibilidad mucho mayor que el ofrecido por otro hardware programable.

Además de cubrir estas necesidades el sistema dispone de las siguientes características complementarias:

Conexión con el bus PCI.

Distintas opciones de reset:

Reset desde el PCI

Reset externo, desde el conector externo, vía puerto paralelo

Reset desde un pulsador de la propia placa.

Reset software desde el PCI

Capacidad de *autoarranque*, esto es al ser alimentado se programarán todas las FPGA's con el contenido almacenado en una Memoria de arranque. Además tendrá la posibilidad de poder elegir entre distintas configuraciones de arranque que se estarán almacenadas en la memoria de arranque. La elección del banco se podrá realizar desde el PCI de forma previa al reset software o con interruptores de la propia placa para reset inicial.

Capacidad de poder *programar la memoria de arranque* desde el PCI o desde el exterior vía puerto paralelo.

Capacidad de *procesamiento en tiempo real*, entendemos por tiempo real la capacidad de procesar una imagen en formato CCIR que ofrece una imagen de 512x512 cada 40 ms.

Distintas *bases de tiempo* para el control de la temporización, una rápida y otra lenta para marcar dos frecuencias de integración.

El sistema dispone de los siguientes modos de trabajo:

Modo Programación de XILINX.- En este modo se tiene la capacidad de programar las FPGAs de Xilinx. La programación podrá ser de dos formas:

En cascada, programándose todas las FPGAs a partir de la información almacenada en la memoria de arranque.

Deforma individual vía PCI, a partir de los programas guardados en la memoria del ordenador, pudiéndose reprogramar una determinada FPGA dejando operativas el resto.

Modo Acceso a Memoria: En este modo se tiene

la capacidad de acceder desde el PCI a los distintos módulos de memoria para poder tanto leer de ellos como escribir en ellos.

Modo prueba: Este modo debe poder testear el estado de los componentes y asegurar el funcionamiento correcto de la placa.

Modo operativo: En este modo el sistema realiza la función concreta con que se haya programado los XILINXs.

El diseño está pensado como estructura segmentada para realizar de esta forma varias fases de acumulación espacio-temporal.

El segmento o módulo básico, descrito en fig. 2, está formado por:

Memoria de acceso aleatorio RAM de tamaño 512 Kbytes (M1) que nos permita almacenar 2 imágenes, implementado con 4 módulos de 128K posiciones de 8 bits cada uno, pudiéndose acceder a dos módulos a la vez cuando se quiera un dato de 16 bits o a un solo módulo cuando se quiera acceder a un dato de 8 bits.

Memoria RAM(M2) que se utilizará para realizar transformaciones de los datos (umbralización, comparación, lógica de banda, etc.) se implementará igual que la memoria anterior.

Bloques de lógica (F1) que se encargarán de realizar los algoritmos concretos del proceso operativo sobre los datos de M1 y direccionar M2.

Bloques de lógica (F2) que se encargarán básicamente de realizar el direccionamiento de M1 y el encaminamiento de la salida de M2 hacia otros módulos, aunque F2 también pueden realizar otros procesos.

Los datos se almacenarán en M1 y serán procesados por F1 y transformados, si hiciera falta, en F2, los resultados se almacenarán en M1 o serán procesados por otro segmento.

También se realizan conexiones F1-F2 para poder transmitir información entre dichos bloques.

Estos módulos básicos se interconectarán entre sí para formar la arquitectura resultante. En la fig. 3 vemos un esquema general de la arquitectura diseñada con 5 segmentos:

Para poder acceder a los datos de todas las memoria necesitamos buses de datos que comuniquen los distintos módulos básicos (16 líneas, ya que podemos acceder a datos de 16 bits) comunicando concretamente los F1 de cada segmento (BD 1-2, BD2-3, BD3-4, BD 4-5), así como buses de direcciones para poder acceder a las direcciones que comunicarán los F2 de cada segmento (BDI 1-2, BDI 2-3, BDI 3-4, BDI 4-5) (21 líneas, ya que tenemos 4 Chip Select y 17 líneas de direcciones por cada módulo).

Además de los buses de datos y direcciones existen otros buses para transmitir señales de datos y control en el modo operativo. Concretamente un Bus General(BG) para transmitir información entre todas las FPGAs y dos buses particulares (BUS1 y BUS2) para transmitir información entre los segmentos más cercanos.

C1 y C2 son conectores de E/S de 34 contactos cada uno. Estos conectores se usarán para la entrada de señales, sobre las que se realizará un determinado proceso y para la salida de resultados. Ambos están conectados a todas las FPGAs de Xilinx mediante el Bus General y a alimentación y tierra. C1 está conectado a las FPGAs F1 de

S1 (10 líneas), F1 de S2 (4 líneas) y C2 2 está conectado a las FPGAs F1 de S4 (4 líneas), F1 de S5 (10 líneas)

C3 es un conector trasero de 50 contactos. Está conectado con un FPGA B6 con 40 líneas. Mediante este conector se podrá resetear la placa, escribir las memorias de arranque y tener la posibilidad de conexión con otros módulos mediante cooperación.

C4 es un conector con Bus PCI. Desde este conector se podrá: Programar las FPGAs Xilinx, re realizarse reset software y hardarwe de la placa, leer y escribir en memoria y programar la memoria de arranque.

Los dos Conectores de E/S de 34 contactos y el conector trasero de 50 contactos que pueden servir de entrada/salida o sólo de entrada y sólo de salida.

B1 es un módulo de ARRANQUE + TEST: Está formado por varias memorias FLASH, que se usarán como memoria de arranque, donde

A su vez a partir de estos relojes se pueden generar señales de menor frecuencia usando divisores de frecuencia, estos divisores se implementarán en las FPGAs de Xilinx. Por las señales de los relojes deberán tener conexiones a todas las FPGAs.

Ejemplo de aplicación industrial

Se resolverá, como aplicación práctica, la detección de un conjunto de elementos de imagen que se mueven de acuerdo con patrones de velocidad definidos.

La entrada será una secuencia de imágenes en blanco negro; la imagen se obtiene mediante una cámara de vídeo, la cual se digitaliza usando la tarjeta PIP de MATROX.

En cuanto a la salida de los resultados, la placa debe proporcionar a cada cuadro el valor de una característica que nos represente el movimiento, siendo ésta el valor de RLV(Relación Longitud Velocidad). Estos resultados que ofrece la placa en tiempo real, podrán ser utilizados por cualquier técnica destinada a usar esta característica para el reconocimiento de los objetos en movimiento mediante el bus PCI.

El algoritmo de integración espacio-temporal que el sistema objeto de nuestra invención realiza, es aplicable de forma inmediata al análisis e movimiento en secuencia de imagen en tiempo real. En general es almacenaremos la información para cargar todas las pastillas Xilinx y una EPLD para controlar la carga.

Se dotará al sistema de la posibilidad de elegir entre distintas configuraciones para todas las Xilinx, en concreto de 8 posibles configuraciones. Usaremos 4 módulos de memoria FLASH de 512 Kbytes cada uno, de manera que se pueda almacenar en cada módulo dos programas de configuración. El control se hará mediante la EPLD.

B2 es un Módulo de Interconexión: Se encarga de la comunicación del bus PCI con memoria de datos y con memorias para la configuración de la lógica (memorias FLASH) y con lógica xilinx, para que desde el bus PCI se pueda acceder a los datos de memoria así como a las pastillas de XILINX.

Los módulos de Interconexión y Arranque+Test generarán el Bus de programación que debe pro-

gramar las FPGAs de Xilinx con una lógica concreta.

B4 son los Relojes del Sistema:

Se han usado los siguientes relojes:

Reloj de alta frecuencia (50 MHz)

Circuito usando el CLK555, para generar señales de baja frecuencia, con opciones de configurarlo para trabajar a distintas frecuencias y para que también puede trabajar como Monoestable.

Reloj del PCI (33 MHz)

aplicable a la detección o clasificación de elementos móviles, o a la clasificación de situaciones de movimiento en la escena. Algunas aplicaciones

concretas en cuanto a la clasificación de elementos móviles pueden ser la detección de blancos en aplicaciones civiles o militares, el conteo de pieza que viajan sobre cintas de transporte o en el control de calidad en cuanto a defectos visibles en la fabricación como defectos de forma, de montaje o de etiquetado. En cuanto a aplicaciones concretas de análisis de situaciones de movimiento, este sistema puede utilizarse para medir la fluidez del tráfico en vías pública, o en general para la clasificación de movimientos en escenas de campo o fabriles. También es aplicable a la clasificación de texturas en movimiento. Es importante destacar que para todas estas aplicaciones el sistema trabaja en tiempo real sobre secuencias indefinidas de imágenes procedentes de cámaras de televisión.

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Sistema de computación para la realización de acumulación espacio-temporal de activación en señales digitales, **caracterizado** por realizar una integración temporal sobre cada dato del espacio de entrada y realizar también una integración espacial sobre todos los valores de carga que supe-

ran un umbral. Se realizan ambos cálculos, integración temporal y espacial, con tecnología digital, se serializan los datos a la entrada y se utiliza un solo sumador umbral para todo el espacio de entrada y una memoria de carga en lugar de condensadores para almacenar los datos de carga que contienen la integración temporal de los datos de entrada.

5

10

15

20

25

30

35

40

45

50

55

60

65

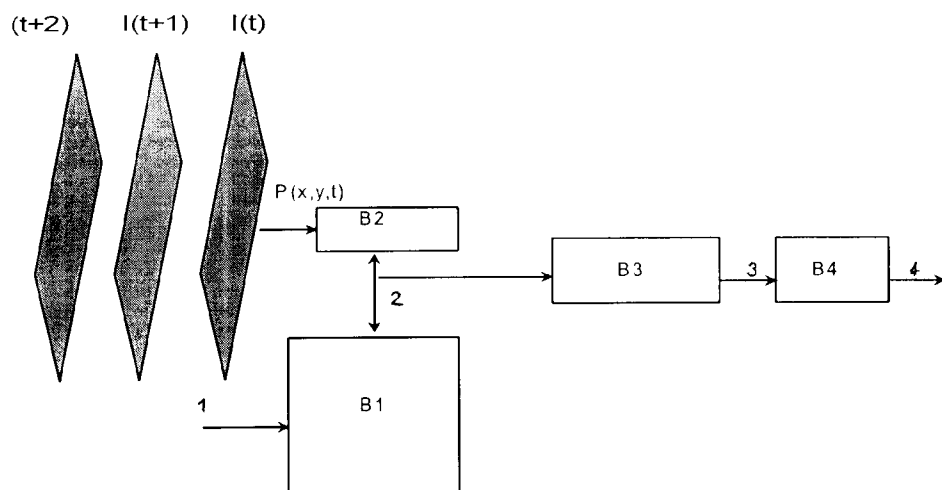


FIG 1.

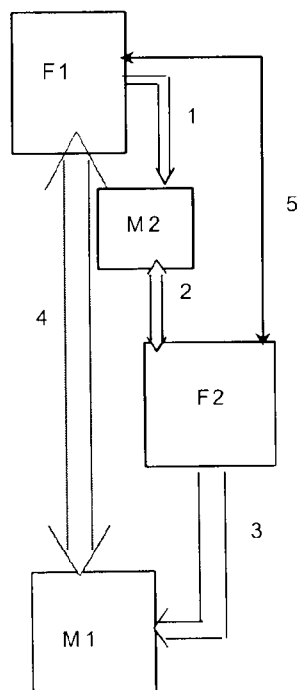


FIG 2

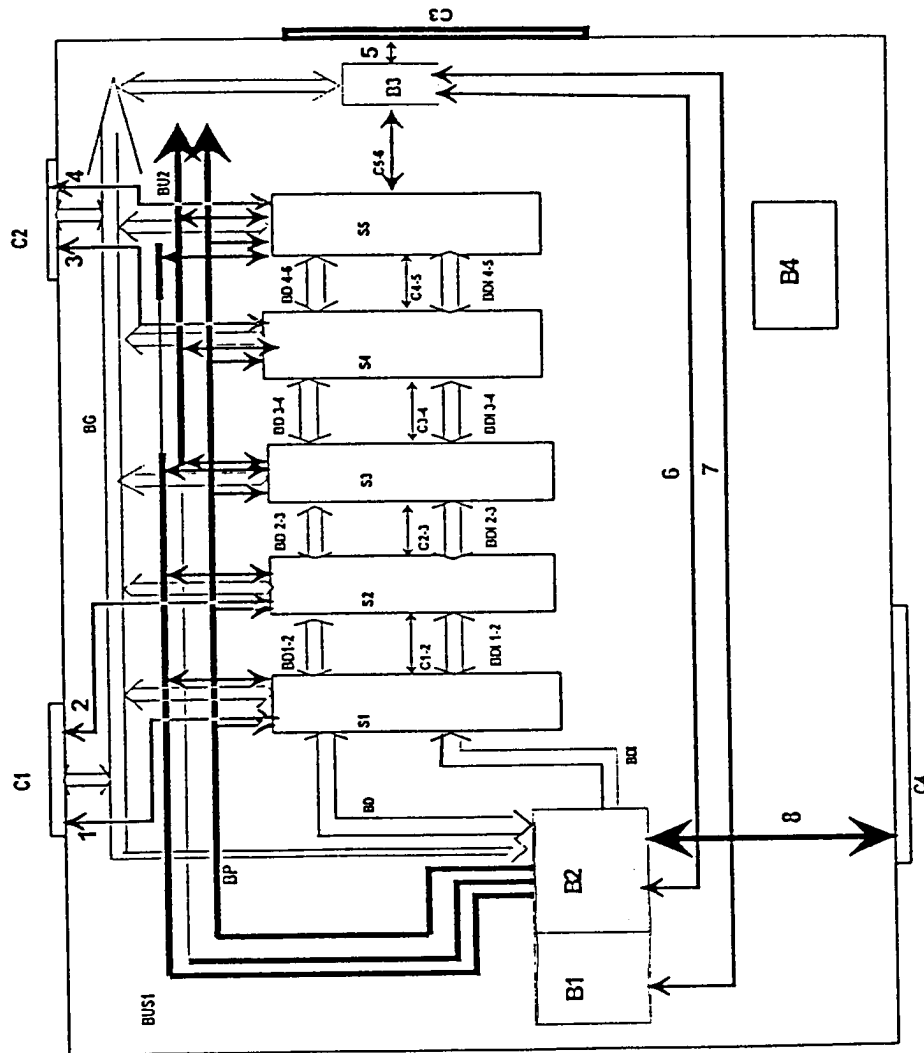


FIG 3



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS
ESPAÑA

- ⑪ ES 2 138 545
⑫ N.º solicitud: 009702282
⑬ Fecha de presentación de la solicitud: 04.11.1997
⑭ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑮ Int. Cl.⁶: G06T 7/20

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	EP 661667 A1 (DEUT THOMSON-BRANDT GmbH) 07.05.1995, resumen; figuras.	1
A	WO 9509404 A (SIEMENS AG; VOS LUC DE; SCHOEBINGER MATHIAS) 04.06.1995, todo el documento.	1
A	US 5206723 A (PARKE) 24.04.1993, todo el documento.	1
A	EP 734155 A1 (SHARP KABUSHIKI KAISHA) 25.09.1996	

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones n.º:

Fecha de realización del informe 26.11.1999	Examinador J. Botella Maldonado	Página 1/1
--	------------------------------------	---------------