

REGISTRO DE LA PROPIEDAD INDUSTRIAL

(10) ES	(11) NUMERO 489.138	(12) A1
(21)	FECHA DE PRESENTACION 3-3-80	



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO 79-01721	(32) FECHA 5-3-79	(33) PAIS Holanda
--	----------------------	----------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL G11B 7/08	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	---	--

(64) TITULO DE LA INVENCION

"UNA DISPOSICION DE BUCLE DE CONTROL PARA CONTROLAR UNA MAGNITUD DE CONTROL"

(71) SOLICITANTE (S)

N.V. PHILIPS 'GLOEILAMPENFABRIEKEN (PHN 9374 ES HK/KS)

DOMICILIO DEL SOLICITANTE

29-Emmasingel, Eindhoven, Holanda

(72) INVENTOR (ES)

Kornelis Antonie IMMINK y Abraham HOOGENDOORN

(73) TITULAR (ES)

(74) REPRESENTANTE

D. FERNANDO DE ELZABURU MARQUEZ (P.- 74.096)

MCG.

El invento se refiere a una disposición de bucle de control para controlar una magnitud de control, cuyo bucle de control está provisto de

5 - un dispositivo de control para modificar la magnitud de control en respuesta a una señal de control;

- un sistema de detección para suministrar una señal de error que es indicativa de la diferencia entre el valor instantáneo y el valor deseado de la magnitud de control, y

10 - una unidad de control que tiene un terminal de entrada que está acoplado al sistema de detección para recibir la señal de error y un terminal de salida que está acoplado al dispositivo de control para suministrar la señal de control, cuya unidad de control tiene una característica de transferencia con un número de picos a una frecuencia fundamental y armónicos de la misma.

15 Actualmente los bucles de control juegan un papel importante en diversos tipos de equipos. Un ejemplo específico de esto son los bucles de servocontrol para controlar la posición de un miembro de control. Los requerimientos impuestos a tales bucles de control pueden ser muy rigurosos. Con el fin de ilustrar esto, se proponen dos ejemplos de equipos en los cuales juegan un papel esencial uno o más de tales bucles de control.

25 Un primer ejemplo es un aparato de lectura óptica para soportes de registro en forma de disco, sobre los cuales está registrada información de video y (o) audiofrecuencia en una estructura ópticamente detectable. Tal soporte de registro comprende en general una pista espiral de información que es leída con la ayuda de un haz de radiación. Con

el fin de conseguir esto son necesarios al menos dos bucles de control. En primer lugar se requiere un bucle de control que controla la posición radial del punto de exploración formado sobre el soporte de registro por el haz de radiación, es decir que asegura que el punto de exploración coincide siempre con la pista de información independientemente de cualquier excentricidad del soporte de registro. En segundo lugar, se requiere un bucle de control que asegure que el haz de radiación permanece enfocado con precisión sobre la superficie de información del soporte de registro independientemente de cualquier falta de planeidad de este soporte de registro en forma de disco. Finalmente, se requiere en general un bucle de control adicional para corregir errores temporales en la señal leída controlando la posición del punto de exploración en la dirección de la pista sobre el soporte de registro.

Un segundo ejemplo es un sistema de registro y reproducción para señales de video, utilizándose una cinta magnética como soporte de registro. La información es entonces registrada generalmente sobre la cinta magnética de acuerdo con una pauta de pistas mutuamente paralelas las cuales forman un pequeño ángulo con el eje longitudinal de la cinta magnética. Para este fin, la cinta magnética se hace pasar a lo largo de una parte de la periferia de un disco de cabezas giratorio, cuyo disco aloja las cabezas magnéticas que están destinadas a registrar y leer las señales de video frecuencia. Con el fin de aumentar la densidad de información sobre la cinta magnética se reducen continuamente tanto el ancho de pista como la separación entre las pistas. Esto significa que la precisión con que las cabezas magnéticas deben

—seguir las pistas aumenta continuamente. Con el fin de rea-
lizar esto, cada una de las cabezas magnéticas no está mon-
tada rígidamente sobre el disco de cabezas, sino que está
montada por medio de un miembro de ajuste, por ejemplo un
5 elemento de deflexión piezoeléctrico, que es capaz de ajus-
tar la cabeza magnética en una dirección transversal a la
dirección de pista. Con la ayuda de señales de seguimiento
registradas sobre la cinta magnética y un circuito de detec-
ción asociado, se realiza un bucle de control que asegura
10 que cada una de las cabezas magnéticas coopera siempre con
precisión con la pista deseada.

Si ha de obtenerse por medio de tal bucle de con-
trol un control suficientemente preciso de la magnitud de
control, la característica de transferencia global del bu-
cle de control deberá cumplir con requerimientos rigurosos.
15 Como ejemplo, la ganancia del bucle de control, la llamada
ganancia de bucle abierto, deberá ser suficientemente alta
en la gama de frecuencias asociada a la señal de error. En
el caso de un bucle de control de diseño convencional esto
20 significa generalmente que la característica de transferen-
cia del bucle de control tiene la naturaleza de una caracte-
rística de paso bajo con una respuesta más o menos plana a
partir de la frecuencia cero hasta una frecuencia máxima a
controlar. En general, el inconveniente de tal característi-
ca de transferencia es que es difícil obtener un alto factor
25 de ganancia y al mismo tiempo asegurar la estabilidad del bu-
cle de control, de modo que en general deberá llegarse a un
compromiso y habrán de incluirse circuitos adicionales con
el fin de garantizar la estabilidad. Además aparece el in-
conveniente de que las señales de ruido dentro de la banda

de frecuencias de la característica de paso bajo son también amplificadas totalmente, y en consecuencia pueden afectar seriamente al comportamiento de control.

Con el fin de superar estos problemas, la solicitud de Patente Holandesa 7702990 propone un bucle de control del tipo mencionado en la introducción que hace uso efectivo del hecho de que, en el caso de una multitud de controles, la señal de error comprende principalmente un número de componentes de frecuencias fijas, a saber la frecuencia fundamental y un número de armónicos de la misma. En el primer ejemplo mencionado de un aparato de lectura se encuentra, por ejemplo, que para los sistemas de control asociados la señal de error tiene componentes importantes a una frecuencia fundamental, que corresponde a la frecuencia de revolución del soporte de registro, y armónicos de la misma. Similarmente, en el segundo ejemplo mencionado se encuentra que la señal de error tiene componentes importantes a una frecuencia fundamental que corresponde a la frecuencia de revolución del disco de cabezas, y armónicos de la misma.

La mencionada solicitud de Patente Holandesa hace uso efectivo de este dato y propone realizar una característica de transferencia con un número de picos a la mencionada frecuencia fundamental y sus armónicos. Esto asegura que se obtiene una alta ganancia de bucle para las pertinentes frecuencias de la señal de error, mientras que la ganancia de bucle es inferior para las frecuencias menos pertinentes. Esto asegura al mismo tiempo que la influencia de las señales de ruido se reduce sustancialmente, de modo que se obtiene un comportamiento de control considerablemente más uniforme, y que puede garantizarse la estabilidad del bucle de

control de un modo sustancialmente más simple.

En el bucle de control descrito en dicha Solicitud de Patente Holandesa, la característica de transferencia deseada se obtiene con la ayuda de varios filtros pasa banda conectados en paralelo, cada uno de los cuales está ajustado a una frecuencia independiente asociada con la frecuencia fundamental y sus armónicos. Con el fin de conseguir una reducción óptima de la señal de error, se obviamente deseable que el factor de ganancia para dicha frecuencia sea lo más alto posible, mientras que por otra parte es deseable que el ancho de banda de las características pasabanda alrededor de estas frecuencias sea mínima. En otras palabras, es deseable que las características pasabanda alrededor de estas frecuencias tengan un factor de calidad lo más alto posible. Cuando se utilizan filtros pasabanda conectados en paralelo, como se ha establecido en la mencionada Solicitud de Patente Holandesa, es difícil conseguir un factor de calidad muy alto. Además, esta disposición exige un filtro independiente para cada armónico de la frecuencia fundamental que sea de importancia para el control, de modo que dicha disposición puede exigir la utilización de un gran número de elementos, y además su fabricación es costosa debido a los necesarios ajustes de los filtros pasabanda.

El objeto del invento es crear un bucle de control del tipo mencionado en la introducción, consiguiéndose la deseada característica de transferencia de modo que es particularmente eficaz y ventajoso con respecto a la tecnología de fabricación. Para este fin, el invento está caracterizado porque la unidad de control está provista de

- un dispositivo de memoria con una pluralidad de

-posiciones de memoria destinadas a almacenar valores de señal codificados digitalmente,

5 - un convertidor de digital en analógico acoplado al dispositivo de memoria para la conversión de los valores de señal codificados digitalmente, suministrados por el dispositivo de memoria, en valores de señal analógica,

- medios de comparación para comparar el valor de la señal de error representada por el valor de señal leído del dispositivo de memoria con el valor instantáneo de esta señal de error,

10 - medios de corrección acoplados al dispositivo de memoria y a la salida del comparador para corregir los valores de señal obtenidos del dispositivo de memoria dependiendo de la señal suministrada por el comparador, teniendo la corrección aplicada un valor máximo que es pequeño con relación al valor de señal máximo alcanzable,

15 - y medios de control para el dispositivo de memoria destinados a leer un número de valores de señal del dispositivo de memoria de acuerdo con un ciclo recurrente y siempre después de la lectura de un valor de señal, almacenar el valor de señal corregido suministrando por los medios de corrección en la memoria en vez del valor de señal leído, teniendo el ciclo un período igual al asociado con la frecuencia fundamental.

25 La disposición constructiva propuesta de la unidad de control asegura que la función de transferencia conseguida por esta unidad de control puede tener picos muy abruptos sin necesidad de satisfacer requerimientos de precisión extremadamente rigurosos en lo que respecta a los elementos utilizados. La variación de la función de transferencia

5 cia depende en alto grado de los parámetros que influyen sobre los valores de señal digitales, tales como el número de bits utilizados para los valores de señal y el grado de corrección realizado por el dispositivo de corrección. Sin embargo, las tolerancias con respecto a los circuitos utilizados en la unidad de control juegan un papel secundario con respecto a su influencia sobre la característica de transferencia.

10 Es de observar que la solicitud de Patente Holandesa 7703539 describe un bucle de control que realiza también una característica de transferencia con un número de picos a una frecuencia fundamental y sus armónicos. Tal característica se consigue, entre otras cosas, por medio de un denominado "filtro de peine" con medios de retardo.

15 Una realización preferida del bucle de control de acuerdo con el invento está caracterizada porque los medios de corrección están destinados a aumentar o disminuir los valores de señal digital leídos del dispositivo de memoria en un valor predeterminado dependiendo de la polaridad de la señal presente en la salida del comparador.

20 El bucle de control de acuerdo con el invento, en particular la unidad de control, es particularmente adecuado para la utilización de un circuito de control programable, tal como un microordenador. Por medio de este circuito de control, es posible leer e inscribir los valores de señal en las posiciones de memoria correctas y corregir dichos valores de señal. La utilización de tal circuito de control tiene obviamente la ventaja de una alta flexibilidad, es decir mediante una adaptación del programa la unidad de control puede adaptarse simplemente a requerimientos especifi

cos impuestos por la magnitud a controlar.

En lo que respecta a la disposición constructiva de la unidad de control, especialmente en lo referente a los elementos utilizados en la misma, hay numerosas posibilidades. Una realización preferida está caracterizada porque los medios de comparación están provistos de un amplificador diferencial que tiene una primera entrada, que está acoplada al terminal de entrada de la unidad de control, y una segunda entrada que está acoplada a la salida del convertidor de digital en analógico. Esta realización preferida destaca con respecto a la simplicidad de los medios de comparación.

Con el fin de hacer posible que se cumplan los requerimientos impuestos sobre la característica de transferencia global del bucle de control, se requiere en general la inclusión de filtros de paso bajo adicionales en serie con la unidad de control, cuyos filtros introducen generalmente un retardo adicional. En una realización preferida del bucle de control de acuerdo con el invento, este retardo es compensado por cuanto están dispuestos medios para aplicar valores de señal que han sido leídos del dispositivo de memoria y convertidos en forma analógica, al terminal de salida de la unidad de control, cuyos valores de señal preceden a los valores de señal aplicados a los medios de comparación.

Con el fin de hacer posible el cumplimiento de requerimientos específicos con respecto a la característica de transferencia, una realización preferida adicional está caracterizada porque el terminal de entrada de la unidad de control está acoplado a la entrada de un circuito filtro, cuya salida está acoplada a un paso sumador que está también acoplado al terminal de salida de la unidad de control para su

mar las señales de salida de la unidad de control y las del circuito filtro entre sí y para suministrar la señal aditiva al dispositivo de control como señal de control.

Adicionalmente, puede obtenerse una protección especial contra ciertas señales de interferencia por cuanto el circuito filtro comprende un circuito limitador para limitar la señal de salida de este circuito filtro a un valor predeterminado.

El invento se describe con mayor detalle con referencia a las figuras, de las cuales,

La figura 1 representa una primera realización del bucle de control de acuerdo con el invento, utilizado en un aparato para leer un soporte de registro en forma de disco,

La figura 2 representa la característica de transferencia de la unidad de control.

La figura 3 representa esquemáticamente la disposición constructiva de la unidad de control, haciéndose uso de un circuito de control programable, mientras que,

La figura 4 representa un diagrama de flujo del programa para este circuito de control,

La figura 5 representa una realización del bucle de control de acuerdo con el invento utilizado en un aparato para leer un soporte de registro magnético en la forma de una cinta, mientras que

La figura 6 representa la unidad de control que utiliza un circuito de control programable, y

La figura 7 representa un diagrama de flujo del programa asociado.

La figura 1 representa esquemáticamente un aparato para leer un soporte de registro en forma de disco, cu-

yo aparato está equipado con un bucle de control de acuerdo con el invento. El soporte 1 de registro en forma de disco está accionado en un sentido V de giro por medio de un motor 2. El soporte 1 de registro es leído con la ayuda de un haz A de radiación, que es emitido por una fuente 3 de radiación y que está dirigido en la superficie de información del soporte 1 de registro mediante un espejo 4 semitransparente, un espejo 5 y un sistema 6 de lentes. Esta superficie de información toma la forma de una superficie de reflexión, de modo que el haz A de radiación es reflejado e incide sobre un dispositivo 7 de detección a través del sistema 6 de lentes, el espejo 5 y el espejo 4 semitransparente. Este dispositivo 7 de detección en primer lugar convierte la información contenida en el haz A de radiación, por ejemplo información de video, en una señal eléctrica, que está entonces disponible para tratamiento adicional en un terminal 8 de salida.

Con el fin de mantener el punto S de radiación producido por el haz A de radiación enfocado con precisión sobre la superficie de información a pesar de movimientos verticales de dicha superficie de información, está dispuesto un bucle de control de enfoque. Este bucle de control de enfoque comprende en primer lugar medios de accionamiento con los cuales el sistema 6 de lentes puede ser desplazado en la dirección X, y consiguientemente se controla el enfoque del haz A de radiación sobre el soporte de registro. Adicionalmente, este bucle de control incluirá un sistema de detección para suministrar una señal de error que es una medida de la desviación en el enfoque. En el presente aparato se supone que este sistema de detección forma parte del dis

positivo 7 de detección y produce una señal de error en un terminal 10. Son conocidos un gran número de versiones sistemas para detectar errores de enfoque. Como el modo según el cual se obtiene la señal de error es de importancia secundaria para el presente invento, no se comentará esto con mayor detalle pero, en atención a criterios de ilustración, se hace referencia para tales sistemas de enfoque a las memorias de Patente Española 414590 y 449567. El bucle de control incluye además una unidad 11 de control, cuyo terminal 12 de entrada está conectado al terminal 10 del sistema 7 de detección y que recibe consiguientemente la señal de error. La señal de salida de esta unidad 11 de control en el terminal 13 de salida es aplicada al dispositivo 9 de control como señal de control.

La unidad 11 de control está destinada a realizar una característica de transferencia con un número de picos a la frecuencia 0, una frecuencia fundamental y varios armónicos de la misma, siendo la frecuencia fundamental igual a la frecuencia de revolución del soporte de registro. La elección de tal característica de transferencia está basada en el reconocimiento de que el espectro de la frecuencia de la señal de error contiene componentes relativamente importantes a esta frecuencia fundamental y sus armónicos consecutivos. Con el fin de obtener un control efectivo, es deseable por consiguiente utilizar una característica de transferencia que proporcione una alta ganancia a esta frecuencia. Por otra parte, es menos deseable tener tal factor de ganancia alto para la totalidad de la gama de frecuencias, porque en ese caso las señales de ruido asociadas con la señal de error tienen una gran influencia sobre el control y es tam

—bién difícil conseguir un bucle de control estable con tal característica de transferencia.

5 Con el fin de obtener un control eficaz que sea al
tamente inmune a señales de ruido, es deseable por consiguien
te que el factor de ganancia que se obtiene para las mencio
nadas frecuencias sea sustancialmente mayor que el corres-
pondiente a las otras frecuencias, mientras que además debe
rá ser pequeño el ancho de las bandas de frecuencia en di-
chas frecuencias para las cuales se obtiene dicho factor de
10 ganancia alto, lo cual significa que se requiere un factor
de calidad alto para las características de pasabanda en las
mencionadas frecuencias.

15 Con el fin de conseguir esto, la unidad 11 de con
trol de acuerdo con el invento tiene una disposición cons-
tructiva como se representa esquemáticamente en la figura,
cuya disposición constructiva garantiza un alto factor de
calidad, teniendo solamente una influencia mínima las tole-
rancias relativas a los elementos utilizados. La unidad 11
de control comprende un dispositivo 14 de memoria, adecuado
20 para el almacenamiento de un número de valores de señal en
forma codificada digitalmente. La salida del dispositivo 14
de memoria está conectada a un convertidor 15 de digital en
analógico que convierte los valores de señal digital aplica
dos en valores de señal analógicos. Además, la salida del
25 dispositivo 14 de memoria está conectada a un dispositivo 16
de corrección cuya salida está a su vez conectada a la entra
da del dispositivo 14 de memoria. Este dispositivo de correc
ción recibe una señal de corrección de un comparador 17 que
tiene dos entradas, una de las cuales está conectada al ter
minal 12 de entrada de la unidad de control y la otra a la

salida del convertidor 15 de digital en analógico. La salida de este convertidor de digital en analógico está acoplada al terminal 13 de salida de la unidad de control a través de un circuito 18 de adaptación y produce una señal de control para el dispositivo de control en dicho terminal de salida.

El dispositivo 14 de memoria puede tomar la forma, por ejemplo, de un registro de desplazamiento digital, siendo transferido el valor de señal digital almacenado en un registro al registro siguiente durante cada período de sincronismo. Los valores de señal almacenados en el dispositivo 14 de memoria cubren un intervalo de tiempo $T_0 = N/f_0$, siendo N el número de registros del dispositivo de memoria y f_0 la frecuencia de sincronismo. La señal de sincronismo para el dispositivo de memoria se deduce de la frecuencia f_s de revolución (revoluciones/segundo) del soporte 1 de registro. Para este fin, puede estar montado sobre el eje del motor un disco 20 tacométrico con un número de marcas (M), cuyo disco coopera con un transductor 21. Este transductor suministra, en consecuencia, un tren de impulsos con una frecuencia $M.f_s$ de repetición como señal de sincronismo. Por medio de un divisor de frecuencia o multiplicador de frecuencia, puede deducirse de la misma una señal f_0 de sincronismo para el dispositivo de memoria, cuya señal satisface la ecuación $f_0 = P.M.f_s$, siendo P el factor de multiplicación o división del multiplicador o divisor de frecuencia, respectivamente. Consiguientemente, el contenido del dispositivo 14 de memoria satisface la ecuación $T_0 = N/f_0 = (N/P)(1/Mf_s)$. El número N de posiciones de memoria está ahora seccionado de modo que sea igual a $P.M.$, de tal forma que

el contenido de la memoria, es decir el intervalo de tiempo cubierto por los valores de señal almacenados, corresponde exactamente a un período de revolución del soporte de registro, en otras palabras el contenido del dispositivo 14 de memoria representa la variación de la señal de error durante un período de revolución del soporte 1 de registro.

Cada uno de los valores de señal digital que aparecen en la salida del dispositivo 14 de memoria se aplican al dispositivo 16 de corrección. Además, este valor de señal digital es convertido simultáneamente en un valor de señal analógica por el convertidor 15 de digital en analógico y este valor de señal analógica es comparado con el valor instantáneo de la señal de error por el comparador 17. Dependiendo de la señal de salida de este comparador 17. es corregido el valor de señal aplicado por los medios 16 de corrección. El valor de señal digital corregido es inscrito subsiguientemente en el dispositivo 14 de memoria para sustituir el valor de señal digital original.

Mediante esta disposición se obtiene una característica de transferencia con picos a la frecuencia 0 Hz, la frecuencia fundamental f_s y sus armónicos, como se representa por I en la figura 2. (Ambas escalas tienen una graduación de escala logarítmica). Como resultado de esto, los componentes de la señal de error que tienen una frecuencia f_s o un múltiplo de la misma son amplificadas en un grado sustancialmente mayor que las componentes de frecuencia intermedias.

La forma exacta de la característica de transferencia depende del diseño de los medios 16 de corrección, en particular del método de corrección realizado por dichos

medios de corrección. Dado que el bucle cerrado con el dispositivo de memoria y los medios de corrección funciona totalmente con valores de señal digitales, la estabilidad del bucle completo se asegura independientemente de cualquier tipo de tolerancia en los elementos utilizados. Específicamente, un error que se produzca en dicho bucle cerrado no tiene efecto acumulativo, en contraste con el proceso que tiene lugar en el caso de un bucle cerrado que utiliza señales analógicas, tal como un bucle que utiliza un registro de desplazamiento analógico como dispositivo de memoria.

El factor de calidad de la función de transferencia, es decir la pendiente de los picos a la frecuencia fundamental f_s y sus múltiplos, está determinado por la magnitud de la corrección introducida por los medios 16 de corrección. De acuerdo con el método de corrección más simple, los valores de señal digital leídos del dispositivo 14 de memoria son aumentados o disminuidos en un valor igual al bitio menos significativo, dependiendo de la polaridad de la señal de salida del comparador 17. Partiendo de valores de señal digitales que comprenden n bitios, el factor de realimentación así aplicado entre salida y entrada del dispositivo de memoria a través de los medios 16 de corrección es $14:K=1-(1/2^n)$. El factor Q de calidad de tal sistema de realimentación satisface la ecuación $Q = 1/(1-K)$, es decir $Q = 2^n$. De este modo, en el caso de valores de señal digital de 8 bitios, se obtiene un valor de 256 para el factor Q de calidad. Como resultado de este factor de calidad alto, los picos en la función de transferencia de la figura 2 son muy pronunciados y con anchos de banda pequeños. Además, las tolerancias en los elementos utilizados tienen difícilmente

alguna influencia sobre el valor de este factor de calidad y sobre el funcionamiento del dispositivo. Esto se debe a que solamente hay una transferencia de señales digitales en la vía de realimentación esencial, lo cual, como es presumiblemente conocido, es altamente insensible a tolerancias.

5 Las tolerancias en las secciones de tratamiento de señal analógica, tales como el convertidor 15 de digital en analógico y el comparador 17, no afectan al factor de realimentación pero, en el peor caso, pueden originar transitoriamente una corrección errónea de un valor de señal digital.

10

Como se ha afirmado anteriormente, el dispositivo descrito realiza la característica de transferencia de la figura 2, mientras que, en principio, el ancho de banda no está limitado, es decir la pauta de variación designada por I recurre hasta frecuencias altas. Como en general se utiliza solamente un ancho de banda limitado, para controlar una magnitud de control puede incluirse un filtro 18 de paso bajo entre el convertidor 15 de digital en analógico y el terminal 13 de salida de la unidad de control. Como resultado de esto la característica de filtro de "peine" realizada por la unidad de control caerá por encima de una cierta frecuencia f_g de corte (por ejemplo 1 kHz), como se representa en la figura 2. Con el fin de asegurar que a las frecuencias relativamente bajas situadas entre las frecuencias de pico se obtenga una cierta respuesta del bucle de control, puede conectarse un circuito 19 adicional en paralelo con la unidad 11 de control, sumándose en un paso sumador 22 la señal de salida de dicho circuito 19 y la señal de salida de la unidad 11 de control. El circuito 19 puede tener, por ejemplo, una característica de transferencia como se indica por

15

20

25

30

II en la figura 2. Aparte de la amplificación de las frecuencias bajas, esta característica de transferencia tiene un efecto de estabilización sobre el bucle de control debido al carácter de diferenciación alrededor de la frecuencia f_g de corte. Como medida adicional, puede incluirse un limitador en el circuito 19, que limita la señal suministrada al paso sumador a través del circuito 19 a un cierto valor límite preajustado. Si dicho valor límite es entonces tal que para señales de error reales, que influirían sobre el enfoque a través del circuito 19, la limitación no fuese aún activa, mientras que dicha limitación estuviese activa para señales espúreas de amplitud mayor, se consigue sin afectar al comportamiento de control una alta inmunidad a señales espúreas, tales como las producidas por interrupciones de señal sobre el soporte de registro como resultado de irregularidades en la superficie de información.

Con respecto a la unidad 11 de control de la figura 1, son posibles un número de variantes obvias. Por supuesto, la señal de error aplicada al terminal 12 de entrada puede ser convertida en primer lugar en un valor de señal digital con la ayuda de un convertidor de analógico a digital, después de lo cual este valor de señal digital puede compararse directamente con el valor de señal digital de la salida del dispositivo 14 de memoria y, dependiendo de esta comparación, puede aplicarse la corrección deseada de dicho valor de señal digital. Sin embargo, la realización de la figura 1 tiene la ventaja de que no requiere convertidor de analógico a digital.

La unidad 11 de control se ha descrito en la exposición anterior en relación con el bucle de control para el

enfoque del punto de exploración sobre el soporte de registro. Sin embargo, puede también incluirse una unidad de control similar en los bucles de control para otras magnitudes de control. Como ejemplo, el aparato para leer el soporte 1 de registro en forma de disco comprende también un bucle de control que controla la posición radial del punto S de exploración, es decir que asegura que el punto de exploración coincide siempre con la pista de información a pesar de cualquier excentricidad del soporte 1 de registro. Se hace entonces uso nuevamente de un sistema de detección para medir la posición radial del punto de exploración y para generar una señal de error. Son conocidos en muchas variantes sistemas previstos para este fin, de modo que en la figura 1 se supone que este sistema de detección está incluido en el dispositivo 7 de detección y está disponible la señal de error radial en un terminal 23 de salida. Esta señal de error está aplicada a una unidad 24 de control, que tiene un diseño similar a la unidad 11 de control y realiza también así una función de transferencia con picos a la frecuencia de revolución del soporte 1 de registro y sus armónicos. Puede darse entonces a la función de transferencia la forma deseada incluyendo en la unidad 24 de control filtros en serie, correspondientes al filtro 18, y filtros en paralelo, correspondientes al filtro 19. Finalmente, la salida de la unidad 24 de control está conectada a medios 25 de accionamiento que son capaces de variar la posición angular α del espejo 5 dependiendo de la señal de control.

Finalmente, en relación con el aparato de la figura 1, puede hacerse referencia a una tercera posibilidad para un sistema de control. Una excentricidad del soporte 1 de

registro introduce también errores temporales en la lectura de la señal de video. Estos errores temporales pueden compensarse variando la posición del punto S de exploración en la dirección de la pista, para cuyo fin se requiere un elemento de deflexión adicional controlado, por ejemplo un espejo giratorio. La señal de control para este elemento de deflexión puede deducirse de una señal de error generada de modo conocido con la ayuda de una unidad de control, que es nuevamente de un diseño similar al de la unidad 11 de control. En vez de utilizar un elemento de deflexión, la señal de video leída puede también aplicarse a una línea de retardo variable. La señal de control para esta línea de retardo puede entonces ser generada también por medio de tal unidad de control.

La unidad 11 de control representada en la figura 1 es eminentemente adecuada para utilización de un circuito de control programable, tal como un microordenador. A modo de ilustración, la figura 3 representa esquemáticamente la disposición constructiva de la unidad 11 de control, que utiliza tal circuito de control programable, mientras que la figura 4 representa, por el contrario, un diagrama de flujo de un programa de unidad de control adecuado para este fin.

En la figura 3 los elementos correspondientes tienen asignadas las mismas cifras de referencia que en la figura 1, tales como el dispositivo 14 de memoria, el convertidor 15 de digital en analógico y el comparador 17. En este caso, el dispositivo 14 de memoria consiste en una memoria de acceso aleatorio (memoria RAM), siendo direccionada por la unidad de control la posición de memoria deseada. El bloque 30 representa la unidad de control programable, mientras

que el bloque 31 representa esquemáticamente la unidad para generar la señal T de sincronismo. En la figura 1 esta unidad estaba constituida por el sistema tacométrico 20 y 21, pero es obvio que puede utilizarse cualquier otro sistema capaz de suministrar una señal T de sincronismo que esté sincronizada con el soporte de registro giratorio. La cifra 12 indica una puerta de entrada para la señal F de error que, en lo que respecta a su función, corresponde al terminal 12 de entrada de la figura 1. Adicionalmente, la unidad de control de la figura 3 comprende dos circuitos 32 y 33 de muestreo y retención, cuyas entradas de señal están conectadas a la salida del convertidor de digital en analógico y cuyas salidas están respectivamente conectadas al comparador 17 y al terminal 13 de salida. Las diversas unidades están acopladas entre sí por medio de una línea general 34 de datos para el intercambio de valores de señal, mientras que a través de una línea general 35 de direcciones la unidad 30 de control controla este intercambio de valores de señal entre las diversas unidades.

La figura 4 representa muy esquemáticamente un diagrama de flujo del programa para la unidad 30 de control. El programa se inicia de acuerdo con el bloque 40. De acuerdo con el bloque 41 se espera entonces el instante en el cual aparece un impulso T de sincronismo (impulso tacométrico T en la figura 1). En el bloque 42 el valor $M(n)$ de señal almacenado en una posición n de memoria es comparado con el valor real de la señal F de error, lo cual implica una detección de la señal de salida del comparador 17. Dependiendo del resultado de esta detección, se aumenta el contenido de la pertinente posición de memoria en un bitio (bloque 43) o

se reduce en un bitio (bloque 44). Subsiguientemente, en el bloque 45, este valor de señal es suministrado al convertidor 15 de digital en analógico y el valor de señal analógica es suministrado al terminal 13 de salida por activación del circuito 33 SH. Después de esto, en el bloque 46, se aumenta en una unidad la dirección de las posiciones de memoria, de modo que en el bloque 47 se transfiere el contenido de la posición $(n + 1)$ de memoria siguiente al convertidor 15 de digital en analógico y se suministra al comparador 17 por activación del circuito 32 SH. Subsiguientemente, se espera el siguiente impulso T de sincronismo, después de lo cual se realiza nuevamente la comparación con la señal F de error actual.

Será evidente que el diagrama de flujo de la figura 4 está muy simplificado. Por ejemplo, deberán adoptarse medidas que aseguren que las operaciones descritas anteriormente se realizan cíclicamente, en otras palabras que las posiciones de memoria son direccionadas cíclicamente. Tomando como base las operaciones de señal deseadas, es obvio que adicionalmente pueden diseñarse un número de variantes de programa, todas las cuales producen las mismas operaciones de señal.

La figura 5 representa una realización del bucle de control de acuerdo con el invento utilizado en un aparato de registro y reproducción para información de video, que utiliza un soporte de registro magnético en la forma de una cinta. Se supone que el aparato es de un tipo que tiene dos cabezas magnéticas montadas sobre un disco de cabezas, haciéndose pasar el soporte de registro alrededor de dicho disco de cabezas de acuerdo con una hélice a través de un ángu

lo de arrollamiento de 180º, de modo que se forman sobre el soporte de registro pistas de información paralelas, que forman un pequeño ángulo con el eje longitudinal de este soporte de registro. Se exploran entonces alternativamente por las dos cabezas magnéticas pistas de información consecutivas.

Como tanto el ancho como la separación entre las pistas de información se reducen a un mínimo continuamente, es en general deseable asegurar, mediante un control activo, que durante la lectura de tal soporte de registro las cabezas magnéticas cooperan exactamente con las pistas de información deseadas, en otras palabras es deseable controlar la posición de las cabezas magnéticas en una dirección transversal a la dirección de la pista. Con el fin de hacer posible esto, cada una de las cabezas magnéticas está montada sobre un miembro de ajuste, por ejemplo un elemento de deflexión piezoeléctrico, a cuyo miembro de ajuste se aplica una señal de control para fijar la posición de la pertinente cabeza magnética con relación a la pista de información.

Con el fin de obtener una señal de control adecuada, deberá disponerse ante todo un sistema de detección que sea capaz de medir la posición de la cabeza magnética con relación a la pista deseada y sea capaz de generar una señal de error correspondiente. Son conocidos en un número de variantes diversos sistemas previstos para este fin. En general se hace uso de señales de seguimiento de onda larga registradas en las pistas de información simultáneamente con la información de video. Estas pistas de seguimiento tienen una señal asociada con una frecuencia y/o fase que alternan de pista a pista de acuerdo con una pauta fija. Cuando es ex

plorada por una cabeza magnética una pista de información específica, se obtiene entonces información referente a la posición de la cabeza magnética con relación a la pista de información deseada por comparación de señales inducidas en dichas cabezas magnéticas por las señales de seguimiento de las dos pistas adyacentes, (las llamadas señales de diafonía) y se produce una señal de error correspondiente. Como el modo en que se mide la posición de las cabezas magnéticas y se genera la señal de error es de importancia secundaria para el presente invento, esto se representa solo esquemáticamente en la figura. A modo de ilustración, se hace referencia al sistema que se describe en las Patentes Españolas 439357, 455088, y en la solicitud de Patente Holandesa 7705924 (PHN 8798). Puesto que el invento es de especial importancia para el control durante la lectura de información de video del soporte de registro, la figura 5 representa solamente los componentes que están activos durante la lectura.

En la figura 5, está representado sólo esquemáticamente el disco de cabezas por el bloque 50. Sobre este disco 50 de cabezas están montadas dos cabezas magnéticas K1 y K2 diametralmente opuestas entre sí, siendo dichas cabezas magnéticas individualmente desplazables transversalmente a la dirección de pista por medio de miembros de ajuste, por ejemplo elementos de deflexión piezoeléctricos, representados esquemáticamente por los bloques 51 y 52. La señal leída del soporte de registro por las cabezas magnéticas es tomada del disco 50 de cabezas giratorias por medio de un transformador 53 giratorio para tratamiento adicional. Esta señal leída comprende la información de video deseada, que se

aplica a una unidad de tratamiento (no representada) y señales de diafonía de la pista adyacente, que se aplican a un sistema 54 de detección que deduce de ellas la señal F de error deseada. Obviamente, la disposición constructiva de este sistema de detección depende del sistema de señales de seguimiento. Para realizaciones del sistema se hace referencia a las solicitudes de Patente Holandesas anteriormente mencionadas.

El bucle de control comprende adicionalmente la unidad 11 de control, que recibe la señal F de error en su terminal 12 de entrada. La señal de control tratada por esta unidad 11 de control se aplica a la entrada 58 de una unidad 57 de conmutación a través de un filtro 56 de paso bajo. Esta unidad 57 de conmutación sirve, entre otras cosas, para asegurar que la señal de control generada se aplica al miembro de ajuste de la cabeza magnética que explora instantáneamente una pista de información. La unidad 57 de conmutación comprende dos terminales 59 y 60 de salida, estando conectado el terminal 59 de salida al miembro 51 de ajuste a través de un anillo deslizante 69 y estando conectado el terminal 60 de salida al miembro 52 de ajuste a través de un anillo deslizante 70.

La unidad 11 de control es de un diseño que presenta una gran similitud con la unidad de control representada en la figura 1. Por consiguiente, los elementos correspondientes tienen asignadas las mismas cifras de referencia. El diseño y disposición del dispositivo 14 de memoria, el convertidor 15 de digital en analógico, el dispositivo 16 de corrección y el comparador 17 es totalmente idéntico al de la figura 1, de modo que no es necesario comentar con más

detalle el funcionamiento de los elementos. El dispositivo 14 de memoria recibe una señal T de sincronismo de un sistema tacométrico 72. Este sistema tacométrico 72 está acoplado rígidamente al disco 50 de cabezas y suministra un número constante de impulsos tacométricos por revolución de dicho disco de cabezas. La unidad 11 de control representada realiza nuevamente entonces una característica de transferencia correspondiente a la característica I de acuerdo con la figura 2, estando situados los picos en la frecuencia de revolución del disco de cabezas y sus múltiplos.

La unidad 11 de control representada en la figura 5 es diferente a la representada en la figura 1 en que el terminal 13 de salida no está conectado al convertidor 15 de digital en analógico, sino a un convertidor 55 de digital en analógico adicional. La entrada de este convertidor de digital en analógico está conectada a un punto intermedio del dispositivo 14 de memoria. Se ha adoptado esta disposición debido a la presencia del filtro 56 de paso bajo y a la característica de este filtro. Con el dispositivo representado, es generalmente deseable obtener una característica de transferencia para el bucle de control que, por encima de una frecuencia de corte (por ejemplo 200 Hz), caiga bruscamente. Con el fin de obtener tal característica, habrá de utilizarse un filtro de paso bajo de polos múltiples para el filtro 56 de paso bajo, pero esto puede afectar a la estabilidad del bucle de control. Este problema puede superarse seleccionando una característica para este filtro de paso bajo tal que la característica de transferencia global de este filtro en combinación con los medios 51 y 52 de accionamiento, respectivamente, se aproxime lo más rigurosamente posible a una

- característica de fase lineal (filtro de Bessel). Sin embargo, tal combinación tiene la desventaja de que introduce un retardo. Este retardo adicional puede compensarse de un modo simple tomando la señal de salida de la unidad 11 de control de una toma intermedia del dispositivo 14 de memoria. La señal obtenida de la toma intermedia del dispositivo 14 de memoria está avanzada con relación a la señal obtenida de la salida del dispositivo de memoria (convertidor 15 de digital en analógico de entrada). En principio, se supone que se hace uso de un dispositivo 14 de memoria que comprende un registro de desplazamiento digital, que tiene realmente una toma intermedia. Cuando se utiliza una memoria de acceso aleatorio (memoria RAM) esta toma intermedia no está físicamente presente, pero en este caso se realiza mediante la dirección de las posiciones de memoria.

En vez del filtro analógico 56, es obvio que alternativamente puede incluirse un filtro digital antes del convertidor 55 de digital en analógico, cuyo filtro digital realiza entonces la misma función que el filtro 56 en combinación con el convertidor de digital en analógico.

La señal de control suministrada por la unidad 11 de control se aplica al terminal 58 de entrada de la unidad 57 de conmutación a través del filtro 56 de paso bajo. Como se ha afirmado anteriormente, esta unidad de conmutación sirve en primer lugar para asegurar que esta señal de control se aplique el miembro de ajuste correcto, a saber el miembro de ajuste de la cabeza magnética que está leyendo instantáneamente. Con el fin de conseguir esto, la unidad 57 de conmutación comprende dos conmutadores 67 y 68, cuyos contactos principales están conectados a los terminales 59 y 60

de salida, respectivamente. Está conectado un contacto de entrada de cada uno de los dos conmutadores 67 y 68 al terminal 58 de entrada. Los dos conmutadores están controlados por una señal H₁ de conmutación común de tal modo que se conecta al terminal 58 de entrada indistintamente el terminal 59 de salida o el terminal 60 de salida, de modo que la señal de control se aplica indistintamente al miembro 51 de ajuste o al miembro 52 de ajuste. La señal H₁ de conmutación es suministrada por un circuito 71 de control. Este circuito 71 de control recibe una señal H de sincronismo del sistema tacométrico 72, cuya señal de sincronismo proporcionaría una indicación referente a cual de las dos cabezas magnéticas realiza la exploración y durante que intervalo. Para este fin, el sistema tacométrico puede comprender una única marca sobre un disco tacométrico, que coincide con la posición angular de una de las cabezas magnéticas. Mediante un transductor adecuadamente dispuesto, puede obtenerse una señal H de sincronismo que suministra, por cada revolución del disco de cabezas, un impulso que aparece en el instante en que una de las cabezas magnéticas comienza a explorar una pista de información. El circuito 71 de control convierte entonces dicha señal H de sincronismo en una señal de onda rectangular simétrica con una frecuencia igual a la frecuencia de revolución del disco de cabezas, coincidiendo las transiciones entre los dos valores discretos exactamente con los instantes en los cuales cambia la cabeza magnética mediante la cual se exploran las pistas de información.

Además de esta función de suministrar la señal de control al miembro de ajuste adecuado, la unidad 57 de conmutación realiza otra función. Durante el intervalo de tiempo

po en que una de las cabezas magnéticas (por ejemplo K_1) explora una pista de información, la segunda cabeza magnética (K_2) no necesita en principio estar controlada con respecto a su posición. Sin embargo, será evidente que se obtiene ventaja si, en los instantes en que dicha segunda cabeza magnética comenzase a explorar la siguiente pista de información, fuese óptima su posición con respecto a dicha pista de información. Como durante el funcionamiento normal la velocidad de arrastre del soporte de registro y la velocidad del disco de cabezas son razonablemente constantes, existirá un alto grado de correlación entre las posiciones a ocupar por una cabeza magnética específica al comienzo de la exploración de pistas de información consecutivas por dicha cabeza. Esto significa que el valor de la señal de control (el llamado valor inicial) que apareció al comienzo de la exploración de una pista de información por una cabeza magnética, es una medida adecuada del valor de la señal de control que se producirá al comienzo de la siguiente exploración por la misma cabeza magnética. Este dato puede ser utilizado para asegurar que cada una de las cabezas magnéticas, antes de que comience a explorar una pista de información, ha sido ya controlada a la posición aproximadamente correcta.

Para este fin, la unidad 57 de conmutación comprende dos conmutadores 61 y 62, que están conectados al terminal 58 de entrada a través de una resistencia 73 y a dos condensadores 63 y 64, respectivamente. Los conmutadores están controlados por dos señales B_1 y B_2 de conmutación, que son suministradas por el circuito 71 de control. Estos conmutadores 61 y 62 están accionados por dicha señal de control de tal modo que se cierran brevemente al comienzo de la explo-

—ración de una pista de información por cada una de las cabezas magnéticas K_1 y K_2 individuales, respectivamente. Como resultado de esto, el valor inicial de la señal de error al comienzo de la exploración de la cabeza magnética K_1 ó K_2 se almacena en el condensador 63 ó 64, respectivamente. A través de circuitos seguidores 65 y 66, los valores iniciales almacenados se aplican a un segundo contacto de entrada de los conmutadores 67 y 68, respectivamente. Es evidente entonces por la figura que cada vez uno de los miembros de ajuste (en el presente ejemplo el miembro 51 de ajuste) recibe la señal de control a través de la unidad de conmutación, mientras que simultáneamente el otro miembro de ajuste (es decir el miembro 52 de ajuste) recibe el valor inicial almacenado en la unidad de conmutación, de modo que este miembro de ajuste últimamente mencionado ajusta ya la cabeza magnética asociada a una posición adecuada para el comienzo de la exploración.

De un modo similar al aparato de la figura 1, el aparato de la figura 5 es también extremadamente adecuado para utilización de un circuito de control programable. Este circuito de control puede entonces realizar tanto la función de la unidad 11 de control como la función de la unidad 57 de conmutación. La figura 6, a modo de ilustración, representa un diagrama de bloques del aparato que utiliza un circuito de control programable, mientras que la figura 7 representa un diagrama de flujo que puede ser utilizado para dicho circuito de control.

En la figura 6 el bloque 80 representa el circuito de control programable, que en un montaje de prueba fué del tipo Intel 8748. Las salidas P_0 a P_7 están conectadas al

convertidor 15 de digital en analógico que convierte los valores de señal digital de 8 bits aplicados en valores de señal analógica. Se supone que este convertidor de digital en analógico es de un tipo en el cual el valor de señal analógico en su salida se conserva hasta que se aplica a su entrada un nuevo valor de señal digital. Este valor de señal analógico se aplica al comparador 17 para comparación con el valor real de la señal de error. La salida del comparador 17 está conectada a la entrada P_{10} del circuito 80 de control. La entrada P_{12} del circuito de control recibe una señal R/P lógica que indica si se efectúa registro o reproducción. En atención a una mayor simplicidad, se supone posteriormente que se está realizando reproducción, porque el sistema de control está previsto principalmente para este fin. Se aplica a la entrada P_{13} la señal H_1 de control como se genera por el circuito 71 de control de la figura 5. Esta señal H_1 de control tiene, en consecuencia, un valor lógico "1" si una primera cabeza de las dos primeras cabezas magnéticas explora una pista de información, y tiene un valor lógico "0" si la otra cabeza magnética lee una pista de información. La entrada T_1 del circuito 80 de control recibe la señal tacométrica T procedente del sistema tacométrico 71 de la figura 5. Se supone que esta señal tacométrica T comprende 72 impulsos por revolución del disco de cabezas. La salida del convertidor 15 de digital en analógico está finalmente conectada a dos circuitos 81 y 82 de muestreo y retención cuyas salidas están conectadas, respectivamente, a los miembros 51 y 52 de ajuste. Los circuitos 81 y 82 están controlados por las salidas P_{20} y P_{21} , respectivamente, del circuito 80 de control.

Se ha explicado el funcionamiento del aparato de la figura 6 con referencia al diagrama de flujo del programa utilizado en el circuito 80 de control y representado en la figura 7. El programa es iniciado por el bloque 90. Subsiguientemente, en el bloque 91, se inscribe un valor igual a la mitad del valor máximo alcanzable en todas las posiciones de memoria (M) de la memoria de acceso aleatorio prevista para almacenar las señales de error.

De acuerdo con el bloque 92 de decisión, se espera el instante en que la señal en la entrada P_{13} , es decir la señal H_1 , cambia desde un nivel lógico "0" hasta un nivel lógico "1". Este es el instante en que una de las cabezas magnéticas (por ejemplo K_1) comienza a explorar una pista de información. En el bloque 93 es transferido el contenido de la posición 36 de memoria al convertidor 15 de digital en analógico en este instante y simultáneamente se activa la salida P_{21} , de modo que el valor de señal suministrado por el convertidor 15 de digital en analógico es suministrado al miembro 52 de ajuste como valor inicial por el circuito 82 SH. En el bloque 94 es puesta subsiguientemente a 0 la dirección n para las posiciones de memoria. En el bloque 95 el contenido de la posición n de memoria se aplica al convertidor 15 de digital en analógico y es convertido en un valor de señal analógica. En el bloque 96 de decisión se espera el instante en que la entrada T_1 toma nivel lógico 1, es decir hasta que aparece un impulso P tacométrico. En este instante, se averigua de acuerdo con el bloque 97 si la entrada P_{10} tiene nivel lógico "1", es decir si la señal de error actual en el terminal 12 de entrada es mayor que el valor de señal suministrado por el convertidor 15 de digital

en analógico. Si es este el caso, el contenido de la posición (n) de memoria es aumentado en un bitio, y en caso contrario el contenido de esta posición de memoria es disminuido en un bitio de acuerdo con el bloque 99.

5 En el bloque 100 se averigua subsiguientemente si la cabeza magnética K_1 está explorando una pista de información. Si es este el caso, el contenido de la posición ($n + 2$) de memoria se aplica al convertidor 15 de digital en analógico de acuerdo con el bloque 101 y simultáneamente se activa la salida 20, de modo que el valor de señal analógica suministrada por el convertidor 15 de digital en analógico se suministra al miembro 51 de ajuste a través del circuito 81 SH. Si en el bloque 100 no se satisface el requerimiento $P_{13} = 1$, el valor de señal leído de la posición ($n + 2$) de memoria se aplica al miembro 52 de ajuste a través del convertidor 15 de digital en analógico y el circuito SH 82.

10 Subsiguientemente, en el bloque 103, la dirección correspondiente a la posición de memoria es aumentada en "1" ($n = n + 1$), mientras que después de esto en el bloque 104 se averigua si el número n de dirección es menor o igual a 36. Mientras sea este el caso, el ciclo de programa retorna cada vez al bloque 95. El bucle así formado se recorre de este modo durante el período en que la cabeza magnética K_1 realiza la exploración.

15 Si el número n de dirección es mayor que 36, se averigua en primer lugar en el bloque 105 si este número n de dirección es igual a 37. Si se cumple este requerimiento, lo cual significa que la cabeza magnética K_2 comienza a explorar una pista de información, el contenido de la posición $n = 0$ de memoria se suministra, en el bloque 106, como valor

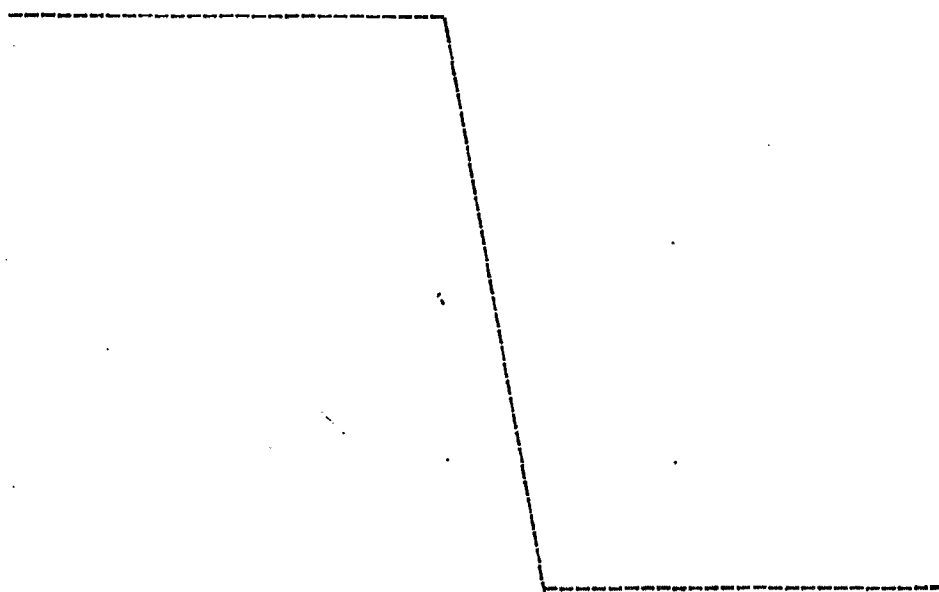
inicial al miembro 51 de ajuste de la cabeza magnética K_1 a través del convertidor 15 de digital en analógico y el circuito SH (activación de P_{20}). Después que ha sido realizada esta instrucción o si no se ha cumplido el requerimiento del bloque 105, se averigua en el bloque 107 si el número n de dirección es igual a 72. Si no es este el caso, el ciclo de programa prosigue hasta el bloque 95. El bucle así obtenido es recorrido durante el intervalo de tiempo en que la cabeza magnética K_2 realiza la exploración. Sin embargo, si el número de dirección es $n = 71$, la cabeza magnética K_2 ha alcanzado ya el final de la exploración y el proceso retorna al bloque 92.

Para el funcionamiento correcto del programa, se requieren algunas instrucciones adicionales, que no están indicadas como tales en el diagrama de flujo. Si el número n de dirección ha llegado al valor 70, el proceso continúa con el bloque 95 después del bloque 107. Sin embargo, el número $(n + 2)$ de dirección mencionado con referencia al siguiente bucle en el bloque 101 y 102 será entonces igual a 72. Sin embargo, es obvio que en este instante ha de leerse nuevamente la posición $n = 0$ de memoria. Se produce una complicación similar cuando se llega al valor $n = 71$, mientras que en los bloques 101 y 102 ha de direccionarse no la posición $n = 73$ de memoria, sino la posición $n = 1$ de memoria. Estos dos problemas pueden resolverse simplemente detectando estas dos condiciones ($n = 70$ y $n = 71$), respectivamente, en el bucle de programa que incluye los bloques 95-107, y en el caso de una detección positiva sustituyendo el número $n + 2$ de dirección en la instrucción de acuerdo con los bloques 101 y 102 por $n = 0$ y $n = 1$, respectivamente.

En el diagrama de flujo de la figura 7, la corrección aplicada al contenido de una posición de memoria es siempre un valor fijo (a saber, ± 1), de acuerdo con los bloques 98 y 99. Esto significa que, después de iniciarse el programa, puede transcurrir un tiempo bastante largo antes de que el contenido de las posiciones de memoria corresponda en un grado razonable a la variación de la señal de error durante una revolución del disco de cabezas, porque el contenido de cada posición de memoria está sometido a una corrección de solamente un bitio por revolución del disco de cabezas. Con el fin de remediar esto, la corrección puede hacerse adaptativa, es decir la magnitud de la corrección se hace dependiente de la situación anterior. Para esto, son concebibles diversas posibilidades. Una posibilidad muy simple que requiere solamente una ligera adaptación del diagrama de flujo, está representada en la figura 7 por los bloques 108 a 112. El bloque 108 ha sido insertado entre el bloque 97 y el bloque 99 y cuenta el número de veces que el bloque 99 se hace activo por cada revolución del disco de cabezas. Los bloques 109 a 112 están incluidos en la conexión entre los bloques 107 y 92. El bloque 109 averigua si el cómputo B del bloque 108 es igual a 72 o 0. Si este es el caso, significa que todos los valores de señal almacenados en la memoria eran demasiado grandes o todos los valores de señal almacenados en la memoria eran demasiado pequeños con relación a los valores reales asociados de la señal de error durante la revolución completa del disco de cabezas. La corrección realizada por los bloques 98 y 99 no tiene ahora un valor fijo (± 1), sino que es variable ($\pm \Delta$). Puesto que $B = 0$ o $B = 72$ es una indicación de que

5 existe aún una discrepancia sustancial entre el contenido de la memoria y la señal de error actual, el factor Δ de corrección en ese caso se ajusta a un valor relativamente alto, por ejemplo 4, en el bloque 110, mientras que si no se cumple el requerimiento $B = 0$ o $B = 72$, este factor Δ de corrección se ajusta al valor 1 de acuerdo con el bloque 111. Los bloques 98 y 99 realizan así una corrección con un factor Δ de corrección que depende de la situación anterior. En el bloque 112 el cómputo B se pone a 0 después de cada revolución del disco de cabezas.

10 Será evidente que el invento no está limitado en absoluto a las realizaciones representadas en las figuras. En particular, es obvio que cuando se hace uso de un circuito de control programable, son posibles una multitud de variantes, que se realizan mediante la programación de este circuito de control. Dependiendo de los requerimientos específicos impuestos sobre un bucle de control específico, puede conseguirse el refinamiento deseado del comportamiento de control mediante esta programación.



REIVINDICACIONES

5

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

09030

1ª. Una disposición de bucle de control para controlar una magnitud de control, cuyo bucle de control está provisto de un dispositivo de control para modificar la magnitud de control en respuesta a una señal de control, un sistema de detección para suministrar una señal de error que es indicativa de la diferencia entre el valor instantáneo y el valor deseado de la magnitud de control, y una unidad de control que tiene un terminal de entrada, que está acoplado al sistema de detección para recibir la señal de error, y un terminal de salida que está acoplado al dispositivo de control para suministrar la señal de control, cuya unidad de control tiene una característica de transferencia con un número de picos a una frecuencia fundamental y sus armónicos, caracterizada porque la unidad de control está equipada con un dispositivo de memoria con una pluralidad de posiciones de memoria destinadas a almacenar valores de señal codificados digitalmente, un convertidor de digital en analógico acoplado al dispositivo de memoria para convertir los valores de señal codificados digitalmente suministrados por el dispositivo de memoria en valores de señal analógica, medios de comparación para comparar el valor de la señal de error re-

presentada por el valor de señal leído del dispositivo de memoria con el valor instantáneo de dicha señal de error, medios de corrección acoplados al dispositivo de memoria y a la salida del comparador para corregir los valores de se
5 ñal obtenidos del dispositivo de memoria dependiendo de la señal suministrada por el comparador, teniendo la corrección aplicada un valor máximo que es pequeño con relación al valor de señal máximo alcanzable, y medios de control pa
ra el dispositivo de memoria destinados a leer un número de
10 valores de señal del dispositivo de memoria de acuerdo con un ciclo recurrente y, después de cada lectura de un valor de señal, almacenar el valor de señal corregido suministrado por los medios de corrección en la memoria en sustitución del valor de señal leído, teniendo el ciclo un período igual
15 al asociado con la frecuencia fundamental.

2ª. Una disposición de acuerdo con la reivindicación 1ª, caracterizada porque los medios de corrección es
tán destinados a aumentar o disminuir los valores de señal digital leídos del dispositivo de memoria en un valor prede
20 terminado dependiendo de la polaridad de la señal presente en la salida del comparador.

3ª. Una disposición de acuerdo con la reivindicación 2ª, caracterizada porque el valor predeterminado es un valor constante.

4ª. Una disposición de acuerdo con cualquiera de las reivindicaciones precedentes, caracterizada porque los
medios de comparación están provistos de un amplificador di
ferencial que tiene una primera entrada, que está acoplada
al terminal de entrada de la unidad de control, y una segun
da entrada que está acoplada a la salida del convertidor de
30

digital en analógico.

5 5ª. Una disposición de acuerdo con cualquiera de las reivindicaciones precedentes, caracterizada porque están dispuestos medios para suministrar valores de señal, que han sido leídos del dispositivo de memoria y convertidos en forma analógica, al terminal de salida de la unidad de control, cuyos valores de señal preceden a los valores de señal aplicados a los medios de comparación.

10 6ª. Una disposición de acuerdo con cualquiera de las reivindicaciones precedentes, caracterizada porque el terminal de entrada de la unidad de control está acoplado a la entrada de un circuito filtro, cuya salida está acoplada a un paso sumador, que está acoplado también al terminal de salida de la unidad de control, para sumar las señales de salida de la unidad de control y del circuito filtro y suministrar la señal suma al dispositivo de control como señal de control.

15 7ª. Una disposición de acuerdo con la reivindicación 6ª, caracterizada porque el circuito filtro comprende un circuito limitador para limitar la señal de salida de dicho circuito filtro a un valor predeterminado.

20 8ª. Una disposición de acuerdo con cualquiera de las reivindicaciones precedentes, caracterizada porque la unidad de control está provista de un circuito de control programable.

25 9ª. Una disposición de bucle de control para controlar una magnitud de control.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y nueve hojas escritas a máquina por una sola cara.

Madrid, 12. MAR 1980

5

P. A.

Fernando de Elizaburu
Por Poder.

10

15

20

25

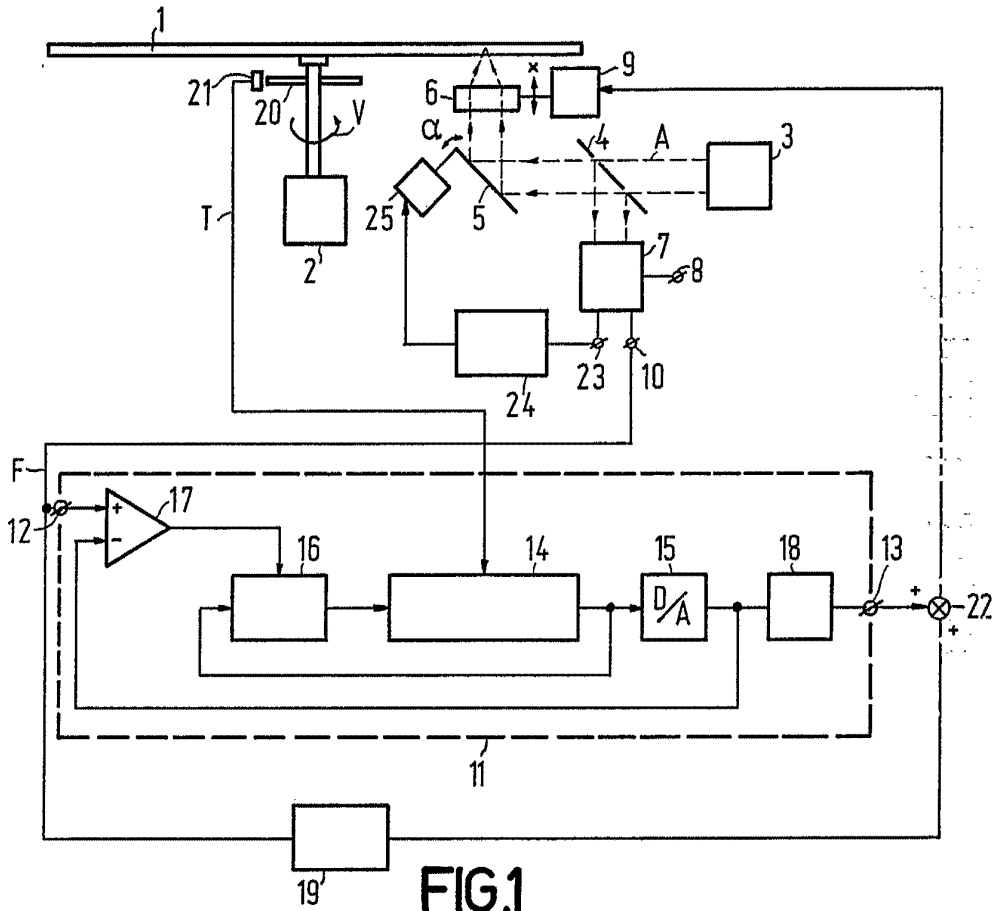


FIG. 1

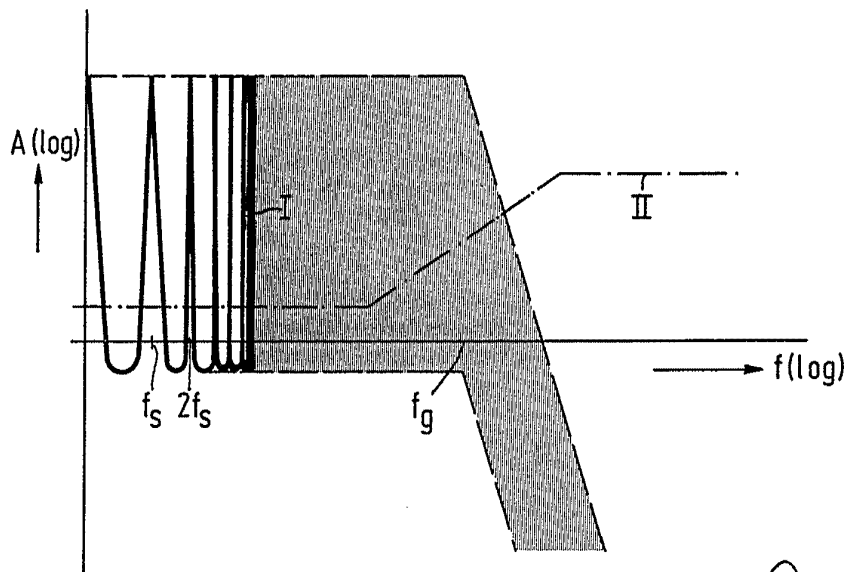


FIG. 2
 Fernando de Elaburu
 Por Poder
 1-IV-PHN 9374

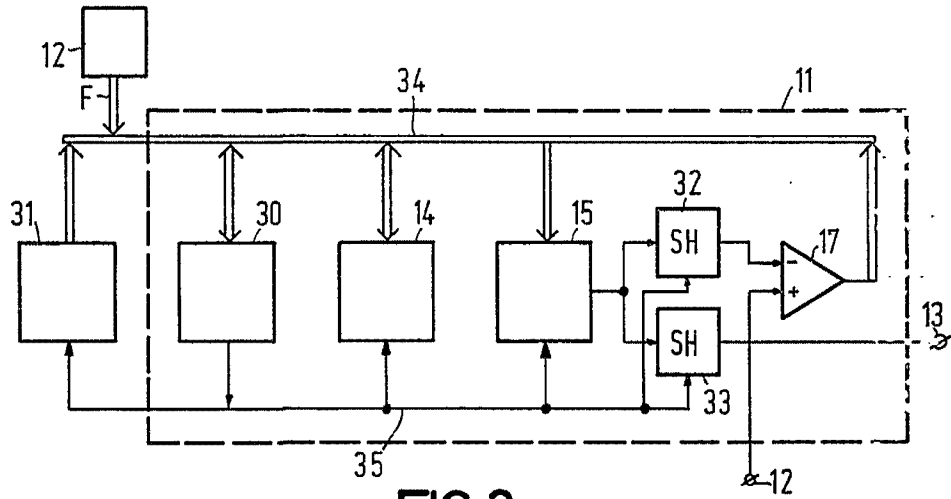


FIG.3

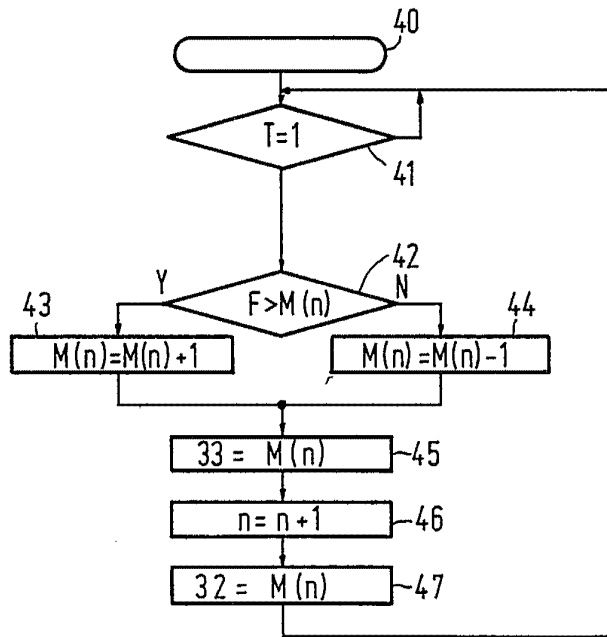


FIG.4

Fernando de Elizakuru
 Por Escriba
 2-IV-PHN 9374

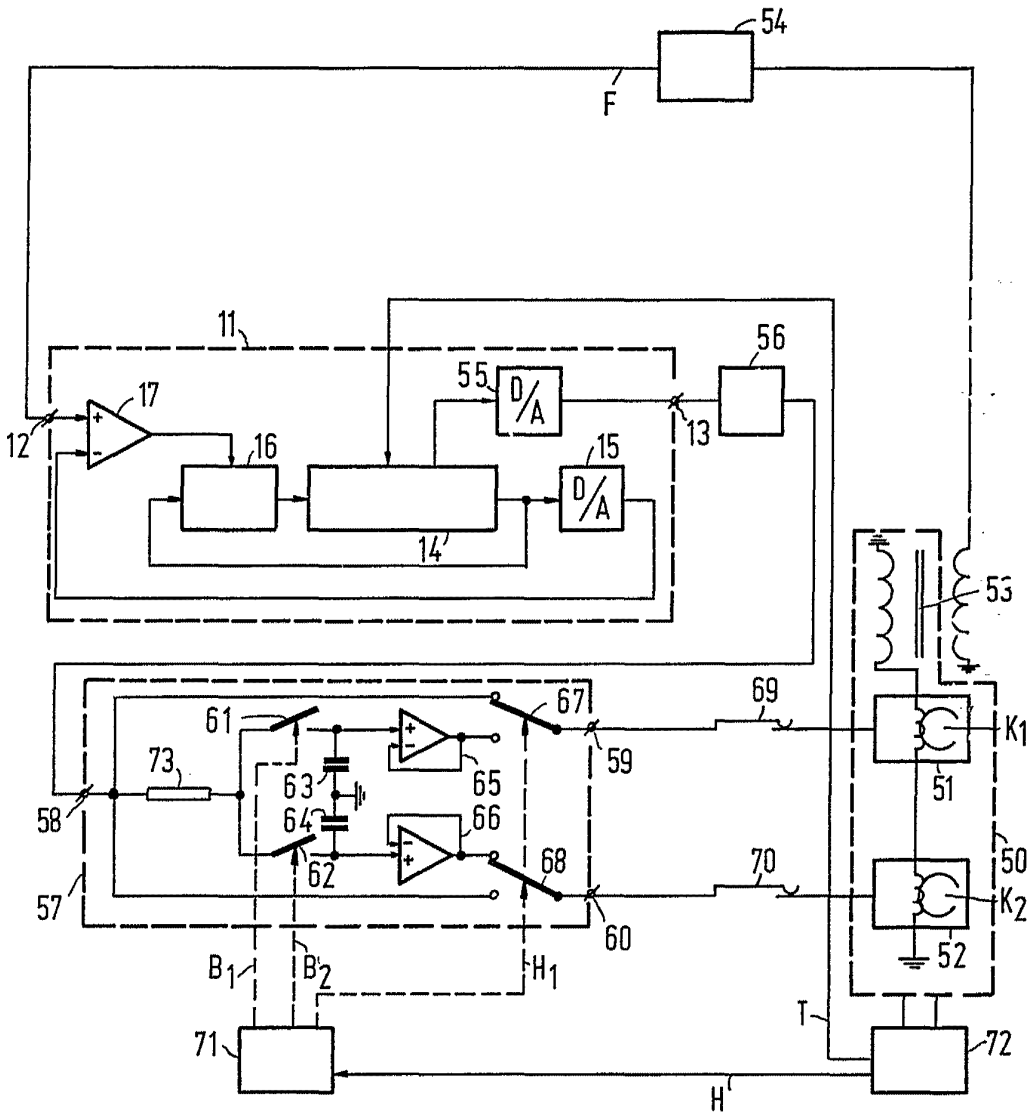


FIG.5

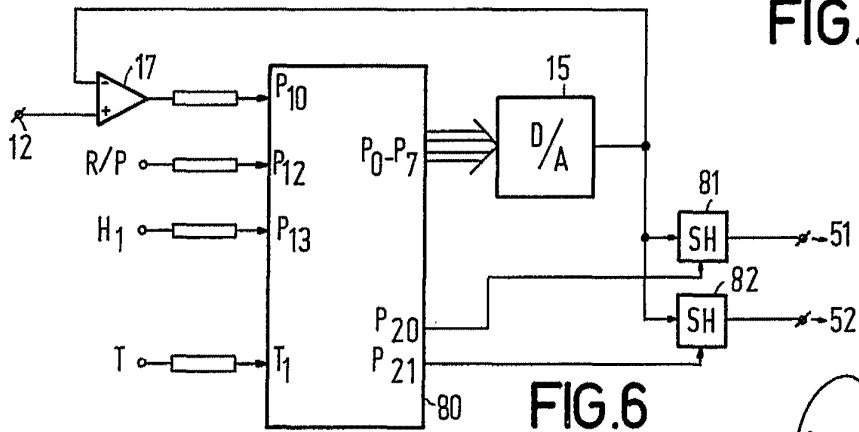


FIG.6

Fernando de Elizaburu
Por Poder

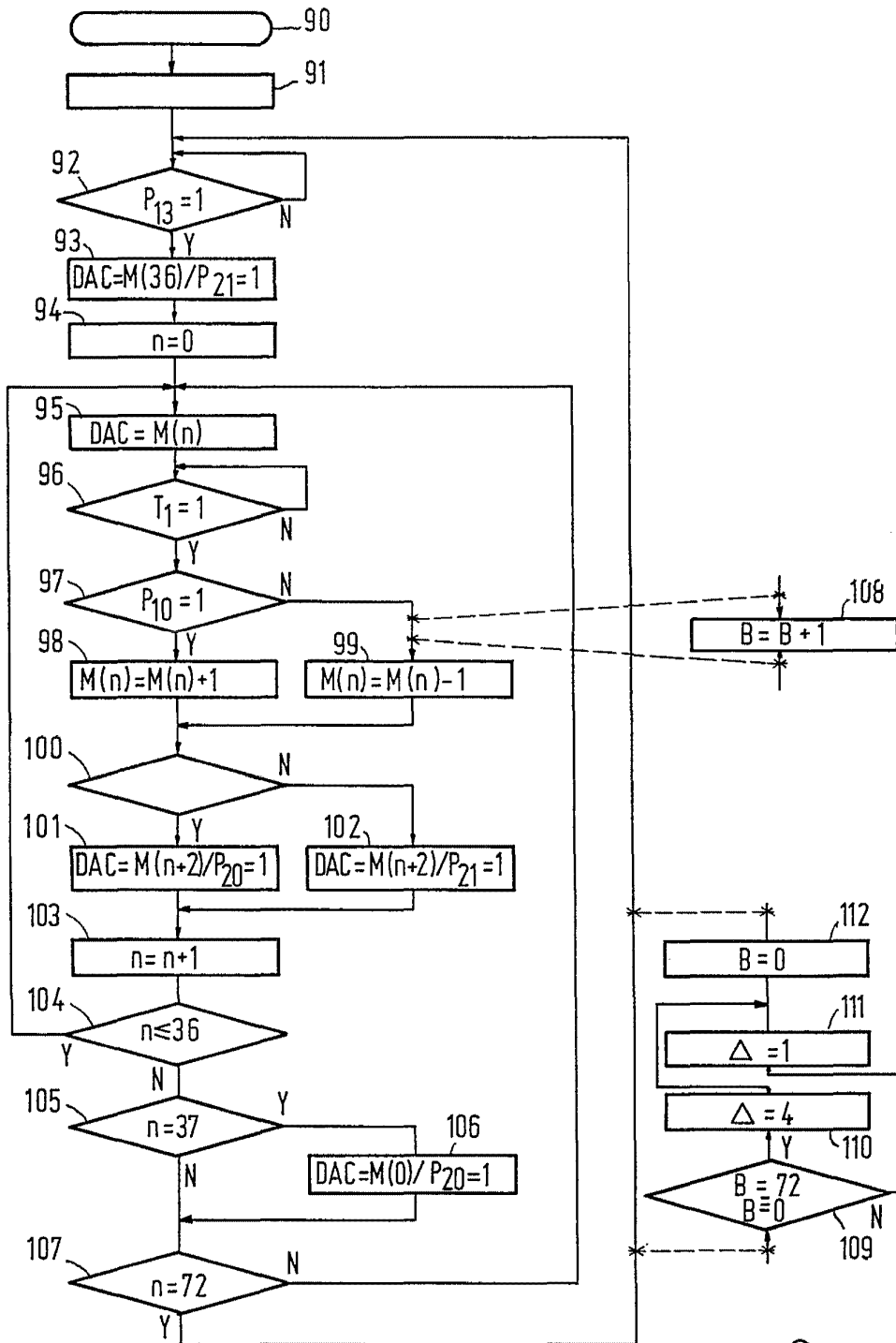


FIG. 7

Fernando de Elzaburu
 Por Poder
 4-IV-PHN 9374