

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Consolido el Registro de acuerdo con los datos que figuran en la presente de la edición y según el contenido de la memoria a junta.

PATENTE DE INVENCION

19	ES	11	NUMERO	487896	10	A1
21		22	FECHA DE PRESENTACION	22.1.80		

60	PRIORIDADES:	62	FECHA	63	PAIS
51	NUMERO				
	79-01792		24.1.79		Francia

CADUCADO

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H04L 11/00		

54	TITULO DE LA INVENCION
	"OPERADOR PARA RED DE CONMUTACION DE DATOS NUMERICOS POR PAQUETES"

71	SOLICITANTE (S)
	LE MATERIEL TELEPHONIQUE THOMSON-CSF

	DOMICILIO DEL SOLICITANTE
	146 boulevard de Valmy, 92707 Colombes, Francia

72	INVENTOR (ES)
	Raymond Bakka y Marc Paul Georges Dieudonné

73	TITULAR (ES)

74	REPRESENTANTE
	D. ALBERTO DE ELZABURU MARQUEZ (P.- 73.752)

1 El invento se refiere a un operador de conmutación para datos numéricos, por paquetes, para red de conmutación de centros de telecomunicaciones, y especialmente para red de conmutación de estructura repartida.

5 Se denomina red de conmutación un "enmallado" que incluye en cada nudo un operador de conmutación o conmutador y cuyas mallas están constituidas por vías de transmisión de datos numéricos, uniendo cada vía dos operadores e incluyendo los dos sentidos de conmutación; para atravesar un conmutador, cada paquete pasa de una vía aguas abajo a una vía aguas arriba.

10 El operador según el invento, se refiere más particularmente a la conmutación de datos numéricos por paquetes "autodirectores", es decir, que cada paquete incluye un membrete que comprende tantas etiquetas de selección como conmutadores debe atravesar el paquete en la red, estando asociada cada etiqueta de selección a un conmutador, e indicando la identidad de la vía aguas abajo a seleccionar, y en la cual las etiquetas de selección están colocadas en el orden de los conmutadores que debe atravesar el mensaje.

15 Para conmutar paquetes autodirectores, los conmutadores deben incluir medios para seleccionar en el membrete la etiqueta de selección que les corresponde y medios para hacer pasar el mensaje de la vía aguas arriba a la vía aguas abajo en función de la identidad de la vía contenida en la etiqueta de selección seleccionada.

20 En un sistema conocido de conmutación de datos numéricos por paquetes autodirectores, los medios incluyen campos de acoplamiento de preselección y de selección o se-

1 -lectores que incluyen puntos de cruce electromagnéticos.

Por otra parte, en los sistemas de la técnica anterior, no se tienen en cuenta los tiempos de conmutación, porque los datos transmitidos no incluyen importantes limitaciones de tiempo.

El operador de conmutación según el invento, totalmente electrónico, tiene una gestión enteramente independiente, gracias al microcalculador que contiene y ofrece un tiempo de conmutación suficientemente breve para permitir su utilización para la conmutación de datos telefónicos.

Según una característica del invento, el operador incluye una intercara hacia el exterior, unida al exterior de la red por medio de una unión, que comprende un microcalculador y una de cuyas misiones es formar, a partir de las informaciones recibidas del exterior de la red según cualquier codificación, paquetes "autodirectores", es decir, aptos para transitar en la red únicamente gracias a un membrete colocado al principio del paquete, y conformes al protocolo utilizado en la red; el operador incluye igualmente una intercara hacia el interior, que comprende n puertas bidireccionales que están conectadas a intercaras hacia el interior de otros operadores de la red y cada una de las cuales se compone de un circuito de recepción con una entrada y n salidas y de un circuito de emisión con n entradas y una salida, estando unida una entrada del circuito de emisión a una salida de un circuito de recepción diferente para cada una de las n entradas, estando unida la entrada de cada circuito de recepción de una puerta a la salida de un circuito de emisión de una puerta de otro

1 operador de la red.

Según otra característica del invento, cada circuito de recepción incluye medios de sincronización al nivel "relojes" y al nivel "paquetes", medios de selección y descodificación de la etiqueta que proporciona la dirección de salida, medios de control de paridad, medios de reconstitución del paquete después de la eliminación de la etiqueta utilizada, y medios para proporcionar una señal del comienzo de paquete reconstituído.

10 Según otra característica del invento, cada circuito de emisión incluye medios de almacenamiento en n filas de espera, medios de establecimiento de prioridad, medios de recuadrado y de emisión de los paquetes, y medios de gestión de la emisión.

15 Los objetos y características del presente invento aparecerán más claramente por la lectura de la descripción siguiente de un ejemplo de realización, estando hecha dicha descripción en relación con los dibujos anejos, en los cuales:

20 - la figura 1 representa un ejemplo de red de conmutación en el cual son utilizados operadores conforme al invento;

25 - la figura 2 ofrece el esquema de principio de la intercara hacia el interior de la red de un operador conforme al invento;

- las figuras 3a y 3b representan dos posibilidades de unión entre intercara hacia el interior y hacia el exterior;

30 - la figura 4 ilustra el protocolo de conexión utilizado en la red descrita;

1 - la figura 5 representa esquemáticamente un circuito de recepción para una intercara, tal como la representada en la figura 2;

5 - la figura 6a representa en detalle un circuito de sincronización al nivel "relojes" representado por un bloque diagramático en la figura 5;

- la figura 6b representa un diagrama de funcionamiento del circuito representado en la figura 6a;

10 - la figura 7 representa, en detalle, un circuito de sincronización al nivel "paquetes";

- la figura 8 representa esquemáticamente un circuito de emisión para una intercara tal como la representada en la figura 2;

15 - la figura 9 representa, en detalle, un circuito de establecimiento de las prioridades representado por un bloque diagramático en la figura 8;

- la figura 10 representa la forma de las señales del circuito de gestión de la emisión de los paquetes representado en la figura 8.

20 La figura 1 representa la disposición general de una red de conmutación, en la cual se utilizan operadores conforme al invento.

25 En cada nudo, la red incluye un operador o conmutador tal como A,B,C,D,E y F. Cada operador incluye un microcalculador cuyo volumen de las informaciones que puede tratar fija la potencia del operador.

30 Cada operador posee igualmente una intercara hacia el exterior conectada a una unión, unida, a su vez, al exterior de la red de conmutación. Así, para el operador A, la intercara 1 hacia el exterior está conectada a la

1 unión a. Esta intercara hacia el exterior tiene como fun-
ción asegurar con ayuda del microcalculador, por una parte,
la recepción y la emisión de los mensajes de y hacia el
exterior de la red, por otra parte, la determinación del
5 camino a recorrer a través de la red y la inscripción del
membrete de cada paquete. Además, esta intercara hacia el
exterior trata los paquetes erróneos.

Esta intercara hacia el exterior no se describe,
porque no es objeto de la patente.

10 Cada operador posee, finalmente, una intercara
hacia el interior, conectada por lo menos a otro operador
de la red y a lo sumo a todos los demás operadores de la
red. Estos enlaces o mallas de la red están constituídos
por vías que incluyen los dos sentidos de comunicaciones.

15 Por ejemplo, para el operador A, la intercara 2
hacia el interior está conectada al operador B por la vía
3, al operador F por la vía 4 y al otro operador de la red
por la vía 5.

20 Es esta intercara hacia el interior de la red,
denominada también nivel de conmutación y representada en
la figura 2, la que constituye el objeto de la patente.

25 En el ejemplo representado en la figura 2, la
intercara incluye n puertas bidireccionales; en la prácti-
ca, este número es modificable. Estas n puertas bidireccio-
nales PB1 a PBn incluyen, cada una, un circuito de reten-
ción y de orientación R_i y un circuito de emisión E_i ($i =$
 $= 1$ a n).

30 El conjunto de los circuitos de recepción de
las puertas de una misma intercara se denomina paso de re-
cepción, y el conjunto de los circuitos de emisión de las

1 - puertas de una misma intercara se denomina paso de emisión.

5 Cada circuito de recepción incluye una entrada ER conectada a una malla de la red y n salidas SR1 a SRn unidades, cada una, a una de las entradas de uno de los n circuitos del paso de emisión.

Cada circuito de emisión incluye n entradas EE1 a EEn conectadas, cada una, a una de las salidas de uno de los n circuitos del paso de recepción, y una salida SE unida a una malla de la red.

10 Las figuras 3a y 3b representan dos posibilidades de interconexión entre la intercara hacia el interior o nivel de conmutación, tal como se describe en la figura 2, y el conjunto constituido por el microcalculador y la intercara hacia el exterior, que se denomina el nivel superior del operador.

15 En la figura 3a, el nivel superior NS llega a las entradas/salidas del nivel de conmutación NC como cualquier operador de la red. Estando el operador unido a otros p operadores de la red, el paso de recepción NC incluye $p + 1$ circuitos de recepción que tienen $p + 1$ salidas y el paso de emisión de NC incluye $p + 1$ circuitos de emisión que tienen $p + 1$ entradas.

25 En la figura 3b, el nivel superior NS llega al nivel de conmutación directamente por las puertas de entradas/salidas. Estando el operador unido a otros p operadores de la red, el paso de recepción de NC incluye p circuitos de recepción que tienen $p + 1$ salidas y el paso de emisión NC incluye p circuitos de emisión que tienen $p + 1$ entradas.

30 Para describir de manera detallada un ejemplo de

1 - realización del nivel de conmutación, hay que conocer el protocolo de conexión utilizado en la red.

5 En la realización descrita a continuación, los paquetes de datos son transmitidos por octetos en paralelo sobre ocho hilos, transmitiendo dos hilos suplementarios, uno, un elemento binario de control de paridad, y el otro, un elemento binario que está al nivel lógico alto, designado con "1", para indicar el final de un paquete.

10 El protocolo utilizado en el ejemplo está ilustrado en la figura 4. Los hilos 0 a 7 transmiten los datos, el hilo 8 el elemento binario de paridad y el hilo 9 la indicación de final de paquete.

15 En ausencia de paquete, son transmitidos octetos de código de reposo ("00000000") y entre cada paquete se transmite al menos un octeto de este tipo, con el fin de permitir la resincronización, en el caso de una larga sucesión de paquetes, como se verá en la continuación.

20 Un comienzo de paquete se caracteriza por dos octetos sucesivos D1 y D2 de código "01111110", denominado bandera.

Los octetos de comienzo van seguidos por un campo de dirección I, en el cual cada dirección ocupa un octeto, estando impedido el valor de código "01111110".

25 El campo de datos II sigue al campo de dirección I sin transición y todos los códigos son autorizados.

Un final de paquete está indicado a la vez por un elemento binario en "1" en el hilo 9, y una configuración DF, en los ocho hilos de transmisión de datos.

30 Siendo los paquetes autodirectores, como se ha explicado más arriba, la etiqueta a utilizar para conmutar

1 - se sitúa siempre en el octeto A1 que sigue al último octeto que tiene la configuración de la bandera.

5 No estando limitado el tamaño de los campos de dirección y de datos, los paquetes pueden ser de cualquier longitud.

10 En la figura 5, se ha esquematizado un circuito de recepción que incluye, en la entrada, un circuito de sincronización 10 al nivel "relojes", que recibe por ocho hilos, las señales de datos DI, por un 9º hilo, la señal de control de paridad PI, y por un 10º hilo, la señal de final de paquete FPI, siendo recibidas estas señales al ritmo del reloj incidente HI.

15 Los relojes de todos los operadores de la red tienen la misma frecuencia nominal, pero esta cadencia varía dentro de los límites especificados; se dice que la red es plesiocrómica.

El circuito de sincronización al nivel "relojes" proporciona señales D, P y FP idénticas a las señales recibidas, pero al ritmo del reloj local HL.

20 El circuito 10 se describe de manera detallada en la figura 6a. Incluye dos registros 11 y 12 con diez elementos binarios que reciben en la entrada las señales incidentes DI, PI y FI, y cuyas salidas están unidas a un multiplexador 13 de salida, que proporciona las señales D, F y P.

25 Los dos registros 11 y 12 son mandados, respectivamente, por las señales de carga C1 y C2 que proceden de un circuito lógico común de escritura alternada 14. Este circuito 14 está constituido por una báscula 140 del tipo JK, cuyas entradas J y K están al nivel lógico "1" y que

1 es activada por los frentes ascendentes de la señal de reloj HI.

5 La señal C1 procede de una puerta lógica "Y" 141, que está unida, por una parte, a la salida Q de la báscula 140, y por otra parte, a la salida de un inversor 143, que recibe la señal HI. La señal C2 procede de una puerta lógica "Y" 142, que está unida, por una parte, a la salida \bar{Q} de la báscula 140, y por otra parte, a la salida del inversor 143.

10 El multiplexador 13 es mandado por una señal L de lectura procedente de un circuito de lectura 15 constituido por una báscula 150 de tipo JK precedida por una lógica de corrección del desfasado.

15 La lógica de corrección comprende una báscula 151 de tipo D que es activada por los frentes descendentes de la señal HL, y que recibe, en la entrada D, una señal CC procedente de la salida de una puerta "NO O EXCLUSIVO" 152, que recibe la señal E procedente de la salida Q de la báscula 140 y la señal L procedente de la báscula 150.

20 Las entradas J y K de la báscula 150 están al nivel lógico "1" y es activada por los frentes ascendentes de una señal HJK procedente de una puerta lógica "Y" 153, una de cuyas entradas está unida al reloj local HL, y la otra a la salida de una puerta lógica "NO-Y" 154, que recibe, por una parte, una señal SD procedente de la báscula 151, y por otra parte, una señal AC de autorización de corrección.

25 Esta señal AC, que procede de un circuito 20 (véase la figura 5), de sincronización al nivel "paquetes", está en "1" en ausencia del paquete y en "0" en presencia

1 de paquete. Así, la autorización de corrección no es dada más que en ausencia de paquete y se evita así toda modificación de los datos en el curso de una operación de sincronización.

5 Pero esta condición impone detectar una necesidad de corrección suficientemente pronto para que sea retardada en su ejecución al final del paquete. En otros términos, el tiempo disponible entre el momento en que es considerada una corrección y el momento en que ésta se hace
10 obligatoria, debe ser superior al tiempo de recepción del paquete, lo que origina esfuerzos sobre la precisión del reloj.

El circuito 10 funciona según el principio siguiente: los datos son inscritos en registros de memorización intermedios al ritmo del reloj distante HI y la lectura
15 es efectuada al ritmo del reloj local HL.

Para evitar toda dificultad, se utilizan dos registros 11 y 12 de memorización, de tal manera que, cuando se escribe en uno, se lee en el otro, e inversamente.

20 Las señales relativas a este circuito 10 están representadas en la figura 6b. Se han trazado, en primer lugar, las señales que se refieren a la escritura, es decir, HI, E, C1 y C2, que son sincrónicas de HI. A cada frente ascendente de C1 se escribe en el registro 11, y a cada
25 frente ascendente de C2, se escribe en el registro 12. Se escribe, pues, alternativamente en 11 y 12.

Para las señales siguientes que conciernen a la lectura y son sincrónicas de HL, se coloca uno inicialmente en un caso en que existe una demanda de corrección
30 (SD = "1") y en que no hay autorización de corrección (AC =

1 = "0").

El registro 11 es leído cuando L está en "1" y el registro 12 cuando L está en "0". Cuando la lectura de un registro se aproxima demasiado a la operación de escritura, es decir, cuando entra en un intervalo que está situado alrededor del instante de escritura y que define un tiempo de protección representado aquí por la señal E, se tiene una demanda de corrección, es decir, que SD pasa a "1" y permanece allí hasta que sea efectuada la corrección.

10 Cuando AC pasa a "1", se efectúa la corrección, es decir, se suprime un impulso del reloj HJK, lo que tiene por efecto suprimir un tiempo de lectura. Así, en nuestro diagrama, siendo la frecuencia de HL superior a la de HI, se ha suprimido un tiempo de lectura del registro 12 y se leerá, pues, dos veces sucesivamente, el contenido del registro 11; pero como esta lectura se produce en ausencia de paquete, se leen dos códigos de reposo o, como límite, se leen dos configuraciones de la bandera. Es por esto por lo que a la salida del circuito 10, un paquete puede estar 20 a veces precedido por tres octetos que tienen la configuración de la bandera.

En el caso en que la frecuencia HL es inferior a la de HI, la corrección lleva a suprimir la lectura de una palabra de información; pero como esta supresión se efectúa 25 en ausencia de paquete, se suprime un código de reposo o, como límite, un octeto que tenga la configuración de la bandera. Es por esto por lo que es necesario, por una parte, hacer preceder a los paquetes por dos octetos que tengan la configuración de la bandera, con el fin de que siempre quede por lo menos uno, y por otra parte, tener por lo menos 30

1 un código de reposo entre dos paquetes.

En la figura 7 se ha representado en detalle el circuito 20 de sincronización al nivel "paquetes".

5 Este circuito 20 incluye, en primer lugar, un circuito 21 de reconocimiento de la configuración de bandera que recibe los datos D procedentes del circuito 10 por ocho hilos en paralelo. Este circuito 21 incluye una puerta lógica "Y" 210 que está unida a la salida de un inversor 212, cuya entrada está conectada al primer hilo de datos, a la salida de un inversor 212 cuya entrada está conectada al octavo hilo de datos y a los otros seis hilos de datos.

10 El circuito 21 proporciona una señal RFD de reconocimiento de bandera, procedente de la puerta "Y" 210, que está en "1" cuando hay una bandera en la entrada, y en "A", cuando no la hay. El circuito 21 proporciona igualmente, con ayuda del inversor 213, la señal inversa $\overline{\text{RFD}}$.

15 El circuito 21 va seguido inmediatamente por una báscula 22 de elaboración de una señal AC de autorización de corrección, definida más arriba; esta báscula 22 de tipo JK, es activada por los frentes descendentes de la señal de reloj local HL, su entrada J recibe la señal RFD de reconocimiento de bandera y su entrada K está permanentemente al nivel lógico bajo "0", de tal manera que si la salida Q pasa a "1", permanece allí hasta la puesta a cero, cualquiera que sea la señal presente en J.

20 La señal AC se obtiene en la salida \overline{Q} de la báscula 22; pasa a cero una vez que aparece el primer octeto que tiene la configuración de bandera, y permanece allí hasta la puesta a cero de la báscula por una señal RAZ, al final de cada paquete.

30

7010

1 La señal RAZ se obtiene en la salida \bar{Q} de una báscula 23 de tipo D activada por los frentes descendentes de la señal del reloj local HL y que recibe, en la entrada D, una señal de final de paquete retardada FPR.

5 El circuito 20 incluye, a continuación, una báscula 24 de tipo JK, activada por los frentes descendentes de la señal de reloj local HL, cuya entrada J está unida a la salida de una puerta lógica "Y" 25, que recibe las señales \bar{AC} y \bar{RFD} , y cuya entrada K está al nivel "0".

10 La salida Q de la báscula 24 proporciona una señal A1 que, cuando pasa a "1", indica la llegada del primer octeto de dirección, que es utilizado para la conmutación. La señal A1 permanece a continuación en "1", hasta la puesta a cero por la señal RAZ, es decir, hasta el final del
15 paquete.

Una báscula 26 de tipo D, activada por los frentes ascendentes de la señal HL, recibe la señal A1 y proporciona una señal VAL que es simplemente una señal A1 retardada. Es puesta a cero por la señal RAZ.

20 El circuito 20 incluye, finalmente, una báscula 27 de tipo D, activada por los frentes ascendentes de la señal HL, que recibe la señal VAL y proporciona una señal A2 que, cuando pasa a "1", indica la llegada del segundo octeto de dirección que pasa a ser el primer octeto de dirección del paquete que sale del operador. La señal A2 permanece a continuación en "1" hasta la puesta a cero por la
25 señal RAZ.

30 Se vuelve ahora a la figura 5; el circuito de recepción incluye dos registros, uno de etiqueta 31, y el otro de datos 32.

1 Las entradas del registro 31 están unidas a los
ocho hilos de datos D y a la salida de un circuito 30 de
control de paridad que recibe la señal P y los datos. La
carga de este registro 31 es mandada por la señal A1 pro-
cedente del circuito 20, lo que permite cargar en el momen-
5 to oportuno la etiqueta a utilizar para la conmutación.

Las salidas de este registro están unidas todas
a un descodificador 33 que es mandado por la señal VAL de
validación de dirección procedente del circuito 20.

10 En el caso en que el circuito 30 no ha detecta-
do el reloj, el detector toma en cuenta las ocho primeras
entradas y dirige una sola y única salida, es decir, que
una de las salidas pasa a "1".

15 En el caso contrario en que un error ha sido de-
tectado, el descodificador toma en cuenta solamente el he-
cho de que la novena entrada está en "1", y esto tiene co-
mo consecuencia proporcionar en la salida AD la dirección
del nivel superior que está encargado de tratar el paquete
erróneo.

20 Las entradas del registro 32 reciben las señales
de datos D y la señal FP de final de paquete y el cargamen-
to de este registro es mandado por la señal HL. Las sali-
das de este registro están unidas todas a una primera par-
te de las entradas de un orientador 34 constituido por un
conjunto de multiplexadores. La salida del registro 32, que
25 corresponde a la señal FP en la entrada, proporciona la se-
ñal FPR de paquete retardada en el circuito 20.

30 La segunda parte de las entradas del orientador
34 está unida a una configuración cableada de comienzo de
paquete (ocho hilos que llevan la configuración de bandera,

1 más un noveno al nivel lógico bajo).

5 La orientación se realiza por la señal A2, procedente del circuito 20; cuando A2 está en "0", se tienen en la salida las señales presentes en la primera parte de las entradas, y cuando A2 está en "1", se tienen en la salida las señales presentes en la segunda parte de las entradas. En la salida del multiplexador 34, se obtiene una señal ND de datos que, por medio del paso de emisión, es transmitida al operador siguiente.

10 Las señales ND no incluyen más que informaciones útiles, es decir, para cada paquete, un octeto con configuración de bandera, las direcciones, los datos y otro octeto con configuración de bandera.

15 Además de las señales AD y ND, el circuito de recepción proporciona en el paso de emisión una señal DND que indican un comienzo de paquete al nivel de las señales ND. Esta señal DND se obtiene en la salida de una puerta lógica "Y" 35, que recibe en la entrada la señal VAL y la señal A2 invertida por un inversor 36.

20 Como conclusión de esta primera parte consagrada al circuito de recepción, se precisan las conexiones entre un paso de recepción con n circuitos y un paso de emisión con n circuitos, desde el punto de vista de los hilos de enlace. En cada circuito de recepción, cada una de las n salidas AD del descodificador 33 está unida a un circuito
25 de emisión diferente, y las nueve salidas (ND) del multiplexador 34, así como la salida (DND) de la puerta "Y" 35, están unidas, cada una, a todos los circuitos de emisión.

30 En nuestro ejemplo particular, entre un circuito de recepción y un circuito de emisión hay once hilos de

1 -enlace.

En la figura 8, se ha representado de manera detallada un circuito de emisión que incluye n entradas EE1 a EEn, y una salida SE.

5 Este circuito incluye un conjunto 40 de n filas de espera FIFO1 a FIFO n , estando constituida cada fila de espera representada por nueve registros del tipo FIFO "first in, first out" (primero entrado, primero salido) en paralelo.

10 Cada fila de espera FIFO i (tomando i los valores enteros de 1 a n) recibe señales NDi por nueve hilos en paralelo; igualmente recibe una señal S i de desplazamiento de entrada que procede de una puerta lógica "Y" 6i que recibe la señal HL y la señal ADi procedente del mismo circuito de recepción que las señales NDi, lo que permite no
15 hacer penetrar más que informaciones útiles en la fila de espera. Finalmente, recibe una señal SOi de desplazamiento de salida.

20 La salida de FIFO i está unida a la entrada de una puerta lógica 4i con salida de tres estados mandada por una señal OEi, representando esta puerta 4i nueve puertas de este tipo. Las salidas de las primeras puertas están unidas entre sí, igualmente para las salidas de las segundas puertas, y así sucesivamente, hasta las salidas de las
25 novenas. Los nueve puntos comunes así constituidos, están unidos a una parte de las entradas de un multiplexador 70 cuya otra parte de las entradas está unida al código de reposo cableado y cuyas salidas están unidas a un registro de recuadrado 72. Se designa por FPS (fin de paquete: 1
30 hilo) y DS (datos: ocho hilos) las señales procedentes de

1 Los puntos comunes.

5 El registro 72 recibe igualmente una señal de control de paridad formada por el circuito 71 con ayuda de las señales de datos procedentes de 70. Este registro 72 es mandado por la señal de reloj HL y las señales procedentes de estos registros 72 constituyen una señal de salida S del circuito de emisión que son transmitidas al ritmo de HL al operador siguiente.

10 El circuito de emisión comprende igualmente un circuito 50 de establecimiento de las pérdidas de salida entre las n filas de espera.

15 Este circuito 50, representado en detalle en la figura 9, incluye n registros de memorización P1 a Pn del tipo "primero entrado, primero salido". Cada registro Pi (i = 1 a n) recibe una señal DPi procedente de una puerta lógica "Y" 5i que recibe a su vez la señal ADi de acceso y la señal DNDi de comienzo de paquete (véase la figura 8). Cuando la señal DPi está en "1", indica, pues, la llegada de un paquete al filtro de espera FIFOi.

20 Los n registros Pi reciben una misma señal SIN de desplazamiento de entrada que procede de una puerta lógica "O" 500 que recibe las señales DP1 a DPn. Así, existe desplazamiento en los registros P1 a Pn de prioridad, cada vez que al menos una de las señales DPi (i = 1 a n) es
25 igual a "1", es decir, cada vez que un comienzo de paquete entra en al menos una fila de espera.

30 La salida de cada registro Pi (i = 1 a n) está unida a la entrada D de una báscula 25i del tipo D. Los n registros Pi reciben una misma señal SOUT de desplazamiento de salida y las n básculas 25i (i = 1 a n) reciben esta

1 -misma señal SOUT en la entrada CK del reloj.

Cada registro Pi proporciona una señal ORi que indica que una señal está dispuesta para salir del registro. Una puerta 507 efectúa un "0" lógico entre las señales ORi y proporciona una señal OR que indica una señal dispuesta para salir de al menos un registro Pi.

Las salidas \bar{Q} de las básculas 25i están unidas a las entradas de un circuito 501 codificador de prioridad. Cuando hay una sola entrada en el nivel "0", el circuito 501 proporciona en la salida la dirección ADC codificada en binario de esta entrada. Cuando hay varias entradas en el nivel "0", el circuito 501 establece una prioridad entre estas diferentes entradas y proporciona en la salida ADC la dirección codificada en binario de la entrada prioritaria.

El circuito 501 proporciona igualmente una señal DEP de demanda de establecimiento de prioridad, que es igual a "1", si hay por lo menos una entrada en "0", es decir, cuando hay todavía una prioridad que establecer o por lo menos una dirección que codificar, y que es igual a "0" si todas las entradas están en "1", es decir, cuando no hay ya nada que descodificar.

Una puerta lógica "Y" 502 recibe la señal de reloj HL, la señal OR y la señal \overline{DEP} que es la señal DEP invertida por la puerta 503, y proporcionan la señal SOUT de tal manera que, cuando el codificador 501 no tiene ya nada que codificar, los registros Pi le proporcionan nuevas señales de entrada, si las contienen, a través de las básculas 25i.

En la salida del codificador 501, la señal ADC

30

7010

1 es memorizada en un registro 504 que proporciona en la salida la señal AP a petición de una señal de carga procedente de una puerta lógica "Y" 505 que recibe la señal de reloj HL y una señal NPR.

5 Las ℓ salidas del registro 504 están unidas a las entradas de un descodificador 506 cuyas salidas, que proporcionan las señales RS1 a RS n , están unidas, respectivamente, a las entradas CL de puesta a cero de las básculas 251 a 25 n . Este descodificador 506 es mandado por una señal
10 RAZP de tal manera que cuando la señal RAZP lo permite, las señales RS i ($i = 1$ a n) efectúan la puesta a cero selectiva de la báscula 25 i que corresponde a la entrada del codificador, cuya dirección acaba de ser codificada.

15 Cuando todas las básculas tienen su salida Q en cero (y por lo tanto su salida \bar{Q} en "1") la señal DEP es igual a "0" y se pasa a la etapa siguiente.

El circuito de emisión representado en la figura 8 incluye, finalmente, un circuito lógico 80 de gestión de emisión de los paquetes.

20 Este circuito 80 incluye dos descodificadores 81 y 82 que reciben ambos la señal AP de dirección prioritaria codificada en binario por ℓ hilos en paralelo. El descodificador 81, mandado por una señal CKSO, proporciona las señales SO1 a SO n que autoriza la salida de un paquete de una sola y única fila de espera, cuando la señal CKSO
25 lo permite. El descodificador 82 proporciona de modo permanente las señales OE1 a OE n de las cuales una y solo una conecta la puerta con salida de tres estados que corresponde a la fila de espera seleccionada.

30 Para una mejor comprensión, la figura 10, que re-
7010

1 presenta la forma de las señales del circuito 80, se descri-
be al mismo tiempo que el circuito.

5 El circuito 80 comprende un circuito de reconoci-
miento de la configuración de bandera que está unido a los
ocho hilos de salida de datos DS del circuito 40 y que in-
cluye una puerta lógica "Y" 83 que recibe las señales del
primer hilo invertidas por una puerta 84, las señales del
octavo hilo invertidas por una puerta 85 y las señales de
los otros seis hilos. La señal DEB procedente de la puerta
10 83 está al nivel "1" cuando hay en la entrada la configura-
ción "01111110", es decir, al comienzo y al final de paque-
te (véase la figura 10).

15 El circuito 80 incluye a continuación una puerta
"Y" 86 que recibe la señal EPS procedente del circuito 40 y
la señal DEB y que proporciona una señal FIN igual a "1" al
final de paquete (véase la figura 10).

20 A continuación, se tiene una báscula 87 de tipo
D, activada por los frentes ascendentes de la señal HL, cu-
ya entrada D está unida a la salida de una puerta lógica
"O" 88 unida a las salidas de dos puertas lógicas "Y" 89 y
90. La puerta 89 recibe la señal DEB y la señal FIN inverti-
da por la puerta 91; la puerta 90 recibe la señal $\overline{\text{FIN}}$ pro-
cedente de la puerta 91 y la señal SCR de selección de cód-
igo de reposo procedente de la salida Q de báscula 87.

25 Esta señal SCR, representada en la figura 10, pasa
a "1" al comienzo de cada paquete, y a "0", al final; manda
al multiplexador 70, con objeto de tener en la salida de és-
te códigos de reposo, en ausencia de paquete en la entrada.

La salida \overline{Q} de la báscula 87 proporciona la se-
ñal NPR al circuito 50. Al final de cada paquete, esta se-
ñal NPR permite obtener una nueva dirección prioritaria.

30 El circuito 80 incluye, finalmente, dos básculas
92 y 93 del tipo D activadas por los frentes descendentes

1 de la señal HL y que reciben ambas, en la entrada CL de
puesta a cero, la señal SCR.

La báscula 92 recibe, en la entrada D, la señal
SCR y proporciona en la salida una señal SQ1; la báscula
5 93 recibe en la entrada D la señal SQ1 y proporciona la
señal SQ: las señales SQ1, SQ2 están representadas en la
figura 10. La secuencia de salida se realiza por estas dos
básculas y está representada en la figura 10 por SQ.

En ausencia de paquete, SQ es igual a 00 y en la
10 salida SE, se transmiten códigos de reposo.

Cuando el circuito 50 proporciona una dirección
prioritaria AP, ésta es descodificada inmediatamente por
el descodificador 82 y la puerta con salida de tres esta-
dos correspondiente es conectada. Las señales DS son las
15 que están en la salida de la fila de espera, es decir, que
se tiene una configuración de bandera que es transmitida
por SE. La aparición de esta configuración desencadena el
funcionamiento del circuito 80; SCR pasa a "1", y luego
SQ se hace igual a 01.

20 A continuación SQ pasa a "1" y por lo tanto SQ
es igual a 11. Esto origina el desplazamiento en la salida
de la fila de espera dirigida gracias a la señal SKSO de
mando del descodificador 81 que procede de una puerta lógi-
ca "Y" 94, que recibe las señales SQ2 y HL. Esta señal per-
25 mite transmitir durante un segundo período de HL la confi-
guración de bandera, y luego todas las direcciones y datos
que siguen, hasta el final del paquete. Se ha reconstituí-
do así un paquete conforme al protocolo de conexión.

Finalmente, una puerta lógica "Y" 95, que recibe
30 la señal SQ1 y la inversa de SQ2, proporciona la señal

1 RAZP al circuito 50. Cuando SQ es igual a 01, RAZ está en "1" y permite la puesta a cero selectiva por el descodificador 506.

5 El operador, que incluye un nivel de conmutación semejante al descrito en esta patente, posee una velocidad de funcionamiento que responde a las exigencias de la telefonía, gracias, especialmente, a la transmisión de los datos en paralelo.

10 Además, las filas de espera de los circuitos de emisión se llenan únicamente de informaciones útiles, es decir, por paquete: un código de comienzo, las direcciones, los datos y un código de final.

15 Por otra parte, este operador es capaz de unir cualquier entrada a cualquier salida, por lo cual tiene una accesibilidad total.

20 Además, la etiqueta utilizada por un operador es eliminada completamente antes de la emisión hacia el operador siguiente, de tal manera que un paquete que no sale del nivel de conmutación de los operadores disminuye en un octeto a cada nudo y termina por desaparecer, lo que preserva, a la vez, de una eventual saturación por paquetes "perdidos".

25 Finalmente, si el control de paridad detecta un paquete erróneo, éste es orientado inmediatamente hacia el nivel superior para análisis.

30

7010

1

- REIVINDICACIONES -

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Operador para red de conmutación de datos numéricos por paquetes, que incluye un nivel superior que comprende un microcalculador y una intercara hacia el exterior, y una de cuyas misiones es formar, a partir de las informaciones recibidas del exterior de la red según cualquier codificación, paquetes "autodirectores", es decir, aptos para transitar en la red únicamente gracias a un membrete colocado al comienzo del paquete y conformes al protocolo de transmisión utilizado en la red, operador caracterizado porque incluye igualmente una intercara hacia el interior que comprende n puertas bidireccionales que están conectadas a intercaras hacia el interior de otros operadores de la red y cada una de las cuales se compone de un circuito de recepción con una entrada y n salidas y de un circuito de emisión con n entradas y una salida, estando unida una entrada del circuito de emisión a una salida de un circuito de recepción diferente para cada una de las n entradas, estando unida la entrada de cada circuito de recepción de una puerta a la salida de un circuito de emisión de una puerta de otro operador de la red.

2ª.- Operador según la reivindicación 1ª, poseyendo cada operador de la red su propio reloj y siendo las

1 - señales de estos relojes plesiocrónicas, caracterizado
porque cada circuito de recepción de cada puerta bidireccio-
nal incluye: medios de sincronización al nivel "relojes"
para recibir las señales de datos al ritmo del reloj inci-
5 dente y proporcionar estas mismas señales al ritmo del re-
loj local, cuando tienen su autorización; medios de síncro-
nización al nivel "paquetes" para discernir las diferentes
fases de la transmisión de un paquete y para elaborar se-
ñales de mando de los otros medios del circuito de recep-
10 ción y, en particular, proporcionar una señal de autoriza-
ción a los medios de sincronización al nivel "relojes"; me-
dios de control de paridad de las señales procedentes de
los medios de sincronización al nivel "relojes", para per-
mitir orientar los paquetes defectuosos hacia el nivel su-
15 perior; medios de tratamiento de la etiqueta para seleccio-
nar y descodificar la parte del membrete que corresponde
al operador concernido y que se denomina etiqueta, con ayu-
da de señales proporcionadas por los medios de sincroniza-
ción al nivel "paquetes"; medios de tratamiento de los da-
20 tos para reconstituir el paquete a transmitir después de
la eliminación de la etiqueta utilizada y para proporcionar
una señal de indicación de comienzo de paquete reconstitui-
do, con ayuda de señales procedentes de los medios de sín-
cronización al nivel "paquetes".

25 3ª.- Operador según la reivindicación 2ª, siendo
transmitidos los datos por m hilos en paralelo en la red,
teniendo además un hilo para un control de paridad y otro
para una indicación de final de paquete, caracterizado por-
que los medios de sincronización al nivel "relojes" consis-
30 ten en: dos registros de memorización intermedia de los

1 - datos que incluyen $m + 2$ elementos binarios, que son manda-
dos por señales tales que, cuando se escribe en una, se
lee en otra, e inversamente, estando las salidas de cada
uno de los registros unidas a las entradas de un multiplexa-
5 dor de salida; un circuito lógico de escritura alternada
común a los dos registros y constituido principalmente por
una báscula de tipo JK; un circuito lógico de lectura que
incluye una lógica de corrección de desfase constituida
10 por una báscula de tipo D de memorización de mando de co-
rrección, cuya entrada de reloj está conectada al reloj lo-
cal y cuya entrada D está unida a la salida de una puerta
lógica "NO O EXCLUSIVO", una de cuyas entradas está unida
a la salida Q de la báscula JK del circuito de escritura y
la otra a la salida de una báscula de tipo JK de acceso en
15 lectura, cuyas entradas están al nivel "1" y cuya entrada
de reloj está unida a la salida de una puerta lógica "Y",
una de cuyas entradas está conectada al reloj local y la
otra a la salida de una puerta lógica "NO-Y" que recibe,
por una parte, la señal de mando de corrección procedente
20 de la báscula D y, por otra parte, una señal de autoriza-
ción de corrección.

4ª.- Operador según la reivindicación 2ª, caracte-
terizado porque los medios de sincronización al nivel "pa-
quetes" incluyen: un circuito lógico de reconocimiento de
25 la configuración de la bandera seguido por un circuito de
detección de presencia de un paquete que está constituido
por una primera báscula de tipo JK, cuya entrada J está
unida a la salida del circuito de reconocimiento de la con-
figuración de bandera y cuya entrada K está al nivel lógi-
co bajo designado por "0", proporcionando la salida \bar{Q} de
30

1 - esta primera báscula la señal de autorización de la correc-
ción; un circuito de detección de la primera palabra de
dirección que incluye una segunda báscula de tipo JK, cuya
5 entrada K está al nivel lógico "0" y cuya entrada J está
unida a la salida de una puerta lógica "Y", unida, a su vez,
a la salida Q de la primera báscula de tipo JK y a la sali-
da de un inversor que recibe la señal procedente del circui-
to lógico de reconocimiento de la configuración de bandera,
y la salida Q de la segunda báscula proporciona una señal
10 que indica la aparición de la primera palabra de dirección;
un circuito de validación de dirección que incluye una pri-
mera báscula de tipo D, activada por los frentes ascenden-
tes de la señal HL, cuya entrada D está unida a la salida
Q de la segunda báscula de tipo JK y que proporciona en la
15 salida una señal de validación de dirección; un circuito
de detección de la segunda palabra de dirección que incluye
una segunda báscula de tipo D, activada por los frentes as-
cendentes de la señal HL, cuya entrada D está unida a la
salida Q de la primera báscula de tipo D y que proporciona
20 en la salida una señal de indicación de detección de la se-
gunda palabra de dirección; un circuito de puesta a cero
que incluye una tercera báscula de tipo D, activada por
los frentes descendentes de la señal de reloj local, cuya
entrada recibe una señal de final de paquete retardada y
25 cuya salida \bar{Q} está unida a las entradas de puesta a cero
de las dos básculas de tipo JK y de las dos básculas de ti-
po D.

5^a.- Operador según las reivindicaciones 2^a, 3^a
y 4^a, caracterizado porque los medios de tratamiento de
30 etiqueta consisten en un registro de dirección que incluye

1 - m + 1 elementos binarios, m para los datos numéricos más
uno para el control de paridad, registro en que las entra-
das están conectadas a las salidas correspondientes del
circuito de sincronización al nivel "relojes", cuya entra-
5 da de carga "LOAD" recibe la señal de detección de la pri-
mera palabra de dirección y la entrada "CLEAR" la señal de
puesta a cero, y cuyas salidas están unidas a las entradas
de un descodificador que es mandado por la señal de vali-
dación de dirección.

10 6ª.- Operador según la reivindicación 5ª, carac-
terizado porque los medios de tratamiento de los datos con-
sisten en un registro de datos que incluye m + 1 elementos
binarios, m para los datos numéricos más 1 para la señal
de final de paquete, estando las entradas de este registro
15 conectadas a las salidas correspondientes del circuito de
sincronización al nivel "relojes" y estando las salidas de
este registro unidas a una parte de las entradas de un mul-
tiplexador que recibe en sus otras entradas una señal de
bandera cableada y que es mandado por la señal de detección
20 de la segunda palabra de dirección, proporcionando este
multiplexador el paquete reconstituído en m + 1 salidas en
paralelo.

25 7ª.- Operador según la reivindicación 1ª ó la
reivindicación 2ª, caracterizado porque cada circuito de
emisión de cada puerta bidireccional incluye: medios de al-
macenamiento para formar n filas de espera con las señales
recibidas del paso de recepción; medios de establecimiento
de prioridad para anotar el orden de llegada de los paque-
tes a partir de las señales recibidas del paso de recepción,
30 para establecer una prioridad en caso de llegadas simultá-

1 - neas de dos o varios paquetes y para proporcionar una di-
rección codificada de la fila de espera a tratar en priori-
dad; medios de emisión para reconstituir, a partir de las
5 señales procedentes de los medios de almacenamiento, paque-
tes conforme al protocolo de conexión y para emitirlos al
ritmo del reloj local en su orden de llegada; medios de
gestión para seleccionar una fila de espera a partir de la
dirección codificada proporcionada por los medios de esta-
blecimiento de prioridad, para mandar una nueva dirección
10 prioritaria a tratar a partir de las informaciones proce-
dentes de los medios de almacenamiento y para mandar los
medios de emisión.

8ª.- Operador según las reivindicaciones 6ª y 7ª,
caracterizado porque los medios de almacenamiento están
15 constituidos por n filas de espera que incluyen, cada una,
 $m + 1$ registros de tipo "FIFO" en paralelo; porque, para
cada fila de espera, las $m + 1$ entradas de los registros
están unidos a las salidas de los multiplexadores de sali-
da del registro de datos de un circuito de recepción dife-
20 rente para cada una de las n filas de espera, y la entrada
de desplazamiento de entrada está unida a la salida de una
puerta lógica "Y", unida a su vez al reloj local y a la
salida del descodificador de dirección del circuito de re-
cepción que corresponde a esta fila; y porque, para cada
25 fila de espera, las $m + 1$ salidas están unidas a un conjun-
to de $m + 1$ puertas de salida de "tres estados" mandadas
por una misma señal procedente de los medios de gestión,
estando las salidas de las primeras puertas con salida de
"tres estados" de cada conjunto unidas entre sí, lo mismo
30 para las salidas de las segundas y así sucesivamente, has-

1 ta las salidas de las $m + 1$ ésimas y estando estos $m + 1$
puntos comunes conectados a $m + 1$ entradas de un multiple-
xador de salida que forma parte de los medios de emisión
que recibe en otras $m + 1$ entradas un código de reposo ca-
5 bleado y que es mandado por una señal de selección proce-
dente de los medios de gestión.

9ª.- Operador según la reivindicación 8ª, carac-
terizado porque los medios de establecimiento de prioridad
incluyen: n registros de prioridad de tipo "FIFO" que están
10 adscritos, cada uno, a una fila de espera y que reciben,
cada uno, en la entrada, una señal, que indica un comienzo
de paquete en la fila correspondiente, procedente de una
puerta lógica "Y" que recibe la señal de comienzo de paque-
te reconstituído procedente de los medios de sincronización
15 al nivel "paquetes" del circuito de recepción de donde pro-
ceden los datos que se encuentran en la entrada de la fila
concernida, y la señal de acceso procedente de la salida,
correspondiente a esta misma fila del descodificador de
etiqueta de este mismo circuito de recepción, estando las
20 salidas de estas n puertas "Y" unidas a una puerta "O" cuya
salida está unida a las entradas de desplazamiento de en-
trada de los n registros de prioridad; n básculas de tipo
D que tienen, cada una, su entrada D unida a la salida de
uno de los n registros de prioridad; un circuito codifica-
25 dor de prioridad cuyas entradas están unidas a las salidas
 \bar{Q} de las báscula de tipo D y una de cuyas salidas, que
indica la presencia de informaciones a codificar en la en-
trada, está unida por medio de un inversor a una puerta
"Y", estando esta puerta "Y" unida igualmente al reloj lo-
cal y a la salida de una puerta "O" conectada a las n sa-

1 - lidas de indicación de información dispuestas a salir de
los registros de prioridad y que tienen su salida unida,
por una parte, a las n entradas de desplazamiento de salida
de los n registros de prioridad, y por otra parte, a las
5 n entradas de reloj de las n básculas D; un registro de
memorización intermedio con ℓ elementos binarios cuyas en-
tradas están unidas a un codificador de prioridad y cuya
entrada de carga está conectada a la salida de una puerta
"Y" que recibe en la entrada la señal de reloj local y una
10 señal de demanda de una nueva dirección codificada priori-
taria procedente de los medios de gestión, proporcionando
la salida de este registro una dirección codificada priori-
taria; y un descodificador cuyas entradas están unidas a
las ℓ salidas del registro de memorización intermedio y
15 cada una de cuyas n salidas está unida a la entrada de
puesta a cero de una de las básculas de tipo D, estando
mandado este descodificador por una señal de puesta a cero
de la entrada prioritaria ya tratada, señal que procede
de los medios de gestión.

20 10ª.- Operador según la reivindicación 9ª, ca-
racterizado porque los medios de gestión incluyen: dos des-
codificadores cuyas entradas están unidas a las ℓ salidas
del registro de memorización intermedia de los medios de
establecimiento de prioridad, estando las n salidas del
25 primer descodificador unidas a las n entradas de despla-
zamiento de salida de las n filas de espera de los medios de
almacenamiento y estando las n salidas del segundo desco-
dificador unidas a las n entradas de mando de las n puer-
tas con salida de tres estados de estos mismos medios de
30 almacenamiento; un circuito de reconocimiento de comienzo

1 y de final de paquete en la salida de los medios de almace-
namiento, que proporciona la señal de selección del multi-
plexador de salida de los medios de recuadrado y de emisión,
que selecciona el código de reposo cableado en ausencia de
5 paquete que proporciona la inversa de esta señal de selec-
ción como señal de demanda de una nueva dirección codifica-
da prioritaria; un circuito de secuencia constituido por
básculas de tipo D, activadas por los frentes descendentes
de la señal de reloj local, cuyas entradas de puesta a cero,
10 así como la entrada D de la primera, recibe la señal de se-
lección procedente del circuito preferente, estando la sa-
lida Q de la primera báscula unida a la entrada de la segun-
da báscula, estando la salida Q de la primera báscula y la
salida \bar{Q} de la segunda báscula unidas a las entradas de
15 una primera puerta lógica "Y", cuya salida está unida a la
entrada de mando del descodificador del circuito de esta-
blecimiento de prioridad y la salida Q de la segunda báscu-
la, así como el reloj local, están unidas a las entradas
de una segunda puerta lógica "Y", cuya salida está unida
20 a la entrada de mando del primer descodificador.

11ª.- Operador según la reivindicación 1ª, unido
a otros p operadores de la red, caracterizado porque la
intercara hacia el interior de la red incluye p + 1 puer-
tas bidireccionales que se componen, cada una, de un cir-
25 cuito de recepción con una entrada y p + 1 salidas, y de
un circuito de emisión con p + 1 entrada y una salida, te-
niendo una de las puertas bidireccionales su entrada y su
salida unidas al nivel superior.

12ª.- Operador según la reivindicación 1ª, unido
30 a otros p operadores de la red, caracterizado porque la in-

1 - tercera hacia el interior de la red incluye p puertas bi-
direccionales que se componen, cada una, de un circuito de
recepción con una entrada y p + 1 salidas y de un circuito
de emisión con p + 1 entrada y una salida, estando una de
5 las salidas de cada circuito de recepción y una de las en-
tradadas de cada circuito de emisión unidas al nivel superior.

13ª.- Operador para red de conmutación de datos
numéricos por paquetes.

Tal y como se ha descrito en la Memoria que an-
10 tecedo, representado en los dibujos que se acompañan y con
los fines que se han especificado.

Esta Memoria consta de treinta y dos hojas escri-
tas a máquina por una sola cara.

15 Madrid, 22.ENE.1960

P.A.

Alberto de Eizaburu
Por Red.

20

25

DNM 30

7010

Fig.1

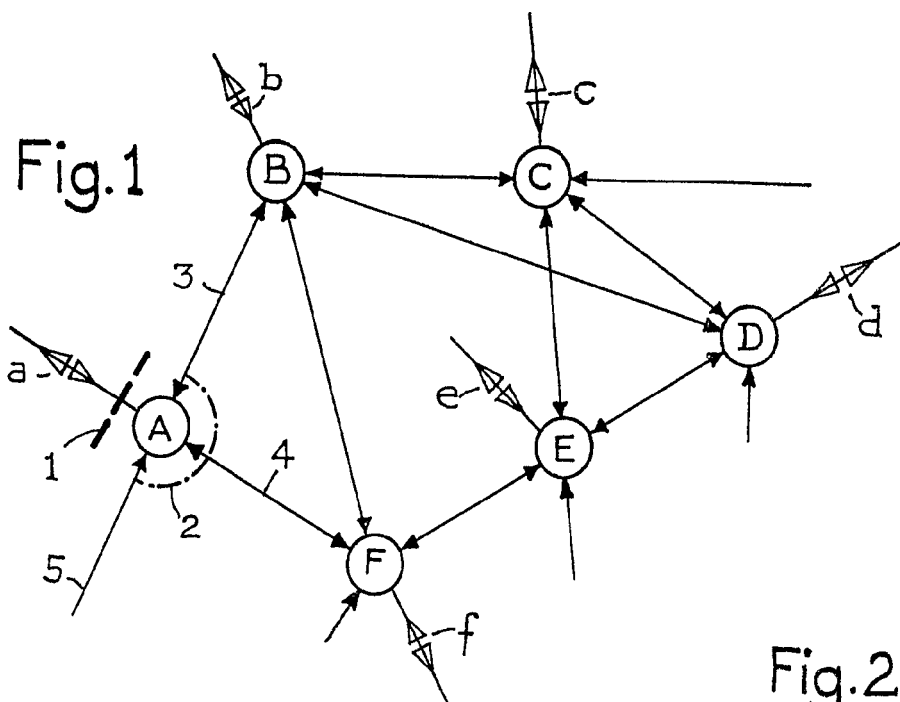
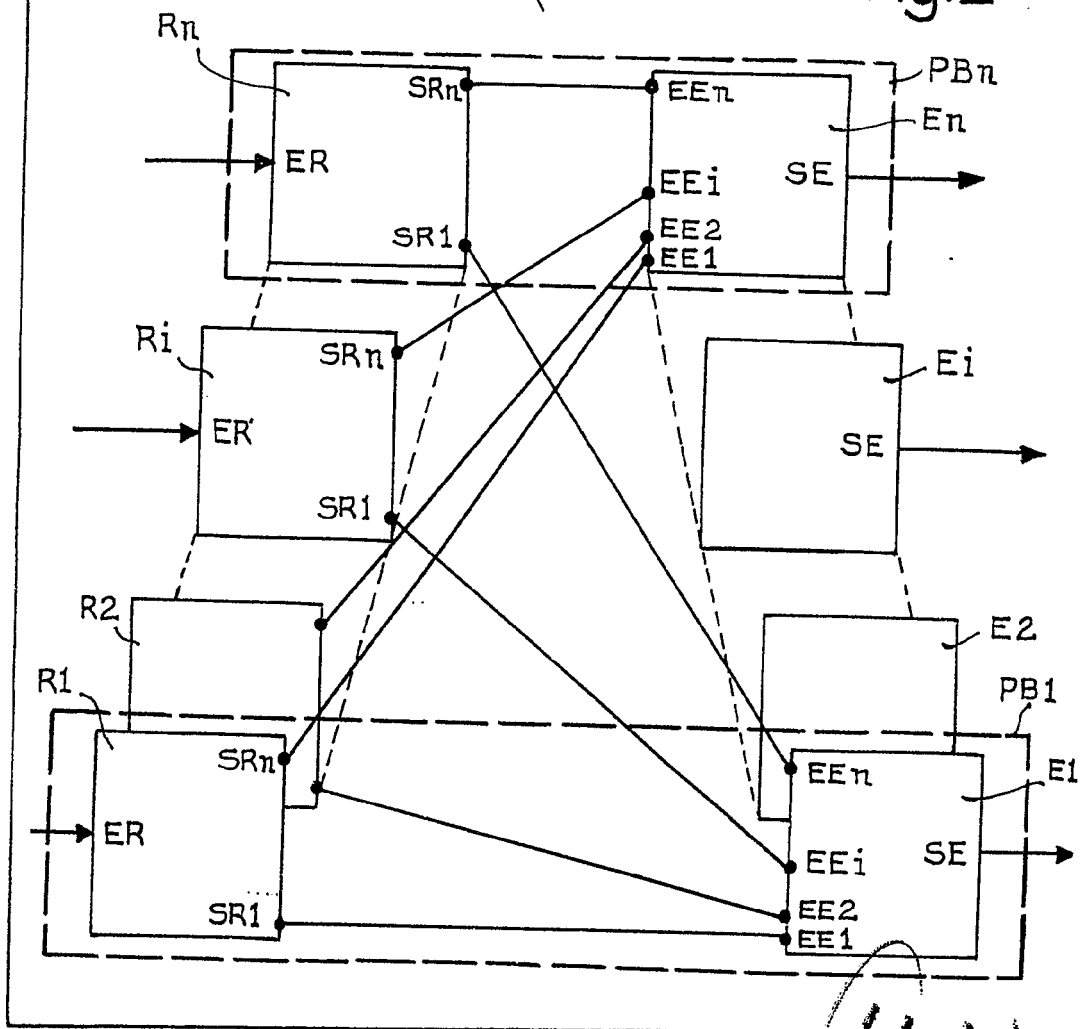


Fig.2



Alberto de ...
Por Edita

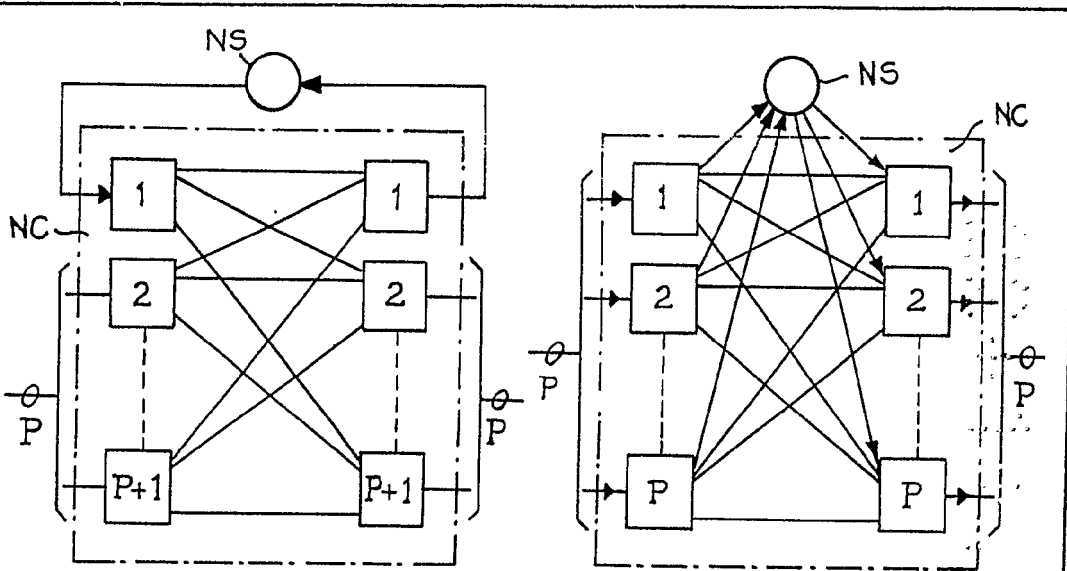


Fig. 3a

Fig. 3b

	0	1	2	3	4	5	6	7	8	9
	0	0	0	0	0	0	0	0	X	0
D1	0	1	1	1	1	1	1	0	X	0
D2	0	1	1	1	1	1	1	0	X	0
A1									X	0
A2									X	0
I										
M1										
M2										
II										
DF	0	1	1	1	1	1	1	0	X	1
	0	0	0	0	0	0	0	0		

Fig. 4

Alberto de Ezaluru
 Por Fader

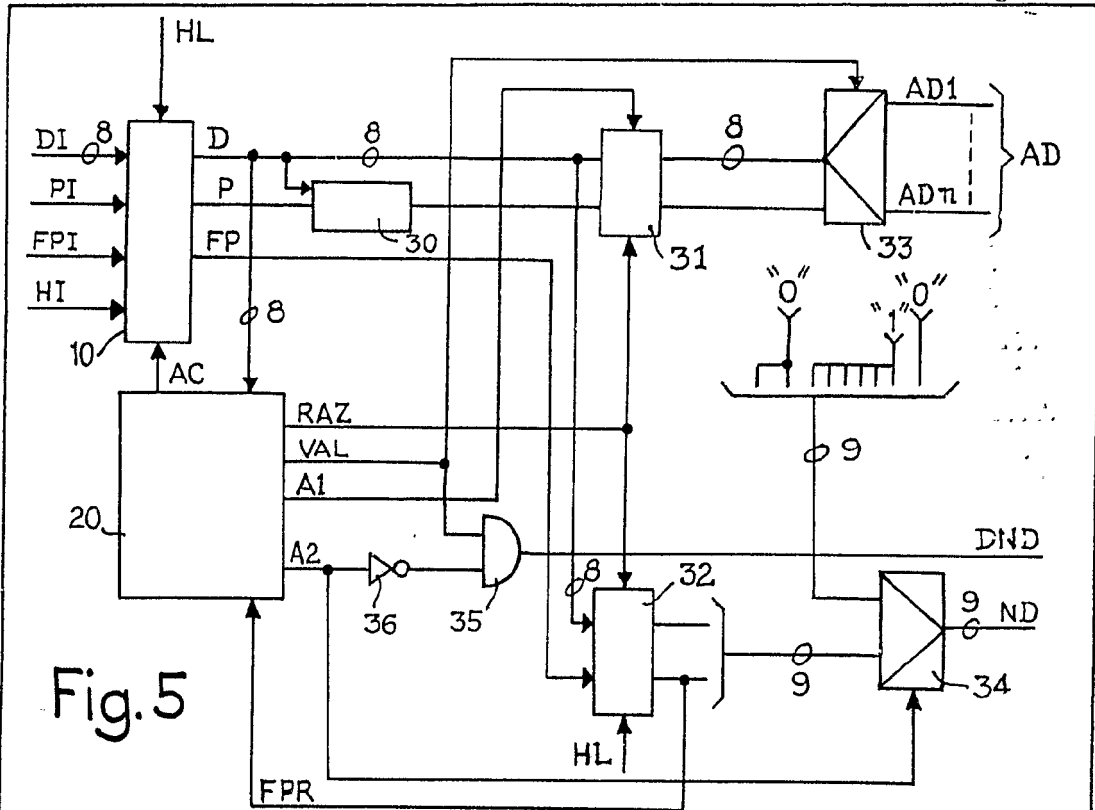


Fig. 5

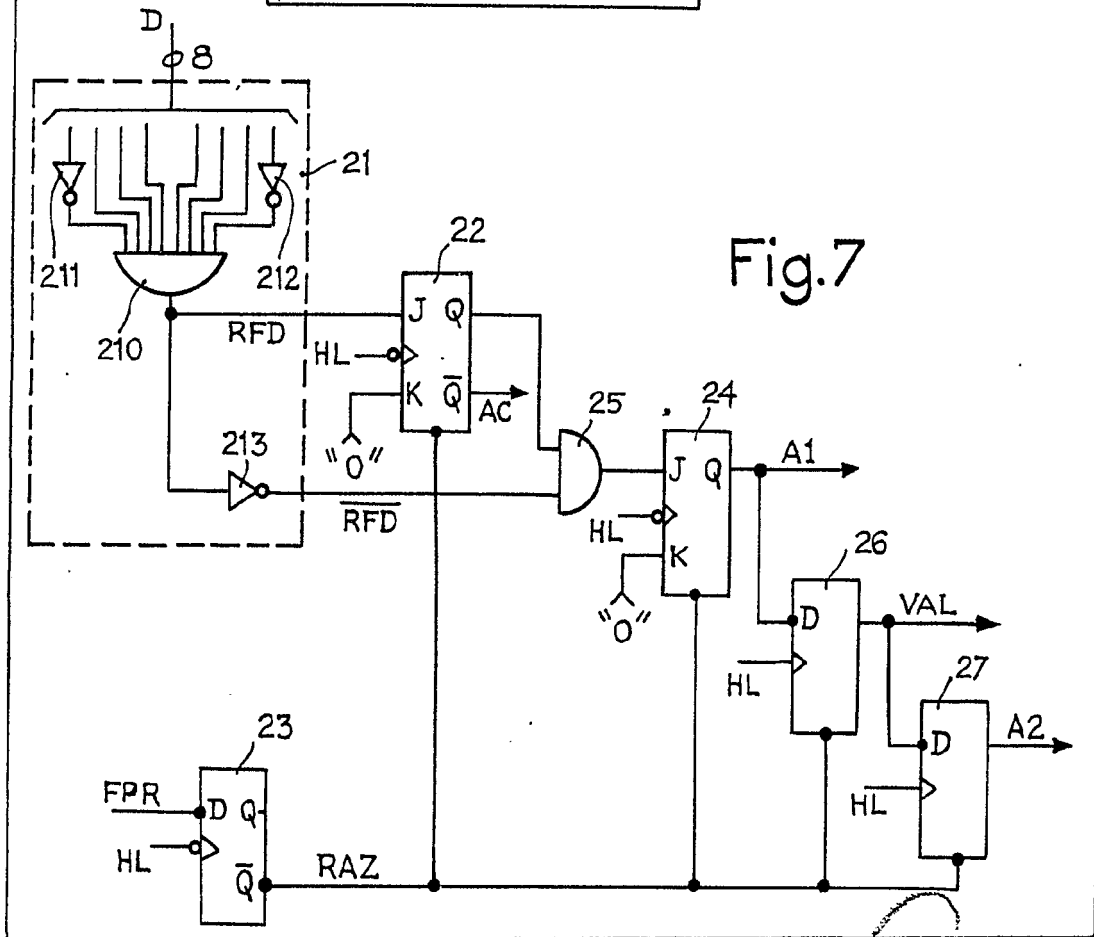


Fig. 7

Alberto de ...
For Podof...

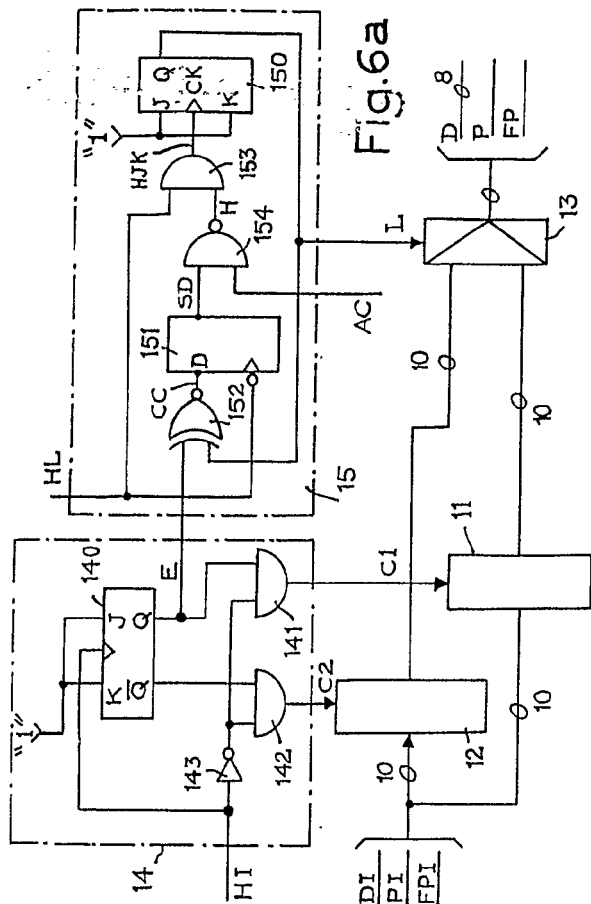
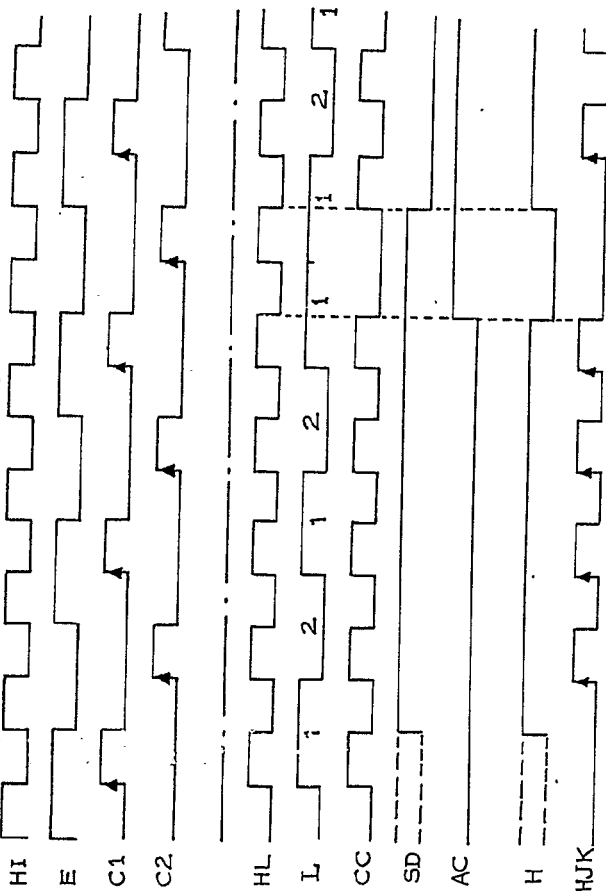


Fig.6a

Fig.6b



AD
10/10/52
10/10/52

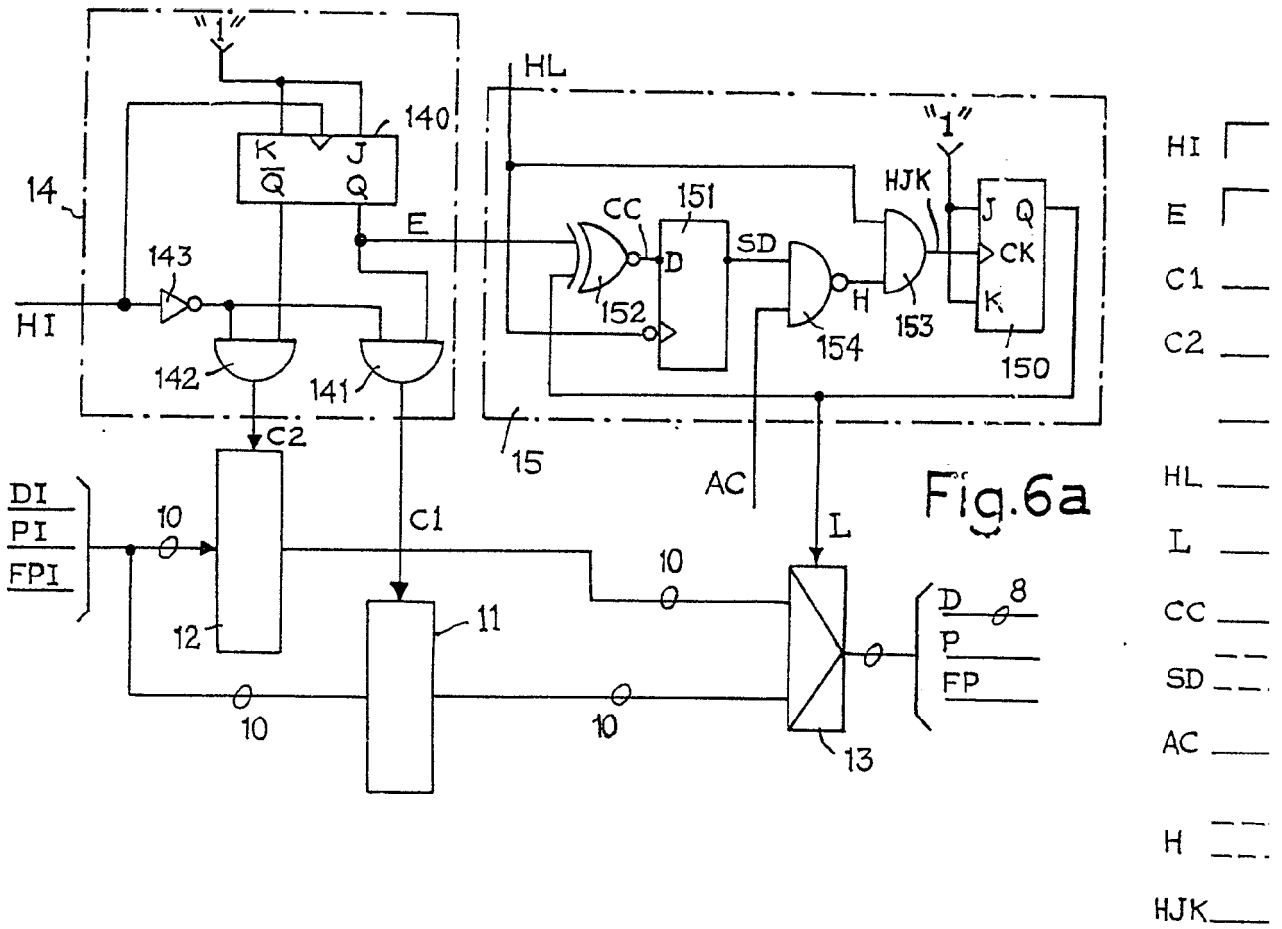
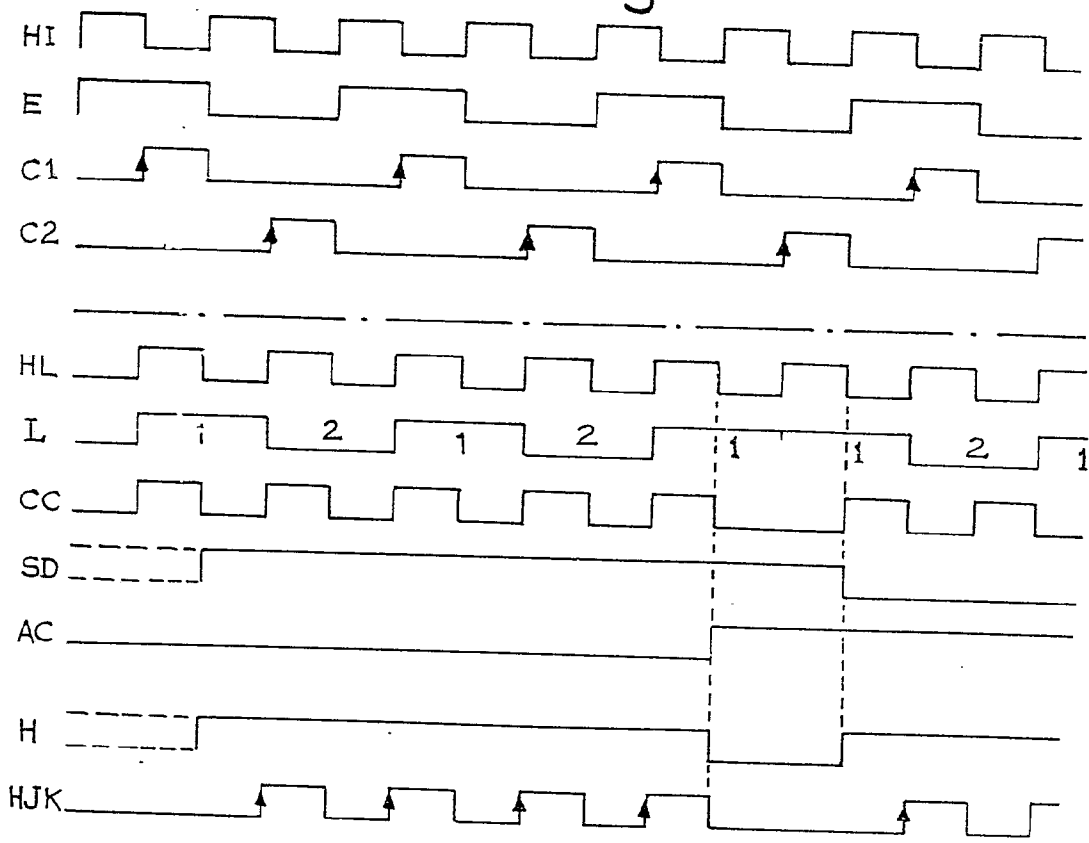


Fig.6b



[Handwritten signature]

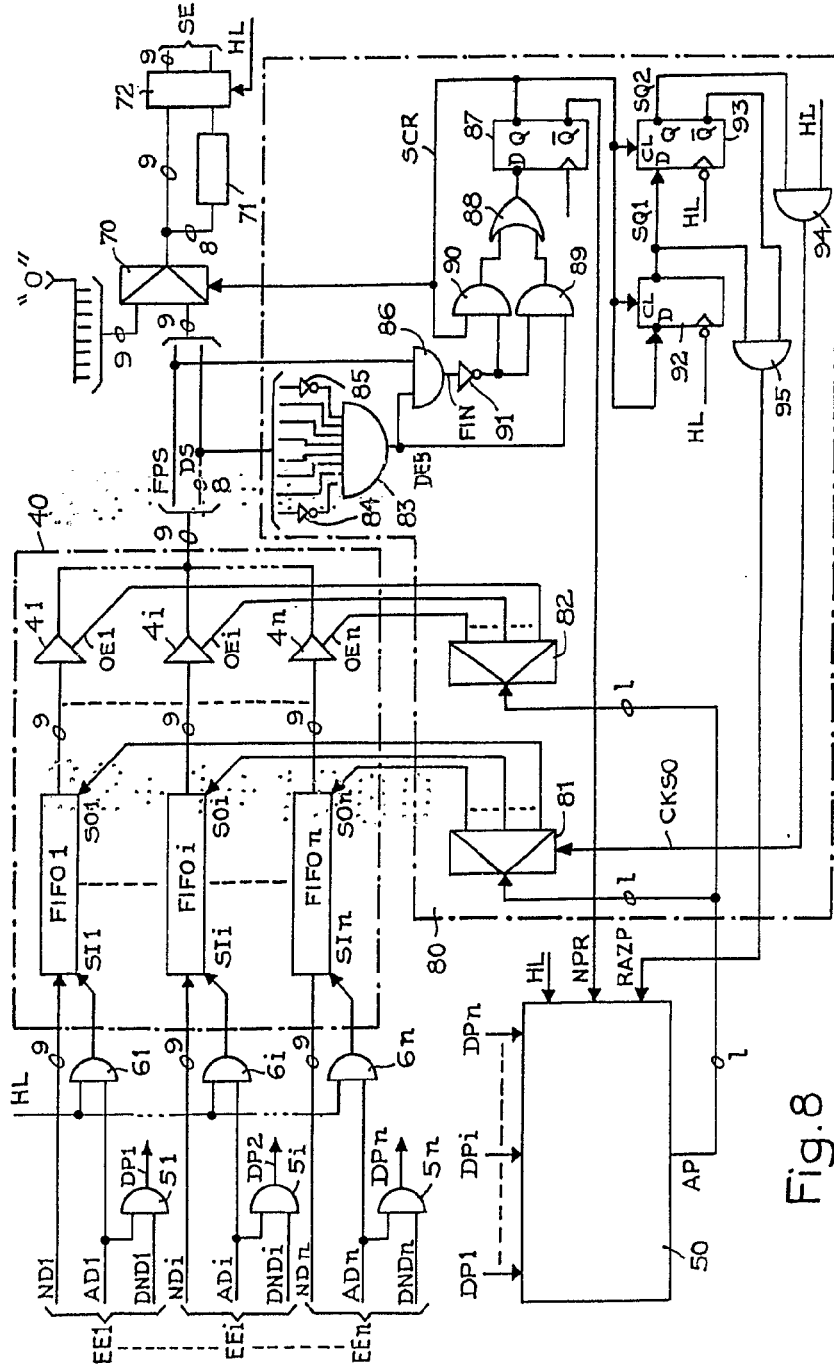


Fig. 8

Handwritten signature or initials

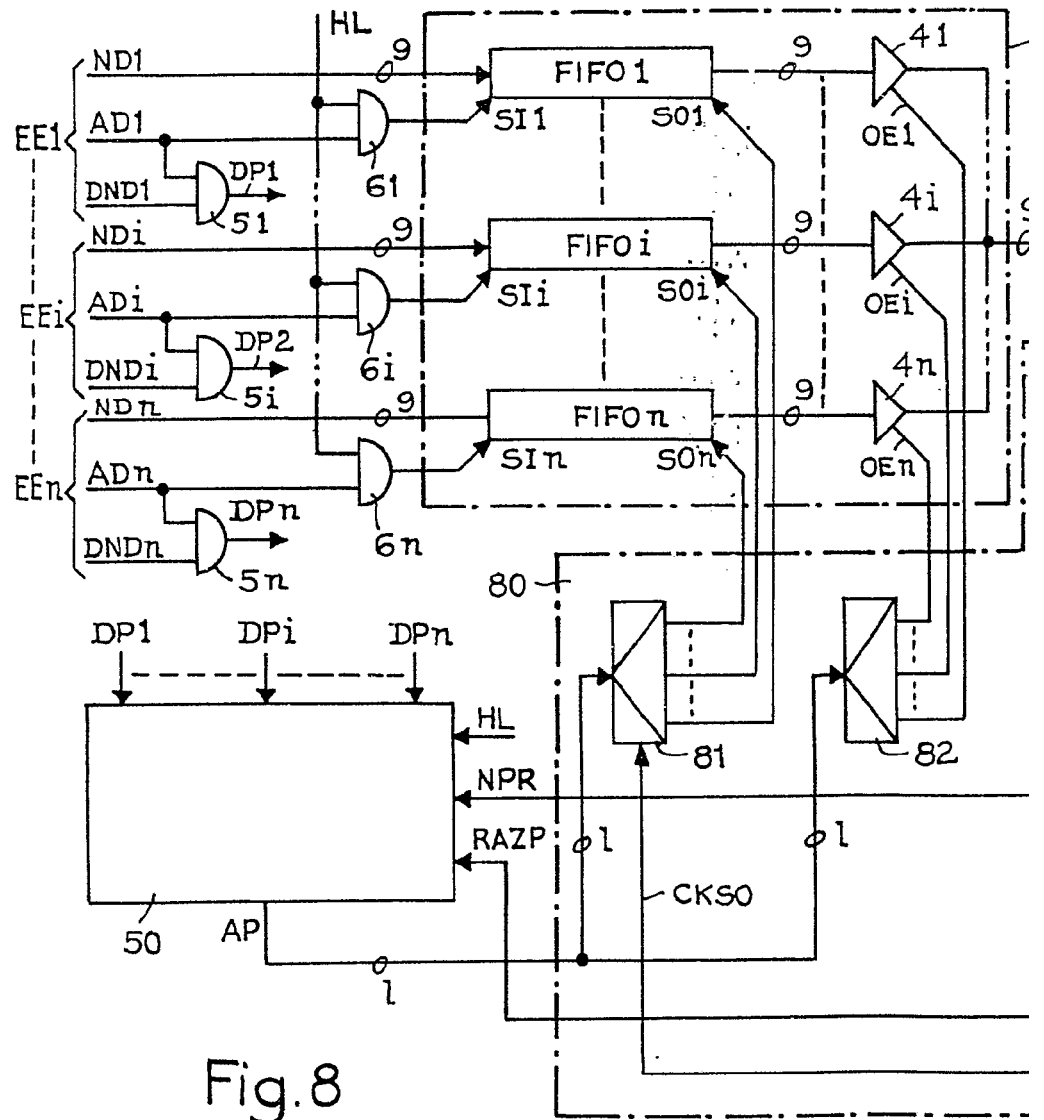
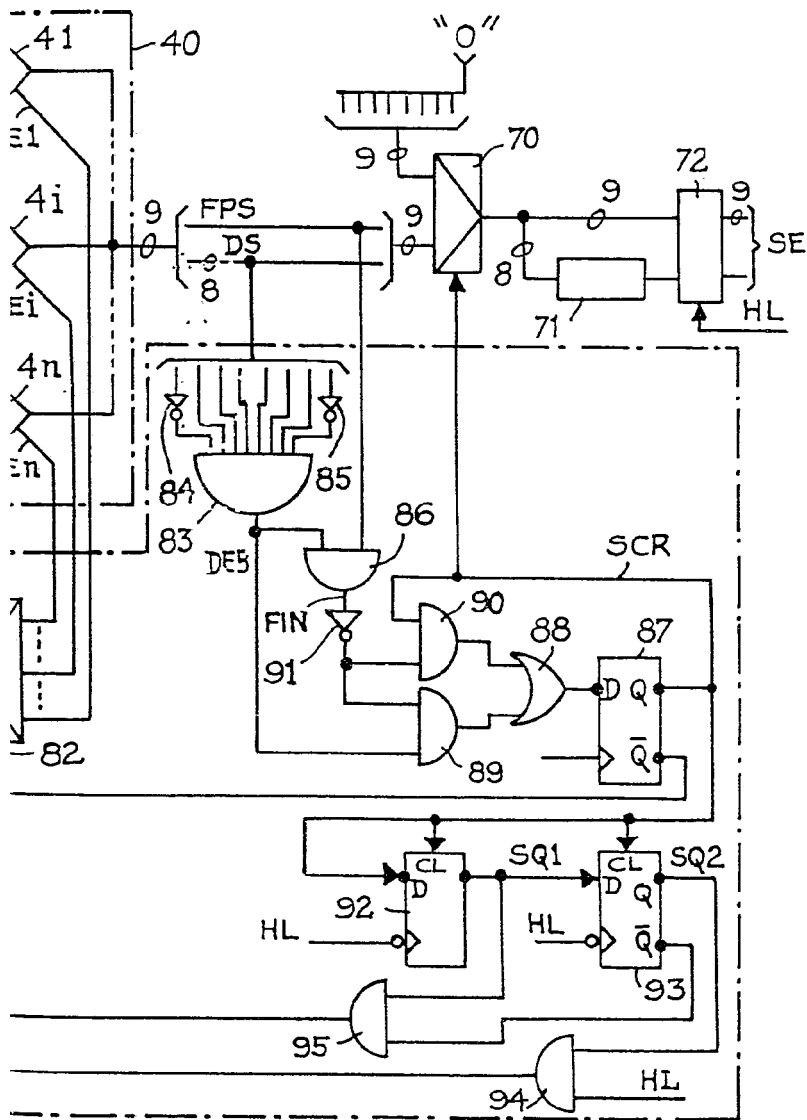
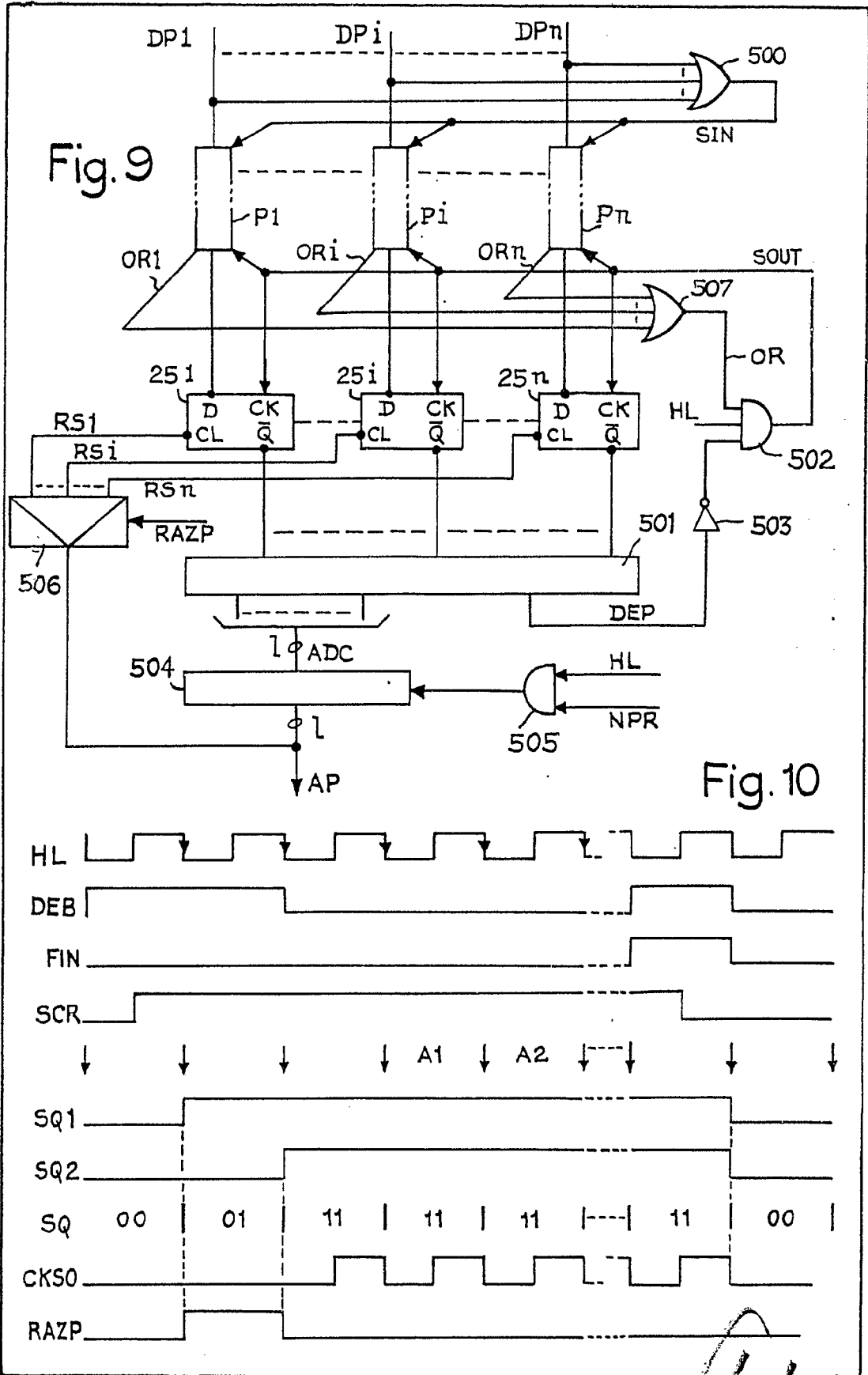


Fig. 8



Handwritten signature or initials



[Handwritten signature]