

1

Campo del Invento

5

Este invento se refiere en general a sistemas de tratamiento de datos, y más particularmente a un sistema de tratamiento de datos que tiene una memoria de niveles múltiples e incluye al menos una primera memoria de ocultación de alta velocidad y pequeña capacidad y una o más memorias principales de mayor capacidad y relativamente más lentas con un sistema de control integrado para ellas, que tiene una capacidad mejorada de inscripción de canal a memoria.

10

Descripción de la Técnica Anterior

15

Los sistemas de tratamiento de datos de gran capacidad tienen ordenadores con velocidades de funcionamiento sustancialmente aumentadas, lo cual ha creado la necesidad de sistemas de memoria de mayores dimensiones y fácilmente accesibles. Con el fin de utilizar plenamente las velocidades de funcionamiento de sistema aumentadas, es necesario que la memoria o algún componente de la misma funcionen a una velocidad razonablemente próxima a la velocidad de la unidad o unidades de tratamiento. Sin embargo, es extremadamente difícil establecer acceso aleatoriamente con fiabilidad a un bloque de datos en una memoria de gran capacidad a altas velocidades de funcionamiento de un modo económico.

20

25

Una solución al problema es utilizar una disposición jerárquica de dos o más niveles que incluye una pequeña memoria rápida de ocultación (a la que se hará referencia posteriormente como memoria de ocultación) y una memoria o memorias principales de gran capacidad y relativamente más lentas. La unidad de ordenador del sistema co-

30

23010

1 - comunica directamente con la memoria de ocultación esencial-
mente a la velocidad de funcionamiento del sistema. Si los
datos solicitados por la unidad de ordenador no se encuen-
tran en la memoria de ocultación, deben encontrarse en las
5 memorias principales y ser transferidos a la memoria de
ocultación, en donde sustituyen, generalmente, a un bloque
de datos existente.

Con el fin de que un sistema basado en memoria
de ocultación sea eficaz, debe disponerse de un sistema de
10 memoria de control de alta eficiencia para realizar la
transferencia de datos entre las memorias principales, la
memoria de ocultación, los canales, etc, y para controlar
cualquier tipo de entrada de datos del sistema (canales,
unidad de tratamiento, etc), a la memoria de ocultación
15 o memorias principales. Si la transferencia de datos no
se controla eficientemente, se perderán muchas de las ven-
tajas de utilizar una memoria de ocultación de alta velo-
cidad.

Puede originarse un problema particular cuando
20 se realiza o intenta realizar una inscripción de datos
desde un canal a la memoria, especialmente si los datos a
inscribir se refieren a una inscripción de palabra parcial
a través de un límite de palabra doble. En la mayoría de
los sistemas, los criterios de funcionamiento no permiti-
rán una inscripción parcial a través de un límite de pa-
25 labra doble, limitando así la flexibilidad del sistema. En
otros sistemas se permiten tales operaciones de inscrip-
ción, pero todas las mezclas de datos deben tener lugar en
la memoria de ocultación, independientemente de si la po-
sición direccionada reside o no en la memoria de oculta-

30

23010

1 ción. Esto requiere la plena utilización de la memoria de
ocultación y, usualmente, de la unidad central de trata-
miento, durante la operación de inscripción. Adicionalmen-
te, requiere la utilización de al menos una página de me-
5 moria de ocultación, la cual podría utilizarse de otro mo-
do para datos de funcionamiento.

Aún otro método utilizado anteriormente consis-
te en mezclar los datos en los circuitos del canal. Esto
requiere la transmisión de los datos a intercalar o "fun-
10 dir" desde la memoria de ocultación o memoria principal
en retorno al canal. Sin embargo, este método consume mu-
cho tiempo y, consiguientemente, degrada el rendimiento
del sistema.

Otra desventaja de tal sistema es que los diver-
15 sos relojes (canal, memoria principal, memoria de oculta-
ción y ordenador) deben estar en sincronismo utilizando
el mismo número de palabras de impulsos y los mismos ci-
clos de reloj. Esto, por supuesto, presenta restricciones
de diseño y puede dar lugar a algunas ineficiencias en uno
20 o más de los subsistemas.

En la Patente Norteamericana número 3.896.419 se
describe un sistema típico de memoria de niveles múltiples
basado en memoria de ocultación. El sistema descrito utili-
za una memoria de ocultación situada en el ordenador para
25 crear una memoria marginal de acceso rápido para bloques
de datos localizados anteriormente en la memoria principal.
El sistema descrito no comenta, sin embargo, procedimien-
tos o procesos para inscripciones con cruce de límite des-
de un canal hasta la memoria principal.

1

Consiguientemente, un objeto principal del presente invento es proporcionar una memoria de niveles múltiples mejorada para un sistema de tratamiento de datos, que supera las desventajas precedentes de la técnica anterior.

5

10

Aún otro objeto del presente invento es proporcionar un sistema de memoria de niveles múltiples que tiene una velocidad de funcionamiento mejorada y una fiabilidad aumentada. Otro objeto del presente invento es proporcionar una memoria de niveles múltiples para un sistema de tratamiento de datos que tiene un único mecanismo de control de memoria que permite operaciones efectivas de inscripción parcial a través de un límite de palabra doble desde un canal a la memoria principal.

15

20

25

Los precedentes y otros objetos y ventajas del invento se obtienen, de acuerdo con uno de los aspectos del invento, utilizando un sistema de memoria de dos niveles que tiene un control integrado único para realizar transferencias de datos dentro del sistema. La memoria incluye una memoria de ocultación de alta velocidad y relativamente poca capacidad, destinada a funcionar con el ordenador a velocidades de ordenador, y una memoria principal de capacidad relativamente grande, pero más lenta. En funcionamiento, para una inscripción parcial de un canal a la memoria principal a través de un límite de palabra doble, se determina primero si la dirección en la cual han de inscribirse los datos reside en la memoria de ocultación. Si la dirección de datos está en la memoria de ocultación, los datos procedentes del canal se intercalan o "funden" con la página completa de palabras do-

30

23010

1 bles de datos procedente de la memoria de ocultación en
un registro de datos y la página de ocultación intercala-
da y actualizada se almacena en la memoria principal. Si-
multáneamente, se invalida la página contenida en la memo-
5 ria de ocultación. Si la dirección de datos no está en
la memoria de ocultación, los datos del canal se leen a
través de la unidad de tratamiento de instrucciones y el
registro de datos y se almacenan en una memoria interme-
10 dia de intercambio (después de esto la unidad de trata-
miento de instrucciones y la memoria de ocultación quedan
libres para realizar otras operaciones). Entonces, las pa-
labras dobles relacionadas con las inscripciones parcia-
les son extraídas de la memoria principal y almacenadas
en registros auxiliares en el sistema de memoria. Después
15 de ello, son intercaladas con las palabras dobles parcia-
les en la memoria intermedia de intercambio desde el ca-
nal y los datos actualizados se almacenan en retorno en
la memoria principal.

Descripción de los Dibujos

20 La figura 1 es un diagrama de bloques que ilus-
tra el flujo de datos para un sistema de memoria de dos
niveles en el cual encuentra utilidad el presente inven-
to;

25 la figura 2 es una representación de bloques de
la subdivisión de direcciones de un registro de dirección
de memoria utilizado en un controlador de memoria de acuer-
do con el presente invento,

30 la figura 3 es un diagrama de bloques detallado
que ilustra el control de memoria para un sistema de tra-
tamiento de datos de acuerdo con el presente invento.

1 La figura 4 es un diagrama de bloques detallado que ilustra las vías de transmisión de datos correspondientes a una operación de inscripción de canal a memoria de acuerdo con el presente invento;

5 La figura 5 es una tabla que ilustra una dirección inicial y final correspondiente a una selección parcial de límite de palabra doble;

10 Las figuras 6 y 7 son diagramas de sincronismo de la secuencia de incidencias que se producen para dos tipos de operaciones de inscripción de canal a memoria de acuerdo con el presente invento; y

La figura 8 es una representación diagramática de una página completa de datos que incluye una inscripción parcial.

15 Descripción de la Realización Preferida

Se pondrán de manifiesto los precedentes y otros objetos, características y ventajas del presente invento, por la siguiente descripción particular de una realización preferida del invento considerada en combinación con los dibujos anteriormente descritos.

20 Se ilustra en la figura 1 el flujo de datos correspondiente a un sistema de memoria de dos niveles que incorpora el presente invento. El sistema consiste genéricamente en un ordenador 11 principal, que incluye la unidad 13 de tratamiento de instrucciones y los canales 15 asociados. Una vía 17 de transmisión de datos conecta la salida de la unidad de tratamiento de instrucciones a una memoria 19 de ocultación. Una vía 21 de transmisión de datos bidireccional conecta la unidad 13 a un registro 23 de datos de entrada-salida. Aún otra vía 25 de transmisión

30

23010

1 de datos bidireccional interconecta la memoria de ocultación con el registro de datos de entrada-salida. El registro 23 de datos de entrada-salida tiene una vía 27 de datos unidireccional que le conecta a una memoria intermedia 29 de intercambio, y una vía 31 de transmisión de datos bidireccional que establece conexión a los circuitos de corrección de error y al circuito lógico 33. La memoria 29 intermedia de intercambio está conectada a los circuitos lógicos y de corrección de error por una vía 35 de transmisión de datos unidireccional. El circuito lógico 33 y los circuitos de corrección de error están conectados en retorno al registro de datos de entrada-salida mediante una vía 31 de datos y están conectados a la memoria 39 principal mediante una vía 41 de datos, bidireccional. La figura 1 representa, por consiguiente, las vías generales de datos que están permitidas en las transferencias de datos entre los diversos componentes del sistema, especialmente los que son pertinentes para el presente invento.

20 Con referencia a continuación a la figura 2, se ilustra en ella un mecanismo de direccionamiento de 24 bitios del tipo que puede encontrarse aplicable para el sistema del presente invento. En un sistema típico, esto se identificaría como dirección de un registro de direcciones de memoria que se utiliza para controlar el direccionamiento de los diversos circuitos de control del sistema. En una configuración típica, los bitios 2-12 definirían la dirección real de una página de capacidad de 2K en la memoria, los bitios 13-17 definen una dirección de página de memoria de ocultación, los bitios 18-20 definen

1 una línea de 8 baterías de bitios de una página de ocul-
tación, y los bitios 21-23 definen una batería de bitios
dentro de una línea dada. La importancia de la subdivisión
de direcciones se pone más de manifiesto cuando se consi-
5 dera en relación con la descripción de los medios de di-
reccionamiento inherentes a la configuración de la figura
4. En relación con el presente invento, el interés princi-
pal se centrará sobre los bitios 18-23, puesto que cada
operación de inscripción de canal a memoria no excederá
10 la longitud de una página.

En la figura 3 se ilustran los diversos compo-
nentes del controlador de memoria para un sistema de dos
niveles y su relación con la memoria de ocultación y la
memoria principal. El flujo de datos de memoria se esta-
15 blece como se indica. El sistema incluye una tabla 102
de acceso marginal de guía o directorio de ordenador y
una tabla 103 de acceso marginal de directorio de canal,
conteniendo cada una de las entradas de la tabla 102 de
ordenador un campo de dirección virtual y real, junto con
20 un bitio de localización y de estado. La tabla de acceso
marginal de canal contiene las entradas para capacidad
de direccionamiento de canal virtual a real. El sistema
incluye también un bloque 105 de clave con componentes
de entradas múltiples, representando cada entrada una
25 página dada en la memoria principal 107. El directorio
109 de ocultación contiene una pluralidad de entradas con
capacidad asociativa de vías múltiples. Por ejemplo, el
directorio de memoria de ocultación podría tener una ca-
pacidad asociativa de cuatro vías y, por consiguiente, la
30 memoria 111 de ocultación contendría cuatro zonas de da-

1 tos. La zona de la memoria 111 de ocultación contiene una
pluralidad de páginas de memoria de ocultación y dicha me-
2 moria es direccionada por el registro de dirección de memo-
3 ria. El sistema incluye adicionalmente un dispositivo 113
4 de comprobación de clave, un registro 115 de datos de en-
5 trada-salida y una memoria intermedia 117 de intercambio.
6 Existen dos componentes de un conjunto (119 y 121) de regis-
7 tro de dirección real, a los que se hará referencia pos-
8 teriormente como conjuntos RA1 y RA2. El controlador com-
9 prende adicionalmente un circuito 123 comparador y un ge-
10 nerador 125 de corrección de error/bitio. Un controlador
11 127 de memoria principal y registros 129 de control de me-
12 moria enlazan con la memoria principal.

13 Para fines de ilustración, se supondrá que la
14 memoria principal tiene una capacidad de almacenamiento
15 de 2 meg, la memoria 111 de ocultación es un equipo de me-
16 moria de 8 baterías de bitios por 1K de entrada que con-
17 tiene las cuatro zonas de datos, conteniendo cada una de
18 las zonas 32 páginas de ocultación o 256 líneas. Para tal
19 sistema, el directorio 109 contendrá 128 entradas con ca-
20 pacidad asociativa de cuatro vías y el bloque de claves
21 es un componente de 1 K de entradas, representando cada
22 entrada una página de 2K en la memoria principal. Se des-
23 cribirá el registro 115 de datos de entrada-salida como
24 registro de transferencia de datos de 8 baterías de bitios,
25 que indistintamente recibe los datos de ordenador en una
26 operación de inscripción de memoria y transmite los datos
27 al ordenador en una operación de lectura de memoria. El
28 registro 115 de datos de entrada-salida desplaza también
29 datos entre componentes incluidos en el controlador de me-
30 moria.

1 - moria.

5 El generador 125 de corrección de error/bitio proporciona la información de paridad correcta sobre la vía de transmisión de datos de memoria de ocultación/memoria principal. El directorio 109 y las tablas 102, 103 de acceso marginal de directorio reciben direccionamiento a través del registro de dirección de memoria, el cual, como se ha descrito anteriormente, es un registro de 24 bitios utilizado para direccionar, mediante agrupación de bitios, los componentes de la sección de control de memoria. Las direcciones de los mismos pueden ser virtuales o reales. Los componentes 119 y 121 de registro RA1 y RA2 reciben direcciones de la tabla 102 de ordenador y el directorio 109, respectivamente, y en combinación con el registro de dirección de memoria, direccionan la memoria 107 principal a través de los registros 129 de control de memoria.

10 El directorio 109 de memoria de ocultación es direccionado por los bitios 13-17 de registro de dirección de memoria y especifica una página de memoria de ocultación de 64 baterías de bitios. Cada entrada contiene una dirección real de 11 bitios y 3 bitios de estado, indicando uno de los bitios un estado válido o no válido, indicando un bitio de modificación el estado de modificación e indicando un bitio de entrada no correcta el estado físico de la entrada de la memoria de ocultación. Con la capacidad asociativa de cuatro vías, cuatro páginas de memoria de ocultación, que pertenecen a cuatro páginas diferentes de 2K, residen concurrentemente en la memoria 111 de ocultación. El origen de la dirección real está en los

1 campos de dirección real procedentes de la tabla 102 de
ordenador o el registro de dirección de memoria, a través
del componente 119 RAL. El directorio de memoria de ocul-
tación indica si la página deseada está contenida en la
5 memoria de ocultación. Si se encuentra que la dirección
real está en el directorio, y su entrada es válida, enton-
ces los datos están en la memoria de ocultación. Esto se
define como "acierto". Si la dirección real no se encuen-
tra en el directorio o si su entrada no es válida, enton-
10 ces los datos no están en la memoria de ocultación y se
hace referencia a esto como "fallo" de datos. Para un fa-
llo, es necesario, para establecer acceso a la memoria
principal, llevar los datos deseados desde ella a la memo-
ria de ocultación.

15 La memoria 111 de ocultación es un equipo de me-
moria de 8K baterías de bitios dividido en cuatro seccio-
nes, que definen el carácter asociativo de cuatro vías con
el directorio 109. Cada sección de la memoria de ocul-
tación contiene 32 entradas de 64 baterías de bitios cada
20 una. La memoria de ocultación recibe datos del registro
115 de datos de entrada-salida y de la línea general 135
de datos de unidad de tratamiento de instrucciones. La sa-
lida de la memoria de ocultación está conectada al regis-
tro 115 de datos de entrada salida. Las cuatro zonas de
25 datos de la memoria de ocultación serán direccionadas si-
multáneamente por el registro de dirección de memoria, di-
reccionando el campo de dirección de registro de direccio-
nes de memoria (bitios 13-17) la componente de página y
diiroccionando el campo 18-20 de bitios de registro de di-
recciones de memoria la componente de línea de 8 baterías

1 de bitios. Se realiza una selección final por la clase de
asociatividad del directorio 109 de que se ha producido
un acierto en el directorio.

5 En funcionamiento, son cargadas páginas de 64
baterías en la memoria 111 de ocultación desde la memoria
107 principal solamente al recibirse órdenes en las cua-
les puede producirse una retención de "fallo" de directo-
rio, transmitiéndose los datos a través del registro 115
de datos de entrada salida.

10 La memoria intermedia 117 de intercambio alma-
cena una página de memoria de ocultación individualmente
y se utiliza para almacenar transitoriamente la página sa-
liente de la memoria de ocultación en una operación de sa-
lida de página y almacena bitios de "síndrome" generados
15 durante una operación de localización de la memoria 107
principal. Los bitios de "síndrome" son utilizados para
identificar datos cualesquiera corregidos por el genera-
dor 125 de corrección de error/bitio en cualquier opera-
ción de lectura de la memoria. La memoria intermedia de
20 intercambio se utiliza también para memorizar transitoria-
mente datos de canal en operaciones de almacenamiento par-
cial, como se describirá posteriormente con mayor detalle.
Puede utilizarse una memoria intermedia de revisión (no
representada) para almacenar las palabras dobles que se
25 han leído de la memoria de ocultación en una operación de
inscripción con anterioridad a la modificación en la cual
se modifica la memoria de ocultación.

El bloque 105 de claves tiene una pluralidad de
entradas, representando cada entrada una página de 2K en
la memoria. Cada entrada contiene una clave de protección

30
31010
jga

1 de memoria, un bitio de protección de localización, un bitio de referencia y un bitio de cambio para la página identificada. La entrada para el conjunto de bloque de claves procede de la línea general de datos de entrada-salida.

5 La salida del bloque 105 de claves es comprobada con la línea general 137 de clave o a partir de los dos campos de clave procedentes de la tabla 102 de ordenador. El bloque de claves recibe también una entrada procedente del componente 119 de conjunto de direcciones reales utilizando sus bitios 2-12.

10

La memoria principal, que tiene una capacidad de almacenamiento típicamente del orden de millones de baterías de bitios, recibe y transmite datos a través del generador 125 de corrección de error/bitio. Los datos son seleccionados desde la memoria principal tomando como base las entradas procedentes del controlador 127 de memoria, de las unidades 119-121 de conjunto de direcciones reales y del registro de dirección de memoria. Los datos dirigidos a la memoria principal y procedentes de la misma son transferidos a razón de 8 baterías de bitios a la vez sobre una línea general de datos bidireccional de 8 baterías de bitios conectada entre el generador de corrección de error/bitio y la memoria principal. En la configuración de acuerdo con el presente invento serán inscritas siempre las entradas procedentes del canal directamente en la memoria principal e invalidarán una página de memoria de ocultación antigua que tenga la misma dirección, si está contenida en la memoria de ocultación en el momento en que el canal inscribe hacia la memoria. Recíprocamente

15

20

25

30 el ordenador inscribirá siempre en la memoria de oculta-

1 ción, la cual transferirá entonces datos a la memoria
principal si es adecuado. Consiguientemente, los circui-
tos de reloj de la memoria principal y de canal funciona-
rán en general síncronamente, por ejemplo, utilizando cua-
5 tro impulsos en un intervalo de ciclo de 150 nanosegundos.
También, el reloj de memoria de ocultación y el reloj del
ordenador funcionarán en cooperación y pueden establecer-
se indistintamente en ciclos de reloj de 4, 6 u 8 impul-
sos.

10 Como se ha mencionado anteriormente, el regis-
tro 115 de datos de entrada-salida es un registro de 3 ba-
terías de bitios utilizado para desplazar datos a y des-
de el ordenador-canal y la memoria. La salida del regis-
tro de datos puede dirigirse a la entrada de la memoria
15 de ocultación, a la línea general de datos del ordenador,
a la memoria intermedia de intercambio (o memoria interme-
dia de revisión) y al generador de corrección de error/bi-
tio. El registro de datos puede fijarse en sus estados
desde la salida de la memoria de ocultación, desde la lí-
nea general de datos de ordenador, desde el generador de
20 corrección de error/bitio, desde el conjunto de claves,
desde la memoria intermedia de revisión y desde la memoria
intermedia de intercambio.

25 El ensamblador de dirección real está compuesto
por las unidades RA1 119 y RA2 121. La unidad RA1 se ac-
tiva desde el registro de dirección de memoria o desde los
campos de dirección real de las tablas 102, 103 de acceso
marginal de directorio. La unidad RA2 se activa desde la
entrada de dirección real del directorio 109 que coincide
30 con sus datos. Con un "acierto" de tabla y un "fallo" de

1 directorio, la dirección real procedente de RAl es trans-
mitida a la memoria principal 107. Al mismo tiempo, los
bitios 13-17 del registro de dirección de memoria son
transmitidos también a la memoria principal, direcciona-
5 do los bitios de dirección de RAl una página de 2K selec-
cionada, y direccionando los bitios 13-17 las 64 baterías
de bitios seleccionadas (página de memoria de ocultación).
La salida del conjunto de dirección real puede ser también
transmitida a la entrada al directorio para cargar la di-
10 rección real, al bloque de claves para leer o almacenar
la clave, o al conjunto de memoria intermedia de revisión/
intercambio para almacenar direcciones reales.

Con referencia seguidamente a la figura 4, se
representan con mayor detalle las vías de transmisión de
15 datos seguidas durante una operación de inscripción desde
el canal, a través de la unidad de tratamiento de instruc-
ciones, a la memoria principal. El aparato idéntico al re-
presentado en la figura 1 está identificado por la misma
designación literal. La figura 4, sin embargo, amplía la
20 descripción de las vías de datos reales. Como se ve en la
figura 4, cada vía de datos bilateral termina realmente
en una combinación receptor/excitador conectada entre los
diversos dispositivos. Por ejemplo, la vía de transmisión
bidireccional desde la unidad de tratamiento de instruccio-
25 nes hasta el sistema se dirige al par 201 receptor/excita-
dor sobre la línea 21. La salida de la unidad R 201 se apli-
ca entonces a la memoria 19 de ocultación a través de la
puerta 24 y el registro 23 de datos. La vía de retorno des-
de el registro 23 de datos se dirige a través del excita-
30 dor 201 hasta la vía 21 de transmisión bidireccional y a

1 la unidad 13 de tratamiento de instrucciones. También, la
salida del registro 23 de datos puede ser transmitida a
la memoria 19 de ocultación a través de la puerta 24. Si-
5 milarmente, un par 203 receptor/excitador conecta el re-
registro 23 de datos y la memoria intermedia 29 de intercan-
bio a la vía 31 de transmisión bidireccional que va a los
circuitos de corrección de error y circuitos lógicos 33
que contienen un par 205 excitador/receptor de termina-
ción. El excitador 203 recibe entradas procedentes de la
10 memoria intermedia de intercambio y del registro de datos
y el receptor 203 proporciona una salida para el registro
23 de datos. El receptor 205 proporciona una salida para
un registro 207 de datos de memoria que alimenta a su vez
los circuitos 209 de corrección de error. La salida de
15 los circuitos 209 está aplicada a un registro 211 maestro
de corrección de error, que alimenta a su vez un registro
213 subordinado de corrección de error. La vía 41 de trans-
misión de datos bidireccional entre la memoria intermedia
38 de la memoria principal 39 y los circuitos 33 lógicos
20 y de corrección de error termina en un par 215 receptor/
excitador. La salida del registro 213 subordinado de co-
rrección de error está aplicada al excitador 215 y la sa-
lida del receptor 215 está aplicada en retorno al regis-
tro 207 de datos de memoria. Otra salida del registro
25 maestro de corrección de error está aplicada a un regis-
tro 217 auxiliar, cuya salida está aplicada en retorno al
registro 207 de datos de memoria. También, está aplicada
al excitador 205 una salida del registro 213 subordinado
de corrección de error.

30

Para ilustrar el invento, se harán las siguien-

1 tes suposiciones. La memoria 19 de ocultación es una me-
memoria de ocultación de 8 K con asociatividad de cuatro
vías, conteniendo cada una de las cuatro secciones de la
memoria de ocultación 32 páginas. Cada página incluida en
5 la memoria de ocultación contiene 64 baterías de bitios
que están divididas en ocho líneas de ocultación diferen-
tes. Una palabra doble consiste en ocho baterías de bi-
tios y corresponde a una línea completa en una página de
memoria de ocultación. La transferencia básica tiene una
10 dimensión de una página de memoria de ocultación, es de-
cir una transferencia de datos de 64 baterías de bitios.
Para una transferencia completa de 64 baterías correspon-
diente a una página de memoria de ocultación completa,
cuando se realiza la inscripción desde el canal a la memo-
15 ria principal a través de la unidad de tratamiento de ins-
trucciones, los datos se inscriben directamente en la me-
memoria intermedia 38 de la memoria principal a través del
registro 23 de datos y los circuitos 33 lógicos y de co-
rrección de error, rodeando la memoria intermedia 29 de
20 intercambio. La memoria intermedia 38 de la memoria prin-
cipal 39 puede ser, por ejemplo, una memoria intermedia
completa de una dimensión correspondiente a 64 baterías
de bitios. Cuando se produce una operación de inscripción
de página completa desde el canal a la memoria principal
25 a través de la unidad de tratamiento de instrucciones y
si los datos se encontraban en la memoria de ocultación,
entonces se aplicará una señal de invalidación a la co-
rrespondiente dirección de memoria en la memoria de ocul-
tación para esa página.

1 canal puede corresponder a una operación de longitud va-
riable de 1 a 64 baterías de bits, existen otras varian-
tes de operación de inscripción de canal diferentes a la
inscripción de una página completa. Una de ellas consisti-
5 ría en una operación de inscripción parcial, llegando la
dirección de iniciación y la dirección de parada a lími-
tes de palabra doble. En tal caso, las inscripciones par-
ciales se cargan en la memoria intermedia de intercambio
mediante el registro 23 de datos y se descargan entonces
10 de la memoria intermedia de intercambio hacia la memoria
intermedia 38 de la memoria principal 39 por la acción de
los circuitos 33 lógicos y de corrección de error.

El aspecto más importante del presente invento
se manifiesta cuando se produce una inscripción parcial
15 a través del límite de palabra doble, estando la página
direccionada en la memoria de ocultación o sin estar en
la memoria de ocultación la página de dirección. Cuando
la página está en la memoria de ocultación, se lee de di-
cha memoria la página completa, se intercala o se funde
20 en el registro 23 de datos con los datos parciales que
proceden del canal y se carga en la memoria intermedia de
intercambio desde la cual se transmite, a través de los
circuitos 33 lógicos y de corrección de error, a la memo-
ria intermedia 38 de la memoria principal. Alternativamen-
25 te, los datos intercalados procedentes del registro 23 de
datos pueden ser transmitidos directamente a la memoria
a través de los circuitos 33 lógicos y de corrección de
error. Se activa una señal de aviso de transferencia en
el instante adecuado para sincronizar la intercalación o
30 fusión de los datos de canal y los datos de la memoria de

1 ocultación. Puesto que la memoria de ocultación es utili-
zada para realizar la operación de intercalación, la uni-
dad de tratamiento de instrucciones no está libre para
continuar la operación hasta que se ha completado la in-
5 tercalación, en cuyo momento se producirá una señal de
operación completa por parte de la unidad de tratamiento
de instrucciones.

10 Si una inscripción de palabra parcial a través
de un límite de palabra doble no se encuentra en la memo-
ria de ocultación, entonces las palabras dobles a interca-
lar deben ser prelocalizadas en la memoria principal. El
acceso de la memoria principal comienza durante el tiempo
en que están siendo cargados datos de canal en la memoria
15 intermedia de intercambio. En este caso, una vez que se
han cargado los datos de canal en la memoria intermedia
de intercambio, se produce la señal de operación completa
de unidad de tratamiento de instrucciones y dicha unidad,
el canal y la memoria de ocultación están libres para con-
tinuar con otras operaciones. La intercalación real tiene
20 lugar dentro de los circuitos de corrección de error y
circuitos lógicos en combinación con la memoria intermedia
de intercambio y el registro de datos. Esto proporciona
la ventaja importante del presente invento, puesto que (a)
se permiten inscripciones parciales a través de límites
25 de palabra doble y (b) la porción principal de la opera-
ción de intercalación para datos no situados en la memo-
ria de ocultación puede realizarse sin ocupar la unidad
de tratamiento de instrucciones más de lo requerido.

30 Para ilustrar mejor el invento, se propondrá un
ejemplo de una operación de inscripción de canal a memo-

1 ria con cruce de límite. Se propondrá en primer lugar el
ejemplo para la situación en que los datos están situados
5 en la memoria de ocultación, y en segundo lugar para la
situación en que los datos no están situados en la memo-
ria de ocultación. La ilustración se basará en las direc-
ciones de iniciación y parada ilustradas en la figura 5.
Las direcciones se basan en los bitios 18 a 23 del regis-
tro de dirección de memoria y consistirán en una direc-
10 ción 011101 de iniciación que corresponde a la palabra do-
ble 3, batería 5. La dirección de parada es 110001, que
corresponde a la palabra doble 6, batería 1. El posiciona-
miento de estas direcciones está ilustrado en la figura 8
que representa el equivalente de una página de memoria de
ocultación completa, es decir 54 baterías de bitios, que
15 consiste en ocho palabras dobles (0 a 7), teniendo cada
una de las palabras dobles 8 baterías de bitios de infor-
mación. Las zonas de batería de bitios (X) se refieren a
datos que no son perturbados por la operación de inscrip-
ción de canal parcial y las baterías "0" se refieren a
20 aquéllas baterías de bitios de datos que son parte de la
operación de inscripción de canal.

Se supondrá en primer lugar que la página que
contiene los datos de inscripción parcial está incluida
en la memoria de ocultación. En la figura 6 se ilustra una
25 secuencia de sincronismo relativa a esta situación y se co-
mentará en combinación con el diagrama de circuito de la
figura 4. Una vez que se permite que comience la operación,
la primera señal es una señal de ocupación de memoria, co-
mo se indica en la línea F de la figura 6. Esta señal esta-
rá activada durante el intervalo completo de la transferen-

1 cia de datos, puesto que la memoria estará ocupada durante
la totalidad de la transferencia. Puesto que se encuentra
que los datos están situados en la memoria de ocultación,
debe leerse de la memoria de ocultación la página de memo-
5 ria de ocultación completa, debe ser transmitida al regis-
tro de datos, donde los datos de inscripción parcial proce-
dentes del canal se intercalan con la misma, y debe alma-
cenarse entonces en la memoria intermedia de intercambio
hasta que se lee la página de memoria de ocultación comple-
10 ta, a continuación de lo cual la memoria intermedia de in-
tercambio será descargada y los datos se almacenarán en la
memoria. Al mismo tiempo, se invalidará la dirección co-
rrespondiente a esa página de memoria de ocultación. La
razón por la que debe leerse la página de memoria de ocul-
15 tación completa es que algunos de los datos contenidos en
esa página de memoria de ocultación pueden haber sido mo-
dificados o actualizados durante operaciones anteriores,
lo cual significaría que los datos en memoria correspon-
dientes a la página de memoria de ocultación ya no serían
20 válidos. Por consiguiente, es necesario actualizar la pá-
gina de memoria de ocultación completa y almacenarla en la
memoria principal.

Como se indica en la línea A de la figura 6, un
ciclo de reloj después que se ha activado la señal de ocu-
25 pación de memoria, comienza el direccionamiento de los da-
tos desde la memoria de ocultación para ser transmitidos
al registro de datos y a través del mismo. Como se indica
en la línea B de la figura 6, aproximadamente tres impul-
sos de reloj después que se ha activado el primer impulso
de dirección de datos, se lee en el registro de datos la

1 primera palabra doble procedente de la memoria de oculta-
ción. Puesto que esta palabra doble 0 no ha de intercalar-
se en el registro de datos, se transfiere directamente a
5 la memoria intermedia 29 de intercambio. Esta operación
continúa hasta el tercer ciclo de sistema subsiguiente en
el que, como se ilustra en la línea C de la figura 6, se
transmite un impulso de aviso de canal para indicar al
canal que se prepare para transmitir sus datos. En un ci-
clo de sistema después que ha sido transmitido el impulso
10 de aviso de canal, y como se indica en la línea D de la
figura 6, el canal comienza a transmitir los datos, y los
primeros datos transmitidos desde el canal serán los co-
rrespondientes a la palabra doble 3. En este caso, sola-
mente están modificando la palabra doble 3 procedente de
15 la memoria de ocultación las baterías de bitios 5, 6 y 7
de la palabra doble 3, de modo que mediante la activación
de marcas indicadoras de inscripción adecuadas en el re-
gistro de datos, la intercalación se efectúa y entonces
es transferida a la memoria intermedia 29 de intercambio
20 la nueva palabra doble 3 con los datos intercalados de las
baterías de bitios 0-4 procedentes de la memoria de ocul-
tación y las baterías de bitios 5, 6 y 7 procedentes del
canal. Esto continúa para la inscripción de las palabras
dobles 4 y 5 desde el canal y la intercalación de la pala-
25 bra doble 6 y, después, la palabra doble 7 sin modificar,
procedente de la memoria de ocultación, completa la trans-
ferencia a la memoria intermedia de intercambio. Consi-
guientemente, como se indica sobre la línea E de la Figu-
ra 6, se activa un impulso de operación completa de uni-
dad de tratamiento de instrucciones que informa a dicha

30

23010

1 unidad de que la memoria de ocultación y los registros de
datos están libres para utilización adicional. El resto
de la operación de almacenamiento se completará en la pro-
5 pia memoria. Como se indica en la figura 6, la operación
de inscripción inicial de canal a memoria ha ocupado once
ciclos de máquina.

 La siguiente porción de la operación es descar-
gar la memoria intermedia de intercambio e inscribir los
datos contenidos en la misma en la memoria principal. Co-
10 mo se indica sobre la línea A de la figura 6, esto ocupa
aproximadamente diez ciclos de máquina puesto que los da-
tos deben ser desplazados a través del receptor excitador
203 hasta el receptor excitador 205, a través del regis-
tro 207 de datos de memoria, los circuitos 209 de correc-
15 ción de error, y hasta el registro 211 maestro de correc-
ción de error. Los datos continúan siendo transferidos a
través del registro 213 subordinado de corrección de error
a través del receptor excitador 215 y la línea 41 de trans-
misión direccional hasta la memoria intermedia 38 de la me-
20 moria 39. Aproximadamente cuatro ciclos de máquina después
que ha sido descargada la memoria intermedia de intercan-
bio y su contenido ha sido transferido a la memoria, se
elimina la señal de memoria ocupada indicada sobre la lí-
nea F de la figura 6 y puede emitirse un segundo impulso
25 de operación completa de unidad de tratamiento de instruc-
ciones sobre la línea E. Se necesita un segundo impulso de
operación completa de unidad de tratamiento de instruccio-
nes solamente si durante el tiempo intermedio se ha recibi-
do una solicitud de memoria. Se habría respondido a tal so-
30 licitud de memoria con una señal de ocupación y la unidad

1 de tratamiento de instrucciones tendría que esperar hasta
que se recibiese un impulso completo antes de que pudiese
nuevamente establecer acceso a la memoria.

5 Aun cuando la operación de transferencia de da-
tos completa ha ocupado 26 ciclos de máquina, solamente
durante once de estos ciclos ha estado impedida la unidad
de tratamiento de instrucciones para realizar tratamiento
adicional. Por consiguiente, durante los últimos quince
10 ciclos de máquina, la unidad 11 de tratamiento de instruc-
ciones, la memoria 19 de ocultación y el registro 23 de da-
tos estuvieron libres para realizar operaciones adiciona-
les. Los últimos siete ciclos de la operación se requieren
para desplazar los datos a través de los circuitos lógicos
de corrección de error hasta la memoria intermedia 38 y
15 desde la memoria intermedia 38 hasta la memoria 39.

Los diagramas de sincronismo de la figura 7 ilus-
tran una operación de almacenamiento parcial con la misma
dirección inicial y de parada que se han descrito anterior-
mente, con la excepción de que la página que contiene los
20 datos no está situada en la memoria de ocultación. Por con-
siguiente, las palabras dobles 3 y 6 de la página corres-
pondiente deben ser prelocalizadas en la memoria principal
para permitir la intercalación total de palabra doble se-
gún se requiere. Como se ilustra en la figura 7, solamente
25 resultan afectadas cuatro palabras dobles (3 a 6) por es-
ta operación, de modo que la secuencia de sincronismo tie-
ne todavía una mejora de tiempo adicional sobre la ilustra-
da en la figura 6.

Nuevamente, como se indica sobre la línea E de
la figura 7, la primera señal activada es una señal de
30
23010

1 ocupación de memoria. Aproximadamente al mismo tiempo, se
transmite el impulso de aviso de canal como se indica so-
bre la línea C de la figura 7 puesto que la transferencia
de datos se ha iniciado en principio desde el canal, ya
5 que no se estaba estableciendo acceso a la memoria de ocul-
tación. Un ciclo de máquina después de esto, se inician
los impulsos de transferencia de datos y poco después la
primera de las palabras dobles afectadas reside en el re-
gistro 23 de datos. Esto se ilustra por la línea B de la
10 figura 7. Durante esta misma operación, la memoria ha sido
direccionada y se está estableciendo acceso a los corres-
pondientes datos de memoria y se están cargando en la me-
moria intermedia 38. Durante los cuatro ciclos de máquina,
los datos procedentes del canal son transferidos a la me-
15 moria intermedia de intercambio. Un ciclo después del fi-
nal de esta transferencia, como se indica sobre la línea
D de la figura 6, se produce una señal de operación com-
pleta de unidad de tratamiento de instrucciones, quedando
libres esta última unidad, la memoria de ocultación y
20 otros circuitos para realizar otras operaciones. Como pue-
de verse, esto ha requerido solamente siete ciclos de má-
quina para efectuar la carga de la información en la memo-
ria intermedia de intercambio. Con la memoria intermedia
de intercambio adecuadamente cargada, en el octavo ciclo
25 de máquina, son localizadas en la memoria las palabras do-
bles 3 y 6, como se ilustra en la línea A de la figura 7.
Aun cuando solamente están siendo prelocalizadas dos pala-
bras dobles, se requieren aún cuatro ciclos de máquina,
puesto que las palabras dobles 4 y 5 están siendo trans-
30 mitidas en sincronismo pero no leídas. Durante este tiem-

1 po, se extrae la palabra doble 3 de la memoria intermedia
38 y se sitúa en el registro auxiliar 217 y la palabra do-
ble 6 se extrae de la memoria intermedia y se sitúa en el
registro 211 maestro de corrección de error. A continua-
5 ción de esta operación y comenzando aproximadamente con
el decimotercer ciclo de máquina, se da comienzo a la des-
carga de la memoria intermedia de intercambio. En primer
lugar, se intercalan en el registro 207 de datos de memo-
ria la palabra doble 3 procedente de la memoria intermedia
10 de intercambio y la palabra doble 3 almacenada en la memo-
ria intermedia 217 auxiliar, y entonces se desplaza a tra-
vés del circuito 209 de corrección de error. Al mismo tiem-
po, la palabra doble 6 almacenada en el registro 211 maes-
tro de corrección de error es transferida al registro au-
15 xiliar 217. Continúa una operación secuencial con la trans-
ferencia de la palabra doble 4 siguiente desde la memoria
intermedia de intercambio hasta el excitador receptor 205
a través del excitador receptor 203 y a través del regis-
tro 207 maestro de datos de memoria. Esta operación conti-
20 núa hasta que se requiere la palabra doble 6, en cuyo mo-
mento se lee la palabra doble 6 del registro 217 auxiliar
y se intercala con la palabra doble 6 procedente de la me-
moría intermedia 29 de intercambio en el registro 207 maes-
tro de datos de memoria. A continuación de la descarga de
25 la memoria intermedia de intercambio, la memoria requiere
aproximadamente el mismo tiempo para la transferencia de
datos y descarga de la memoria intermedia que para la ope-
ración ilustrada en la figura 6. Después de ello, como se
indica en la línea E de la figura 7, se inactiva la señal
de memoria ocupada. Nuevamente, si se ha recibido en el

30

23010

P-

1 intermedio una solicitud de memoria, el sistema generará otro impulso de operación completa de unidad de tratamiento de instrucciones como se ilustra en la línea D de la figura 7.

5 No se exponen todos los detalles de sincronismo exactos ya que pueden diferir de un sistema a otro. Un ejemplo de sistema de sincronismo particular que se produce durante una transferencia de datos puede encontrarse en la solicitud en tramitación Número de Serie 955.031, titulada "Integrated Multilevel Storage Hierarchy for a Data Processing System".

10 Por lo expuesto anteriormente, se pone de manifiesto fácilmente que el solicitante ha creado una disposición jerárquica de memoria integrada de niveles múltiples para un sistema de tratamiento de datos con capacidad mejorada de inscripción de canal a memoria. Utilizando el concepto expuesto, es posible la realización de operaciones de inscripción parcial a través de límites de palabra doble y las operaciones se realizan de un modo que reduce a un mínimo el tiempo de ordenador requerido, aumentando así el rendimiento del sistema.

15
20
25
30
30
23010

Quedará puesto de manifiesto fácilmente para los expertos en la técnica que pueden realizarse diversas modificaciones y cambios en lo expuesto anteriormente sin apartarse de la esencia o campo de aplicación del invento. Se pretende, por consiguiente, que el invento no esté limitado a lo expuesto específicamente en la descripción precedente de la realización preferida, sino que por el contrario incluya el campo completo de las reivindicaciones anexas.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

23010

12.- Una disposición mejorada de inscripción de canal a memoria para inscribir a través de límites de palabra doble, en un sistema de tratamiento de datos que incluye una unidad de tratamiento, al menos un canal conectado a dicha unidad de tratamiento, una primera memoria de ocultación de alta velocidad y de baja capacidad, una segunda memoria principal de velocidad más baja y alta capacidad, y un registro de entrada-salida conectado entre dicha memoria principal, dicha memoria de ocultación y dicha unidad de tratamiento, en la que se almacenan datos en dicha memoria de ocultación en la forma de páginas de memoria de ocultación, cada una de las cuales comprende una pluralidad de palabras dobles, comprendiendo cada palabra doble varias baterías de bitios de datos; comprendiendo dicha disposición de inscripción de canal a memoria: una memoria intermedia de intercambio destinada a recibir datos de dicho registro de entrada-salida y que tiene una capacidad de almacenamiento de al menos una página de memoria de ocultación; un subconjunto de circuitos lógicos y de corrección de error conectado entre dicho registro de entrada-salida y dicha memoria principal, estando destinado dicho subconjunto a recibir datos de dicha memoria intermedia de inter-

1 cambio; medios que responden a una solicitud de inscripción
parcial de canal para determinar si la página de datos di-
reccionada por la solicitud de inscripción de canal está
(acierto) o no está (fallo) en dicha memoria de ocultación;
5 medios que responden a un acierto para intercalar o "fun-
dir" los datos de dicha inscripción parcial de canal con
la página de memoria de ocultación direccionada en dicho
registro de entrada-salida, intercalándose individualmente
una pluralidad de baterías de bitios y para transferir di-
10 chos datos intercalados a dicha memoria principal a través
de dicho subconjunto; y medios que responden a un fallo pa-
ra intercalar los datos de dicha inscripción parcial de ca-
nal con los datos direccionados desde dicha memoria princi-
pal en dicho subconjunto de circuitos lógicos y de correc-
15 ción de error, y para retornar dichos datos intercalados
a dicha memoria principal.

2ª.- La disposición de acuerdo con la reivindi-
cación 1ª, en la que dicho subconjunto de circuitos lógi-
cos y de corrección de error incluye al menos un primer
20 registro de datos y un segundo registro de datos, cada uno
de los cuales es capaz de almacenar al menos una palabra
doble.

3ª.- La disposición de acuerdo con la reivindi-
cación 2ª, en la que dichos medios que responden a un fa-
llo para intercalar los datos de dicha inscripción parcial
de canal con los datos direccionados procedentes de dicha
25 memoria principal comprenden: medios para almacenar al me-
nos una palabra doble procedente de dicha memoria princi-
pal en el primer registro de datos de dicho subconjunto;
30 medios para almacenar al menos una palabra doble proceden-

1 te de dicho canal en dicha memoria intermedia de intercam-
bio; y medios para intercalar la palabra doble procedente
de dicha memoria intermedia de intercambio con dicha pala-
bra doble contenida en el primer registro de datos de di-
5 cho subconjunto y para transferir dicha palabra doble in-
tercalada a dicha memoria principal.

4ª.- La disposición de acuerdo con la reivindica-
ción 3ª, en la que la intercalación de la palabra doble
procedente de dicha memoria intermedia de intercambio con
10 la palabra doble procedente del primer registro de datos
incluido en dicho subconjunto tiene lugar en el primer re-
gistro de datos de dicho subconjunto.

5ª.- La disposición de acuerdo con la reivindi-
cación 1ª, en la que dichos medios que responden a un
15 acierto para intercalar los datos de dicha inscripción par-
cial de canal con la página de memoria de ocultación direc-
cionada en dicho registro de entrada-salida incluyen la in-
tercalación de dicha palabra doble de datos individualmente
y el almacenamiento de dichos datos intercalados en dicha
20 memoria intermedia de intercambio hasta que se intercala
la página completa procedente de la memoria de ocultación.

6ª.- La disposición de acuerdo con la reivindi-
cación 1ª, que incluye medios para invalidar dicha direc-
ción de página de memoria de ocultación en dicha memoria
25 de ocultación después que dicha página de memoria de ocul-
tación está intercalada con los datos de dicho canal.

7ª.- La disposición de acuerdo con la reivindica-
ción 2ª, en la que tanto la dirección de iniciación como
la dirección de finalización para una inscripción parcial
de canal cruzan límites de palabra doble, y en la que di-

1 chos medios que responden a un fallo para intercalar los
datos de dicha inscripción parcial de canal con los datos
direccionados procedentes de dicha memoria principal com-
prenden: el almacenamiento de las palabras dobles proce-
5 dentes de dicho canal en dicha memoria intermedia de inter-
cambio; el almacenamiento de una palabra doble procedente
de la memoria principal correspondiente a dicha dirección
de iniciación en el primer registro de datos de dicho sub-
conjunto; el almacenamiento de una palabra doble proceden-
10 te de dicha memoria principal correspondiente a dicha di-
rección de finalización en el segundo registro de datos
de dicho subconjunto; y medios para intercalar en dicho
subconjunto los datos almacenados en dicha memoria inter-
media de intercambio con los datos almacenados en dichos
15 primero y segundo registros de datos.

8ª.- La disposición de acuerdo con la reivindi-
cación 7ª, que comprende adicionalmente medios para generar
una señal completa una vez que los datos procedentes de di-
cho canal están almacenados en dicha memoria intermedia de
20 intercambio, dejando así libre dicho canal, dicha unidad
de tratamiento, dicha memoria de ocultación y dicho regis-
tro de entrada-salida.

9ª.- La disposición de acuerdo con la reivindi-
cación 1ª, en la que cada palabra doble comprende 8 bate-
25 rías de bits.

10ª.- La disposición de acuerdo con la reivin-
dicación 1ª, en la que dicha memoria principal incluye adi-
cionalmente una memoria intermedia de entrada-salida que
tiene una capacidad de almacenamiento de, al menos, una
30 página completa.

1 11ª.- La disposición de acuerdo con la reivin-
dicación 10ª, en la que dichos medios para transferir di-
chos datos intercalados a través de dicho subconjunto a
dicha memoria principal comprenden: medios para transferir
5 dichos datos intercalados a dicha memoria intermedia de
entrada-salida hasta que se haya completado dicha inter-
calación; y medios para transferir dichos datos interca-
lados desde dicha memoria intermedia de entrada-salida
hasta dicha memoria principal.

10 12ª.- "UNA DISPOSICION MEJORADA DE INSCRIPCION
DE CANAL A MEMORIA".

Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

15 Esta Memoria consta de treinta y dos hojas es-
critas a máquina por una sola cara.

Madrid, 01.FEB.1980

P.A.

Oscar de Elizaburu
Por Poder.

MCC.

23010

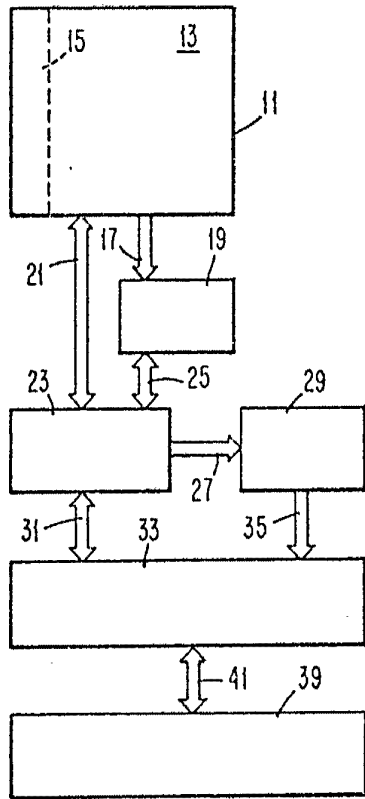


FIG. 1

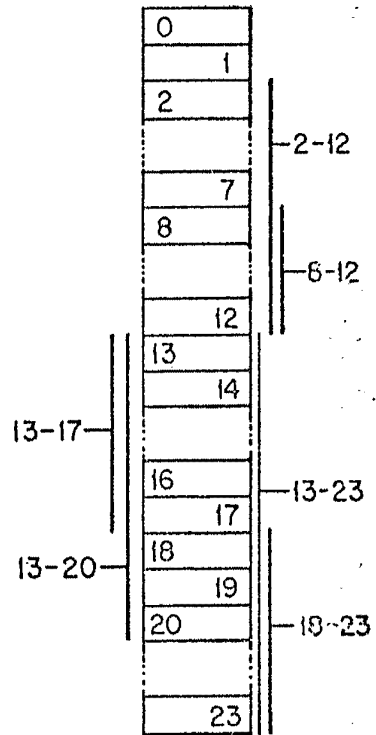


FIG. 2

18	19	20	21	22	23	
0	1	1	1	0	1	DW3/BYTE 5
1	1	0	0	0	1	DW6/BYTE 1

FIG. 5

0	X	X	X	X	X	X	X	X
1	X	X	X	X	X	X	X	X
2	X	X	X	X	X	X	X	X
3	X	X	X	X	X	0	0	0
4	0	0	0	0	0	0	0	0
5	0	0	0	0	0	0	0	0
6	0	0	X	X	X	X	X	X
7	X	X	X	X	X	X	X	X

FIG. 8

Oscar de Eizola
For Patent

3/25/57

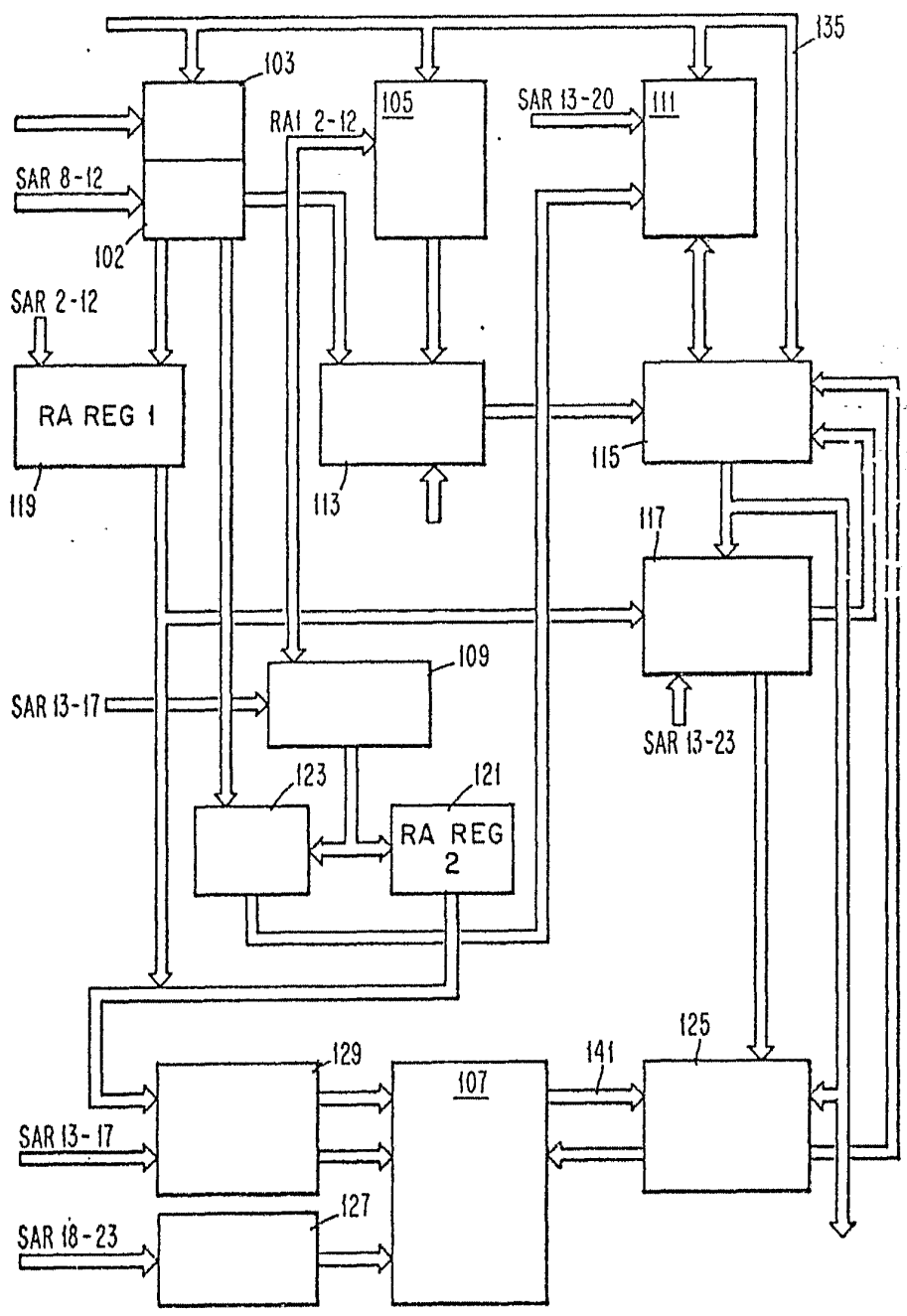
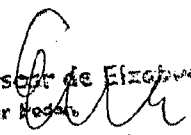


FIG. 3


 Oscar de Elizabeth
 For Record

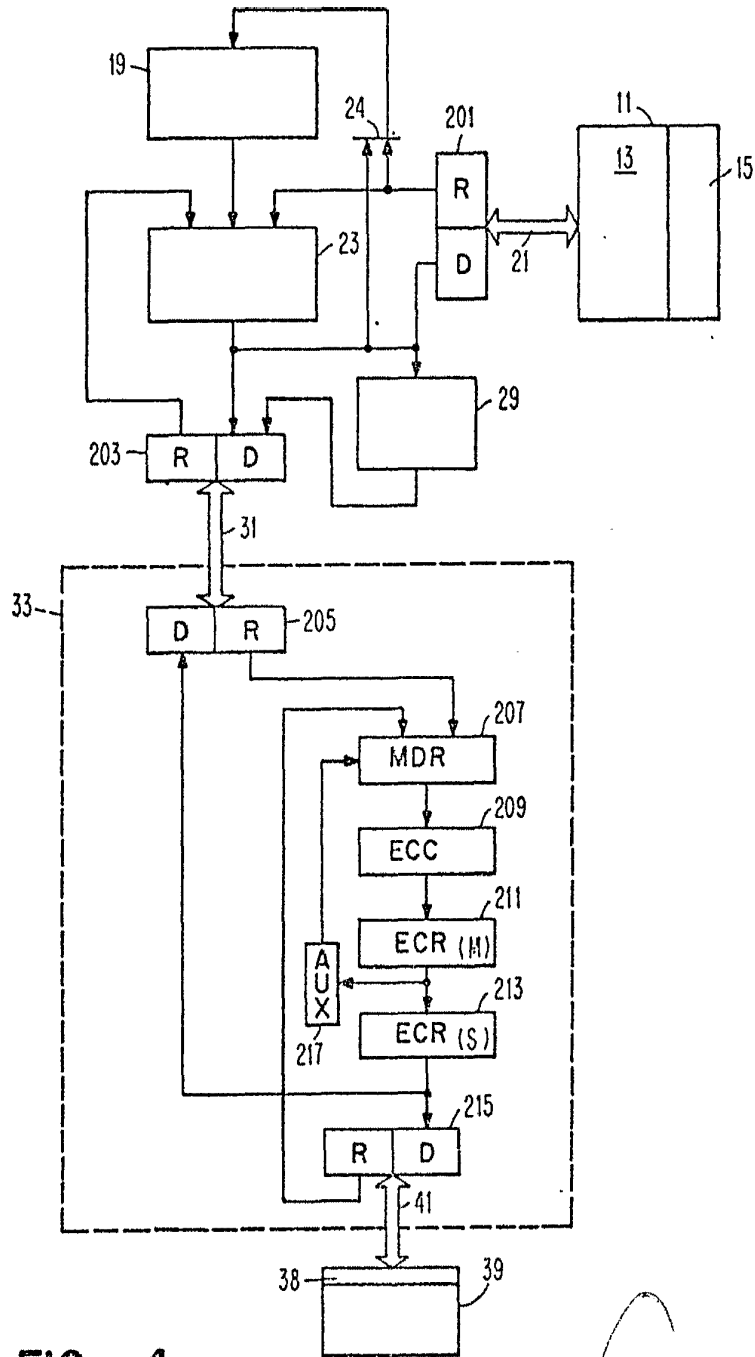


FIG. 4

Original du Elizabeth
Per Product

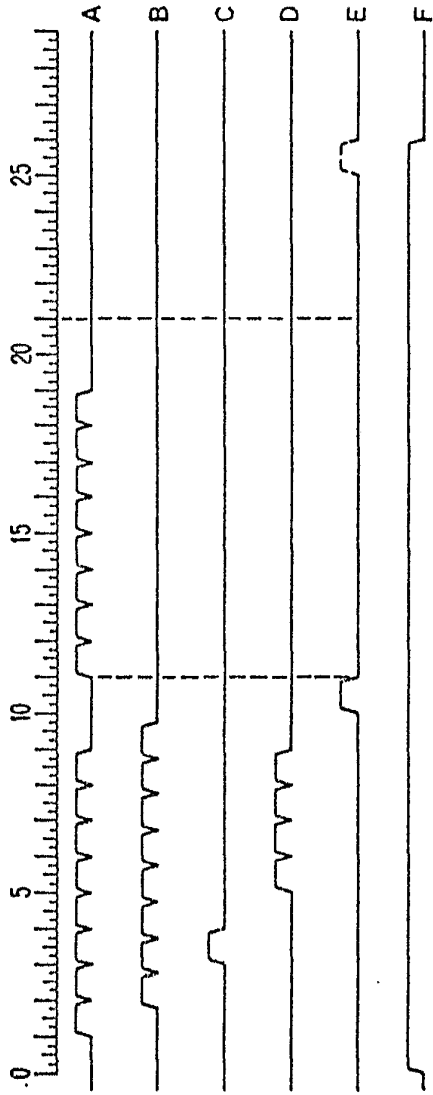


FIG. 6

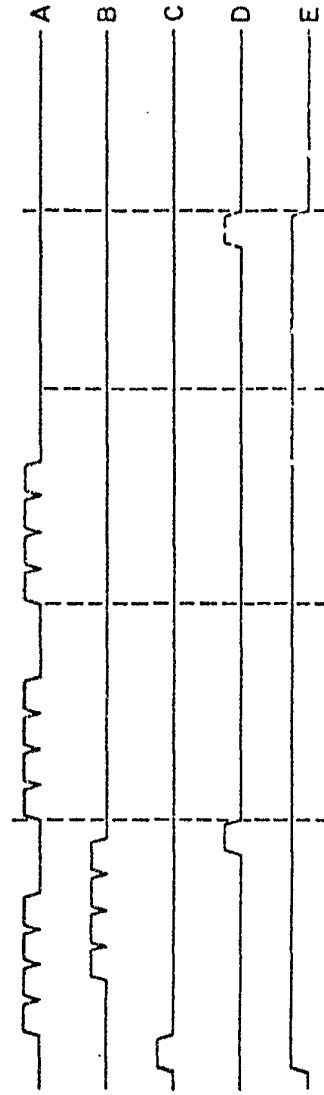


FIG. 7