

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

10 ES	11 NUMERO	10 A1
12	87208	
13	FECHA DE PRESENTACION	

Concedido el Registro de acuerdo con los datos que constan en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

60 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
78 36545	27-Diciembre-1978	Francia
47 FECHA DE PUBLICIDAD	61 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G11C 39/00, G11C 7/00	
64 TITULO DE LA INVENCION		
*DISPOSITIVO DE PRUEBA DE UN CARACTER TESTIGO INSCRITO EN UNA MEMORIA*		
71 SOLICITANTE (S)		
COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE CII-HONEYWELL BULL		
DOMICILIO DEL SOLICITANTE		
94, Avenue Gambetta 75960 PARIS (Francia)		
72 INVENTOR (ES)		
Jean MOLLIER		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. FRANCISCO GARCIA CABRERIZO Ref.: O.G. 36.195/FP		

POOR  
QUALITY

La presente invención se refiere a un dispositivo de prueba de un carácter testigo contenido en una memoria borrable compuesta de células o elementos de almacenamiento de cargas eléctricas, estando dichas células o elementos geográficamente distribuidos sobre un sustrato en una organización matriz, y quedando cada célula en el cruce de una línea y de una columna de la matriz.

Las memorias de almacenamiento de cargas eléctricas se utilizan mucho para memorizar informaciones codificadas bajo forma binaria, o se almacena el elemento de información (bit de información; "bit" = binary digit (dígito binario) en la memoria, bajo la forma de una carga eléctrica q. El bit de información puede presentar dos valores binarios 0 ó 1, valores que corresponden a una carga eléctrica nula o diferente de cero.

Estos tipos de memorias se realizan principalmente con ayuda de dos tipos de tecnología, una tecnología M $\text{O}$ S -- (abreviación del término anglosajón "Metal Oxyde Semiconductor" (Semiconductor de Oxido Metálico), y una tecnología MN $\text{O}$ S (abreviación del término anglosajón "Metal Nitride Oxyde Semiconductor" (Semiconductor de Oxido de Nitruro Metálico).

Una memoria realizada en tecnología M $\text{O}$ S tiene tiempos de acceso de 450 a 1200 ms y tiempos de anulación del orden de 1  $\mu$ s, mientras que la realizada en tecnología MN $\text{O}$ S -- tiene tiempos de acceso de 1  $\mu$ s y tiempos de anulación del orden de 1 a 100 ms. Lo que diferencia mucho estos dos tipos de realización es el hecho de que una memoria M $\text{O}$ S dinámica puede conservar una información durante un tiempo próximo a 1 ms, mientras que una memoria en tecnología MN $\text{O}$ S puede conservarla durante años. Por el contrario presentan ambas el --

- inconveniente de ser sensibles a cierto número de perturbaciones físicas exteriores. Por ejemplo, la exposición de estas memorias a radiaciones electromagnéticas como las ultravioleta puede modificar la magnitud eléctrica de las cargas repartidas en la memoria y por ende modificar las informaciones almacenadas. Asimismo, accesos repetidos pueden hacer --
5. disminuir progresivamente las cantidades de electricidad almacenadas en cada una de estas memorias. Finalmente, defectos de regulación del generador de corriente y de tensión --
10. que alimenta los circuitos de estas memorias pueden también perturbar y modificar las informaciones que se memorian así. Se puede igualmente citar un envejecimiento prematuro que -- afecte a la permanencia de las informaciones. Estos inconvenientes son, pues, nefastos para la integridad y seguridad --
15. de las informaciones así memorizadas.

- Naturalmente, se pueden utilizar varios dispositivos para conservar la integridad de las informaciones memorizadas, disponiéndose, por ejemplo, pantallas que absorban -- las radiaciones nefastas, creando ciclos de regeneración de
20. las cargas almacenadas o en presencia de los dispositivos de cortocircuito de alimentación, cuando ésta se debilite. Pese a la calidad de estos dispositivos que hacen prácticamente -- inalterables las informaciones contenidas en tales memorias, nunca se puede estar seguro de que una memoria no haya queda
25. do expuesta durante cierto momento a una radiación, o de que no se haya producido un fenómeno eléctrico, que haya tenido como consecuencia una alteración de las informaciones memorizadas.

- La finalidad de la invención es la de prever un --
30. dispositivo que permite regular o controlar que no ha habido

modificaciones de las informaciones contenidas en la memoria por otras vías distintas a las permitidas por los circuitos que permiten el normal acceso a estas informaciones, y denunciar una exploración indiscreta de la memoria.

5. El dispositivo según la invención podrá realizarse si la memoria posee un carácter testigo previamente registrado, antes de la utilización normal de la memoria en una zona prevista a tal efecto, y si los circuitos de maniobra de la memoria se realizan de tal manera que sea siempre posible --
10. una lectura del carácter testigo en esta zona, mientras que por el contrario, quede impedida la escritura de otras informaciones en la misma.

- El dispositivo según la invención deberá, pues, -- ser capaz de leer el carácter testigo en la zona de memoria
15. que le ha sido reservada y deberá verificar que este carácter testigo después del uso no ha sido alterado.

- Así definido, el dispositivo según la invención es un dispositivo de test de un carácter testigo que tiene un código binario previamente definido y previamente registrado --
20. en una zona de memoria borrable de almacenamiento de cargas eléctricas, estando dicha memoria asociada a medios de maniobra que permiten la lectura del carácter testigo en la zona que le está reservada y que impiden la escritura de información en la citada zona, caracterizándose dicho dispositivo --
25. porque comprende un medio de comparación del carácter testigo leído a partir de los medios de maniobra, con el código binario previamente definido al efectuarse el registro del carácter testigo en el interior de dicha memoria.

- Si el carácter testigo tiene una mayor fragilidad
30. que el resto de las demás zonas de la memoria, será deterio-

- rado antes que las demás informaciones contenidas en la memoria. Será ventajoso proceder sistemáticamente antes de cada lectura en la memoria a un test o prueba de las informaciones que componen el carácter testigo para verificar que no se ha sumergido la memoria en un medio hostil y asegurarse de que las informaciones contenidas en la memoria pueden o no utilizarse. Así definida, se puede aplicar la invención a todos los sistemas de tratamiento de datos, grandes ordenadores o equipo de bolsillo, donde es necesario garantizar en todo momento la integridad de las informaciones.

Aparecerán con más claridad otras características y ventajas de la invención con ayuda de la descripción y de los planos que siguen.

- La figura 1 representa, bajo forma simplificada, un elemento de memoria para almacenamiento de carga eléctrica.

Las figuras 2A, 2B y 2C representan el esquema de elementos de memoria realizados respectivamente en tecnología M $\bar{N}$ S y en tecnología MN $\bar{N}$ S.

- La figura 3 es un esquema que muestra el equipo necesario para la introducción del carácter testigo en una memoria de almacenamiento de carga.

- La figura 4 es un esquema que muestra una memoria de almacenamiento de carga en la que se ha inscrito un carácter testigo y a la que se unen unos circuitos de maniobra que permiten el acceso del carácter testigo en modalidad de lectura, impidiéndolo en modalidad de escritura, así como el dispositivo de test del carácter testigo, según la invención.

- El elemento de almacenamiento de carga de la figura 1 o célula de almacenamiento de carga se compone de un

- condensador  $C$  alimentado a través de un interruptor  $I_E$  por un generador de corriente  $I_0$ . Cuando está cerrado el interruptor  $I_E$ , la corriente suministrada por el generador de corriente  $I_0$  circula por el condensador  $C$  y carga este condensador en una cantidad de electricidad  $\Delta Q$  que depende del tiempo  $\Delta t$  durante el cual está cerrado el interruptor  $I_E$  según la relación  $\Delta Q = I_0 \Delta t$ . En el caso de que se dé un valor constante a la corriente  $I_0$  y al lapso de tiempo  $\Delta t$ , la cantidad de electricidad así introducida en el condensador  $C$  será constante. Repitiendo así  $n_1$  veces los instantes de cierre del interruptor  $I_E$ , se almacena una carga  $Q_1 = n_1 I_0 \Delta t$  en el condensador  $C$ . En la aplicación que interesa en la invención, es necesario cargar las células o elementos de almacenamiento que componen el carácter testigo, en una cantidad de electricidad inferior a la utilizada para memorizar las informaciones distintas a las que figuran en el carácter testigo.

- Según el principio que acabamos de exponer, se puede resolver este problema cargando los elementos de almacenamiento reservados al carácter testigo con una cantidad de electricidad  $Q_1 = n_1 I_0 \Delta t$  y las otras células con una cantidad de electricidad  $Q_2 = n_2 I_0 \Delta t$  donde  $n_2$  corresponde al número de repetición de los instantes de cierre del interruptor  $I_E$ . El número  $n_2$  deberá ser superior al número  $n_1$ , para que la cantidad de electricidad  $Q_1$  sea inferior a la cantidad de electricidad  $Q_2$ . Una vez cargados los elementos con las cantidades de electricidad  $Q_1$  ó  $Q_2$  presentan entonces en los bornes de la capacidad  $C$  las diferencias de potenciales respectivos  $U_{L1} = \frac{Q_1}{C}$  y  $U_{L2} = \frac{Q_2}{C}$  donde  $U_{L2} > U_{L1}$ . Estas diferencias de potencial pueden entonces ser leídas por circuitos exteriores, mediante cierre del interruptor  $I_D$ . Es bien

evidente que en otra forma de realización no descrita aquí, sería posible también obtener las dos cargas  $Q_1$  y  $Q_2$  por aplicación de dos tensiones  $U_1$  y  $U_2$  diferentes.

Las figuras 2A y 2B representan formas de realización diferentes de estas células o elementos.

La célula o elemento de memoria representada en la figura 2A comprende cuatro transistores. Los transistores  $Q_1$  y  $Q_2$  se utilizan como carga resistiva, en tanto que los transistores  $Q_3$  y  $Q_4$  son retro-acoplados. Se memoriza una información en una de las ramas ( $Q_1, Q_3$ ) ó ( $Q_2, Q_4$ ) cuando los transistores de la otra rama conducen. Esta información se conserva en ausencia de tensión de alimentación  $V_{cc}$  por las capacidades parásitas  $C_A$  o  $C_B$  de rejilla. En una realización en tecnología  $MOS$ , sus capacidades se descargan lentamente en la unión constituida por la zona de difusión  $N$ , al nivel de los nudos  $A$  o  $B$  y el sustrato  $P$  que está en el potencial de la masa (figura 2B). El efecto de descarga se puede eliminar por utilización del transistor  $MNOS$ , cuya constitución aparece en la figura 2C. En esta figura, el sustrato tiene una conductibilidad de tipo  $N$  y comprende dos zonas de difusión  $P$ , una de las cuales está conectada al electrodo de alimentación y la otra al de drenaje. Sobre la superficie del sustrato  $N$ , entre las dos zonas de difusión  $P$  se depositan sucesivamente: una capa de óxido de silicio  $SiO_2$ , una capa de nitruro de silicio  $Si_3N_4$  y una capa de aluminio.

Cuando este tipo de transistor está normalmente polarizado por generadores de corriente y tensiones exteriores, las cargas eléctricas circulan desde las zonas de difusión  $P$  hacia la rejilla a través de la capa muy delgada de  $SiO_2$ . Se produce un efecto túnel que bloquea estas cargas eléctricas

en la capa de nitruro de silicio. En ausencia de toda alimentación por los generadores exteriores, estas cargas quedan localizadas al nivel de la capa de nitruro de silicio.

- La introducción de un carácter testigo en el interior de una memoria de almacenamiento de cantidad de electricidad tiene lugar por el dispositivo representado en la figura 3. En esta figura, la memoria de almacenamiento  $\uparrow$  es una memoria de 100 líneas y 12 columnas, que realizan una capacidad de 1200 células o elementos de almacenamiento. En el ejemplo de realización que se ha representado, la memoria está dividida en 300 emplazamientos de 4 bits, que van de la cifra 0 a la cifra 299; las cifras 0 1 2 se hallan correlativas sobre la línea 0; las cifras 3 4 5 sobre la línea 1, y así sucesivamente..... Las 100 líneas se seleccionan a partir del descodificador de dirección DAM 4. La posición de un emplazamiento de 4 bits se selecciona sobre una línea a partir del descodificador de posición D.PPS 3. El descodificador D.ADM4 descodifica las combinaciones de las salidas 0 a 6 del contador binario C.DAM5. Este contador progresa a partir de señales binarias que llegan a su entrada  $C_K$  y están generadas por la salida 2 de un contador 6 de 4 básculas, pilotado por su parte en su entrada  $C_K$  por las señales de reloj generadas por la salida 4 de la puerta ET 2.

- El registro RADQ 9 es un registro de desplazamiento de 9 básculas que contiene la dirección binaria del emplazamiento de memoria de 4 bits que se trata de seleccionar. Reciba en su entrada  $C_K$  las señales de reloj generadas por la puerta ET 8. Inicialmente, este registro se carga por los bits de dirección situados en la línea de dirección  $A_0$ . La salida 2 del registro RADQ está conectada a la entrada 1 del

- substractor 11. El registro 10 es también un registro de desplazamiento de 9 básculas, pilotado también por las señales de reloj que salen de la puerta ET 8 y que son emitidas sobre su entrada  $C_K$ . Este registro se carga en origen por el -
5. número 3, con ayuda de dos interruptores  $I_0$  a  $I_8$ . Su salida está conectada a la entrada 2 del substractor 11. La salida 2 del registro 10 se recicla sobre su entrada 1, de modo que en el curso del desplazamiento los bits de salida se reinyectarán a su entrada. El substractor 11 opera la sustracción
10. bit a bit de los contenidos del registro R ADQ 9 y del registro 10; el resultado que aparece en su salida 3 se reinyecta a la entrada 1 del registro R ADQ. De este modo, el registro R ADQ contiene al final de la operación de sustracción el valor de la dirección del principio de la operación disminuido
15. en 3 unidades. El comparador 12 señala en su salida 3 que el contenido del registro R ADQ es inferior al número decimal 3. Este comparador va conectado por su entrada 1 a la salida -- del registro R ADQ y su entrada 2 a un órgano 16 que suministra por su salida 1 la combinación binaria 000.000.011, co--
20. rrespondiente al número decimal 3. La salida 3 del comparador 12 se aplica por una parte a la entrada 3 de la puerta -- ET 8 y por otra parte a la entrada 1 del inversor 13 cuya salida 2 está conectada a las entradas de validación del descodificador de posición 3 y del descodificador de dirección memoria D ADM 4. La puerta ET 8 recibe en su entrada 1 las se-
25. ñales suministradas por el generador de reloj 7 y en su entrada 2 la señal "start" que acciona toda la operación de direccionamiento. La memoria 1 está conectada a un registro de datos RD2 que contiene las informaciones que se trata de es-
30. cribir o de leer en la memoria según la dirección calculada

por los medios de direccionamiento. Este registro se comunica con los órganos exteriores por la línea de datos DO. La memoria 1 y el registro RD están accionados en escritura y en lectura por las señales E y  $L_1$ .

5. El funcionamiento del dispositivo, hecho con ayuda del cronograma de la figura 5, es el siguiente. En la iniciación, se introduce la dirección del carácter testigo, en binario, en el registro R ADQ 9, así como el número decimal 3 en el registro 10. Terminada la iniciación, se efectúa el --
10. cálculo de dirección por aplicación de la señal "start" en la entrada 2 de la puerta ET 8. El conjunto constituido por el registro R ADQ 9, el registro 10 y el substractor 11 efectúa la operación  $ADQ = ADQ - 3$ , cada 9 impulsos de reloj. Al mismo tiempo, cada 9 impulsos de reloj, progresa el contador
15. CADM un paso. Este ciclo prosigue hasta que el contenido del registro ADQ se hace inferior al número decimal 3. Realizada esta condición, el contador CADM contendrá la dirección lí-
20. nea del emplazamiento de memoria buscado y el contador R ADQ contendrá la posición (F/S) de este emplazamiento. La escri-
- tura del carácter testigo con el emplazamiento así seleccionado puede entonces tener lugar enviando a la línea E un número determinado de "tops" de escritura durante el intervalo que separa el final del cálculo de la dirección hasta la caí-
25. da de la señal "start". De este intervalo depende, naturalmente, la duración del tiempo de carga de elemento de memo-
- ria que compone el carácter testigo, y de aquí su fragilidad.

La introducción del carácter testigo en la memoria tiene lugar en fabricación antes de proceder al ensamblaje del módulo de memoria con el resto de los circuitos, que de-

30. berán, cuando el producto esté terminado, cooperar con esta

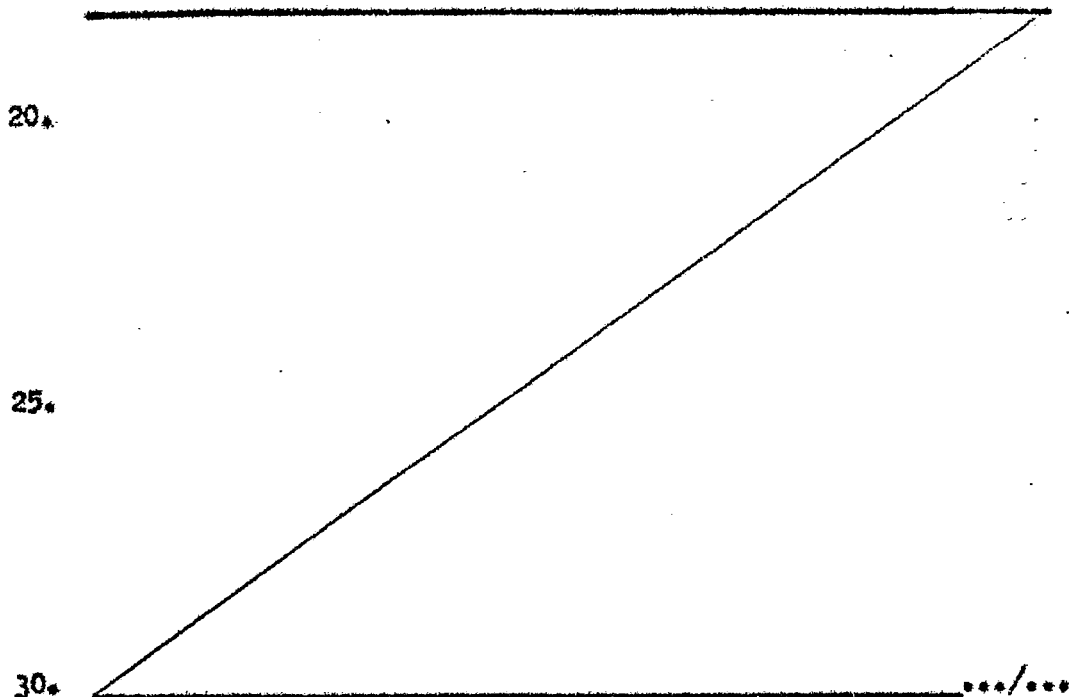
memoria. Es necesario, cuando se determine el producto, impedir que se produzcan escrituras de información intempestivas en el interior de la zona testigo. La figura 4 muestra el dispositivo que habrá necesariamente que añadir en el curso de la fabricación al circuito de direccionamiento de la memoria y después de la inscripción del carácter testigo. Se compone del descodificador 14 y de la puerta ET15. Las entradas del descodificador 14 se conectan a la línea de dirección  $A_0$ , su salida se conecta a una entrada de la puerta "ET" 15 de 2 entradas, cuya otra entrada recibe la señal de escritura E y cuya salida sitúa el registro de datos RD y la memoria 1 en modalidad "escritura". Así pues, cuando aparece en la línea de dirección  $A_0$  una combinación binaria correspondiente a la que define la dirección del carácter testigo, la escritura en la memoria y en el registro RD<sub>2</sub> se hallará impedida. Este dispositivo impide, pues, la escritura en la zona testigo pero no la lectura de esta zona. El comparador 16 tiene sus entradas 1 conectadas a la línea de datos  $D_0$  y recibe en sus entradas 2 a 5 los bits de informaciones correspondientes al código previamente definido y previamente registrado en la zona testigo de la memoria. Este código se introduce en sus entradas 2 a 5 por los interruptores  $I_3$  a  $I_6$ . Cuando se efectúa una lectura del contenido de la zona testigo de la memoria 1, el carácter testigo queda depositado sobre la línea de datos  $D_0$  y se compara por medio del comparador 16 a los bits de información presentes en las entradas 2 a 5. Si existe igualdad entre la información presente en la línea  $D_0$  y la presente en las entradas 2 a 5, se emite una señal binaria en la salida 6 del comparador 16. El testigo leído se declara correcto. Si no hay igualdad, la señal binaria emitida

por la salida 6 del comparador 16 toma un valor binario opuesto, se declara incorrecto el testigo y, por consiguiente, se supone que han sido alteradas las informaciones contenidas - en la memoria 1.

5. En la figura 4, los circuitos de direccionamiento ya mencionados en el curso de la descripción de la figura 3 se han representado nuevamente. En efecto, nada se opone a reutilizar los mismos circuitos de direccionamiento para la confección del producto que se han utilizado en el curso de la fabricación para la inscripción del carácter testigo.

N O T A

- La Patente de Invención que se solicita por veinte años para España, de acuerdo con la vigente legislación, deberá recaer sobre: "DISPOSITIVO DE PRUEBA DE UN CARACTER TESTIGO INSCRITO EN UNA MEMORIA", con Prioridad de la Solicitud de Patente en Francia nº 78 36545 de 27 de Diciembre de 1978, según las características esenciales de las siguientes:



REIVINDICACIONES

- 1.- Dispositivo de prueba de un carácter testigo - inscrito en una memoria, el cual posee un código binario previamente definido, y previamente registrado en una zona de memoria borrrable de almacenamiento de cargas eléctricas, para garantizar la integridad de las informaciones contenidas en una memoria, estando tal memoria asociada a medios de maniobra que permiten la lectura del carácter testigo en la zona que le está reservada e impidiendo la escritura de información en dicha zona, caracterizado porque comprende un medio de comparación del carácter testigo leído a partir de los medios de maniobra, con el código binario previamente definido al efectuarse el registro del carácter testigo en el interior de dicha zona de memoria.
- 5.
- 10.
15. 2.- Dispositivo de prueba de un carácter testigo - inscrito en una memoria, según la reivindicación 1, caracterizado porque los medios de maniobra de la memoria se componen de medios de direccionamiento de la memoria asociados a un descodificador que invalida la maniobra de escritura de la memoria cuando la dirección de la zona testigo se encuentra presente a la entrada de los circuitos de direccionamiento de la memoria.
- 20.
- 3.- "DISPOSITIVO DE PRUEBA DE UN CARACTER TESTIGO INSCRITO EN UNA MEMORIA".
25. Según queda sustancialmente descrito en la presen-

.../...

te Memoria que consta de trece hojas, escritas a máquina por una sola cara y acompañada de dibujos.

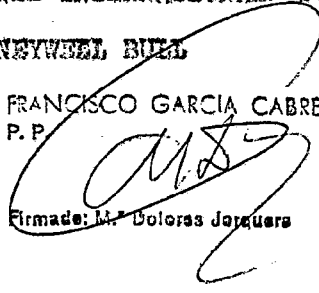
Madrid, 27 DIC. 1979

COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE

5.

CEI-HONEYWELL BULL

P.D. FRANCISCO GARCIA CABRERIZO  
P.P.

  
Firmado: M.<sup>a</sup> Dolores Jorguera

487298

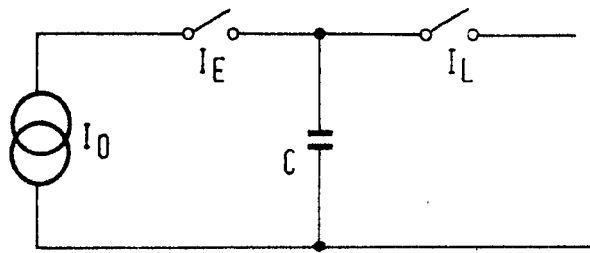


FIG 1

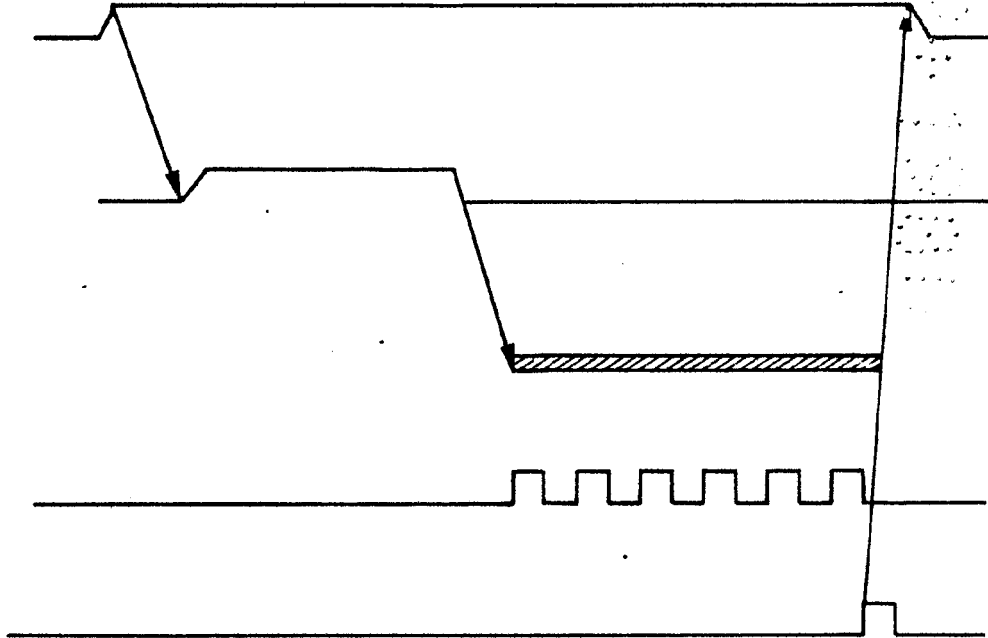


FIG 5

MADRID, 27 DIC. 1979  
P.P.

Escala variable

487298

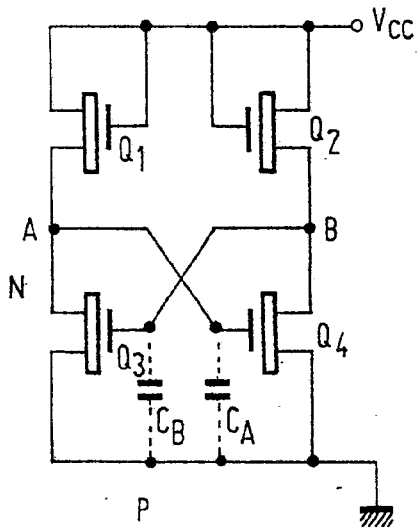


FIG 2A

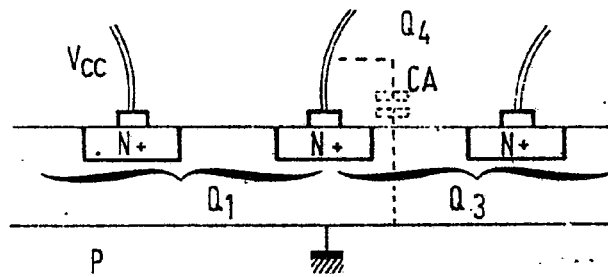


FIG 2B

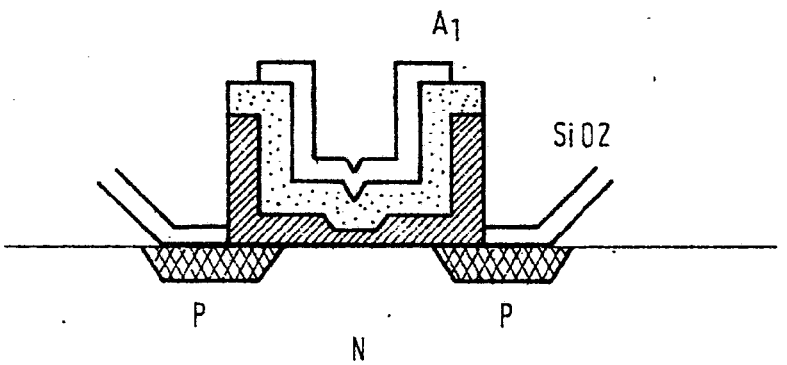


FIG 2C

MADRID, 27 DIC. 1979  
P. P.

Escala variable

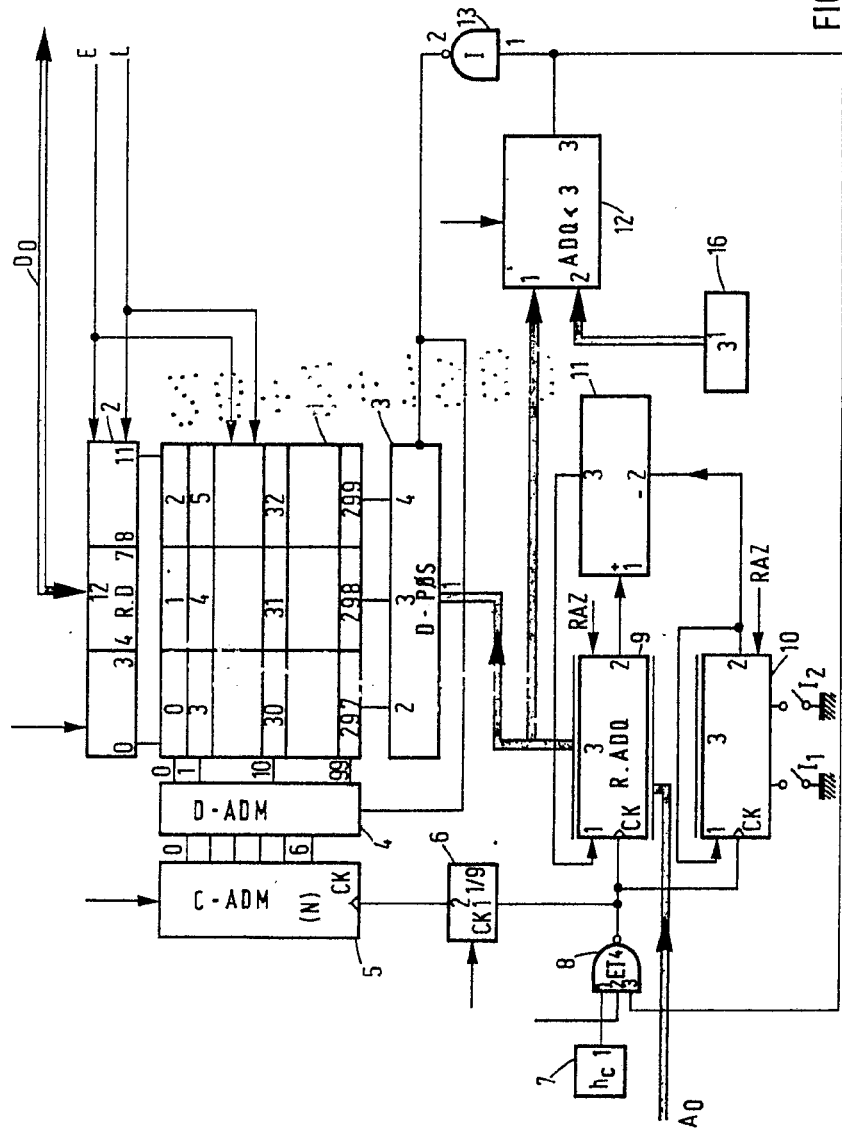
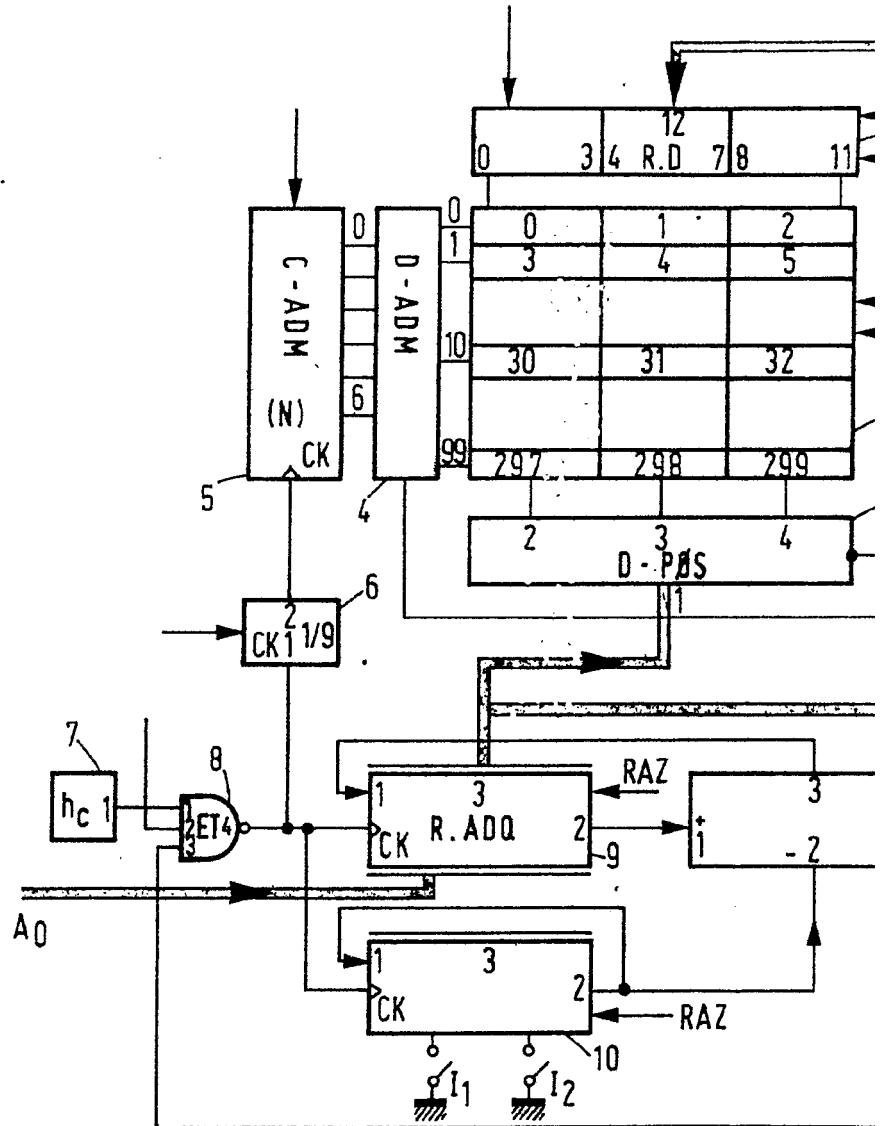


FIG 3

MADRID, 27 DEB 1979  
 P.P.



Escala variable



487298

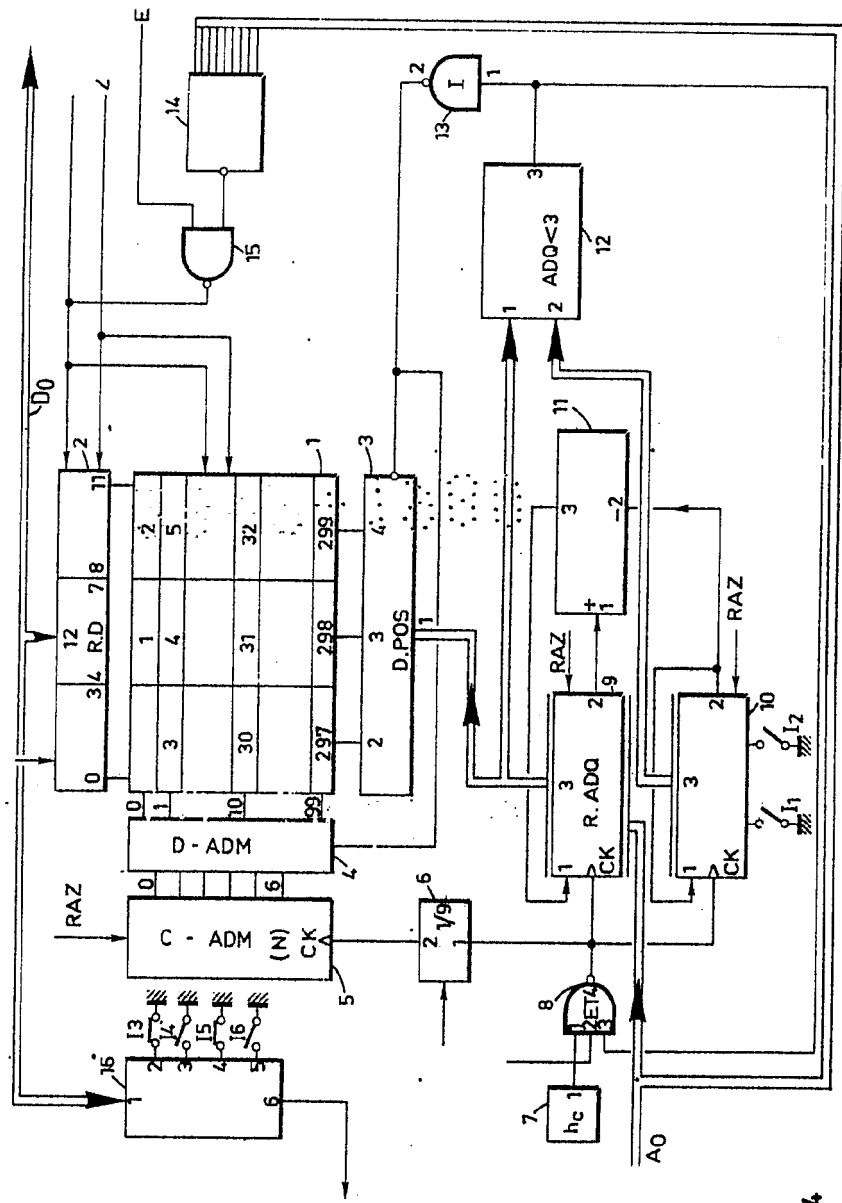


FIG. 4

MADRID, 27 DIC. 1979  
P.P.

Escala variable

*[Handwritten signature]*

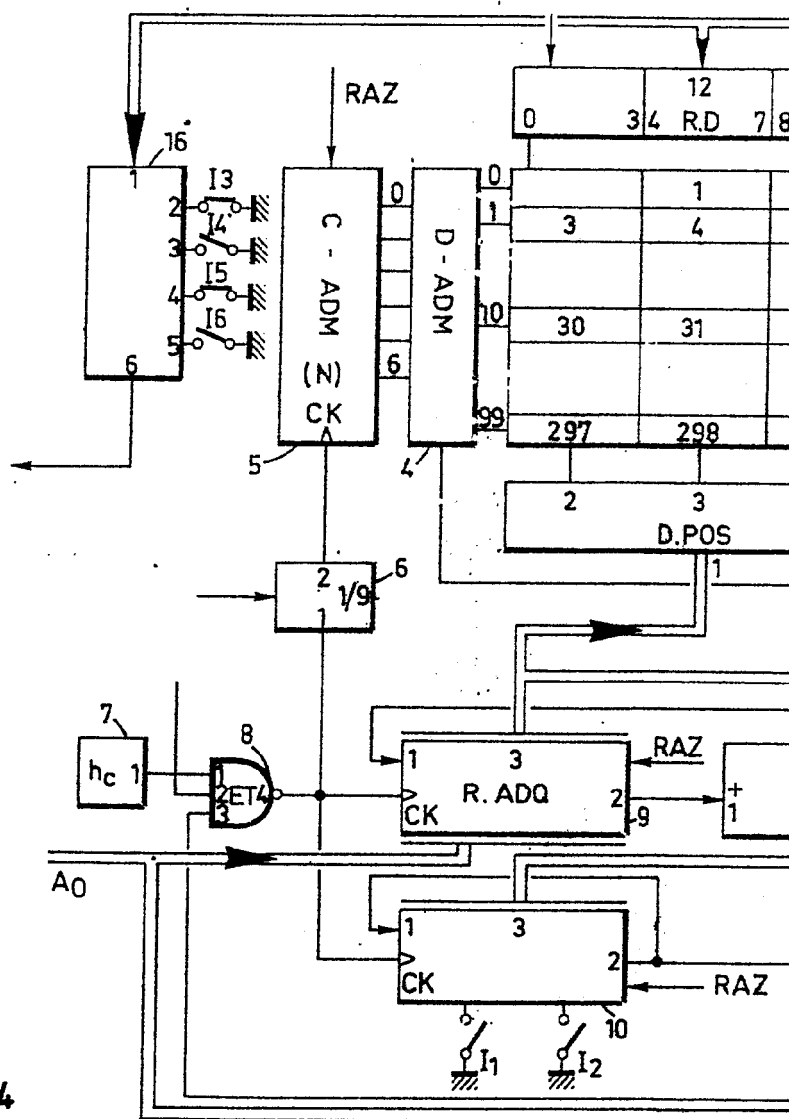
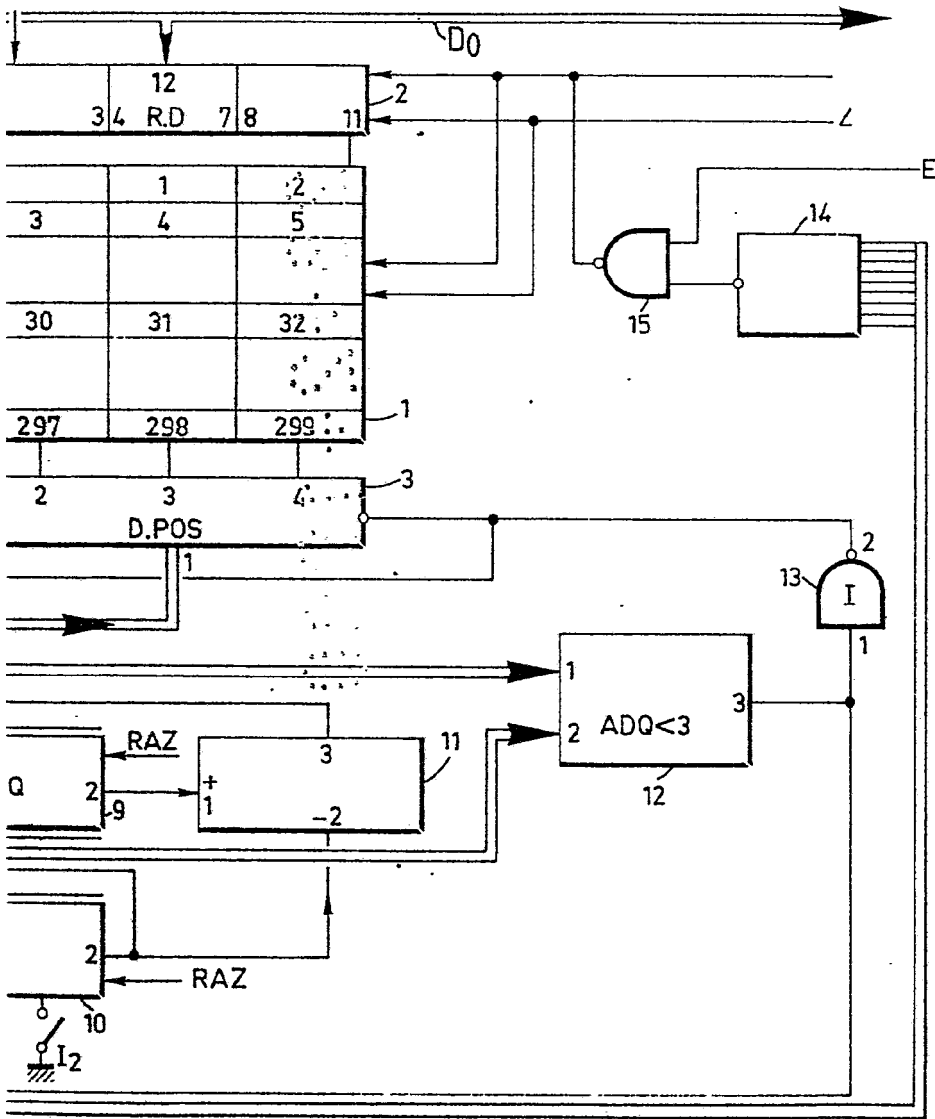


FIG. 4

Escaia variable

487298



MADRID, 27 DIC. 1979

P. P.