

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

19 ES

11

21

NUMERO	48 7295
FECHA DE PRESENTACION	27 DIC. 1978

10 A1

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la memoria adjunta.

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
974.378	29 de diciembre de 1.978	EE.UU. de A.
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H 01 L 21/70	
64 TITULO DE LA INVENCION		
Procedimiento para la fabricación de un dispositivo semiconductor.		
71 SOLICITANTE (S)		
WESTERN ELECTRIC COMPANY, INC.		
DOMICILIO DEL SOLICITANTE		
222 Broadway, New York - N.Y. 10038 EE.UU. de A.		
72 INVENTOR (ES)		
HYMAN JOSEPH LEVINSTEIN; SHYAM PRASAD MURARKA; ASHOK KUMAR SINHA		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. IGNACIO GOMEZ-ACEBO Y DUQUE DE ESTRADA.		

Esta invención se relaciona con un procedimiento para la fabricación de circuitos integrados semiconductores.

5 Son bien conocidos los circuitos integrados semiconductores, así como los métodos de diseño, fabricación y operación de tales circuitos. Común a tales circuitos es una película monocristalina de crecimiento epitaxial en la cual diversas regiones de diferente tipo de conductividad están interconectadas por capas múltiples de material diseñado electricamente conductor.

10 Para la ejecución de las capas se dispone de una variedad de materiales electricamente conductores. Por ejemplo, el oro, cobre, aluminio, polisilicio y diversas aleaciones metálicas, son todos ellos adecuados en ciertos grado. Por otro lado, cada uno de estos materiales tiene sus inconvenientes.

15 En la tecnología de integración a gran escala 4lsi5 - MOS - FET, el polisilicio (silicio policristalino) ha llegado a ser el material normal para la capa conductora más cercana a la película epitaxial. Normalmente, la capa de polisilicio es una primera capa que está separada de una segunda sobrecapa electricamente conductora mediante una capa aislante, normalmente de dióxido de silicio. Sin embargo, el polisilicio exhibe una resistividad relativamente alta y en consecuencia quedan limitadas las longitudes de los trayectos de polisilicio. Por ejemplo, varias áreas funcionales en una porción de circuito integrado no pueden ser interconectadas directamente por polisilicio. En su lugar, la conducción desde cada área se presenta a una barra de distribución de aluminio formada a partir de la segunda sobrecapa. Similarmente, los circuitos LSI de alta velocidad requieren líneas de entrada-salida de alta conductividad. Esta necesidad se traduce en la exclusión del poli-

20

25

30

5 silicio como material para dicho empleo. Las líneas de polvo de aluminio son necesarias y con frecuencia ésto requiere almohadillas de unión de aluminio dentro de la porción. Las áreas de aluminio adicionales son, esencialmente, espacios desperdiciados y los conductores de aluminio paralelos crean problemas de rendimiento.

10 Un material de conductividad relativamente alta, para sustituir al polisilicio convencional podría conducir, por ejemplo, a una reducción del tamaño celular de memoria del semiconductor del orden de 30 a 50 %.

15 De acuerdo con la invención, el dispositivo semiconductor incluye un diseño conductor de silicio policristalino con una sobrecapa de siliciuro de titanio o siliciuro de tántalo. El diseño conductor puede formarse por deposición de una capa de silicio policristalino, deposición de titanio o tántalo sobre el silicio policristalino y sinterizado para producir respectivamente siliciuro de titanio o siliciuro de tántalo, dejando un exceso de silicio policristalino.

20 Se ha encontrado que el siliciuro de titanio y el siliciuro de tántalo retienen alta conductividad cuando se utilizan con una capa de polisilicio relativamente fina. Además, puede formarse facilmente una capa de dióxido de silicio por tratamiento térmico en una atmósfera oxidante, para proporcionar aislamiento para otra capa conductora, tal como una capa de metalización de aluminio. Sin el exceso de polisilicio, se formaría un óxido de titanio, por ejemplo, el cual no es facilmente mordentado, evitando con ello de modo eficaz la realización de contactos entre la capa de metalización y la capa de silicio. Con la presente invención, puede formarse facilmente
30 una capa de dióxido de silicio, facilmente disponible para las

técnicas de mordentado convencionales.

A continuación se describirán modalidades de la invención, a modo de ejemplo, con referencia al dibujo adjunto, en el cual:

5 La figura 1 es una vista en proyección de un conjunto de porción de circuito integrado semiconductor.

Las figuras 2 y 3 son vistas cortadas de porciones de la porción mostrada en la figura 1.

10 La figura 4 es un diagrama de bloques de un proceso para la producción de las porciones de la figura 1.

15 La figura 1 muestra una vista en proyección de un conjunto de porción semiconductor. El conjunto incluye un sustrato 11. El sustrato comprende capas 12 y 13 que emparedan un diseño de rotura o estallido solar de conductores eléctricos 15 entre las mismas. La capa 12 tiene una abertura cuadrada 16 dispuesta centralmente que expone los extremos interiores de los conductores 15. La porción 20 de circuito integrado semiconductor está montada sobre la porción de la capa 13 expuesta por la abertura 16. La porción 20 incluye zonas eléctricas 22 en su periferia para la conexión exterior a los extremos inter-
20 nos expuestos de los conductores eléctricos 15.

25 La porción de circuito integrado 20 tiene múltiples áreas funcionales definidas en la misma (no mostradas en el dibujo). Estas áreas están interconectadas entre sí y a las zonas 22 por los conductores definidos por capas diseñadas de material electricamente conductor formadas sobre las superficies de la porción 20. Estas capas están electricamente aisladas una de otra y de la capa epitaxial de la porción por capas de dióxido de silicio. Naturalmente, el contacto entre porciones
30 de las capas conductoras y varias regiones en la capa epita-

xial, requiere conexiones a su través. El término "conexión a su través" se refiere aquí a un recorrido o trayectoria eléctricamente conductor desde una capa de material conductor a través de otras capas que la separan de la capa epitaxial.

5 Cuando la conexión se ha efectuado entre las zonas 22 y los extremos interiores de los conductores 15, se asegura un recinto (no mostrado) sobre la abertura 16. Las conexiones externas a la porción 20 pueden efectuarse entonces por vía de los conductores 15.

10 El área 30 en forma libre de la figura 1 es un área representativa de la porción 20 y es sobre esta área sobre la cual la entidad solicitante presta su atención. Las figuras 2 y 3 muestran una sección del área 30 para exponer la pluralidad de capas que constituye la porción. La capa de fondo 40 es de silicio, sobre la cual se forma una capa eléctricamente aislante 41 de dióxido de silicio, normalmente por calentamiento en una atmósfera oxidante. Esta etapa se representa por el bloque superior en la figura 4. La capa 40 comprende convenientemente una capa de crecimiento epitaxial de 15 10-20 micras de espesor, teniendo la capa de óxido un espesor de 500-900 Angstroms.

20 La siguiente capa 42 es de polisilicio, formada por deposición con vapor químico (CVD) y tiene un espesor de aproximadamente 5.000 Angstroms (segundo bloque de la figura 4).
25 Sobre el polisilicio se deposita una capa de titanio de 1.000 Angstroms aproximadamente y se sinteriza entonces a una temperatura de aproximadamente 900°C, tal y como se indica por el tercer bloque de la figura 4. Esta etapa forma una capa 43 de aproximadamente 2.500 Angstroms de siliciuro de titanio
30 (TiSi₂).

La capa de siliciuro de titanio 43 se calienta luego en una atmósfera de oxígeno a 1.000°C durante 40 minutos, para formar una capa 44 de SiO_2 tal y como se indica por el cuarto bloque desde la parte superior en la figura 4.

5 La siguiente etapa es el mordentado de un diseño en la capa 44 de SiO_2 como se indica por el quinto bloque en la figura 4. El mordentado se efectúa a través de una máscara por exposición, por ejemplo, a un plasma de descarga luminosa que contiene C_2F_6 (55%) y CHF_3 (45%), ahora un mordentante
10 normalmente usado para SiO_2 , para formar aberturas en la capa tal y como se representa en 45 en la figura 3. Como se indica en los dos últimos bloques de la figura 4, una capa 46 (figura 3) de aleación de aluminio, 0,5 % Cu, 2 % Si, de una micra de espesor, se deposita mediante deposición con pistola de bombardeo iónico y se mordenta, por ejemplo, en un plasma de
15 CCl_4 , Bcl_3 y He. La estructura de la figura 3 no puede realizarse por técnicas anteriores en donde se forma TiSi_2 en ausencia de una capa de polisilicio por debajo. Una característica de este material es que, en ausencia de polisilicio, forma una
20 sobrecapa de óxido indeseable, impenetrable, pobremente aislante, que evita la realización de la estructura de la figura 3. En adición, la oxidación de los materiales en ausencia de una capa subyacente de polisilicio se traduce en una pérdida de las
25 deseables propiedades de alta conductividad.

Una finalidad de la capa de polisilicio es proporcionar la fuente de silicio para la reacción de Ti a TiSi_2 . Otra finalidad es como fuente de silicio para la ulterior oxidación del material compuesto TiSi_2 y del polisilicio para formar
30 SiO_2 . A este respecto, es deseable por tanto retener

la elevada conductividad durante las ulteriores etapas de procesado del dispositivo, que implican la exposición a ambientes oxidantes y altas temperaturas para asegurar la presencia de una capa de polisilicio con un espesor superior a 1000 Angstroms.

5 Una capa inferior a 1.000 Angstroms de espesor se traduce en defectos indeseables en el polisilicio. Para una capa de 1.000 Angstroms de titanio, se forma una capa de $TiSi_2$ superior a 2.000 Angstroms con una resistividad de 1 ohm/cuadrado. La capa de $TiSi_2$ deberá tener preferiblemente un espesor inferior
10 a 5.000 Angstroms para evitar roturas tensionales.

Los procesos que emplean $TaSi_2$ en lugar de $TiSi_2$ son similares ya que se forma $TaSi_2$ por sinterización a 1.000°C ó más en hidrógeno o argon. El $TaSi_2$ puede formarse por sinterización a 900°C, pero la resistividad es mayor. Por otra
15 parte, la oxidación se efectua en vapor de agua en lugar de oxígeno seco como es el caso con $TiSi_2$. El $TaSi_2$ sobre polisilicio no se oxida en ambiente seco a temperaturas de hasta 1.100°C. En la figura 4 se muestran entre paréntesis las variaciones en el proceso adecuadas al empleo de tántalo.

20 No pueden emplearse otros siliciuros relacionados, tales como los de molibdeno y tungsteno, debido a que los mismos forman MoO_3 y WO_3 que son volátiles a las altas temperaturas normalmente usadas para el procesado de circuitos integrados.

A continuación se ofrece un ejemplo específico de
25 un IGFET fabricado con el citado sistema de $TaSi_2$.

El material de partida es un sustrato de silicio monocristalino, que tiene una orientación (100) y está dopado con boro a una resistividad de 7 ohm cm. El sustrato de silicio se oxida termicamente a 1.000°C durante 30 minutos en un ambiente
30 de oxígeno seco para crecer un óxido, de 350 Angstroms de

espesor. Sobre éste óxido, se deposita una película fina de Si_3N_4 mediante deposición con vapor químico a partir de una mezcla de silano y amoniaco a 680°C . Una capa de fotoresistor se define en un diseño utilizando técnicas fotolitográficas

5 convencionales, con el fin de dejar la capa resistente sobre áreas activas del dispositivo de la lámina. El Si_3N_4 se mordenta de las áreas de "campo" no activas así definidas, utilizando una descarga luminosa rf en una mezcla de CF_4 y O_2 . Las áreas mordentadas son implantadas con iones boro acelerados a una

10 tensión de 30 kV y hasta una dosis total de $1,5 \times 10^3$ iones/ cm^2 . Esta etapa conduce a la formación de un tope de canal fuertemente p-dopado con una elevada tensión de umbral en las áreas de campo no activo. El material resistente se separa entonces en un plasma de oxígeno y las áreas expuestas de óxido fino en

15 la región de campo se mordentan en una solución de HF tamponado hasta el silicio desnudo. Con las áreas activas enmascaradas por la película de Si_3N_4 , la lámina se somete a una mezcla de 10 % de oxígeno más 90 % de nitrógeno a 1.100°C , durante 20 minutos, para conducción en los iones B implantados y luego a

20 un ambiente de vapor de agua a 1.000°C durante 430 minutos, para formar un óxido de campo, de 10.000 angstroms de espesor. Las áreas enmascaradas son limpiadas mediante sucesivo mordentado en HF tamponado, H_3PO_4 caliente (180°C) y HF tamponado hasta llegar al silicio en el área de puerta activa. Entonces

25 se desarrolla un espesor de 550 Angstroms de óxido de puerta a 1.000°C en una mezcla de oxígeno más 3 % de HCl durante 42 minutos. El óxido es recocido, in situ, durante media hora en árgon, también a 1.000°C , para proporcionar características eléctricas óptimas de la interfase Si/Si- O_2 . Con el fin de

30 ajustar la tensión de umbral del MOSFETs, el silicio de las áreas de puerta se implanta con B a 3 keV a una dosis de

$5 \times 10^{11} \text{ cm}^{-2}$.

Se deposita una capa de polisilicio, de 5.000 Angstroms de espesor, por CVD a baja presión a partir de SiH_4 a 650°C , tras lo cual el polisilicio se difunde con fósforo a 1.000°C durante 60 minutos, empleando PBr_3 como fuente de difusión. Durante esta etapa, se forma una capa fina de SiO_2 conteniendo fósforo sobre el polisilicio; este óxido se separa por mordentado en una mezcla de 50 partes de agua y 1 parte de HF durante 10 minutos. Se deposita una película fina de Ta, de 1.000 Angstroms de espesor, sobre el polisilicio empleando una fuente de bomba de magnetrón. La película es recocida entonces a 1.000°C durante 30 minutos en argon o nitrógeno puro para formar aproximadamente 2.500 Angstroms de TaSi_2 . Se consumen aproximadamente 2.000 Angstroms de polisilicio y permanecen 3.000 Angstroms de polisilicio por debajo del TaSi_2 . La resistencia laminar de esta estructura compuesta es inferior a 2 ohms por cuadrado. Es importante que el ambiente de recocido esté libre de oxígeno o humedad; de lo contrario, se forma un óxido de Ta y la reacción de sinterizado no llega a su término.

Sobre el TaSi_2 se forma un diseño deseado de una capa enmascarante que consiste en fotorresistor, utilizando técnicas litográficas convencionales. Las capas TaSi_2 y de polisilicio se mordentan a continuación en un plasma de $\text{CF}_4 + 8\% \text{O}_2$ a una presión de 150 millitorr, y con una potencia de 200 wattios. En esta mezcla, la velocidad de mordentado de la capa de TaSi_2 es de aproximadamente 500 Angstroms/minuto y la de la capa de polisilicio es de aproximadamente 1.000 Angstroms/minuto. Después del mordentado, se separa el fotorresistor y se limpia entonces la lámina.

Las áreas de fuente y consumo del MOSFET se forman por arsénico de implantación iónica a 30 kV y con una dosis de $7 \times 10^{15} \text{ cm}^{-2}$ a través de las capas de óxido finas. Las áreas anteriormente definidas de TaSi_2 /poli-Si y de óxido grueso en la región de campo, actúan como una máscara contra la implantación de arsénico. Se desarrolla una fina capa de óxido sobre las áreas de siliciuro en vapor de agua a 1.000°C , durante 10 minutos. La parte superior de la lámina se reviste con fotorresistor y se mordentan varias capas de la parte posterior de la lámina en la siguiente secuencia: SiO_2 (HF tamponado, 2 min.), poli-Si (1% Cr O_3 en 25:1 $\text{H}_2\text{O}:\text{HF}$ 5 min.) y SiO_2 (HF tamponado, 10 min.).

Se deposita una capa de SiO_2 dopado con fósforo de una micra de espesor (7% P-cristal) utilizando una reacción de SiH_4 , O_2 y PH_3 a 480°C . Este óxido se hace fluir a 1.100°C durante 15 minutos en nitrógeno para conseguir una topología lisa. Se abren ventanas (aberturas) en el P-cristal hasta el silicio difundido en las áreas de fuente y consumo y hasta la puerta de TaSi_2 . Las láminas son adsorbidas a 1.000°C en PB_3 durante 30 minutos. Esta etapa ayuda a separar las impurezas metálicas pesadas indeseadas de las regiones de superficie activa de la lámina a la parte posterior de la lámina. Las ventanas son sostenidas en $\text{H}_2\text{O}:\text{BHF}$ 30:1 durante 1-3 minutos, tras lo cual las láminas son recocidas a 700°C en hidrógeno durante 30 minutos, para reducir la inestabilidad de lenta captación en el óxido de puerta.

Empleando la pistola de bombardeo iónico se deposita una capa superior de metalización consistente en aluminio, 0,5 % Cu, de 0,7 micras de espesor. El metal se define empleando fotolitografía y mordentado químico convencional para formar

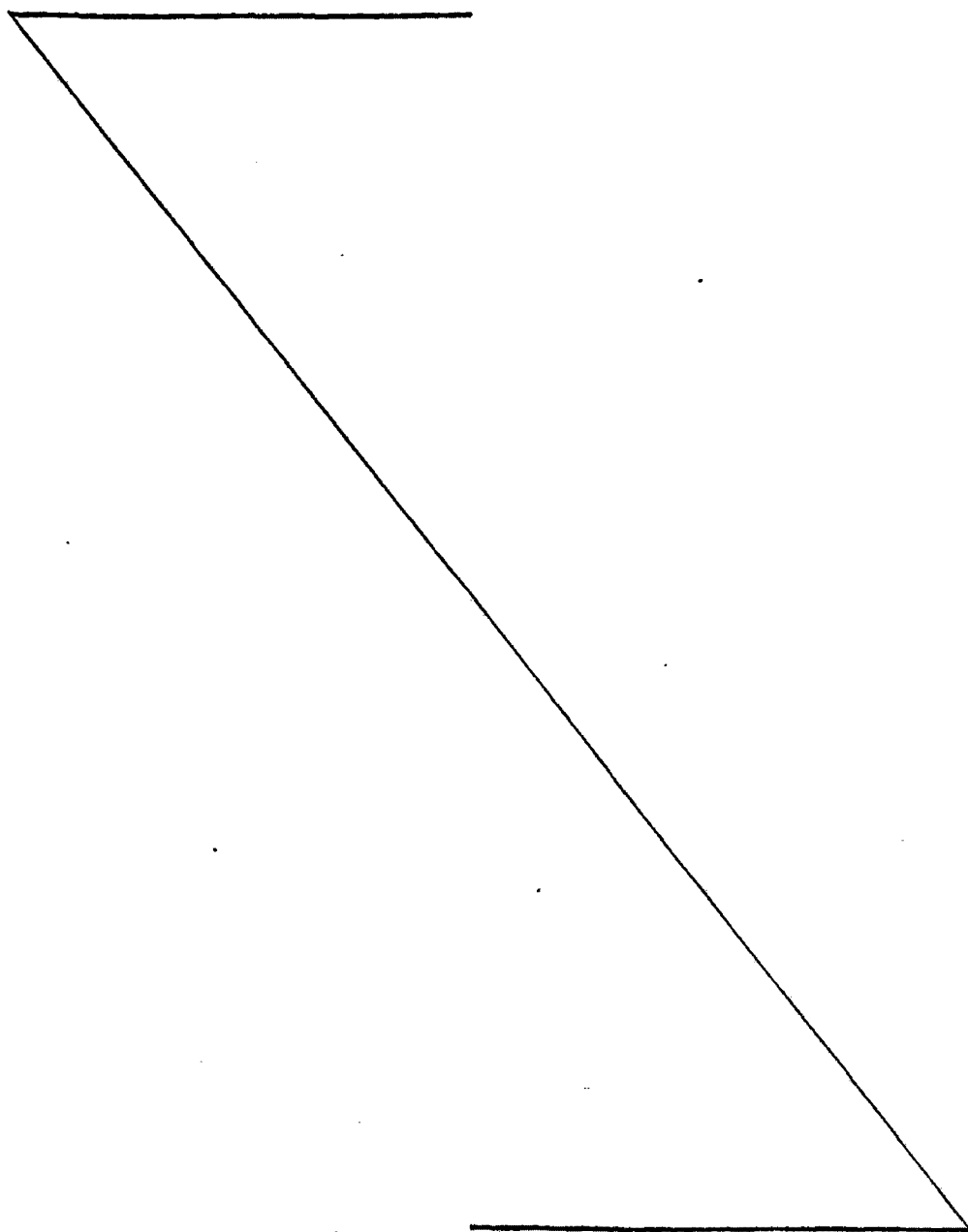
contactos, interconexiones y almohadillas de unión. La parte superior de la lámina se reviste con fotoresistor y a continuación se separa la capa de silicio dopado con fósforo, que se forma en la parte posterior de la lámina durante la adsorción, mediante mordentado con plasma en una mezcla de $CF_4 + 8\%O_2$ a 50 wattios durante 20 minutos, tras lo cual se separa el material resistente en un plasma de oxígeno a 100 wattios durante 10 minutos. Las láminas son recocidas en hidrógeno a 450°C durante media hora, para asegurar contactos óhmicos y para recocer estados superficiales en el óxido de puerta. Se deposita una capa final de pasivación de Si-N de 1 micra de espesor mediante deposición con vapor químico realizada con plasma a partir de una mezcla de SiH_4 , NH_3 y Ar a 330°C. Las áreas de almohadillas de unión se abren por mordentado, Si-N en un plasma de CF_4/O_2 .

La parte posterior de la lámina se limpia y se deposita una película de Ti seguido por Au mediante evaporación secuencial. Los dispositivos se ensayan, separados en porciones y empacados por unión de la parte posterior de la porción a una minicerámica metalizada con una aleación eutéctica de oro y silicio y por unión de hilos de oro a las almohadillas de unión de aluminio y a interconexiones metalizadas sobre el empacado, conducente a clavijas dobles en línea. El empacado hermético se completa mediante estañosoldadura de una placa de cubierta superior (no mostrada en las figuras) en un ambiente de nitrógeno seco. Para la fabricación de los dispositivos, la capa de polisilicio se dopa con N ó P en función de la tensión de umbral deseada de la puerta a formar. De este modo, no puede utilizarse polisilicio sin dopar debido a que se suma eficazmente al espesor (capacitancia) del óxido

de puerta a causa de su elevada resistividad.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarse en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

5



REIVINDICACIONES

5 1.- Procedimiento para la fabricación de un dispositivo semiconductor, en donde se forma un diseño conductor por deposición de una capa de silicio policristalino, caracterizado porque comprende depositar titanio o tántalo sobre el silicio policristalino y sinterizar para producir siliciuro de titanio o de tántalo, respectivamente, dejando un exceso de silicio policristalino.

10 2.- Procedimiento según la reivindicación 1, caracterizado porque sobre el diseño conductor se forma una capa de dióxido de silicio por calentamiento en una atmosfera oxidante.

15 3.- Procedimiento según la reivindicación 2, caracterizado porque cuando se deposita titanio, el sinterizado se efectua a unos 900°C aproximadamente y la atmosfera oxidante se encuentra sustancialmente seca.

20 4.- Procedimiento según la reivindicación 2, caracterizado porque cuando se deposita tántalo, el sinterizado se efectua a unos 1.000°C aproximadamente y la atmosfera oxidante incluye vapor de agua.

5.- Procedimiento según la reivindicación 1, caracterizado porque el espesor de la capa de silicio policristalino es igual o superior a 1.000 Å aproximadamente.

25 6.- Procedimiento según la reivindicación 1, caracterizado porque el espesor de la capa de siliciuro es de 2.000 a 5.000 Å aproximadamente.

7.- Procedimiento para la fabricación de un dispositivo semiconductor, tal y como queda sustancialmente descrito

en la presente Memoria, e ilustrado en los dibujos adjuntos.

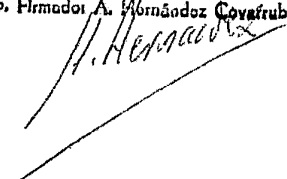
Esta Memoria consta de 13 hojas escritas a máquina por una sola cara.

Madrid, 27 DIC. 1970

WESTERN ELECTRIC COMPANY, INC.

IGNACIO GOMEZ-ACEBO

P. P. Firmado: A. Hernández Covarrubias



5

FIG.1

ESCALA VARIABLE

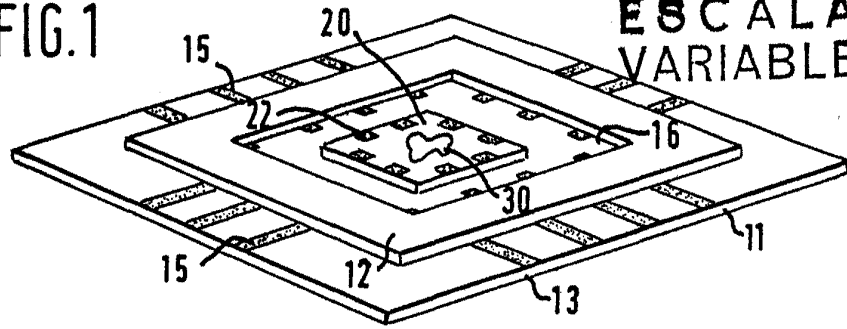


FIG.2

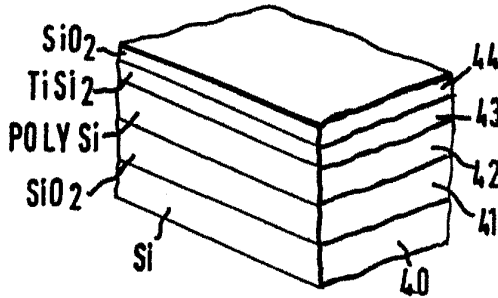


FIG.3

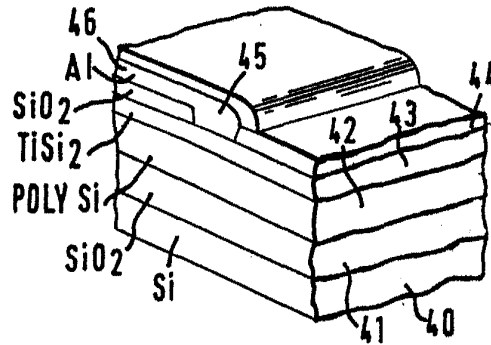
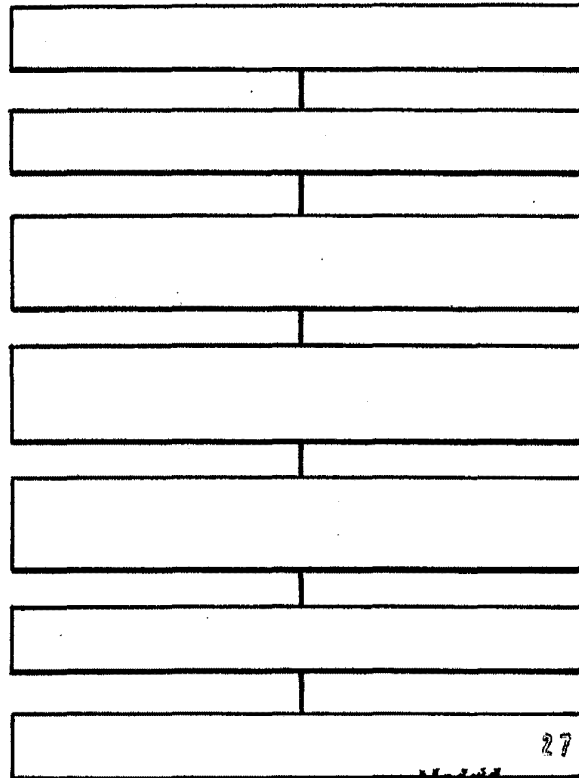


FIG.4



IGNACIO GOMEZ-ACEBO
 p. p. Firmador A. Hernández Covarrubias

A. Hernández

27 DIC. 1978

Madrid

IGNACIO GOMEZ-ACEBO Y CIA
 p. p. Firmador R. Suarez Diaz