

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

ES

11	NUMERO	486.588
21		
22	FECHA DE PRESENTACION	4-12-79

A1

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	965.796		4 de diciembre de 1.978		EE.UU. de A.

CANCELADO

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H01L 21/82		

64	TITULO DE LA INVENCION
	Procedimiento para hacer una estructura de transistor semiconductor de óxido metálico.

71	SOLICITANTE (S)
	MOSTEK CORPORATION.

	DOMICILIO DEL SOLICITANTE
	1215 West Crosby Road, Carrollton, Texas 75006, EE.UU. de A.

72	INVENTOR (ES)
	Tsiu Chiu Chan, Ing. William Milton Gosney, Ing.

73	TITULAR (ES)

74	REPRESENTANTE
	D. José Miguel Gómez-Acebo y Pombo.

La presente invención se refiere a un procedimiento para hacer una estructura de transistor semiconductor de óxido metálico, particularmente transistores con efecto de campo que se utilizan en circuitos integrados de gran escala.

5. El arte de los circuitos integrados está permanentemente a la búsqueda de perfeccionamientos en las técnicas de elaboración para reducir el tamaño de los elementos de circuito y mejorar los rendimientos de los dispositivos. La presente invención se refiere a un número de problemas relacionados propios de la fabricación de circuitos
10. integrados de gran densidad. En particular, es conveniente una mayor densidad de compacción que da por resultado, correspondientemente, una mayor velocidad de operación. El método usual ha consistido en reducir las geometrías de los transistores así como la estructura. Esto ha comprendido el adelgazamiento del óxido de la puerta y el aumento
15. de la concentración de sustrato. La presente invención consigue una geometría menor sin el inconveniente usual de un elevado efecto de cuerpo y la elevada capacitancia parásita que aparece en los procedimientos de reducción. Mientras que las técnicas normales aumentan la concentración en el canal, con lo que aumenta el efecto de cuerpo, la
20. presente invención mantiene la concentración dentro del canal igual pero reduce la longitud del canal. Esto se consigue dopando en magnitud la región que rodea a los lugares de manantial y drenaje del transistor lo cual da por resultado un menor efecto de cuerpo y menos capacitancia parásita. Además, la prestación del dispositivo depende menos
25. de la longitud del dispositivo y el voltaje umbral se controla por una implantación precisa de impurezas en lugar de depender del material y la concentración del sustrato. Por lo tanto, la longitud del canal se vuelve menos crítica debido a la elevada concentración de los dopantes y adulterantes que exigen por lo tanto menos precisión en la
30. fabricación.

6. Con el procedimiento de la invención se aumenta la densidad de compacción en un circuito integrado sin aumentar el efecto de cuerpo y capacitancia parásita que aparecen en cualquier circuito integrado. En la presente invención, se puede construir un transistor de canal corto con características eléctricas tan sólo moderadamente dependientes de la longitud del canal. Además, el voltaje umbral depende menos del material del sustrato y se controla por una implantación precisa de las impurezas. Estas características convenientes se consiguen por un doble proceso de difusión de dos tipos diferentes de conductividad. Una primera región es del mismo tipo de conductividad que el sustrato, aunque de mayor concentración y comprende además la segunda región del segundo tipo de conductividad que tiene una impureza más dopada. La segunda regiones forman los lugares de manantial y drenaje del transistor.

10. Las figuras I-20 son vistas esquemáticas en sección que ilustran partes de un transistor semiconductor de óxido metálico en varias etapas en un proceso para la fabricación del dispositivo.

15. La figura 2I es una vista a mayor escala, similar a la vista de la figura 20, que ilustra una etapa en el proceso; y

20. La figura 22 es una vista esquemática en sección que ilustra la invención en una etapa final en el proceso.

25. Refiriendonos ahora a la figura I, se ilustra una sección transversal de una parte de una estructura de transistor semiconductor de óxido metálico en circuito integrado de la presente invención, indicada en general por el número de referencia 10, en una de las primeras etapas del proceso de fabricación. El dispositivo 10 comprende el sustrato 12 que es de silicio típicamente monocristalino de una orientación cristalina de tipo normal conocida. Muchas características de la presente invención tienen aplicación o dispositivos que emplean

30. materiales semiconductores distintos al silicio, según comprenderán

los expertos en la materia. El substrato I2 puede ser del tipo P o del tipo N. No obstante, para los fines de esta modalidad ilustrativa, se emplea conductividad de tipo P con una concentración de aproximadamente 2×10^{14} a 3×10^{13} átomos/cc, siendo una resistividad preferible la comprendida entre 5 a 100 ohmios-cm en el substrato I2.

5. Sobre la superficie superior I4 del substrato I2 se desarrolla térmicamente una capa de dióxido de silicio I6 con un espesor preferible de unos 600 Å. Una capa de nitruro de silicio I8, que tiene un espesor preferible de unos 600 Å, se deposita sobre la capa de óxido térmico I6 en un reactor de una forma conocida. Una capa superior 20 de polisilicio, que tiene un espesor de aproximadamente 1.000 Å, se deposita sobre la capa de nitruro I8 empleando técnicas conocidas de deposición.

10.

El dispositivo IO se expone entonces a un ambiente oxidante, preferible en vapor de agua a una temperatura comprendida aproximadamente entre 900°C y 1.000°C , durante un periodo de tiempo suficiente para oxidar completamente la capa de polisilicio 20 de la figura 1, produciendo por lo tanto una capa de polióxido 22 según se ilustra en la figura 2. La capa de polióxido 22 tiene aproximadamente 2.000 Å de espesor, lo cual es aproximadamente doble que el espesor del polisilicio original 20 debido al desarrollo durante la oxidación. Refiriéndonos a la figura 3, una parte representativa 24 del dispositivo IO se ilustra después de haberse realizado varias etapas intermedias. A pesar de que en la figura 3 se ilustra un segmento de componente distinto o lugar de elemento 24 de un modo explícito, se comprenderá que es representativo de un gran número de lugares similares (no ilustrados) donde los elementos similares se producen simultáneamente de acuerdo con la descripción del procedimiento de invención que sigue. En el lugar 24, se ha depositado un modelo de capa protectora 26 sobre la capa de polióxido 22 empleando técnicas normales de fotoenmascaramiento, después de lo cual las partes sin enmascarar de la capa 22 se mor-

15.

20.

25.

30.

dentan empleando un reactivo que ataca de una forma selectiva el óxido dejando por lo tanto la parte de polióxido 28 como se ilustra. Después de la etapa de mordentado, se realiza una etapa de injerto iónico de una manera conocida según indica la flecha, preferiblemente empleando boro para producir regiones P^+ 30, que penetran hasta una profundidad de unos 2.000 Å en las partes del substrato I2 no cubiertas por el polióxido (denominada también como "área de campo" del dispositivo IO). La energía de los iones se elige para penetrar tan sólo a través de las partes de las capas I6 y I8 no cubiertas por la capa protectora y el polióxido. Una intensidad de aproximadamente $1,6 \times 10^3$ iones de boro/cm² a 10 kev (kiloelectrones voltios) se emplea preferiblemente de acuerdo con técnicas conocidas como, por ejemplo, por medio de las técnicas descritas en la patente U.S. nº 3.898.105, citada en adelante como Mai et al. No obstante, cualquiera que sea la técnica utilizada es preferible que las regiones P^+ 36 tenga una resistividad de aproximadamente 1 ohmio-cm en las áreas de mayor concentración de impurezas del dispositivo final.

Después se elimina la capa fotoprotectora 26 y las partes de la capa de nitruro I8 no cubiertas por la parte de capa de polióxido 28 se mordentan selectivamente empleando técnicas conocidas. dejando por lo tanto la parte de nitruro 32, como se ilustra en la figura 4.

Refiriendonos ahora a la figura 5, se realiza una oxidación en vapor de agua por espacio de unas seis a ocho horas a aproximadamente 1.000°C, lo cual da por resultado el desarrollo de una capa de "óxido de campo isoplanar" 34 relativamente gruesa, preferiblemente de unos 14.000 Å de espesor, en la parte del substrato I2 no cubierta por el nitruro de silicio. El óxido de campo 34 penetra en el substrato I2 hasta una profundidad de unos 7.000 Å, llevando el proceso de oxidación las regiones de injerto de boro 30 a una mayor profundidad por debajo. Las regiones P^+ 30 permiten el empleo de un óxido de campo más delgado

34 reduciendo la resistividad por debajo.

5. Después la capa de polióxido 28 se elimina por mordentado con ácido fluorhídrico de una forma conocida, que reduce también ligeramente el espesor del óxido de campo 34. Entonces, la capa de nitruro 32 y las partes restantes de la capa de óxido 16 se eliminan empleando técnicas tradicionales, con lo que se produce la estructura ilustrada en la figura 6.

10. Normalmente se recurre a varias etapas de "limpieza" superficial en esta punto en la tecnología anterior para eliminar el deterioro superficial en el área activa del dispositivo. Por "área activa" se entienden aquellas partes del dispositivo donde no se ha desarrollado óxido de campo. No obstante, se ha averiguado que la simple limpieza por mordentado de parte del substrato I2 a lo largo de la superficie I4 es inadecuada para eliminar la contaminación de nitruro de silicio que existe a lo largo de los bordes 36 del substrato I2 cerca del óxido de campo 34. Pequeñas cantidades de nitruro de silicio se transportan desde la capa 32 hasta el substrato I4 en los bordes del óxido de campo 34, como consecuencia del proceso químico que produce el óxido de campo 34.

15. Por consiguiente, se efectúa una fase de oxidación, preferiblemente en atmósfera ambiente de cloruro de hidrógeno y oxígeno para formar la capa de óxido térmica 38 según se ilustra en la figura 7, convirtiendo por lo tanto u oxidando las impurezas de nitruro los bordes 36 del substrato I2 al óxido según se desarrolla. Un espesor de aproximadamente 300 Å es suficiente para la capa de oxidación 38, siendo el espesor preferible el comprendido entre 300 y 1.000 Å.

20.

25.

30. Después la capa de óxido 38 se mordenta para producir la estructura de la figura 8. Los expertos en la materia comprenderán que son importantes las buenas condiciones superficiales para el funcionamiento de los elementos de dispositivo con efecto de campo y, particularmente, en el canal de un FET del modo de amplificación. Según la presente in-

5. vención, las fases de oxidación y mordentado de la figura 7 y 8 son eficaces para eliminar el deterioro superficial (que tiene lugar en general en los 20 a 30 Å superiores del substrato I2) así como la contaminación por nitruro de silicio, proporcionando de este modo partes superficiales limpias y exentas de impurezas I4 ilustradas en la figura 8.

10. Como resultado de las etapas sucesivas de mordentaje para eliminar las capas de óxido I5, 28 y 28, y las fases representadas en las figuras 5 a 8, el óxido de campo 34 se reduce algo en su espesor. En la etapa del procedimiento ilustrado en la figura 8, el óxido de campo tiene un espesor general de aproximadamente 10.000 Å, extendiéndose aproximadamente 7.000 Å hasta un nivel por debajo de la superficie I4 y extendiéndose unos 3.000 Å por encima del nivel de la superficie I4.

15. Después se desarrolla la capa de óxido térmica 40 a un espesor de aproximadamente 900 Å según se indica en la figura 9. Refiriéndonos ahora a la figura 10, se deposita una capa de polisilicio 42, según se ilustra, sobre todo el dispositivo 10, hasta un espesor de unos 6.000 Å empleando técnicas conocidas. Para hacer que la capa 42 se vuelva más conductiva, se dopa en gran magnitud en tipo N, empleando preferiblemente difusión de fósforo según representa en punteado de la capa de polisilicio 42 en la figura 11.

20. Después, una parte superior 44 de la capa 42 se oxida para producir la estructura ilustrada en la figura 12. La capa de polióxido 44 tiene un espesor preferible comprendido entre unos 2.500 y 5.000 Å, cuya formación produce una reducción correspondiente en el espesor de la capa de polisilicio 42 entre 3.500 y 4.800 Å. No obstante, actualmente es preferible que las capas 42 y 44 tengan aproximadamente 4.000 Å de espesor.

30. La figura 13 ilustra el dispositivo 10 después de las fases de enmascaramiento y mordentado, donde se forma el modelo de capa fotopro-

tectora 46, y las partes de capa de polióxido 44 no cubiertas por la capa fotoprotectora se eliminan por mordentado dejando la parte de polióxido 48. Refiriendonos ahora a la figura I4, la capa fotoprotectora se ha eliminado dejando la parte de capa de polióxido 48 como máscara para eliminar por mordentado partes de la capa de polisilicio 42. En lugares similares del dispositivo IO de los cuales el lugar 24 es representativo, existen máscaras de polióxido similares de modo que el mordentado produce una pluralidad de capas de polisilicio separadas en el dispositivo IO, de las cuales la capa 50 es representativa. Obsérvese que la capa 50 podría formarse de un modo similar de molibdeno o tungsteno. La capa de polisilicio 50 se superpone a una parte central de la capa de óxido térmico 40 en el lugar de elemento 24 según se ilustra en la figura I4.

El uso de la parte de polióxido 48 como máscara para mordentar el polisilicio subyacente ofrece la ventaja, sobre la máscara de óxido depositado, de que el desarrollo de polióxido produce una capa muy regular que tiene un régimen de mordentado más controlable y más lento. Dichas propiedades del polióxido permiten un alto grado de definición de máscara a partir de la máscara de capa fotoprotectora (capa 46 en la figura I3) a la máscara de polióxido (capa 48 en la figura I4). El alto grado de definición de la máscara se consigue de un modo adicional en la formación de la capa de polisilicio 50. Por "alta definición" se entiende "situado con un mayor grado de precisión" si se compara con las técnicas de la tecnología anterior que emplean máscara de óxido depositado. La capa de polisilicio 50, según se verá más adelante, sirve además como máscara para mordentar la capa de óxido subyacente, alineándose de este modo sobre una región de canal de un transistor con efecto de campo. La técnica de emplear una capa de polisilicio como máscara para producir un FET de puesta autoalineada es un procedimiento conocido, denominándose también la estructura en la tecnología como FET

de "puerta de silicio". La precisión (o tolerancia) en la colocación de la capa 50 produce un efecto directo en el grado de densidad de elementos que se pueden formar en un dispositivo de circuito integrado IO.

5. Después, un dopante o adulterante de tipo P, preferiblemente boro, implantado empleando técnicas conocidas, penetra en el sustrato I2 a cada lado de la capa de polisilicio o puerta conductiva 50 con una concentración superficial de aproximadamente 10^{13} átomos/cm². Después, el dopante de tipo P se difunde en el sustrato I2 empleando técnicas conocidas, por lo que las regiones P⁺ 58 y 54 que tienen una concentración de impurezas entre 10^{15} átomos/cc y 10^{17} átomos/cc se producen a una profundidad de aproximadamente 2.000 a 8.000 Å por debajo de la superficie I4 de acuerdo con la estructura de la figura I5.

15. De un modo similar se obtiene una difusión lateral. Después se lleva a cabo una implantación o injerto iónico de un dopante de tipo N, a aproximadamente 10^{16} átomos/cm², preferiblemente arsénico, empleando técnicas conocidas. Se realizan entonces una etapa de difusión produciendo regiones N⁺ 56 y 58 que tienen una concentración de impurezas por encima de 10^{19} átomos/cc en el sustrato I2, hasta una profundidad de aproximadamente 3.000 Å por debajo de la superficie I4 y dentro de las regiones P⁺ 52 y 54 de acuerdo con la estructura de la figura I5. Esto se debe a que el arsénico no se difunde tanto en el sustrato debido a su bajo coeficiente de difusión. De esta manera, el boro se difunde alrededor de las uniones de arsénico N⁺ para formar un halo de tipo P. En otra modalidad que emplea un sustrato de tipo N, se emplearían tipos diferentes de conductividad en esta etapa para producir la estructura de tipo de conductividad complementaria de la ilustrada.

25. Refiriendonos ahora a la figura I6, el dispositivo IO se coloca en un horno con oxígeno seco o vapor de agua a aproximadamente

30.

- 900°C a 1.000°C de modo que se desarrollen capas de óxido de aproximadamente 2.000 a 1.000 Å sobre los dispositivos indicado por el número 60. Además, refiriendonos a la figura I7 la capa 62 de óxido sin dopar de "elevada temperatura" se deposita empleando preferiblemente
5. SiH_2Cl_2 y N_2O de una manera conocida, a una temperatura comprendida entre 600°C y 1.000°C hasta un espesor de aproximadamente 6.000 Å. En una etapa correspondiente, los procedimientos de la tecnología anterior se emplean normalmente para depositar un óxido de "baja temperatura" del orden de 350°C a 450°C, que tiene un régimen de mordentado relativamente rápido dando lugar a problemas de erosión extensiva, pero en este caso una capa de óxido sin dopar 62 se deposita con un régimen de mordentado comparable al de la capa de óxido desarrolladas subyacentes 60. Con mayor preferencia, la capa de óxido 62 se deposita colocando el dispositivo 10 en un horno de tipo tradicional
10. y calentando el dispositivo a una temperatura de aproximadamente 900°C o 950°C para producir la reacción: $\text{SiH}_2\text{Cl}_2 + 2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + \text{HCl} + 2\text{N}_2$. Además se comprenderá que la capa 62 es una capa de óxido redundante que cubre posibles defectos como "punteamiento o poros" en la capa de óxido subyacente 60.
15. Una máscara de capa fotoprotectora 64 se forma entonces sobre la capa de óxido depositada 62. Después, se abren ventanas de contacto 66 mordentando a través de las partes de la capa de óxido 62 no cubiertas por la máscara fotoprotectora 64, y continuando el mordentado hacia abajo a través de la capa de óxido subyacente 60 según se
20. ilustra en la figura I8. Después, se elimina la capa fotoprotectora 64 y se realiza una etapa de estabilización, empleando preferiblemente difusión de fósforo, según indica el punteado a lo largo de la superficie de óxido expuesta ilustradas en la figura I9 y la vista a mayor escala de la figura 20. La estabilización del fósforo produce
25. el efecto de generar capas de óxido muy delgadas 68 sobre superficies
- 30.

expuestas de silicio (representadas explícitamente a título de ejemplo en la figura 20) que tienen un espesor de aproximadamente 20 a 100 Å. Es conveniente desgasear el dispositivo IO simultáneamente con la estabilización, lo cual se puede conseguir cubriendo todo salvo el lado posterior (v.g., la superficie inferior del substrato I2 con el óxido sobre la misma, no ilustrada) con capa fotoprotectora después de abrir ventanas 66, arrancando después el lado posterior dejando limpio el silicio. Entonces prosigue la estabilización como se ha descrito en el párrafo anterior por eliminación de la capa fotoprotectora y exponiendo el dispositivo IO a una difusión de fósforo, que desgasea las impurezas metálicas al lado posterior reduciendo de este modo favorablemente la corriente de fuga.

Después de la fase de estabilización con fósforo es necesario a volver a abrir ventanas de contactos 66 a través de las capas de óxido 68. Una capa fotoprotectora (no ilustrada) se vuelve a aplicar empleando la misma coincidencia de máscara que produjo la capa 64. Entonces, las capas de óxido 68 se mordentan a través del silicio subyacente para volver a abrir ventanas de contacto 66, y la capa fotoprotectora se elimina para producir ventanas 66 ilustradas normalmente en la figura 21. La abertura de ventanas 66 en la superficie I4 ilustrada en la figura 21 se puede controlar a menos de 5 micrómetros de diámetro.

Finalmente, se emplean un procedimiento de metalización para formar contactos 70, 72 y 74 en las ventanas 76 que produce la estructura de dispositivo IO ilustrada en la figura 22. Los contactos se forman preferiblemente por deposición al vacío de aluminio, formando partes fotoenmascarantes del aluminio, y mordentando las partes no enmascaradas con reactivos que atacan de un modo selectivo el aluminio pero no la capa de óxido subyacente 62. De este modo se construye una estructura de transistor semiconductor de óxido metálico.

En particular, el elemento 24 es un FET del modo de amplificación de canal N que tiene una puerta de silicio autoalineado similar a la que se describe en Mai et al, citada anteriormente, donde el contacto 62 sirve como contacto de puerta para la puerta de silicio 50 y los contactos 70 y 74 sirven como contactos de manantial y drenaje a las regiones 56 y 58. La presente invención puede tener aplicación también para hacer FETs de modo de transición de canal N así como ambos modos de FETs de canal P por modificación de las fases de proceso indicadas de un modo específico de acuerdo con las enseñanzas de Mai et al. Según esta invención, se consigue una geometría menor con una región de canal de aproximadamente 3,0 micrómetros a tan sólo aproximadamente 0,5 micrómetros sin aumentar el efecto de cuerpo y la capacitancia parásita. Esto se consigue mediante el empleo de la doble implantación o injerto y difusión proporcionando una región tampón de gran cantidad de impurezas dentro de la estructura de la presente invención. La concentración del sustrato no se tiene que aumentar y el óxido de la puerta puede mantener su espesor normal. Además, la precisión del canal se vuelve menos crítica debido al efecto de los halos de impureza.

Aunque se ha descrito con detalle una modalidad preferible de la invención, se comprenderá que se pueden efectuar diversos cambios, sustituciones y alteraciones sin desviarse del espíritu y alcance de la invención según se define en las reivindicaciones adjuntas.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteran su principio fundamental.

REIVINDICACIONES

- I. Procedimiento para hacer una estructura de transistor semiconductor de óxido metálico, caracterizado porque comprende las fases de:
5. proporcionar un sustrato semiconductor de un primer tipo de conductividad, formar una primera capa aislante de dióxido de silicio en una superficie activa del sustrato, formar una segunda capa aislante de nitruro de silicio sobre la primera capa aislante; colocar una máscara fotoprotectora sobre la segunda capa aislante para definir áreas
10. elegidas; eliminar las áreas elegidas de la máscara fotoprotectora por una técnica fotográfica para exponer la segunda capa aislante por debajo del área elegida; mordentar las áreas expuestas de la segunda capa aislante; injertar iones del primer tipo de conductividad a través de las regiones expuestas; desarrollar regiones de óxido gruesas sobre
15. las regiones injertadas; eliminar la segunda capa aislante remanente; eliminar la primera capa aislante; desarrollar una delgada capa aislante de óxido; depositar una capa de polisilicio sobre una delgada capa aislante de óxido; eliminar partes de la capa de polisilicio para definir una puerta conductiva; injertar iones del primer tipo de
20. conductividad en las áreas comprendidas entre la puerta conductiva y las regiones gruesas de óxido; difundir los iones injertados para formar primeras regiones; injertar iones de un segundo tipo de conductividad de las mismas áreas de la puerta conductiva y las regiones de óxido gruesas; y difundir los iones injertados del segundo tipo de
25. conductividad para formar segundas regiones dentro de la primera región.

2. Procedimiento según la reivindicación I, caracterizado porque comprende las fases de: formar una delgada capa aislante de óxido sobre un sustrato semiconductor; definir una puerta conductiva sobre la capa aislante; para formar primeras regiones de un primer tipo de
30. conductividad de ambos lados de la puerta conductiva; y formar segun-

das regiones de un segundo tipo de conductividad dentro de las primeras regiones.

5. 2. Procedimiento según la reivindicación 2, caracterizado porque la primera y la segunda regiones se forman por injerto iónico.

5. 4. Procedimiento según la reivindicación 2, caracterizado porque la primera región se forma por el injerto iónico de boro y la segunda región se forma por el injerto iónico de arsénico.

10. 5. Procedimiento según la reivindicación 2, caracterizado porque la primera región se forma por el injerto iónico de boro y la segunda región se forma por el injerto iónico de antimonio.

15. 6. Procedimiento según las reivindicaciones I a 5, caracterizado porque comprende las fases de: definir un área activa en un sustrato semiconductor de un primer tipo de conductividad, desarrollar una capa de óxido aislante sobre el área activa; formar una puerta conductiva sobre la capa aislante; formar una primera y una segunda regiones de tipos diferentes de conductividad en ambos lados de la puerta conductiva, situándose las segundas regiones dentro de las primeras regiones por lo que se forma un manantial y un drenaje.

20. 7. Procedimiento para hacer una estructura de transistor semiconductor de óxido metálico, tal y como queda sustancialmente descrito en la presente memoria y en los dibujos adjuntos.

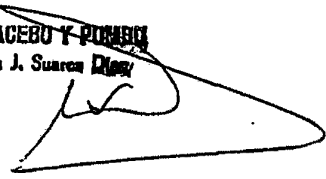
Esta memoria consta de trece hojas escritas a máquina por una sola cara.

0 FEB. 1980

Madrid,

25. MOSTEX CORPORATION.

J. M. GOMEZ ACEBU Y PARRA
c. a. Firmado: J. Suarez



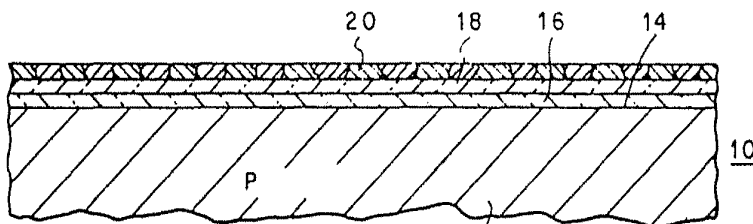


FIG. 1

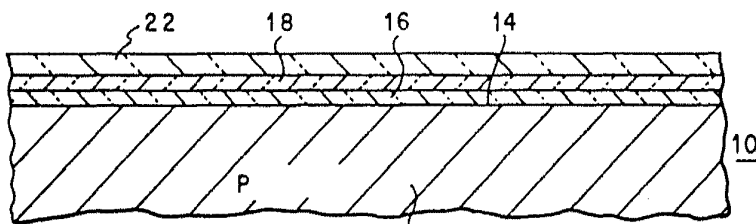


FIG. 2

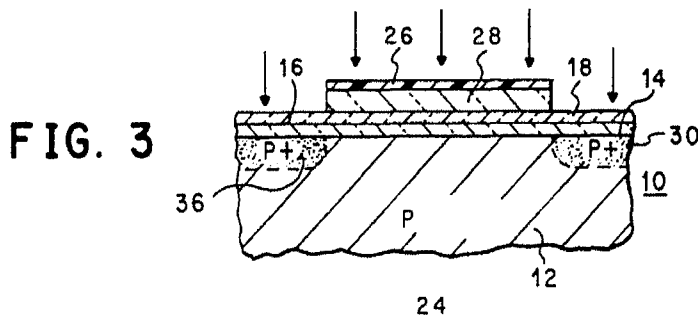


FIG. 3

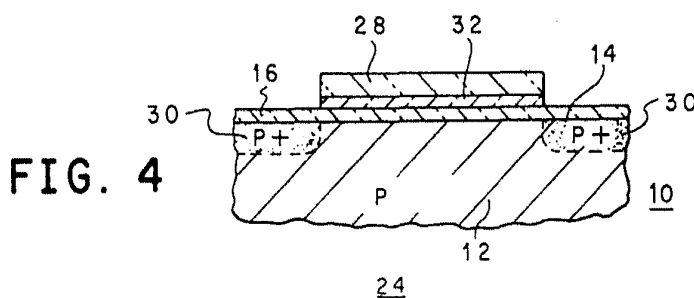


FIG. 4

ESCALA VARIABLE

Madrid - 0 FEB. 1980

J. M. GOMEZ ALFARO Y PARRAS
c. p. Financiera J. Suarez Diaz

FIG. 5

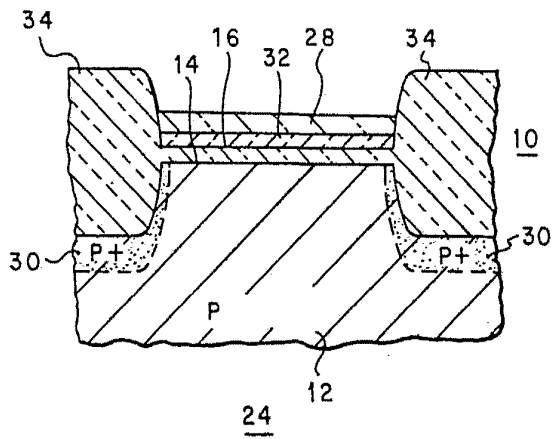


FIG. 6

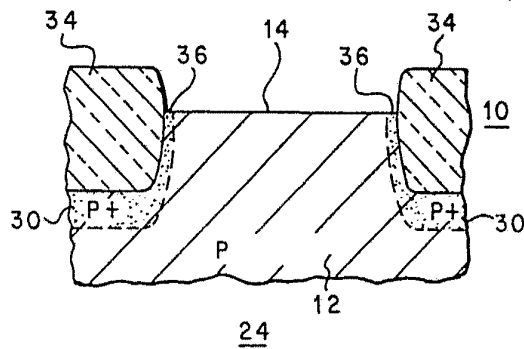
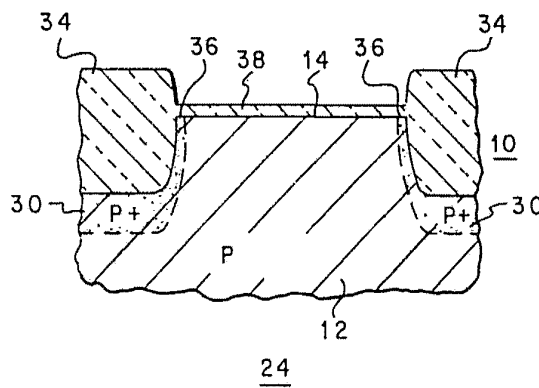


FIG. 7



ESCALA
VARIABLE

Madrid - 0 FEB 1960

J. M. GOMEZ ACERO Y PARRA
p. p. Firmador J. Suarez Diaz

FIG. 8

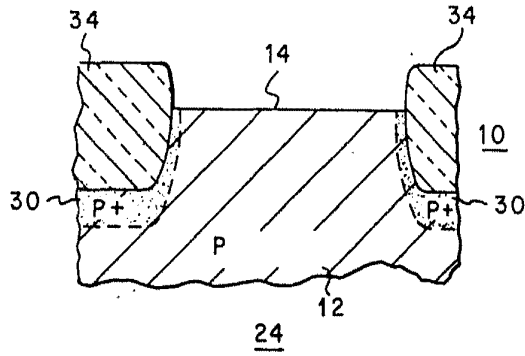


FIG. 9

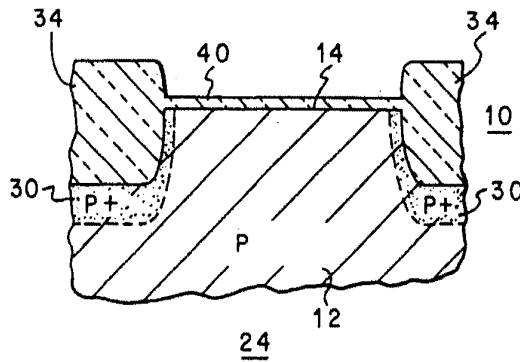
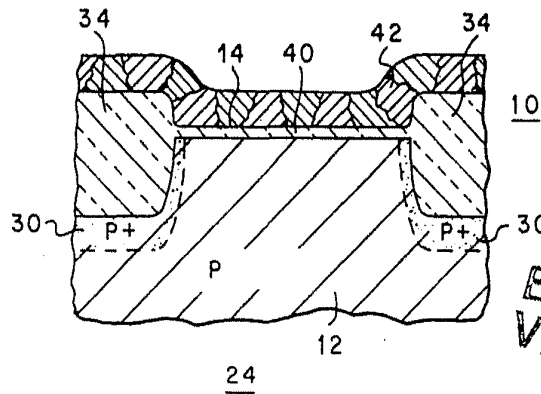


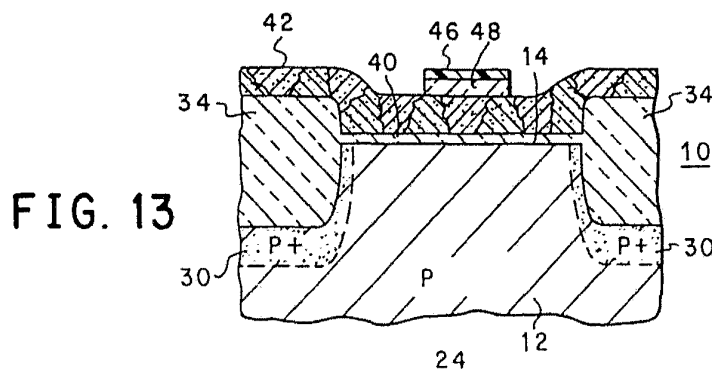
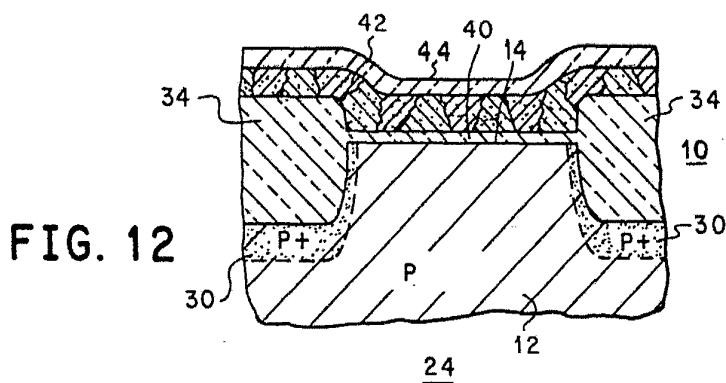
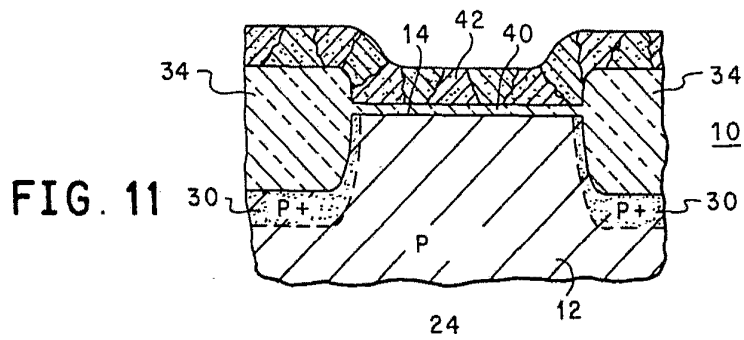
FIG. 10



ESCALA
VARIABLE

Madrid - 0 FEB. 1980

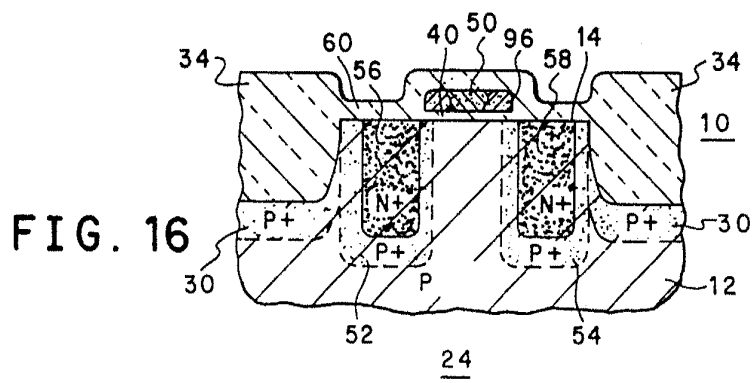
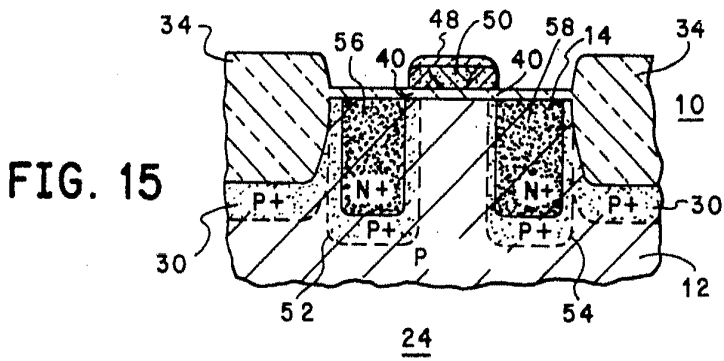
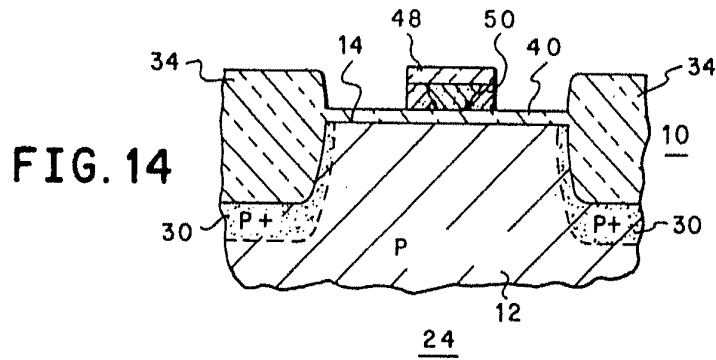
J. M. GOMEZ ASEDO Y PARRA
Ingenieros



ESCALA
VARIABLE

Madrid - 0 FEB. 1960

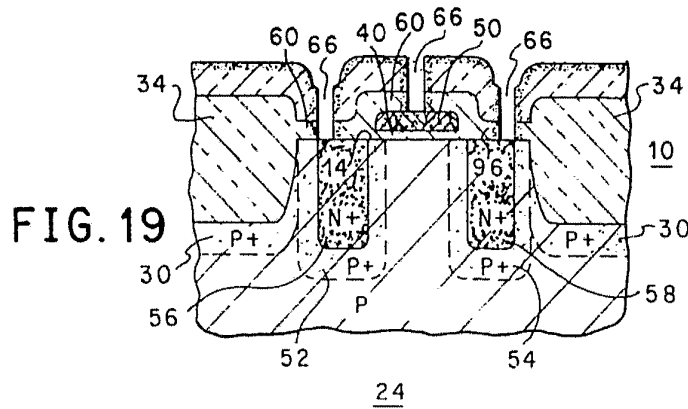
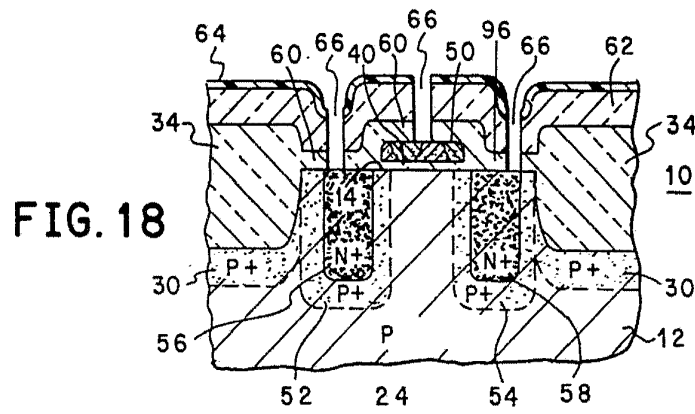
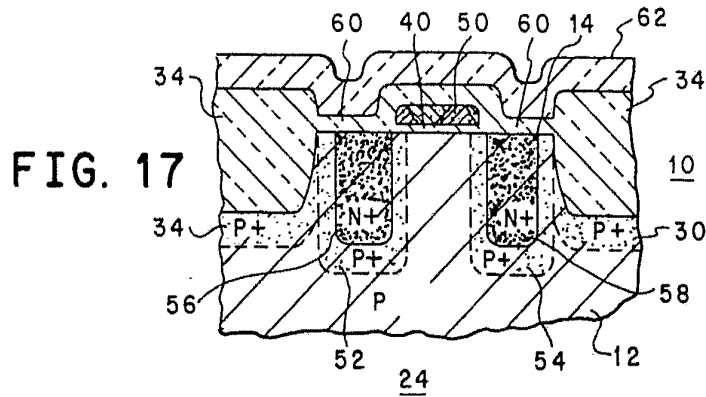
J. AL. USABAY ARRIETA Y POCIANO
Ingenieros de Camión de Tráfico



ESCALA
VARIABLE

Madrid - 0 FEB 1966

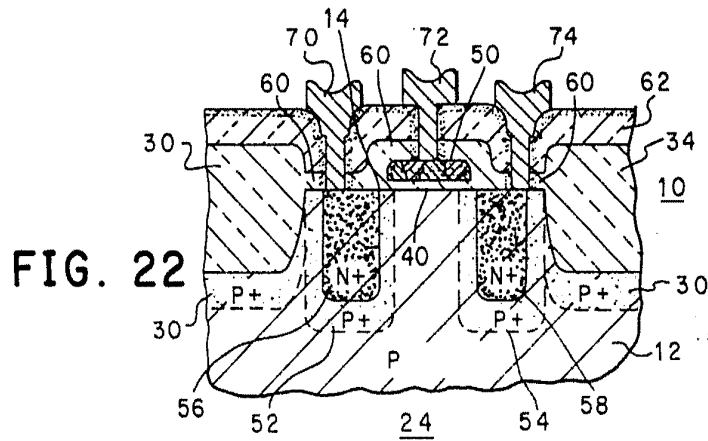
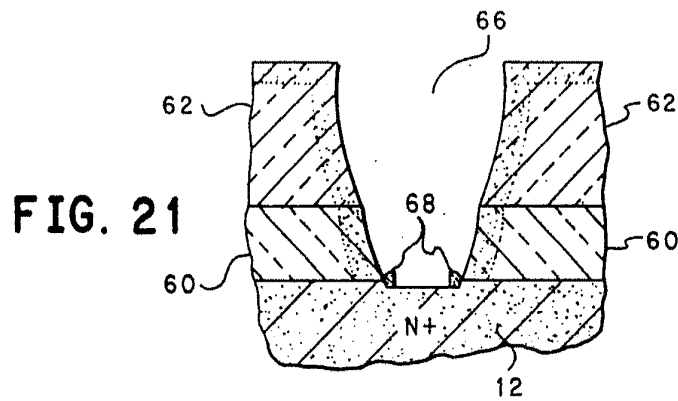
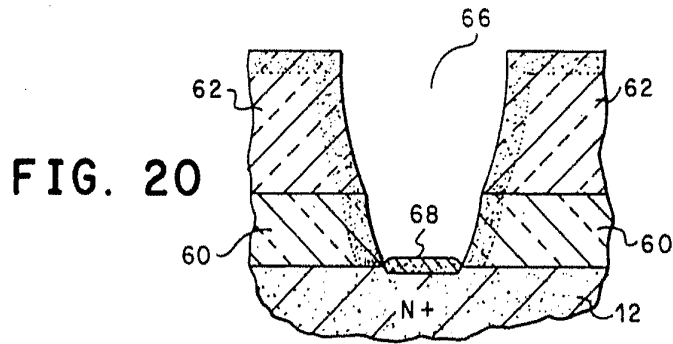
Dr. J. M. ACEBO Y PUMBU
D. S. Firmador



ESCALA
VARIABLE

Madrid - 0 FEB 1960

J. M. GOMEZ ABEJO Y POMA
P. B. Firmado: J. Gomez Ajejo



ESCALA
VARIABLE

Madrid - 0 FEB 1968

J. M. GÓMEZ AGUDO Y CAJAL
Ingenieros de Superiores