

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de la Propiedad Industrial con la descripción y especificaciones contenidas en la Memoria adjunta.

ES	11	NUMERO	485894	10	A1
	12	FECHA DE PRESENTACION	13-11-79		

PATENTE DE INVENCION

30 PRIORIDADES: 31 NUMERO P 28 53 523.1			32 FECHA 12-12-78			33 PAIS Rep. Fed. Alemana		
41 FECHA DE PUBLICIDAD			40 CLASIFICACION INTERNACIONAL G06F1104			42 PATENTE DE LA QUE ES DIVISIONARIA		
54 TITULO DE LA INVENCION "DISPOSICION PARA LA GENERACION DE SEÑALES DE CONTROL DE CADENCIA EN UNA INSTALACION DE TRATAMIENTO DIGITAL QUE TRABAJA SINCRONICAMENTE"								
71 SOLICITANTE (S) INTERNATIONAL BUSINESS MACHINES CORPORATION (Docket No. GE9-78-017)								
DOMICILIO DEL SOLICITANTE Armonk, N.Y. 10504, Estados Unidos de América								
72 INVENTOR (ES) Arnold BLUM								
73 TITULAR (ES)								
74 REPRESENTANTE D. ALBERTO DE ELZABURU MARQUEZ (P.- 73.110)								

MCG.

POOR QUALITY

El invento concierne a una disposición para la generación de señales de control de cadencia según la definición caracterizante de la reivindicación 1ª.

5 En sistemas para el tratamiento digital de informaciones se necesitan, para controlar las etapas de tratamiento individuales, un gran número de señales de control, con las cuales son activados los elementos de tratamiento individuales (registros, circuitos de enlace, etc.) en una sucesión fijada con exactitud. Según el estado de la técnica estas llamadas señales de control de cadencia son generadas centralmente en instalaciones de tratamiento síncronas, y son distribuidas a los diversos grupos constructivos. Las señales de control de cadencia son generadas en tal caso a partir de los impulsos periódicos de un generador de cadencia mediante enlace lógico con señales de control de función (órdenes de programa e indicadores de estado del sistema); con el fin de mantener pequeñas las deformaciones, distorsiones y diferencias de tiempos de propagación en la distribución de las señales de control de cadencia a los receptores, se utilizan iguales longitudes de conducción o conducciones con retardo ajustable.

15 Este modo de generación de señales de control de cadencia es poco apropiado para sistemas que están constituidos por modernas plaquitas de circuitos, altamente integradas (pastillas). Los progresos de la tecnología de circuitos hacen posible integrar cada vez más funciones en una pastilla y por consiguiente aumentar considerablemente la velocidad de tratamiento y la velocidad de transferencia de una etapa lógica a la siguiente. La frecuencia de cadencia, con la que pueden trabajar estos circuitos, es por lo

tanto muy elevada.

La frecuencia de cadencia que puede conseguirse al conectar conjuntamente varias pastillas para formar un sistema es disminuida, no obstante, en alto grado por las uniones entonces necesarias de una plaquita de circuito a la siguiente. Un factor decisivo para ello son los tiempos de propagación de señales de control generadas centralmente: las grandes longitudes de conducciones y el gran número de las etapas lógicas recorridas con retardo en cada caso individual (dependiente de las pastillas), delimitan la frecuencia de cadencia posible del sistema global a la medida del camino de señal con el retardo más largo. Como ilustración se mencionará que los retardos típicos entre dos etapas lógicas sobre una pastilla se encuentran en el caso de las modernas tecnologías en el margen de algunos nanosegundos, mientras que solamente los retardos de los excitadores para conducciones a pastillas contiguas se encuentran dentro del orden de magnitud de algunas decenas de nanosegundos.

Otro punto de vista esencial en tales sistemas concierne al número de los puntos de conexión disponibles para cada pastilla; éste está preestablecido en lo esencial por el tamaño y la extensión de la plaquita de circuito. Cuando debe aprovecharse eficazmente la capacidad lógica al aumentarse la densidad de los circuitos, se deben escoger también las funciones estructuradas sobre una plaquita de circuito de manera tal que se mantenga lo más pequeño posible el número necesario de puntos de conexión.

Para la constitución de sistemas complejos a base de plaquitas de circuito altamente integradas se propu

so ya, dentro del estado de la técnica, acoplar entre sí varios subsistemas que trabajan independiente y asincrónicamente a partir de, en cada caso, una plaquita de circuito (memoria de publicación alemana 24 57 553). No obstante, el modo de trabajo asíncrono exige un elevado gasto de administración de la unidad de control. Cuando las plaquitas de circuito son unidas entre sí por ejemplo a través de una conducción colectora común, con cada nuevo intercambio de información debe desarrollarse un proceso de solicitación para constituir la unión. El consumo de tiempo para ello no es con frecuencia admisible dentro de una instalación de tratamiento.

Los grandes y diversos tiempos de propagación de señales de control de cadencia desempeñan, especialmente en el caso de sistemas microprogramados, un papel desventajoso y delimitan el aumento de la frecuencia del trabajo del sistema, en sí posible según la técnica de circuitos. En el tratamiento de una microinstrucción adquiere cada vez más importancia el retardo por la distribución de señales de control de cadencia generadas centralmente, y éste se convierte en el factor determinante para la delimitación de la velocidad; este papel lo desempeñaban hasta ahora el tiempo de ciclo de la memoria de control y el retardo de las etapas lógicas.

El invento se establece por lo tanto la misión de presentar una disposición para la generación de señales de control de cadencia en un sistema que trabaje sincrónicamente, que esté adaptado a las características de plaquitas de circuitos altamente integradas.

Esta misión se resuelve mediante el invento ca-

racterizado en la reivindicación principal; formas de realización del invento están caracterizadas en las reivindicaciones secundarias.

5 Para ello el invento propone equipar a cada una de las plaquitas de circuito, que trabajan sincrónicamente, con un propio generador de señales de control de cadencia, que trabajen exactamente de modo sincrónico entre sí; las señales de control de cadencia para cada plaquita de circuito son derivadas entonces del correspondiente emisor de
10 señales de control de cadencia.

Mediante la generación descentralizada de las señales de control de cadencia se suprime el retardo al pasar de una pastilla a la siguiente y el ajuste por lo demás necesario de las conducciones. El retardo de las señales de control de cadencia en cada pastilla corresponde, además de
15 ello, con exactitud a los retardos de señales, por lo demás decisivos para esta pastilla; por consiguiente, para esta pastilla no necesita tomarse en consideración la anchura de variación total de los retardos de diferentes pastillas. Se
20 disminuye el número de los puntos de conexión necesarios para las pastillas. Al aparecer errores y defectos, se puede determinar la causa de ellos, de manera relativamente sencilla, mediante la indicación del correspondiente estado del emisor individual de señales de control de cadencia.

25 En conjunto el invento proporciona un sencillo sistema para la generación y distribución de señales de control de cadencia; el gasto para ello asciende sólo a algunos elementos de circuito adicionales por pastilla, prácticamente despreciables en el caso de circuitos altamente integrados.

30 Un ejemplo de realización del invento es explica-

do ahora con ayuda de los dibujos.

En ellos:

la figura 1 muestra un sistema simplificado para la realización de una microinstrucción según el estado de la técnica con varias plaquitas de circuito;

la figura 1B representa un diagrama de tiempo para las señales de control de cadencia con el fin de estructurar una determinada microinstrucción en el sistema según la figura 1A;

la figura 2 muestra detalles de una etapa de registro en el sistema según la figura 1A;

la figura 3A muestra detalles de la disposición para la generación de señales de control de cadencia según el estado de la técnica;

la figura 3B muestra las señales de control de cadencia del sistema según la figura 1A y su inevitable retardo;

la figura 4 muestra la representación esquemática de un sistema microprogramado con generación descentralizada de señales de control de cadencia.

Con ayuda de las figuras 1 a 3 se describe y explica primeramente un sistema para el tratamiento digital de informaciones según el estado de la técnica, en el que las dificultades consisten en la generación y distribución de señales de control de cadencia. El modo de funcionamiento de este sistema es explicado con ayuda del ejemplo de una sencilla (micro)-instrucción, con la que se suman en un calculador dos operandos contenidos en registros R1 y R2, y el resultado es retroinscrito en el lugar de memoria del segundo operando (código de instrucción ADD R1, R2).

Los elementos necesarios para este proceso se representan en la figura 1A. Las señales de control de cadencia para la realización de estas instrucciones se muestran en la figura 1B.

5 El tratamiento de una instrucción en un sistema digital exige varias etapas que discurren una tras de otra. Estos intervalos de tiempo de igual duración son designados en la figura 1B con T_0 hasta T_L (para el último momento). En el ejemplo mencionado se necesitan como máximo 7 intervalos de tiempo; instrucciones individuales pueden exigir también menos de 7 intervalos de tiempo. Los intervalos de tiempo T_0 hasta T_L son generados por señales cíclicas de un contador de anillo o de un registro de desplazamiento circulatorio (anillo-T). Las señales de control de cadencia características para cada microinstrucción, correspondientemente a la representación en la figura 1B, son generadas combinando las señales de cadencia del anillo -T con señales de partida del dispositivo descodificador para el código operativo. De este modo resultan las denominadas señales de control de cadencia TS, con las cuales son controlados, en la realización de una instrucción, los elementos del sistema (registro, unidades de tratamiento, etc.) y los caminos de datos situados entre aquellos.

10

15

20

Los intervalos de tiempo T_0 hasta T_L están dispuestos fijamente en relación con las señales de cadencia del emisor de señales de cadencia del sistema; en un ejemplo de realización, los impulsos de cadencia (cadencia A, figura 1B) aparecen siempre precisamente en el centro de los intervalos de tiempo T_i . La transferencia de datos propiamente dicha, es decir el traslado de datos a un regis-

25

30

tro, se efectúa dentro de un intervalo de tiempo T_1 , cuando al mismo tiempo está aplicado el impulso de cadencia A.

5 En la figura 1A se representan esquemáticamente los elementos de un aparato de tratamiento, que son necesarios para la realización de la instrucción ADD R1, R2; el modo de trabajo del sistema es explicado en relación con el diagrama de las señales de control de cadencia en la figura 1B.

10 En la última fase de la instrucción precedente (intervalo de tiempo T_L) se carga el registro de operaciones OP-REG 1 a partir de una memoria de control CS 2. En el momento T_0 de la instrucción ADD R1, R2, aquí considerada, el código de operaciones OP-Code ya ha sido leído desde este registro y ha sido aportado a la unidad 4, que decodifica el código de operaciones y genera las señales de control de tiempo TS_0 hasta TS_L . En el intervalo de tiempo T_0 se genera para la instrucción ADD R1, R2 la señal de control de cadencia T_{SO} con el significado "colocar la dirección de operando OPl en el registro DLSAR". De este modo se abre el circuito Y 5a y se lee el tramo OPl del registro -OPl en el registro de direcciones DLSAR 7 de una memoria de datos local DLS 8. En el momento T_1 , con ayuda de la señal de control de cadencia TS_1 se lee a partir de la memoria DLS 8 a través de su registro de salida DLOR 9 y se emite el correspondiente contenido de memoria a través del circuito Y 11, también abierto a través de TS_1 , a un registro-A 12. De modo correspondiente, con ayuda de las señales de control de cadencia TS_2 y TS_3 se emite el contenido, designado con la dirección de operando OP2, de la memoria DLS a un registro-B 13. El enlace de los con-

5

10

15

20

25

30

tenidos de registros A y B en una unidad aritmética y lógica AIU 14 se efectúa con las señales de control de cadencia TS_4 y TS_5 ; en el momento T_5 se inscribe el resultado en un registro de entrada DLIR 10 de la memoria DIS. Para ello se abre el circuito de puerta 15. También en el intervalo de tiempo T_5 se establece con la señal de control de cadencia TS_5 el código de condiciones; en el último intervalo de tiempo T_L se retroinscribe con la señal de control de cadencia TS_L el contenido del registro DLIR en la memoria, a la dirección OP2 (que está contenida todavía en el registro DISAR) y se lee la siguiente instrucción a partir de la memoria de control CS 2.

Los bloques C1 hasta C4 en la figura 1A indican cómo pueden estar distribuidos los elementos del aparato de tratamiento sobre diferentes plaquitas de circuitos. Las señales de control de cadencia TS_0 hasta TS_N así como funciones $f(T_{S1})$ de estas señales de control de cadencia son generadas por lo tanto en la tableta C_1 y deben ser aportadas a las tabletas C_3 y C_4 a través de excitadores y conexiones externas. Junto a las señales de control de cadencia TS_1 se aportan a los elementos individuales a través de conducciones 6 determinadas (señaladas por tramos ondulados) también además señales de cadencia A de un generador de cadencia OSC 16. La función de las diferentes señales de control de tiempo es explicada con el ejemplo de una etapa de registro, que está representada en la figura 2.

La figura 2 muestra una etapa de registro, de las etapas a partir de las cuales están constituidos los registros A, B, etc., mostrados en la figura 1. Se trata

de etapas del tipo de circuito biestable - D controladas por el estado conocidas según la técnica ya conocida. La salida del circuito Y DE INVERSION 20 es enclavada a través del circuito inversor 22 y del circuito Y DE INVERSION 21 conectado a través de una conducción de retroacoplamiento, cuando la señal de cadencia invertida, cadencia A, se convierte en el valor lógico 1. El enclavamiento se conserva mientras tanto que la señal de cadencia invertida, cadencia A, tenga el valor lógico 1. Para que sean enclavados los datos aplicados al circuito Y DE INVERSION, deben presentarse allí por lo tanto simultáneamente los datos, la señal de control de cadencia TS y la señal "+cadencia A" retardada (por el circuito inversor 24). El circuito Y DE INVERSION 23 y la conducción 25 sirven para el retroajuste (conducción de bajo nivel - RS) o ajuste (conducción de alto nivel + S) del circuito de enclavamiento.

La coincidencia de las señales "cadencia A", "datos" y de la señal de control de cadencia TS, necesaria para conmutar el circuito biestable-D en la figura 2, es puesta en peligro en el caso de generación central de las señales de control de cadencia con subsiguiente distribución, cuando se eleva la frecuencia del generador de cadencia - (cadencia A) con el fin de aprovechar la velocidad de conmutación de pastillas altamente integradas. Para la representación más exacta se describe en la figura 3A la generación de las señales de tiempo T_0 hasta T_L y la generación de las señales de control de cadencia TSO hasta TSL. La figura 3B muestra la posición relativa de estas diferentes señales de tiempo.

Las señales de tiempo T_0 hasta T_L , que forman el

retículo de tiempo específico de instrucciones propiamente dicho para la realización de una microinstrucción, son derivados a través de una cadena de retardo a partir de los impulsos periódicos de un circuito generador de cadencia, que consiste por ejemplo en un oscilador y en una etapa de conversión de impulsos conectada a continuación. En el ejemplo de la figura 3A se representa la cadena de retardo como circuito en serie de circuitos biestables llamados de patrón-subordinado. Cada uno de estos elementos consta por ejemplo de un par de circuitos biestables-D similares al tipo representado en la figura 2. Las señales de salida de cada etapa son aportadas como señales de entrada a la siguiente; la señal de salida de la última etapa actúa como señal de entrada para la primera etapa. Con ayuda de una conducción de retroajuste RS se ajusta el circuito biestable patrón de la última etapa al valor lógico 1, y todas las otras etapas en el valor lógico 0. Si se aportan a los circuitos biestables patrones MO hasta ML las señales del generador de cadencia (cadencia A) y al circuito biestable subordinado S las señales de cadencia (cadencia B) retardadas en un circuito de retardo (32), el valor lógico 1 contenido en la última etapa es previamente conmutado cíclicamente a través de la cadena (a modo de un registro de desplazamiento retroacoplado). A la salida del circuito biestable subordinado pueden retirarse entonces las deseadas señales de tiempo T_0 hasta T_L . Tal disposición para la generación de las señales de tiempo T_i constituye el anillo-T antes mencionado. Otros circuitos para la generación de las señales de tiempo T_i son, por ejemplo, contadores de módulo binario.

Las señales de tiempo T_0 hasta T_L deben ser apor

tadas, ahora, dependiendo de la instrucción que precisamente se ha de realizar, a los circuitos de enlace y registros del aparato de tratamiento. Para la generación de las señales de control de cadencia TS_1 hasta TS_L se enlazan las señales de tiempo T_0 hasta T_L , de modo específico para la instrucción, con señales que son retiradas del dispositivo descodificador para el código OP. Este enlace se representa esquemáticamente mediante los circuitos de enlace 33. La disposición descodificadora para el OP-Code está simbolizada por el elemento de circuito 36.

Junto a las sencillas señales de control de cadencia TS_1 se necesitan para algunos elementos también señales de control de cadencia más complicadas, por ejemplo cuando un elemento está activo durante varios intervalos de tiempo T_i . Ejemplos de ello son, en la figura 1A, el ALU 14, los circuitos -Y 11, 15 y el registro DISAR. Tales enlaces de señales de control de cadencia son generados por ejemplo mediante los circuitos -O 34a, 34b en la figura 3A. Las señales de control de cadencia son emitidas entonces a los elementos controlados a través de circuitos de excitador adecuados D 35 (que eventualmente pueden ser utilizados en común para varias señales de control de cadencia).

Los retardos en los elementos de enlace 33, 34, en las conducciones, sobre las cuales se deben aplicar las señales TS_i hacia los receptores, y en los excitadores de conducciones D tienen como causa el hecho de que las señales de control de cadencia aparecen con un desfase o desplazamiento Δ (figura 3B) en los receptores (por ejemplo etapas de registro). La parte de la figura 3B, situada por encima de la línea de puntos y rayas, muestra la posición re

lativa de las señales de entrada y de salida del anillo $\rightarrow T$ en la figura 3A; el retardo de la señal de control de cadencia TS, en el lugar del receptor con relación a la posición de la señal de cadencia, cadencia A, se representa en la parte inferior de la figura 3B. Según la figura 2, al conmutar por ejemplo el miembro de enlace 20 debe presentarse coincidencia de la señal de control de cadencia TS con el correspondiente impulso de la señal de cadencia "cadencia A". El retardo Δ no debe ser por lo tanto tan grande que se recorte esta señal de cadencia 35. Si, a la inversa, los retardos de los impulsos de control de cadencia son grandes, queda otra posibilidad de elección, aparte de disminuir la frecuencia de la señal de oscilador, cadencia A; no obstante, de este modo no se aprovecha plenamente la frecuencia de trabajo propiamente dicha, hecha posible por la tecnología de circuitos, de todo el sistema. En el otro caso pueden aparecer estados llamados metastables, en los cuales se ajusta por ejemplo un registro, pero la superposición de los impulsos de control no es suficiente para enclavar el registro. Este estado indeterminado conduce por consiguiente a condiciones erróneas, cuya eliminación hace necesarios medios de circuito adicionales.

El estrechamiento antes existente para la frecuencia de cadencia conseguible, es decir el retardo de los datos en las etapas lógicas, ya no desempeña el papel decisivo, debido al aumento de la densidad de funciones y de la velocidad de trabajo interna sobre las plaquitas de circuitos.

En la figura 4 se representa esquemáticamente un sistema de tratamiento de datos, en el cual tales pérdidas de tiempo no pueden perjudicar la frecuencia de trabajo con

seguible. Sobre cada una de las plaquitas de circuito 41a hasta 41d, cuyos circuitos necesitan señales de control de cadencia TS_i , está dispuesto un propio anillo $-T$ 42a, 42b, 42c o 42d. Las señales de tiempo T_0 hasta T_L , generadas por estos anillos $-T$, son aportadas directamente a los puntos de control (por ejemplo etapas de registro REG 45a, b) sobre la pastilla. La información adicional, que es necesaria para la formación de una señal de control de cadencia a partir de las señales de control de tiempo, es aportada a los puntos de control sobre cada pastilla individual, por ejemplo a través de conducciones 43 procedentes del dispositivo descodificador central 44 para el código de operaciones - OP-Code.

Si en un punto de control se necesitan señales de control de cadencia, que son funciones lógicas de señales de tiempo T_i , las señales de tiempo del anillo $-T$ local atraviesan un circuito de enlace dispuesto sobre la misma plaquita de circuito. Un ejemplo es el circuito-0 52 sobre la pastilla 41 con las entradas T_1 y T_2 .

La constitución de una etapa de registro controlada de ese modo la muestra la figura 5. La etapa de registro con los elementos 20' hasta 24' es idéntica a la representada en la figura 2, con la excepción de que no se aporta ninguna señal individual de control de cadencia TS , sino que se aportan dos señales por separado, la señal de tiempo T_1 y una señal del descodificador para el OP-Code (descodificador 1).

El circuito Y 20a adicional está previsto para el caso de que se necesiten señales de control de cadencia más complicadas. Cuando se debieron aportar al registro en

la figura 2 una señal de control de cadencia TS, que había resultado por enlace de varias señales de tiempo T_i , fueron necesarios circuitos de enlace adicionales, por ejemplo los circuitos-0 34A, 34B en la disposición central para la generación de señales de control de cadencia. Estos circuitos, de modo correspondiente a la descripción antedicha, pueden ser dispuestos sobre la pastilla propiamente dicha o suprimirse completamente, cuando la etapa de registro en la figura 5 es complementada por el circuito-Y 20a adicional.

Este circuito recoge por ejemplo los datos, cuando están presentes la señal de tiempo T2 y otra señal de descodificación (decode 2); la salida del circuito 20a está conectada con la salida del circuito-Y 20' a través de un enlace fantasma-0 25.

Puesto que las señales de control de cadencia según la figura 4 son generadas por circuitos, que tienen exactamente las mismas propiedades que los circuitos controlados (mismo tiempo de retardo por etapa, etc.), es muy pequeño el retardo hasta la incidencia en los puntos de control; además de ello, en la construcción del sistema se necesita prestar consideración solo al retardo de la pastilla individual, pero no al peor caso imaginable, que puede aparecer cuando varias pastillas con diferentes propiedades son conjuntamente conectadas.

Las señales de control, que son necesarias por el dispositivo descodificador para el OP-Ccde, no desempeñan ningún papel para el retardo, puesto que durante toda la realización de una instrucción están aplicadas a los puntos de control. La superposición parcial de la realización de instrucción, que se representa en la figura 1B (lectura

y descodificación durante la última fase de la precedente instrucción) garantiza que estas señales de control estén disponibles al comienzo de la realización de instrucción.

La sincronización de los anillos-T individuales resulta imperativamente del hecho de que a todos se aporta el mismo tren de impulsos cadencia A de un oscilador OSZ; las conducciones de aportación 46 de estos impulsos a las plaquitas de circuito individuales están adaptadas entre sí de manera tal que todas tengan exactamente el mismo retardo. Para la desconexión sincrónica del sistema global se interrumpe centralmente la aportación de los impulsos de cadencia, cadencia A. Para ello sirven los circuitos de enlace 47 y 48: con una señal de parada externa EXTERN se interrumpe la aportación de las señales de cadencia A sólo a la fase T_1 de la instrucción precisamente realizada. Una señal de parada de máquina CHK conduce a la inmediata interrupción de las señales de cadencia A.

La sincronización inicial de los anillos-T se efectúa a través de una señal de "retroajuste RS" a la conducción 49, con la que se establece imperativamente en todos los anillos el estado TL. La misma señal "retroajuste RS" es emitida también en la realización de aquellas instrucciones, que necesitan menos del número máximo de señales de tiempo T_1 . Si, por ejemplo, para la realización de una operación sencilla se necesitan sólo 4 fases (T_0 hasta T_3) se reconoce esta condición en el tiempo $T_1 = T_2$ en el bloque de enlace 51a y se emite a través de la conducción 49 la señal de retroajuste RS a los anillos-T. El bloque de enlace 51a constituye a modo de ejemplo un circuito-Y, a cuyas entradas se aportan la señal de tiempo T_1 y partes

del código de operaciones OP-Code. Con el comienzo de la fase de realización de la siguiente instrucción todos los anillos T están por consiguiente de nuevo en la posición T_0 . Lo correspondiente sirve para otras instrucciones con otro número distinto de intervalos de tiempo T_j ; para éstas se genera la señal de retroajuste RS en el circuito de enlace 51b.

En el caso de funcionamiento sin defectos todos los anillos-T tienen en cada momento exactamente la misma posición. Los errores, incluso esporádicos, pueden ser comprobados por lo tanto con ayuda de la o las posiciones diferentes de los anillos-T implicados.

Una mejora adicional del sistema representado en la figura 4 consiste en no realizar en el lugar central (bloque 44) la descodificación del código de operaciones, sino distribuir redes descodificadoras sobre aquellas plaquitas de circuito sobre las cuales se encuentran los puntos de control. La ventaja principal de esta descodificación repartida estriba en el ahorro de puntos de conexión de las plaquitas de circuito individuales; en lugar de las señales de control descodificadas dispuestas en abanico, se utilizan señales de control no codificadas o parcialmente descodificadas, que exigen considerablemente menos conducciones. Las redes de descodificación adicionales sobre las plaquitas de circuitos carecen de importancia en el caso de circuitos altamente integrados. En la figura 4 se designan con el signo de referencia 50a, 50b tales disposiciones descodificadoras distribuidas.

En una forma de realización del invento, con menos requisitos de tiempo críticos los anillos-T no necesitan estar dispuestos sobre cada una de las plaquitas de

circuito individuales; puede ser suficiente entonces proveer con anillos-T locales sólo a plaquitas de circuito seleccionadas y aportar las señales de tiempo a las plaquitas contiguas a lo largo de cortos caminos.

5

Descripción de los dibujos

Figura 1A: CT = control del tiempo.

Figura 1B: TKA = cadencia A; C = colocar; DE = después; I = instrucción.

10

Figura 2 : DT = datos; TKA tiene el significado dado en la figura 1B.

Figura 3A: OP-CO = código OP, TKB = cadencia B; TKA tiene el significado anterior (Fig. 1B).

15

Figura 3B: SS = señal de salida; TKA R = cadencia A en el receptor; SCR = señal de control de cadencia en el receptor, TKA y TKB tienen los significados anteriores (Figs. 1B y 3A).

Figura 4 : DT y TKA tienen los significados anteriores.

20

Figura 5 : DCO = descodificador; TKA y DT tienen los significados dados en las figuras precedentes.

25

30

REIVINDICACIONES

Los puntos de invención propia y nueva que se pre-
sentan para que sean objeto de esta solicitud de Patente de
Invención en España, por VEINTE años, son los que se reco-
gen en las reivindicaciones siguientes:

1ª.- Disposición para la generación de señales de
control de cadencia en una instalación de tratamiento digi-
tal que trabaja sincrónicamente, que consta de varias pla-
quitas de circuito, caracterizada porque varias o todas las
plaquitas de circuito tienen una disposición (anillo-T) para
la generación de señales de tiempo, y porque todos los ani-
llos-T trabajan sincrónicamente unos con respecto a los
otros.

2ª.- Disposición según la reivindicación 1ª, ca-
racterizada porque la instalación de tratamiento está con-
trolada por microprograma y porque a los puntos de conmuta-
ción de una plaquita de circuito se aportan las señales de
tiempo del pertinente anillo-T local así como señales de
control, que resultan por descodificación del código de ope-
raciones de la microinstrucción (señales de control de códi-
go de operaciones).

3ª.- Disposición según la reivindicación 2ª, ca-
racterizada porque la descodificación del código de opera-
ciones de la microinstrucción se efectúa en un lugar central
de la instalación de tratamiento y las señales de control
de código de operaciones se introducen a través de conduc-
ciones en los puntos de circuito de las plaquitas de cir-
cuito individuales.

4ª.- Disposición según las reivindicaciones 2ª ó 3ª, caracterizada porque las señales de control de código de operaciones son generadas en circuitos descodificadores sobre la plaquita de circuito propiamente dicha.

5 5ª.- Disposición según una de las reivindicaciones 1ª a 4ª, caracterizada porque la sincronización de los anillos-T se efectúa por señales de cadencia de un generador de cadencia, las cuales son aportadas a todas las plaquitas de circuito con la misma fase.

10 6ª.- Disposición según una de las reivindicaciones 1ª a 5ª, caracterizada porque los anillos-T, al terminar la realización de una microinstrucción, que exige menos del número máximo posible de señales de tiempo, son transferidas mediante una señal de retroajuste al estado del último de los intervalos de tiempo máximamente posibles.

15 7ª.- Disposición según una de las reivindicaciones 1ª a 6ª, caracterizada porque un circuito de enlace local, a base de por lo menos dos señales de tiempo generadas localmente y señales de control de código de operaciones, genera señales de control de cadencia (señales de control de cadencia complejas).

20 8ª.- Disposición según una de las reivindicaciones 1ª a 7ª, caracterizada porque a elementos de circuito seleccionados con señales de control de cadencia complejas (por ejemplo etapa de registro enclavadora del tipo circuito - biestable D) se aportan varias señales de tiempo individuales juntamente con pertinentes señales de control de código de operaciones, de manera tal que para cada par de señales, señal de tiempo - señal de control -, está previsto un circuito de entrada (por ejemplo circuito-Y) y porque las sa-

lidas de los circuitos de entrada están reunidas (por ejemplo enlace fantasma-0).

9ª.- "DISEPOSICION PARA LA GENERACION DE SEÑALES DE CONTROL DE CADENCIA EN UNA INSTALACION DE TRATAMIENTO DIGITAL QUE TRABAJA SINCRONICAMENTE".

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado,

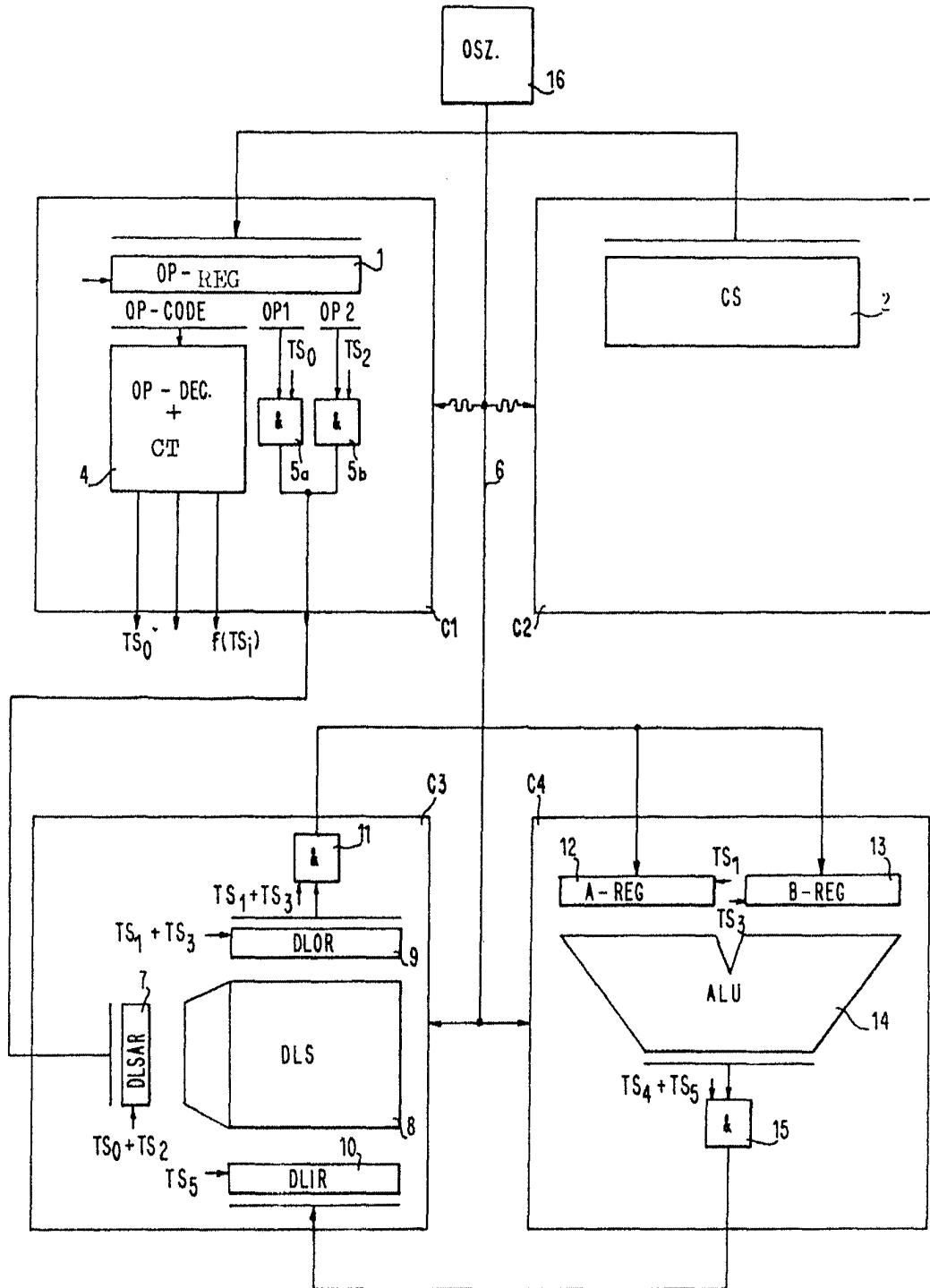
Esta Memoria consta de veinte hojas escritas a máquina por una sola cara.

Madrid, 13 NOV 1979

P.A.

Alberto de Elizaburu
Por Poderes

FIG. 1A



Alberto de Elcin
Per Poder

FIG. 1B

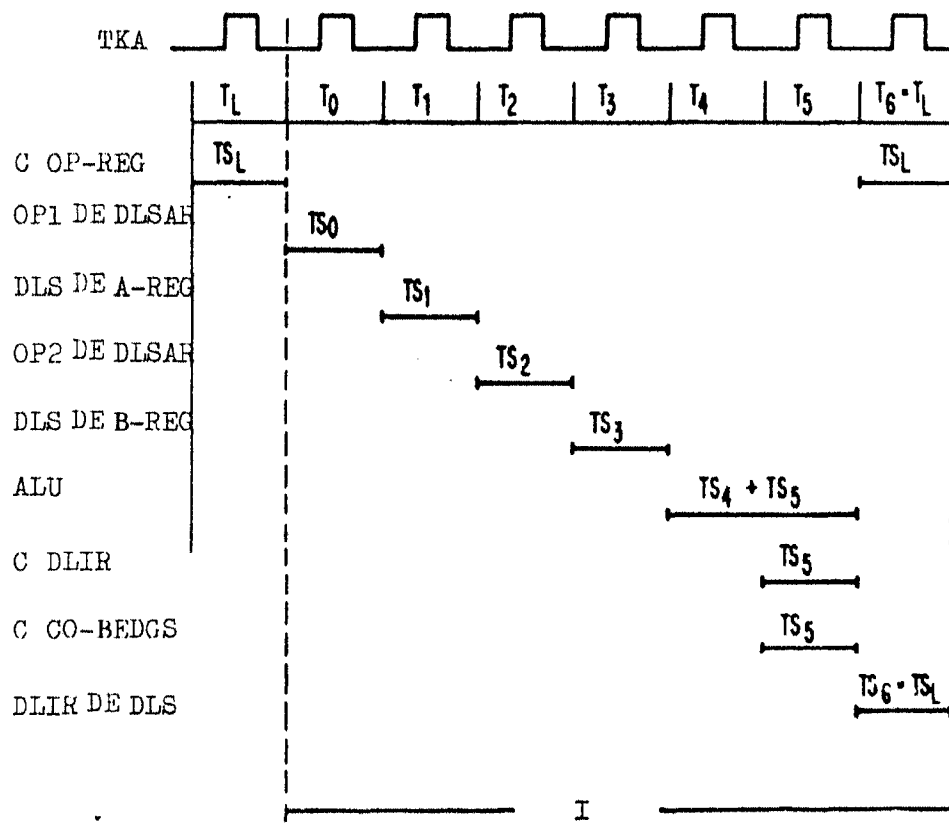
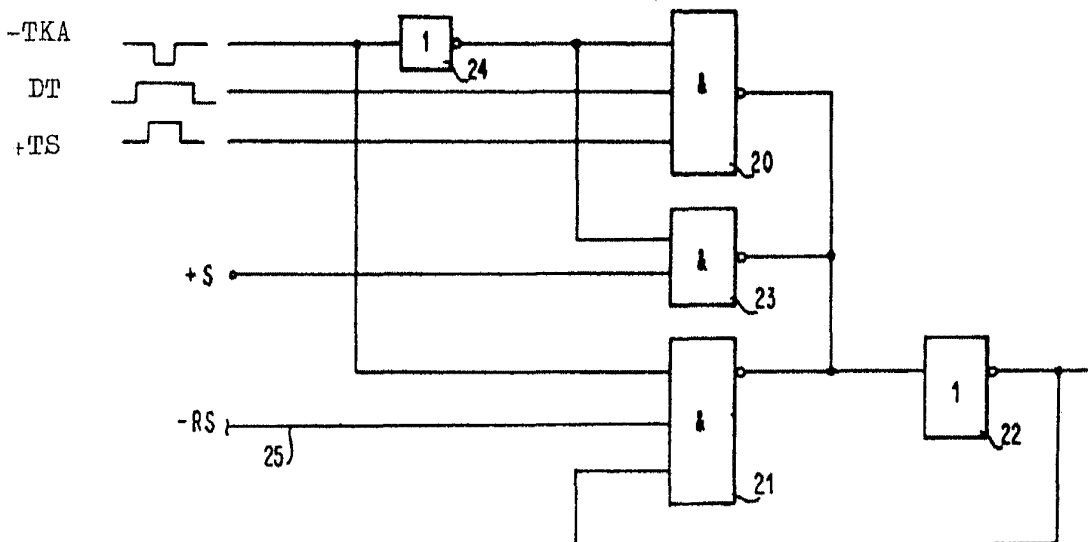


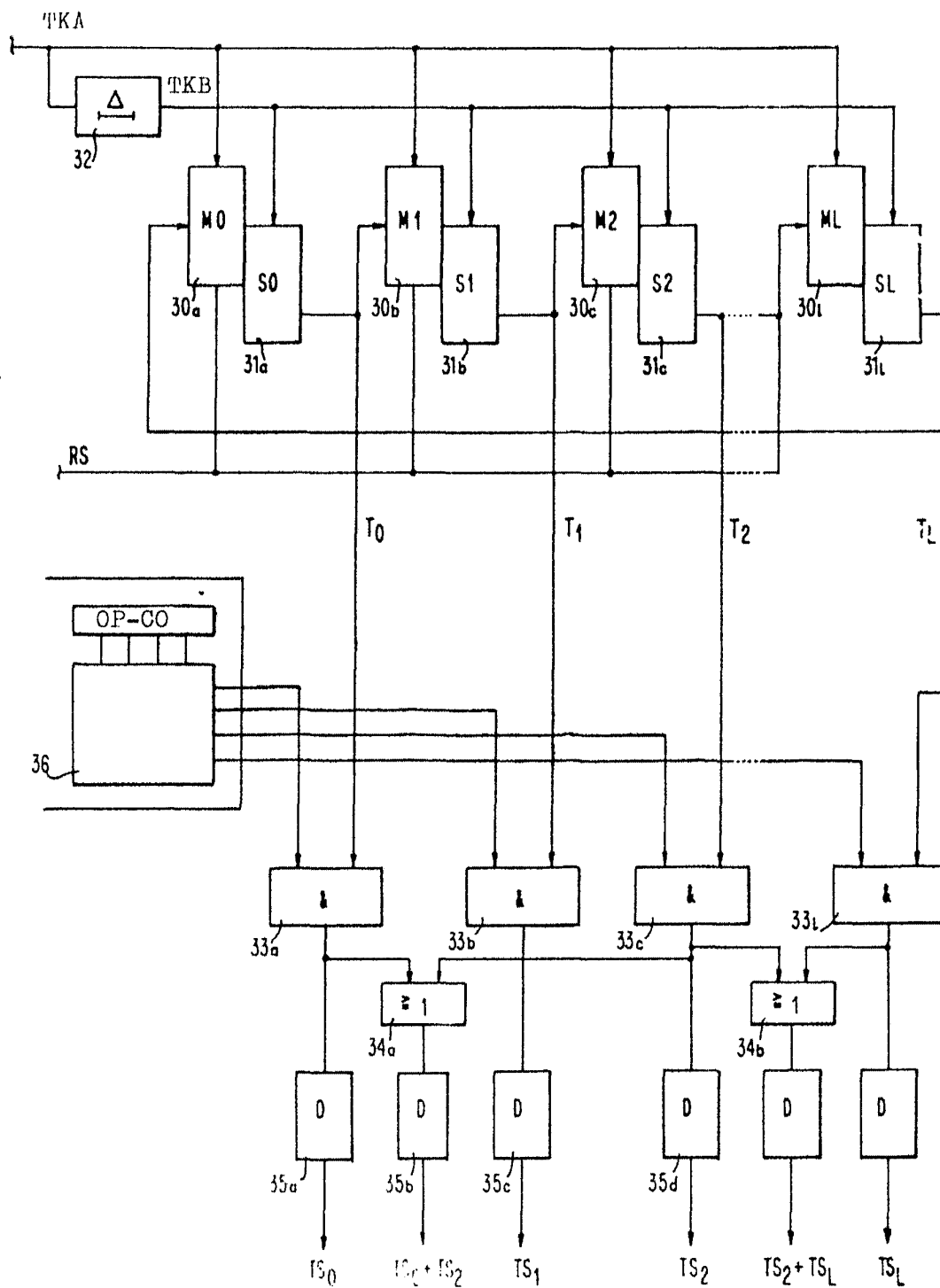
FIG. 2



Am

RESEARCH REPORT ON RESEARCH FOR OCEANOGRAPHY

FIG. 3A



Amu

FIG. 3B

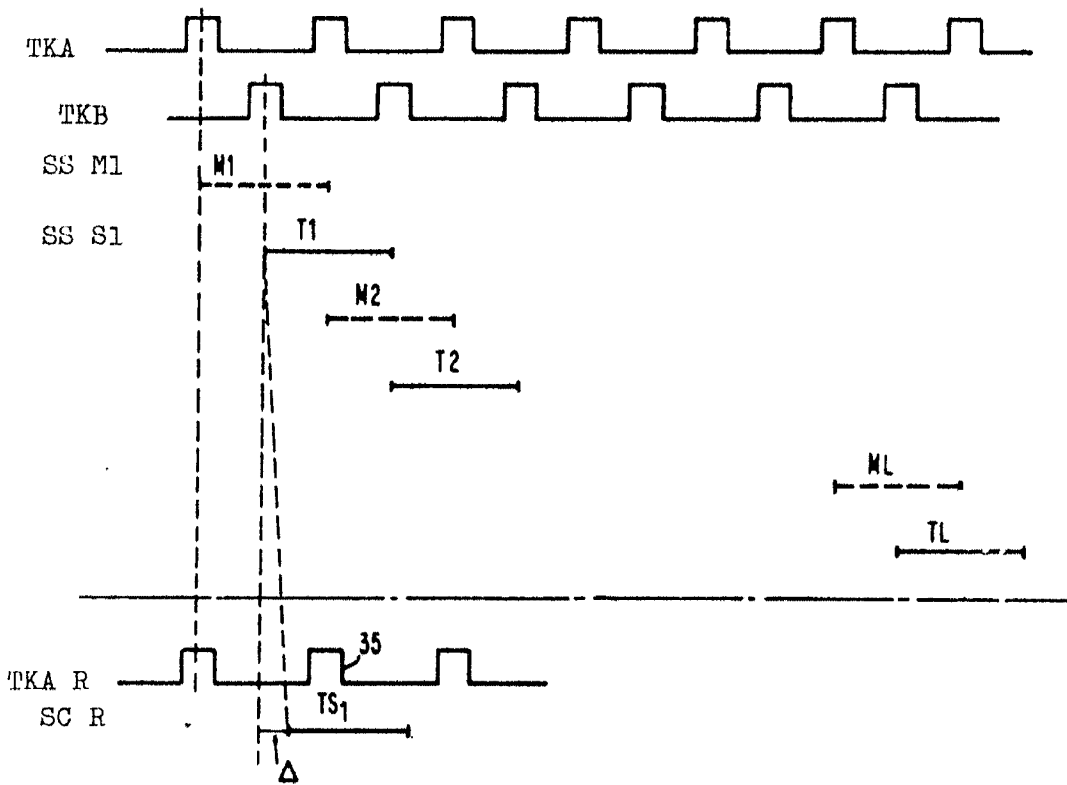
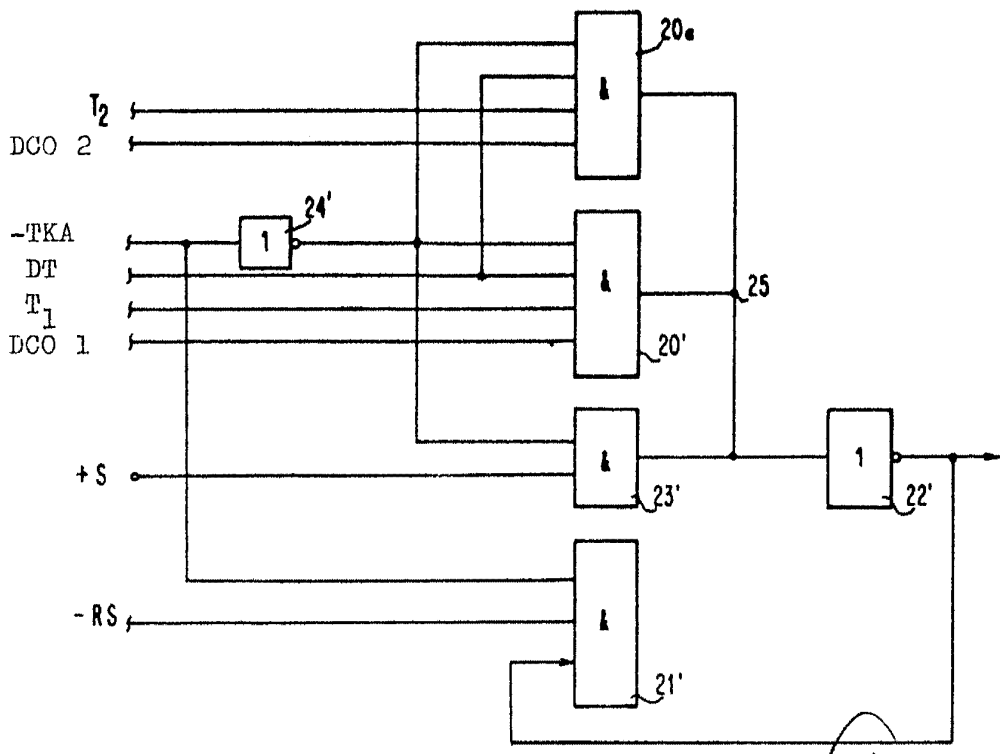
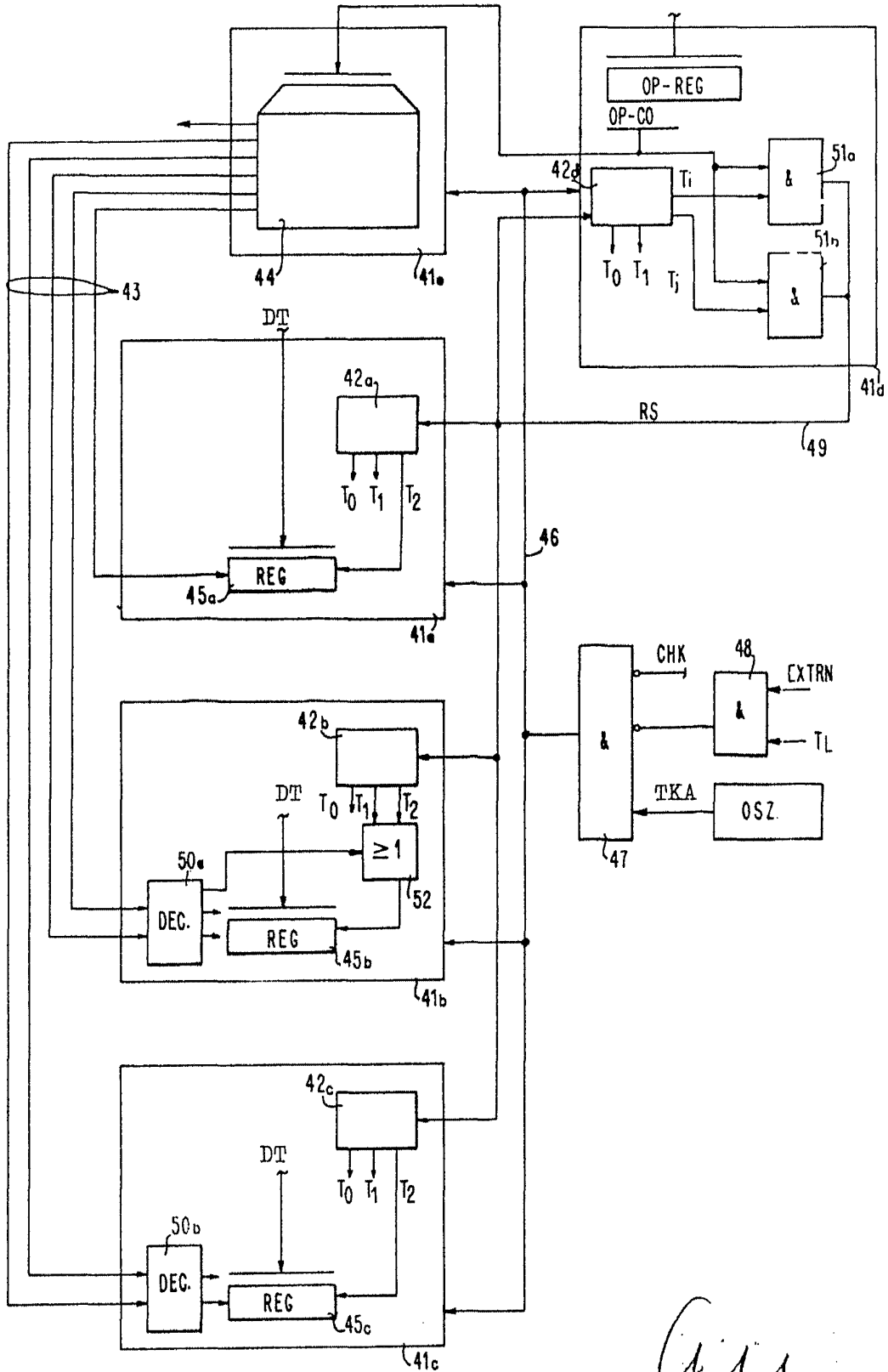


FIG. 5



P73110

FIG. 4



aw