



ESPAÑA

18	ES	11	NUMERO	10	A1
		21	85347		
		22	FECHA DE PRESENTACION		

**PATENTE DE INVENCION**

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

50	PRIORIDADES:	52	FECHA	53	PAIS
51	NUMERO				
	2/57373 871.518		25. Octubre. 78		Bélgica

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	52	PATENTE DE LA QUE ES DIVISIONARIA
			H04Q 3/56		

54	TITULO DE LA INVENCION
	"UN SISTEMA DE PROCESO DE DATOS Y DE COMUNICACION DE DATOS"

71	SOLICITANTE (S)
	STANDARD ELECTRICA, S.A.

	DOMICILIO DEL SOLICITANTE
	Madrid, calle de Ramirez de Prado, nº 5

72	INVENTOR (ES)
	Guy Verschueren, Frans Willems, Robert Pieters, Alfons Wuyts Willem Sandee, Richard Bridger, Robert Thomson.

73	TITULAR (ES)
	STANDARD ELECTRICA, S.A.

74	REPRESENTANTE
	D. Eugenio Barroso Espinosa de los Monteros.

El presente invento se refiere a un sistema de proceso de datos y de comunicación de datos para conmutar datos en un modo de almacenar-y-enviar, incluyendo dicho sistema una pluralidad de nudos de comunicación cada uno de los cuales tiene una pluralidad de portadores y cada uno incluye un apluralidad de módulos de procesador de conmutación, cada uno de dichos módulos de procesador de conmutación de un nudo puede establecer vías de llamadas virtuales entre al menos dos portadores de dicho nudo y transmitir datos por dichas vías y los nudos cooperantes pueden establecer vías virtuales entre al menos dos portadores que pertenecen a nudos diferentes, incluyendo cada módulo procesador de conmutación un procesador y una memoria para almacenar datos referentes a las llamadas virtuales en las que dicho módulo está implicado.

Un tal sistema de comunicación de datos ya es conocido de la patente US 4 032 899. Sin embargo, para este sistema de conmutación por paquete no se describió lo que ocurre con las vías de llamada virtuales establecidas cuando falla un módulo de procesador de conmutación implicado en estas vías de llamada virtuales y que forma parte de un nudo terminal.

Según el presente invento este objetivo se consigue por el hecho de que al menos un nudo terminal implicado en una vía de llamada virtual incluye elementos para almacenar los datos recuperados referentes a dicha vía de llamada virtual en las memorias de al menos dos módulos de procesador de conmutación, siendo uno de estos dos módulos el módulo implicado en dicha vía virtual, y los elementos de recuperación utilizan los datos recuperados almacenados en la

memoria del otro módulo de procesador de conmutación asociado de manera que dichas vías virtuales permanecen establecidas al fallar el mencionado módulo de procesador de conmutación, quedando disponibles dichos datos recuperados en dicho nudo terminal por la transmisión de mensajes de control requeridos para el establecimiento de dicha vía de llamada virtual.

El invento está basado en el hecho de que ya que los mensajes de control tienen, en cualquier caso, que ser transmitidos entre, por ejemplo, dos nudos terminales para establecer una vía de llamada virtual entre estos nudos, y más particularmente entre dos módulos de procesador de conmutación, los datos recuperados pueden recogerse de estos mensajes en estos nudos y estos mensajes pueden utilizarse para transferir tales datos recuperados de un nudo a otro. Una vez que los datos recuperados se han almacenado en la memoria de un módulo de un nudo terminal pueden entonces copiarse en la memoria de un módulo asociado.

Nótese que los datos recuperados que se recogen acerca de cada llamada y el almacenaje de estos datos en las memorias de dos computadores ya es conocido en el sistema telefónico de la patente US 3 557 315 (S. KOBUS 19-4-1-2-13). Sin embargo, en el sistema descrito aquí, cada vez que un dato recuperado se obtiene por un computador, se almacena en su propia memoria y se transmite a la memoria del otro computador por medio de mensajes especiales.

Otra característica del presente invento es que dichos módulos de procesador de conmutación están divididos en, a lo más,  $n/2$  conjuntos exclusivos mutuamente de al menos dos módulos asociados.

De esta manera, los datos recuperados para las diferentes vías de llamadas virtuales establecidas a través del nudo se distribuyen por todos los módulos de procesador de conmutación de este nudo.

5 El presente invento se refiere también a un sistema de proceso de datos que incluye tres procesadores que realizan simultáneamente instrucciones idénticas y que están acoplados al menos a una memoria a través de un circuito de umbral.

10 Un tal sistema de proceso de datos ya es conocido de la patente Británica 1 462 690 en donde se hace uso de una sola memoria y un solo circuito de umbral constituido por un circuito de decisión mayoritaria de modo que proporciona solamente una seguridad contra los errores en los procesadores pero no contra los errores en la memoria y en el  
15 circuito de decisión mayoritaria.

Otro objetivo del presente invento es proporcionar un sistema de proceso de datos del tipo anterior pero con una seguridad mejorada.

20 Según el presente invento este objetivo se consigue porque dichos tres procesadores están acoplados a las entradas de dos circuitos de decisión de umbral cuyas salidas se acoplan a entradas de escritura de las respectivas  
25 dos memorias a través de respectivos buses.

De esta manera se obtiene una razonable seguridad al utilizar dos memorias y aun cuando se utilicen solamente dos circuitos de umbral. Tales circuitos de umbral tienen una estructura relativamente sencilla y realizan operaciones también relativamente sencillas.

30 Finalmente, el presente invento también se refiere

a un sistema de proceso de datos con al menos un primer y un segundo procesador que tienen acceso a una memoria común y al menos el primer procesador tiene acceso además a su propia memoria.

5                   Un tal sistema de proceso de datos es normalmente conocido en la técnica de los computadores y un objetivo del presente invento es proporcionar un sistema de proceso de datos en dónde el primer procesador pueda cooperar independientemente con su propia memoria mientras que simultáneamente el segundo procesador pueda cooperar con la memoria común.

                  Según el invento este objetivo se consigue por el hecho de que dicho segundo procesador está acoplado a la memoria común a través de un bus mientras que el primer procesador tiene acceso a dicho bus a través de un conmutador de bus, y el sistema incluye además elementos de control para otorgar selectivamente la utilización de dicho bus al primero o al segundo procesador y cerrar y abrir respectivamente dicho conmutador de bus.

20                   De esta manera, el primer procesador puede tener acceso al bus cuando el conmutador de bus esté abierto sin perturbar así la cooperación entre el segundo procesador y la memoria común.

                  Los objetivos mencionados anteriormente y otras características del invento, así como el invento mismo, se entenderán mejor en la descripción que sigue junto con los dibujos que se acompañan en los cuales:

                  La Fig. 1 es una vista esquemática de una red en dónde se utiliza el sistema de proceso de datos y comunicación de datos del invento;

30

La Fig. 2 es una vista detallada de un PDS1 satélite de datos en paquete mostrado en la Fig. 1;

La Fig. 3 es una vista detallada del módulo de acceso de línea LAM1 representado en la Fig. 2;

5 La Fig. 4 es una vista detallada del módulo de proceso de paquete PPM 1' mostrado en la Fig. 2,

La Fig. 5 es una vista detallada de la central de conmutación de paquete PSE1 representada en la Fig. 1;

10 La Fig. 6 es una vista detallada de la base de datos de modo NDB mostrada en la Fig. 5;

Las Figs. 7 y 8 son diagramas que sirven para explicar la operación del sistema de comunicaciones de datos del invento,

15 La red mostrada en la Fig. 1 incluye una pluralidad de nudos terminales o satélites de datos en paquete PDS1 a PDS7 a cada uno de los cuales se conectan una pluralidad de usuarios que tienen un equipo terminal de datos DTE. Más concretamente, el satélite de datos en paquete PDS1 está conectado, por una parte, a los equipos terminales de datos  
20 DTE11 a DTElp a través de las líneas E11 a Llp respectivamente y, por otra parte, a los equipos terminales de datos DTEn1 a DTEng a través de las líneas Ln1 a Lnq respectivamente. El satélite de datos en paquete PDS6 está, más concretamente, conectado al equipo de datos DTE61 a través de la línea  
25 L61.

La red mostrada incluye además una pluralidad de nudos centrales o centrales de conmutación de paquete PSE1; PSE2 y PSE3 a las que están conectados los satélites de datos de paquete PDS1 a PDS3; PDS4, PDS5; y PDS6, PDS7. Estas  
30 PSE1, PSE2 y PSE3 están también interconectadas. Por ejemplo,

PDE1 está conectada a PSE1 a través de la línea L1 y PSE1 está conectada a PSE3 a través de la línea L. Finalmente, la red incluye el centro de operación y control NOMC al que se conectan las centrales de conmutación de paquete PSE1 a PSE3.

5

Nótese que las líneas mencionadas anteriormente pueden tener diferentes cadencias de transmisión de datos. Las funciones de los satélites de datos de paquete y de las centrales de conmutación de paquete aparecerán más claras en la descripción de las funciones de sus partes constituyentes. La función del NOMC es realizar la supervisión y control operacional de la red, procesamiento de los datos de facturación, etc.

10

Haciendo referencia a la Fig. 2 el satélite de datos de paquete que se representa PDS1 incluye una pluralidad de módulos de acceso de línea LAM1 a LAMn que están conectados a las líneas mencionadas anteriormente L11 a L1p y Ln1 a Lnq y Ll respectivamente. Cada uno de estos módulos de acceso de línea está conectado además a dos buses de interconexión de módulo MIBA y MIBB a través de uno respectivo de los buses B1 a Bn, a través de una respectiva de las unidades de control de bus BCUn y a través de uno respectivo de los circuitos de interface de bus BIA1 a BIAN y BIB1 a BIBn.

15

20

El PDS1 incluye además una pluralidad de módulos de proceso de paquete PPM1' a PPMn' que están conectados a los buses MIBA y MIBB a través de uno respectivo de los buses B1' a Bn', a una respectiva de las unidades de control de bus BCUn' y a uno respectivo de los circuitos de interface BIA1' a BIAN' y BIB1' a BIBn'. Las unidades de con-

25

30

trol de bus BCUL' a BCUn' incluye cada una uno de los circuitos biestables que indican fuera-de-servicio-del-módulo BS1' a BSn' cuyas entradas-1 están conectadas a los módulos de proceso de paquete asociados y cuyas salidas-1 son las líneas ml' a mn', respectivamente.

Finalmente, el PDS1 incluye dos unidades de supervisión de bus BSUA y BSUB que están conectadas a los buses de interconexión de módulo MIBA y MIBB respectivamente. La BSUA y la BSUB tienen cada una una pluralidad de entradas conectadas a las líneas mencionadas anteriormente ml' a mn' de los circuitos biestables BS1' a BSn', respectivamente. En cada una de las BSUA y BSUB las líneas ml' a mn' están conectadas a etapas del registro RA, RB que mantiene el registro de los estados operativos y no-operativos de los diferentes módulos de proceso de paquetes. Un terminal de lectura ka del RA y un terminal de lectura kb del RB están conectados a un módulo de proceso de paquete respectivo de dos de tales módulos, por ejemplo, a PPM1' y PPMn'. Estos módulos de proceso de paquete son los que almacenan un programa de supervisión de nudo NSF. Los últimos módulos leen regularmente el contenido del registro correspondiente RA, RB para poder detectar los módulos que fallan.

La BSUA incluye además un circuito de prioridad PA conectado a las líneas de requisición y transferencia MIBA al a an, de BIAL a BIAN y al'a an', de BIAL' a BIAN'; mientras que la BSUB incluye además un circuito de prioridad PB conectado a las líneas de requisición y transferencia MIBB bl a bn de BIBl a BIBn y bl' a bn', de BIBl' a BIBn'. Cada una de estas líneas incluye un conductor de requisición y un conductor de transferencia. Cada uno de los circuitos de prio-

ridad PA, PB puede activar uno solo de los conductores de transferencia por el cual se activa el conductor de requisición asociado.

Nótese que si la BIA y la BIB están informadas  
 5 simultáneamente tanto por la BSUA como por la BSUB que se ha transferido una requisición, estos circuitos mismos seleccionan solamente una de estas transferencias de requisición. Nótese también que en cada satélite de datos de paquete, un módulo de proceso de paquete está asociado a un módulo de acceso de línea y viceversa. Más concretamente, PMM1'  
 10 a PMMn' están asociados a LAM1 a LAMn, respectivamente.

Los módulos de acceso de línea LAM1 a LAMn tienen una estructura similar, por lo que solamente se representa con relativo detalle en la Figura 3 el LAM1. Este módulo incluye:  
 15

- un número de unidades de línea LUI a LUp que están conectadas por un parte a la línea mencionadas anteriormente Lll a Llp respectivamente y por otra parte al bus Bl que lleva a la unidad de control de bus BCUL.

20 Cada tal unidad de línea incluye un microprocesador y una unidad de acceso a la memoria directo o unidad DMA (ambos no mostrados);

- una memoria buffer de canal CBM que está también conectada al bus Bl;

25 - un microprocesador MP1 y su propia memoria MEM1 ambos conectados al bus Bl a través de un conmutador de bus BS que está controlado por la salida de un lógico de control de acceso de bus BAL. Este BAL está conectado a las líneas de requisición y transferencia del bus Bl ul a up de la LUI a LUP  
 30 y la  $u_{p+1}$  del MP1. El BAL puede transferir una de las requi-

siciones utilizando el bus B1 e informar a la unidad que requisiciona correspondiente, LUL-LUp ó MP1, que la requisición se ha transferido. Si se transfiere una requisición para utilizar B1 a MP1, el conmutador de bus que está normalmente abierto se cierra dando así acceso a MP1 al bus B1. El microprocesador MP1 está también conectado a las unidades de línea LUL a LUp a través del bus BB.

Refiriéndonos ahora a la fig. 4, el PMM1 mostrado allí se similar a todos los módulos de proceso de paquete. El mismo incluye un microprocesador MP2, una memoria MEM2 y temporizadores T que están equipados separadamente porque sus tareas requieren mucho tiempo. Estas tareas son, por ejemplo, el establecimiento de un reloj en tiempo real y la temporización de nivel 3 del protocolo X25 del CCITT. La MEM2 incluye, por ejemplo, un bloque de llamada CB, parte del cual es un bloque de llamada recuperada RCB, y una base de datos DB.

Describiremos ligeramente las funciones de los diferentes circuitos y unidades que forman parte de PDSi.

#### 20 Módulo de acceso de línea LAM1(Figura 3)

Los paquetes de datos recibidos en una de las unidades de línea LUL a LUp de LAM1, a través de la línea correspondiente Lll a Llp, se comprueban bajo el control del microprocesador incluido en esta unidad de línea, por ejemplo, LUL, y se transfieren entonces, si todo está O.K., a través del bus B1 a la memoria buffer de canal CBM por la unidad-DMA también incluida en esta unidad de línea. Esta transferencia solamente es posible después de que la unidad de línea LUL haya hecho la requisición para la utilización del bus B1 activando su línea de requisición ul y si esta unidad

tiene que ser informada subsecuentemente por la BAL y a través de la misma línea ul que su requisición se ha transferido. El microprocesador MP1 puede comprobar a través del bus BB conectado a la unidad de línea LU1 si el paquete recibido

5 ha sido almacenado en la CBM. Como consecuencia, este microprocesador activa su línea de requisición  $u_{p+1}$  para requisicionar la utilización del bus B1 y entonces el BAL transfiere esta requisición que cierra el conmutador de bus BS. El microprocesador MP1 lee y comprueba al menos una porción

10 por ejemplo, la información de cuadro del paquete almacenada en la CBM, a través del conmutador de bus BS y el bus B1. Cuando todo está OK el MP1 controla la unidad-DMA incluida en la unidad de control de bus BCUI a la que está conectado el bus B1 y esta unidad-DMA transfiere entonces el paquete

15 almacenado en CBM a PP1. Estos tiene lugar después de que esta unidad ha requisicionado previamente el PP1, por un mensaje especial, si este módulo está listo para aceptar este paquete y ha recibido desde dicho módulo una respuesta afirmativa.

20               Está claro que cuando el conmutador de bus BS está abierto, el microprocesador MP1 puede tener acceso a su propia memoria MEM1, mientras que simultáneamente pueden tener lugar transferencias entre una unidad de línea y la CBM o entre la CBM y un módulo de proceso de paquete.

25               Lo anterior ocurre también para los otros módulos de acceso de línea.

La unidad de control de bus (Fig. 2)

Esta unidad de control de bus puede establecer por una parte las transferencias-DMA por medios de su unidad-DMA controlada por el microprocesador MP1 y, por otra

30

parte, transferencias de mensajes únicos.

Los mismo ocurre para las otras unidades de control de bus.

El circuito de interface del bus BIA1 (Fig. 2)

5 Este circuito de interface del bus tiene las siguientes funciones entre muchas otras:

- recibir los datos desde BCUI y desde MIBA;
  - comprobar la paridad de estos datos;
  - generar un bit de paridad para los datos recibidos desde
- 10 BCUI;
- requisicionar el uso del bus MIBA a través de su línea de requisición y transferencia al que está conectada a la unidad de supervisión del bus BSUA;
  - decidir, junto con BIE1, que bus debe utilizar.

15 Lo anterior es verdad para los otros circuitos de interface del bus.

La unidad de supervisión del bus BSUA (Fig. 2)

En el registro RA la BSUA conserva los registros de los estados de los módulos de proceso de paquetes PPML' a PPMn'. El módulo PPML' lee regularmente el contenido de este registro RA a través de la línea de lectura ka y ejecuta su programa de supervisión de nudo NSF cuando se detecta el fallo de un módulo.

20

El circuito de prioridad PA al que están conectadas las líneas al a an y al' y an', puede transferir el uso del bus MIBA a una sola de las unidades de interface de bus que requisicionan.

25

Lo anterior es verdad para la unidad de supervisión de bus BSUB conectada a PPMn' a través de la línea de lectura kb.

30

El módulo de proceso de paquete PPML (Fig. 4)

La función principal del PPML es ejecutar el nivel 3 del protocolo X25 y crear un interface a la red. El PPML puede establecer vías virtuales y controlar el flujo de datos por estas vías. Este módulo también puede reunir datos de facturación para las llamadas y enviar estos datos, a la liberación de la llamada, a la central de conmutación de paquetes PSE1. Entre otros programas, el PPML puede ejecutar el siguiente: el manejo del circuito virtual y la tarea de recuperación de la llamada.

Lo anterior es verdad para los otros módulos de proceso de paquete. Pero como ya se ha mencionado anteriormente, dos módulos predeterminados PPML' y PPMn' pueden ejecutar un denominado programa de supervisión de nudo NSF.

Refiriéndonos ahora a la Fig. 5, la central de conmutación de paquetes PSE1 que se muestra está constituida de una manera similar al PSD1, pero además, incluye una base de datos de nudo NDB y un módulo de supervisión de nudo MSM que están conectados cada uno al MIBA y al MIBB a través de una unidad de control de bus común BCU y un circuito de interface de bus individual BIA, BIB, siendo similares las últimas unidades a las que forman parte de un satélite de datos de paquete.

Los PPML a PPMt mostrados tienen la misma estructura que los PPML'a PPMn' del PSD1, pero al contrario que el último, tienen principalmente funciones de encaminamiento. Tampoco los PPML a PPMt están asociados a uno respectivo de los LAMa a LAMz; se utilizan sin duda con una prioridad circular. Otra diferencia está en que las salidas ka y kb de los BSUA, BSUB están ahora conectados al NSM.

La base de datos de nudo NDB se representa con más detalles en la Fig. 6. Su propósito es proporcionar un acceso rápido a los datos referentes, entre otros, a los usuarios acoplados a través de PDS1 a PDS3 a PSE1. El NDB se activa en sentido de que además de almacenar información, posee capacidad de procesamiento que le capacita para facilitar respuestas a cuestiones referentes a los datos. Ya que estos datos contienen información acerca de la facturación, se toman fuertes precauciones para impedir la pérdida o corrupción de los datos en NDB.

A este fin, la NDB incluye tres microprocesadores CPU1 a CPU3 que están micro-sincronizados por una misma unidad de reloj CLU. Las salidas de los procesadores CPU1 a CPU3 están conectadas a cada uno de dos circuitos de decisión mayoritaria (o umbral) MLC1 y MLC2 que tienen sus salidas conectadas a la entrada de escritura de una memoria compuesta de dos memorias semejantes MEM3 y MEM4. Las salidas de lectura de estas memorias MEM3 y MEM4 están conectadas a las entradas-A y las entradas-B de tres multiplexores MUX1 a MUX3 respectivamente utilizados como dispositivos de conmutación o cambio. Estos multiplexores entrada-2/salida-1 tienen cada uno una entrada de control  $\bar{c}$  y todos estos terminales de dirección se conectan a la salida-1  $\bar{c}$  de un circuito escala-de-dos BS que tiene la salida-0 c. Las entradas de datos A1 a A3 de los multiplexores MUX1 a MUX3 están conectadas cada una a un correspondiente circuito de comprobación de paridad PCC1 a PCC3, mientras que las entradas de datos B1 a B3 de estos multiplexores están conectadas cada una a un correspondiente circuito de comprobación de paridad PCC4 a PCC6. Las salidas de los PCC1 a PCC3 están conectadas

a una puerta-OR M1 que tiene una salida a y una salida inversa  $\bar{a}$  obtenida a través de un inversor I1. De la misma manera, las salidas de los PCC4 a PCC6 están conectadas a una puerta-OR M2 que tiene una salida b y una salida inversa  $\bar{b}$  obtenida a través de un inversor I2. Las salidas a,  $\bar{b}$  y c están conectadas a las entradas de la puerta-AND G1, mientras que las salidas  $\bar{a}$ , b y  $\bar{c}$  están conectadas a las entradas de la puerta-AND G2. Las salidas de estas puertas-AND están conectadas a la entrada del contador escala-de-dos BS a través de la puerta-OR, M3.

Describiremos seguidamente el funcionamiento de la NDB mencionada.

Cada instrucción se realiza simultáneamente en los tres procesadores CPU1 a CPU3 por razones de seguridad. Cuando el bloque de datos obtenido después de tal operación tiene que escribirse o almacenarse en la memoria, cada procesador añade un bit de paridad calculado a su propio bloque de datos y suministra este bloque simultáneamente con los bloques de datos de los otros procesadores a ambos circuitos lógicos de mayoría MLC1 y MLC2. En cada uno de estos circuitos MLC1 y MLC2 se comparan los tres bloques de datos proporcionados por los tres procesadores sobre una base de bit a bit y el bit resultante se inscribe cada vez en la memoria correspondiente MEM3, MEM4.

Por el uso de los tres procesadores, dos circuitos lógicos de mayoría y dos memorias, se obtiene una suficiente seguridad. La utilización de tres procesadores que son unidades relativamente complicadas y que ejecutan operaciones relativamente complejas da la seguridad suficiente de que al menos dos de ellos proporcionarán el mismo resultado.

Por otra parte, dos circuitos lógicos de mayoría y dos memorias se consideran ser suficientes, porque estas unidades son de una estructura relativamente sencilla y realizan operaciones relativamente simples, y porque cada circuito lógico de mayoría está conectado a su memoria asociada a través de un bus individual de modo que un fallo de un tal bus no afecta a la operación de la otra memorias.

Cuando los datos tienen que transferirse desde las memorias MEM3 y MEM4 a los procesadores, ambas memorias suministran estos datos en paralelo a las entradas A1, A2, A3 y B1, B2, B3 de los multiplexores MUX1, MUX2 y MUX3, respectivamente. Cuando se supone que el contador de escaladados BS está en su condición-0 en donde su salida- $\bar{c}$  está desactivada (o en 0) solamente los datos suministrados a las entradas A1, A2, A3 serán transferidos a los procesadores CPU1, CPU2, CPU3, respectivamente. Sin embargo si la salida-c de BS está activada los datos suministrados a las entradas B1, B2, B3 se transferirán a estos procesadores.

En las entradas A1, A2, A3, B1, B2, B3 de los multiplexores, se comprueba la paridad de los datos suministrados en los circuitos de comprobación de paridad PCC1 a PCC6 respectivamente y cuando se detecta un error de paridad se activa la salida correspondiente de manera que también se activa la salida a, b de la puerta-OR correspondiente M1, M2.

Se supone ahora que BS está en la condición en que  $\bar{c}$  está desactivada (o c activada) y que se detecta un error de paridad de los datos suministrados a A1, A2 ó A3 debido a lo cual la salida a de M1 está activada. Como consecuencia, si  $\bar{b}$  está activada (lo que significa que la paridad en las entradas B es correcta), el contador de escala-

de-dos BS pasará a su condición-1 en dónde su salida  $\bar{c}$  está  
 activada. Debido a esto, las entradas B1 y B3 de los multiple-  
 xores se conectan entonces a los procesadores CPU1 a CPU3  
 respectivamente. Procediendo de esta manera, se evitan los  
 errores en las memorias MEM3 y MEM4.

En lo que sigue se describe, por una parte, el  
 establecimiento de una vía de comunicación virtualy, por  
 otra parte, el procedimiento de recuperación ejecutado cuando  
 falla un PPM implicado en esta vía. Nos referiremos princi-  
 palmente a los diagramas de las Figs. 7 y 8.

Primero explicaremos como se establece una tal  
 vía de comunicación virtual entre un equipo terminal de  
 datos que llama DTE11 y un equipo terminal de datos llamado  
 DTE61 (Fig. 1).

El DTE11 inicia una llamada enviando un paquete  
 de requisición de llamada CRP al satélite de datos de paque-  
 te PDS1 al que está conectado DTE11 a través de la línea L11.  
 Este CRP incluye los siguientes datos útiles:

- SLCN: el número del número de canal lógico utilizado en la  
 fuente, esto es, en DTE11. Este número es, por ejemplo, igual  
 a 4000. Cada usuario puede, por ejemplo, utilizar simultánea-  
 mente 4096 de tales canales. El SLCN se utiliza para identi-  
 ficar todos los paquetes transferidos por este canal lógico;
  - SDTE: la dirección de la fuente, esto es, la dirección del  
 DTE11 que llama. SDTE es igual a  $x_1, s_1, u_1$  en dónde  $x_1$  es  
 el número de área,  $s_1$  es el número del usuario y  $u_1$  es un  
 número adicional;
  - DDTE: la dirección del destino, esto es, la dirección del  
 DTE61 llamado.
- DDTE es igual a  $x_2, s_2, u_2$  dónde  $x_2$  es el número de área,

s2 es el número del usuario y u2 es un número adicional.

El paquete de requisición de llamada CRP se recibe en el módulo de acceso de línea LAM1 (Figs. 2, 3) del satélite de datos de paquete PDS1 al que está conectado el TDE11 a través de la línea L11. Después de haberse procesado en el LAM1 del modo descrito brevemente en relación con las Figuras 2, 3 y 4 el CRP se transmite desde el LAM1 a la memoria MEM2 del PP1 (Fig. 4) asociado con el LAM1.

En el PP1 y bajo el control del programa de manejo de la llamada virtual que hace uso del número de línea L11, el microprocesador MP2 de este PP1 accede a la base de datos DB en su memoria MEM2. Así, se obtiene un así denominado, calificador de bloque de llamada de fuente SCBBQ = b1, que indica una porción de memoria reservada para el almacenaje de todos los paquetes de información recibidos a través de la línea L11. El microprocesador MP2 crea entonces en este área de memoria un bloque de llamada CB que tiene un número de bloque de llamada de fuente SCBN = n1 y que se reserva para el almacenaje de los paquetes referentes a la vía de llamada virtual a ser establecida. Este bloque de llamada CB comprende una primera porción o bloque de recuperación RCB para el almacenaje de los datos que no varían durante una llamada y la parte restante para el almacenaje de los datos que están sujetos a variaciones en el curso de una llamada.

Durante el establecimiento de una vía de llamada virtual el bloque de llamada de recuperación RCB de la CB se llena gradualmente tan pronto como la información está disponible. Sin embargo, en tanto que no se haya establecido una vía de llamada virtual, esto no puede hacerse todavía

para la parte restante de la CB y esta es la razón por la que en la Fig. 7 se muestra solamente el RECB. El bloque de llamada de recuperación RCB almacenará finalmente los datos mencionados después. Sin embargo, en el momento actual, DNAD

5 DCBN, DCBBQ y DLCN todavía no son conocidos (como se indica por las interrogaciones en la Fig. 7):

- SLCN; el número de canal lógico de fuente, esto es, el número de canal lógico utilizado en el DTE11. Este número es igual a 4000;
- 10 - SDTE: el DTE fuente, esto es, el número x1, s1, u1 de DTE11;
- DDTE: el DTE de destino, esto es, el número x2, s2, u2 de DTE61;
- DNAD: la dirección del nudo de destino, esto es, la dirección de PSE2 seguida por la de PDS6 (Fig. 1);
- 15 - DCBN: el número de bloque de llamada de destino, esto es, el número de un bloque de llamada en la memoria de un módulo de procesamiento de paquete de PDS6;
- DCBBQ: el calificador de bloque de llamada de destino;
- DLCN: el número de canal lógico de destino, esto es, el
- 20 número del canal lógico utilizado en DTE61.

Todavía bajo el control del programa de manejo de llamada virtual, el microprocesador MP1 del PPM1 construye entonces un nuevo paquete y como sabe la PSE1 de destino transfiera este paquete al módulo de acceso de línea LAMn (Fig. 2)

25 que, a través de la línea L1, está conectado a la central de conmutación de paquetes PSE1. El LAMn transmite entonces este paquete P1 (Fig. 7) a esta PSE1 a través de esta línea L1. Este paquete P1 comprende:

- la información ya contenida en el CRP;
- 30 - DNAD: la dirección del nudo de destino. En lugar de esta

dirección, y temporalmente, se indica el destino inmediato del paquete Pl. Este destino inmediato es la dirección de la PSE1 seguida de ceros;

- DCBN: el número de bloque de llamada de destino. En lugar de este número se indica el número de línea L11;
- SNAD: la dirección del nudo fuente. Esta dirección comprende la dirección de la PSE1 seguida por la de PDS1;
- SCBBQ = b1;
- SCBN = n1.

10 Cuando se recibe el paquete Pl en la PSE1 a través de la línea L1 y más concretamente, en el módulo de acceso de línea LAMA (Fig. 5) de la misma, se procesa allí y se transmite a uno de los PPML a PPMt seleccionados sobre una base cíclica, por ejemplo, el PPMt. El último PPMt enca-

15 mina subsecuentemente el paquete a la base de datos de nudo NDB (Fig. 5, 6) a través del bus MIBA ó MIBB, después de que se haya encontrado que la DNAD contiene la dirección de PSE1. Los microprocesadores CPU1 a CPU3 que forman parte de esta NDE acceden entonces simultáneamente a las memorias MEM3 y

20 MEM4;

- una tabla T con la ayuda del SDTE;
- una tabla de área AT utilizando x2, parte del DDTE.

La tabla T permite a NDB comprobar que el SCBBQ = b1 y el número de línea L11 están realmente asociados con el DTE11 que tiene la dirección SDTE. La tabla de área AT da la dirección de la central de conmutación de paquete que sirve el área indicada por x2, esto es, PSE2.

25

Si todo está OK, la NDB informa al PPMt. Subsecuentemente el PPMt construye un nuevo paquete y lo transfiere al módulo de acceso de línea LAMz (Fig. 5) que a través de

30

la línea L, está conectado a la central de conmutación de paquetes PSE2 que ha sido indicado por la NDB. El LAMz transmite entonces este paquete P2 (Fig. 7) a esta PSE2 a través de esta línea L. Este paquete P2 es similar a P1 y solamente difieren en el hecho de que DNAD indica ahora particularmente la nueva dirección de destino del paquete, esto es, la dirección de PSE2 seguida de ceros (porque la dirección de PDS6 no se conoce todavía).

En la PSE2 las operaciones realizadas son similares a las descritas en relación con la PSE1. Más concretamente, el paquete P2 se recibe en el LAMa' de esta PSE2 y se transfiere subsecuentemente a un módulo de procesamiento de paquete seleccionado PPM, esto es, PPMt'. El último PPMt' lee entonces la DNAD de P2 y concluye de ello que el paquete tiene que procesarse en PSE2. Como consecuencia el PPMt' accede a la tabla T de la NDB de esta PSE2 por medio del DDTE que es igual a x2, s2, u2. De esta tabla T la NDB obtiene la siguiente información:

DNAD: esta dirección es igual a la de PSE2 seguida por la de PDS6;

DCBQ = b2: Este dato no se utiliza aquí.

El número de la línea L61 que conecta PDS6 a DTE61.

La NDE transmite estos datos adicionales al PPMt' que subsecuentemente construye un nuevo paquete y lo transmite al módulo de acceso de línea LAMz' que está conectado a PDS6 a través de la línea L6. Este paquete P3 (Fig. 8) es similar al paquete P2. Se diferencia de éste en que DNAD es ahora igual a la dirección de PSE2 seguida por la de PDS6. Además contiene la siguiente información adicional:

DCBBQ = b2

DCBN = L61

Después de que el paquete P3 se ha recibido en la PDS6, más concretamente en el LAM1" (Fig. 8) de la misma, se transmite al PPML" (Fig. 8) localizado en el LAM1". Este PPML" opera de manera similar al PPML' en PDS1 y construye el bloque de llamada de recuperación RCB' (Fig. 8) de un bloque de llamada. Este bloque de llamada de recuperación RCB' es similar al que ha sido construido en el PDS1 pero la fuente y el destino en PDS1 son ahora diferentes de la fuente y el destino en PDS6.

Todos estos datos se transmite al LAMn" (Fig. 8) conectado al DTE61 a través de la línea L61 y este LAMn" transmite entonces un paquete P4 a este DTE61 a través de la línea L61. Este paquete incluye DLCN el número de canal lógico utilizado en DTE61, por ejemplo, 0001;

SDTE = x1, s1, u1;  
DDTE = x2, s2, u2.

Después de haber recibido este paquete el DTE61 transmite lo siguiente, o paquete de llamada aceptada al PDS6:

SLCN = 0001  
DDTE = x1, s1, u1;  
SDTE = x2, s2, u2.

Desde PDS6 este paquete se transmite además a través de PSE2, PSE1 y PDS1 al DTE11 y a lo largo de su vía este paquete se va completando gradualmente con la información disponible en estas unidades a fin de finalmente poderse llenar completamente en el bloque de llamada de recuperación RCB (Fig. 7) almacenado en el PDS1.

Después de haberse llenado el bloque de llamada recuperada en el PDS6 el microprocesador del PPML" (Fig. 8)

comienza un programa que consiste en transferir el RCB' a la memoria del PPM2" (no mostrada) de PDS6. Esto tiene lugar por el bus MIBA o MIBB y después de que PPM" haya requisicionado a este PPM2 si esta listo para recibir este RCB' y  
5 haya recibido una respuesta positiva del mismo. De la misma manera, después de que el RECB (Fig. 7) se haya llenado completamente en el PDS1 de PPM1' copia de allí este bloque en la memoria del PPM2' (no mostrada). De esta manera, los mismos datos de recuperación son cada vez almacenados en dos  
10 módulos de procesamiento de paquetes, esto es, PPM1' y PPM2' (Fig. 2) y en PPM1" y PPM2" (Fig. 8). Esto se hace por razones de seguridad, Por supuesto que en lugar de utilizar-PPM2' de PDS1 y PPM2" de PDS6 para almacenar los datos de recuperación de PPM1' y PPM1" respectivamente se podría utilizar cualquier otro módulo de procesamiento de paquete del correspondiente satélite de datos de paquetes.  
15

Describiremos seguidamente el propósito de los datos de recuperación en relación con PPM1' de PDS1.

Se supone que PPM1' (Fig. 2) detecta que está  
20 en fallo. Consecuentemente dispara el circuito biestable BS1' que forma parte de ECUL' a su condición-1 de manera que se active la salida-1 ml' del mismo. Así el BSUA y el BSUB se informan a través de la línea ml' de que el módulo PPM1' está fuera de servicio y este hecho se registra en los registros RA y RB de BSUA y BSUB respectivamente. En un cierto  
25 momento el PPMn' leerá el contenido del registro RB de BSUB a través del terminal kb y encontrará así que PPM1' está fuera de servicio. Como consecuencia, el PPMn' iniciará su programa de supervisión de nudo NSF. Debido a esto, el  
30 PPM2' es informado de que tiene que arrancar un programa

de recuperación de llamada. Por este programa en PPM2' todos sus bloques de llamada de recuperación normalmente inactivos pasan a activos, lo que significa que el PPM2' toma ahora el control de las vías de llamada virtual previamente manejadas por PPM1'. PPMn' transmite también un paquete de reposición bien conocido a DTE11 y a DTE61 para informar de que PPM2L en lugar de PPM1' está ahora implicado en la vía de llamada virtual establecida previamente.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modos de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Bélgica el día 25 de Octubre de 1978 señalada con el N<sup>o</sup> 2/57373 y con el N<sup>o</sup> de concesión 871.518, y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de invención de veinte años son los siguientes:

- 5                   1.- Un sistema de proceso de datos y de comunicación de datos, el segundo de ellos para conmutar datos en un modo de almacenar-y-enviar, incluyendo dicho sistema una pluralidad de nudos de comunicación teniendo cada uno una pluralidad de portadores e incluyendo cada uno una pluralidad de módulos de procesador de conmutación, cada uno de dichos módulos de proceso de conmutación de un nudo puede establecer vías de llamada virtuales entre al menos dos portadores de dicho nudo y transmitir datos por estas vías, y nudos cooperantes que pueden establecer vías virtuales entre al menos dos portadores que pertenecen a nudos diferentes, incluyendo cada procesador de conmutación un procesador y una memoria para almacenar datos relativos a las llamadas virtuales en las que está implicado dicho módulo, caracterizado porque al menos un nudo terminal (PDS1) implicado en una vía de llamada virtual incluye elementos para almacenar los datos de recuperación (RCD) relativos a dicha vía de llamada virtual en las memorias de al menos dos módulos de procesador de conmutación (PPM1', PPM2), estando uno de estos módulos (PPM1') implicado en dicha vía virtual y los elementos de recuperación utilizan los datos de recuperación (RCB) almacenados en la memoria del otro módulo de procesador de conmutación asociado (PPM2') de modo que dichas vías virtuales permanecen establecidas cuando falla dicho módulo procesador de conmutación (PPM1'), quedando disponible los datos de recuperación en dicho nudo terminal
- 10
- 15
- 20
- 25
- 30

por la transmisión de los mensajes de control requeridos para el establecimiento de dicha vía de llamada virtual.

5           2.- Un sistema según la reivindicación 1, caracterizado porque cada una de las vías de llamada virtuales se establece transmitiendo un mensaje de control de requisición de llamada desde un nudo que llama a un nudo llamado y transmitiendo subsecuentemente un mensaje de control de aceptación desde dicho nudo llamado al nudo que llama, y porque dichos datos de recuepración acerca de dicha vía de llamada virtual se transporta por los mensajes de control y están disponibles en los nudos que llama y el llamado a la recepción en los mismos de dicho mensaje de control de requisición y de dicho mensaje de control de aceptación de llamada respectivamente.

15           3.- Un sistema, según la reivindicación 1, caracterizado porque dichos módulos de procesador de conmutación (PPM1' - PPMn') están divididos en, como mucho,  $n/2$  conjuntos exclusivos mutuamente de al menos dos módulos asociados.

20           4.- Un sistema, según la reivindicación 1, caracterizado porque dicho nudo incluye al menos un registro común (RA, RB) para registrar la condición correcta o incorrecta de dichos módulos de procesador de conmutación (PPM1' - PPMn'), e incluye además elementos de registro individuales (BS1' - BSn') asociados a dichos módulos y pudiendo registrar cada uno la condición de fallo del módulo asociado, dichos elementos de registro (BS1' - BSn') estando acoplados (m1' - mn') a dicho registro común (RA, RB) para poder comunicar la condición de fallo de un módulo y porque al menos dos de dichos módulos de procesador de conmutación (PPM1',  
25           PPMn') pueden leer regularmente dicho registro común (RA, RB)  
30

para supervisar la condición de dichos módulos, pudiendo uno de estos dos módulos de procesador de conmutación de supervisión (PPM1', PPMn') iniciar un programa de recuperación en el módulo asociado a un módulo en fallo, pudiendo dicho programa de recuperación utilizar los datos de recuperación.

5           5.- Un sistema según la reivindicación 1, caracterizado porque incluye dos registros comunes (RA, RB) que pueden leerse por módulos respectivos de dichos dos módulos de supervisión (PPM1', PPMn').

10           6.- Un sistema según la reivindicación 1, caracterizado porque dichos módulos de procesador de conmutación (PPM1', PPMn') están interacoplados a través de al menos un primer bus común (MIBA, MIBB) al que se acoplan también una pluralidad de módulos de acceso de línea (LAM1 - LAMn) que  
15           tiene cada uno una pluralidad de dichos portadores, porque cada uno de dichos módulos de acceso de línea incluye una pluralidad de unidades de línea (LUI - LUp), con un primer procesador, un segundo procesador (MP1) con su propia memoria (MEM1), y una memoria común (CBM), estando directamente  
20           acopladas dichas unidades de línea (LUI - LUp) a un segundo bus común (B1) que está acoplado a dicho primer bus común (MIBA, MIBB) y a dicha memoria común (CBM) y estando acoplado el segundo procesador al segundo bus común (B1) a través de un conmutador de bus (BS), y elementos de control (BAL)  
25           para transferir selectivamente la utilización de dicho bus segundo común (B1) al primero o al segundo procesador (MP1) y abrir o cerrar dicho conmutador de bus (BS) respectivamente.

30           7.- Un sistema según las reivindicaciones 1 y 6, caracterizado porque dichos elementos de control comprenden un circuito lógico (BAL) al que se acoplan dichos procesado-

res de las unidades de línea (LUL-LUp) y el segundo procesador (MP1) a través de las correspondientes líneas de requisición y transferencia (ul - up+1), teniendo dicho circuito lógico una salida que controla dicho conmutador de bus (BS).

5           8.- Un sistema según la reivindicación 1, caracterizado porque dichos nudos incluyen una pluralidad de nudos centrales interacoplados (PSE1 - PSE3) a cada uno de los cuales se acoplan una pluralidad de dichos nudos terminales (PDS1 - PDS3; PDS6 - PDS7), incluyendo cada (PSE1) de los  
10 nudos centrales (PSE1 - PSE3) una pluralidad de módulos de procesador de conmutación (PPM1 - PPMt) y un módulo de base de datos (NDB) todos interconectados a través de un bus común (MIBA, MIBB) incluyendo dichos módulos de base de datos (NDB) al menos un procesador (CPU1 - CPU3) y al menos una memoria  
15 (MEM3, MEM4) que almacena los datos referentes a la pluralidad de nudos centrales (PDS1 - PDS3) acoplados al nudo central (PSE1) del que forma parte dicho módulo de base de datos (NOB).

20           9.- Un sistema según las reivindicaciones 1 y 8 caracterizado porque dicho módulo de base de datos (NDB) incluye tres procesadores microsincronizados (CPU1 - CPU3) que están acoplados a las entradas de dos circuitos de umbral (MLC1, MLC2) cuyas salidas están acopladas a las entradas de escritura de una de las dos memorias (MEM3, MEM4) a través de uno de dos buses.  
25

          10.- Un sistema según las reivindicaciones 1 y 9 caracterizado porque una entrada de lectura de una (MEM3) de dichas dos memorias (MEM3, MEM4) está acoplada a las primeras entradas de tres dispositivos de conmutación (MUX1 -  
30 MUX3) cada uno con una entrada primera, una entrada segunda

y una salida única, porque una entrada de lectura de la otra (MEM4) de dichas dos memorias (MEM3, MEM4) está acoplada a las entradas segundas de los tres dispositivos de conmutación (MUX1 - MUX3) cuyas salidas están acopladas a los respectivos de dichos tres procesadores (CPU1 - CPU3), y porque los circuitos de comprobación de paridad (PCC1 - PCC6) están acoplados a las respectivas de las entradas primera y segunda para comprobar la paridad de los datos suministrados desde la correspondiente memoria (MEM3, MEM4), controlando dichos circuitos de comprobación de paridad (PCC1 - PCC6) la operación de los dispositivos de conmutación (MUX1 - MUX3) de tal manera que empezando desde una posición en que las entradas primera (segunda) están conectadas a dichas salidas de los dispositivos de conmutación, esta posición cambia cuando simultáneamente se detecta un error de paridad en al menos una de dichas entradas primera (segunda) y no se detecta error de paridad en al menos una de las entradas (segunda (primera)).

11.- Un sistema según las reivindicaciones 1 y 10 caracterizado porque cada uno de los dispositivos de conmutación de cambio comprende un multiplexor (MUX1 - MUX3) con una primera entrada, una entrada segunda y una salida.

12.- Un sistema de procesao de datos según la reivindicación 1, que incluye tres procesadores que realizan simultáneamente instrucciones idénticas y que están acoplados a al menos una memoria a través de un circuito de umbral, caracterizado porque dichos tres procesadores están acoplados a las entradas de dos circuitos de decisión de umbral (MLC1, MLC2) cuyas salidas están acopladas a entradas de escritura de las respectivas dos memorias (MEM3, MEM4) a tra-

vés de los respectivos buses.

13.- Un sistema de proceso de datos según las reivindicaciones 1 y 2, caracterizado porque una salida de lectura de una (MEM3) de dichas dos memorias (MEM3, MEM4) está  
5 acoplada a las entradas primeras de tres dispositivos de conmutación (MUX1 - MUX3) cada uno con una entrada primera, una entrada segunda y una única salida, porque la otra (MEM4) de las dos memorias (MEM3, MEM4) está acopladas a las entradas segundas de los tres dispositivos de conmutación (MUX1 -  
10 MUX3) cuyas salidas están acopladas a los respectivos tres procesadores (CPU1 - CPU3), y porque los circuitos de comprobación de paridad (PCC1 - PCC6) están acoplados a las respectivas entradas primera y segunda para comprobar la paridad de los datos suministrados desde la memoria correspondiente (MEM3 - MEM4), controlando dichos circuitos de comprobación de paridad (PCC1 - PCC6) la operación de dichos dispositivos de conmutación (MUX1 - MUX3) de tal manera que el  
15 arranque desde una posición en que dichas entradas primera (segunda) están conectadas a dichas salidas de los dispositivos de conmutación, esta posición cambia cuando simultáneamente se detecta un error de paridad en al menos una de dichas entradas primera (segunda) y no se detecta error de paridad en al menos una de dichas entradas segunda (primera).  
20

14.- Un sistema de proceso de datos según las reivindicaciones 1 y 13, caracterizado porque cada uno de los  
25 dispositivos de conmutación y cambio comprende un multiplexor (MUX1 - MUX3) con dos entradas primeras y una salida.

15.- Un sistema de proceso de datos, según las reivindicaciones 1 y 12 con al menos un primer y un segundo  
30 procesador que tienen acceso a una memoria común, teniendo

dicho primer procesador al menos otro acceso a una memoria privada, caracterizado porque dicho segundo procesador está acoplado a dicha memoria común (CBM) a través del bus (B1) mientras que el primer procesador (MP1) tiene acceso a dicho bus (B1) a través de un conmutador de bus (BS1), y porque el sistema además incluye elementos de control (BAL) que pueden transferir selectivamente la utilización de dicho bus (B1) al primero (MP1) o segundo procesador y así cerrar o abrir dicho conmutador de bus (BS) respectivamente.

10                   16.- Un sistema de proceso de datos según las reivindicaciones 1 y 15, caracterizado porque dichos elementos de control comprenden un circuito lógico (BAL) al que se acoplan los procesadores primero (MP1) y segundo a través de líneas de transferencia y requisición, teniendo dicho  
15                   circuito lógico una salida que controla dicho conmutador de bus (BS).

17.- Un sistema de proceso de datos y de comunicación de datos.

20                   Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de treinta hojas escritas por una sola cara.



Madrid.

25 OCT. 1979

EUGENIO BARROSO  
Secretario General

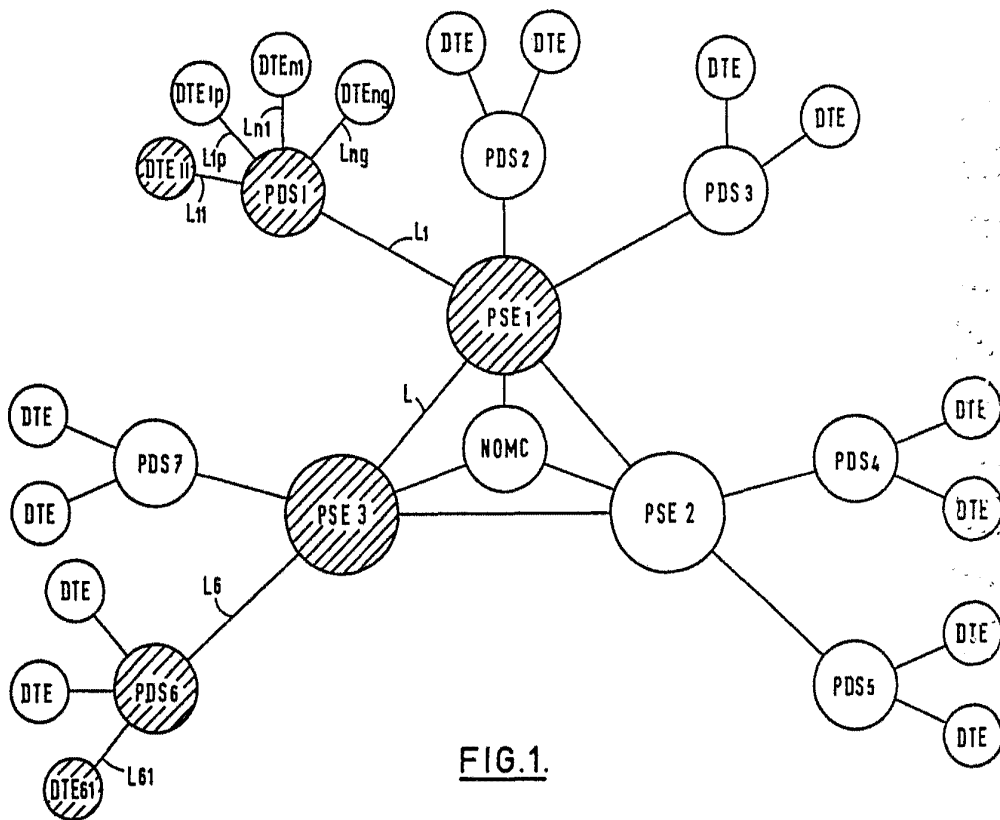


FIG.1.



28 DIC. 1979

*Eugenio Barroso*  
**EUGENIO BARROSO**  
Secretario General

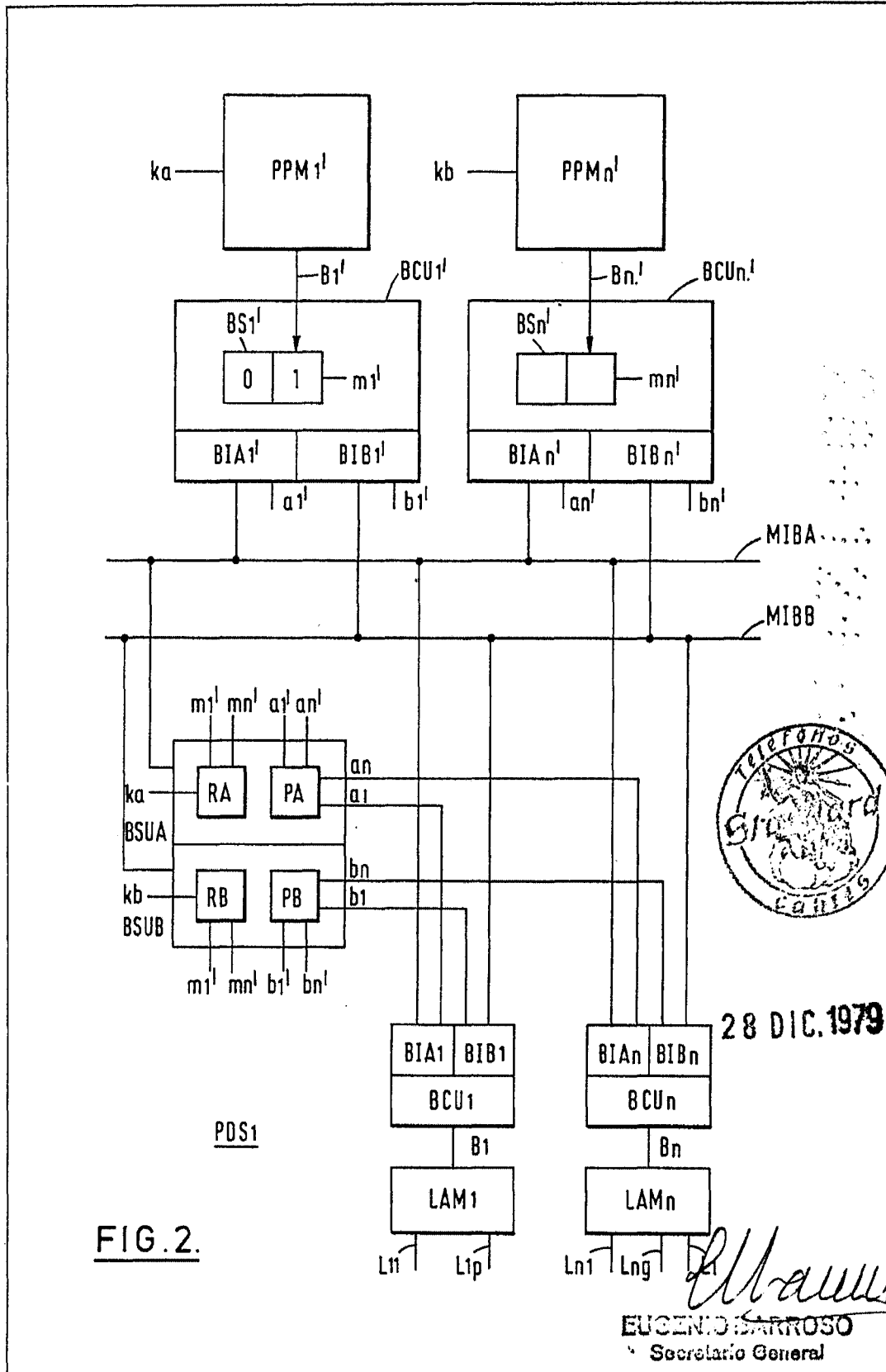


FIG. 2.

28 DIC. 1979

EUCENIO SARROSO  
Secretario General

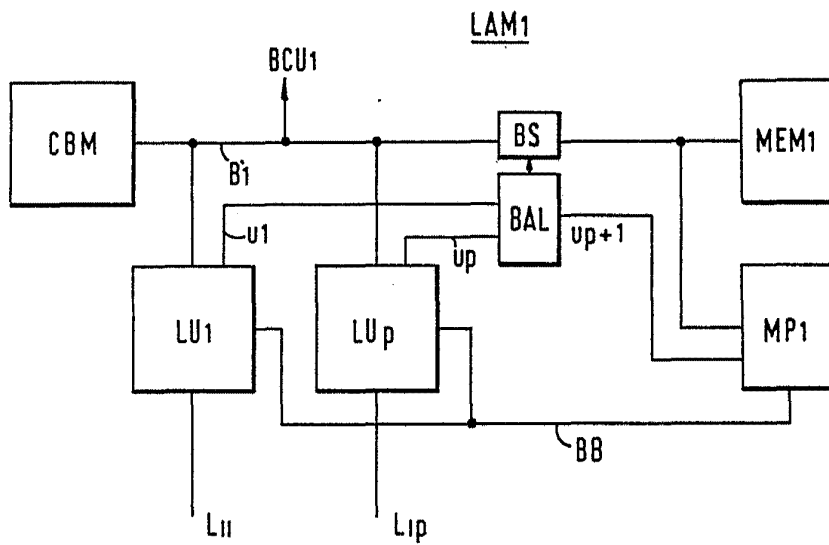
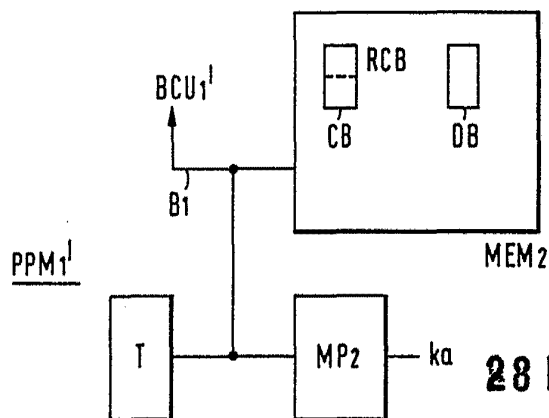


FIG. 3.



28 DIC. 1979

FIG. 4.

*Chauu*  
**ENCINOS BARRCO**  
 Secretario General

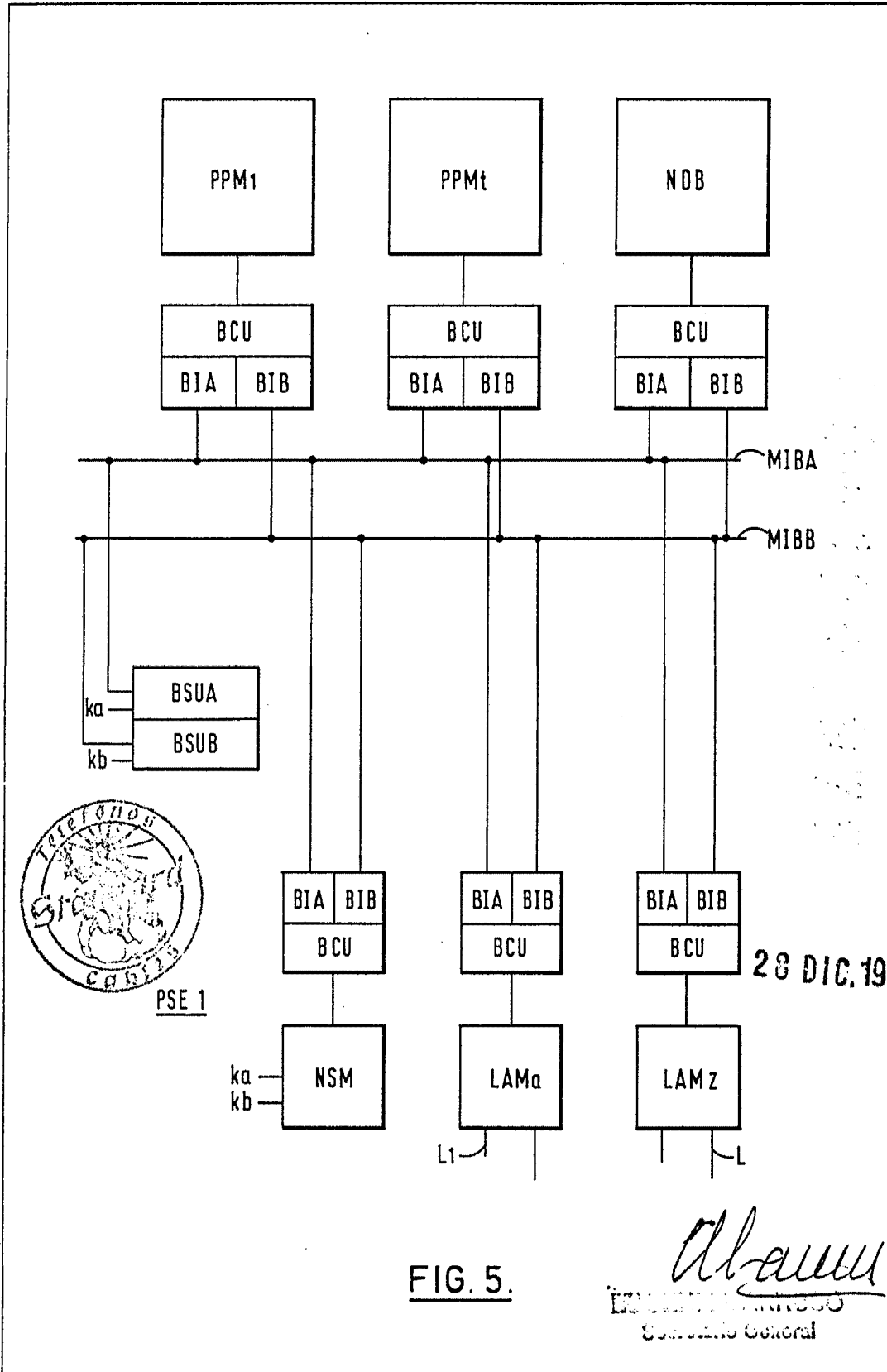
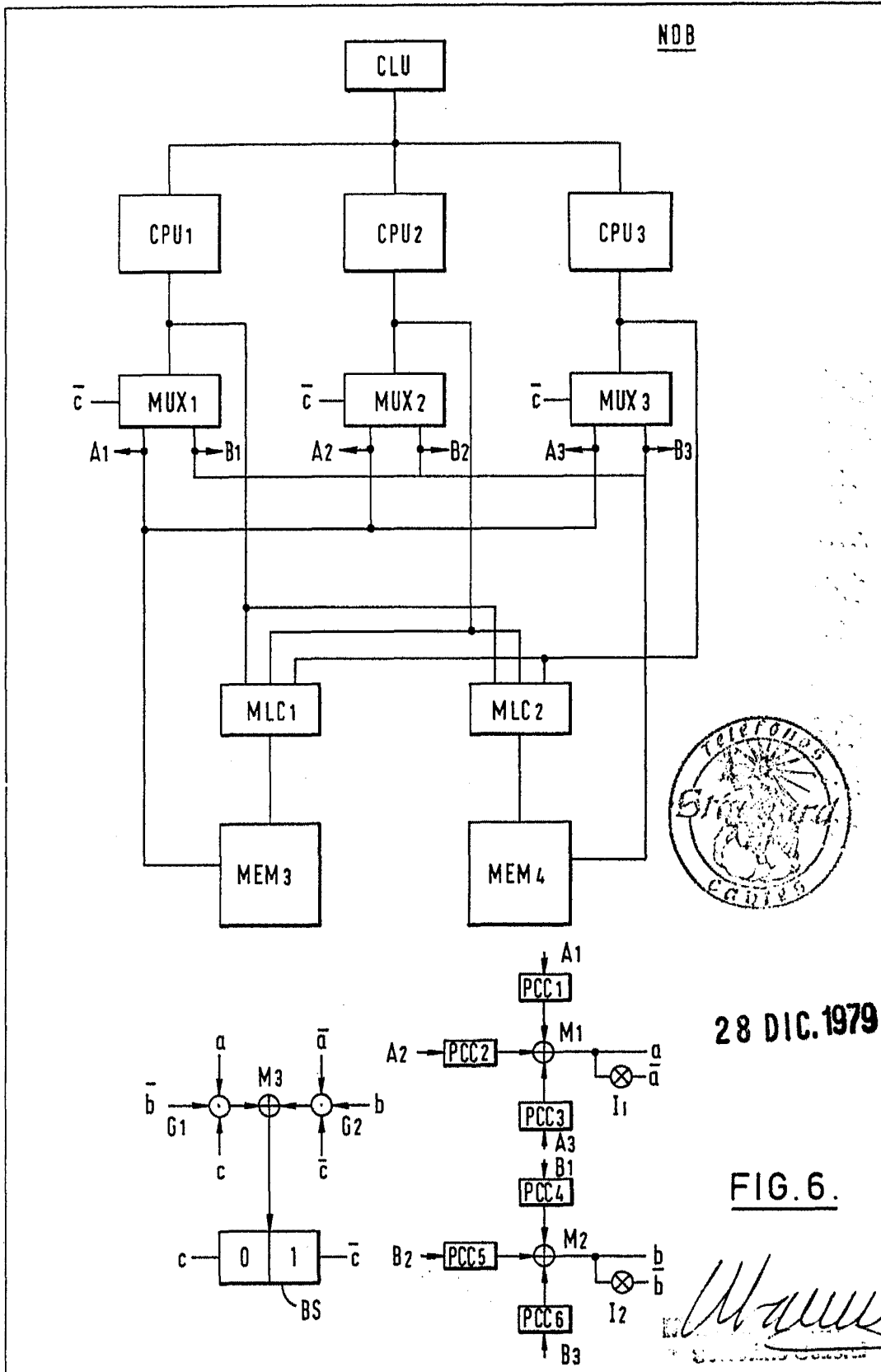
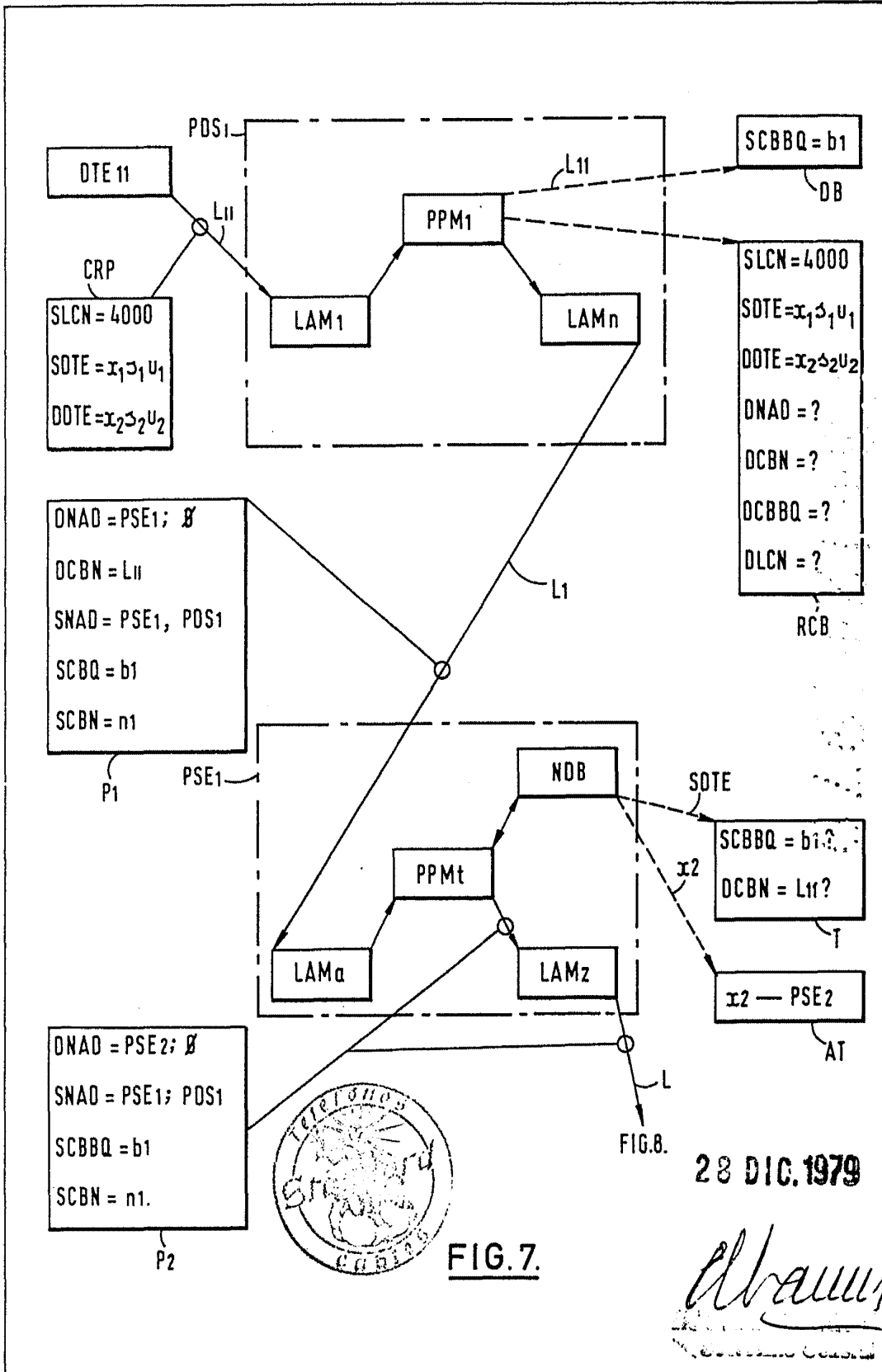


FIG. 5.

*Alam...*  
Ejecutivo General  
Subgerente General





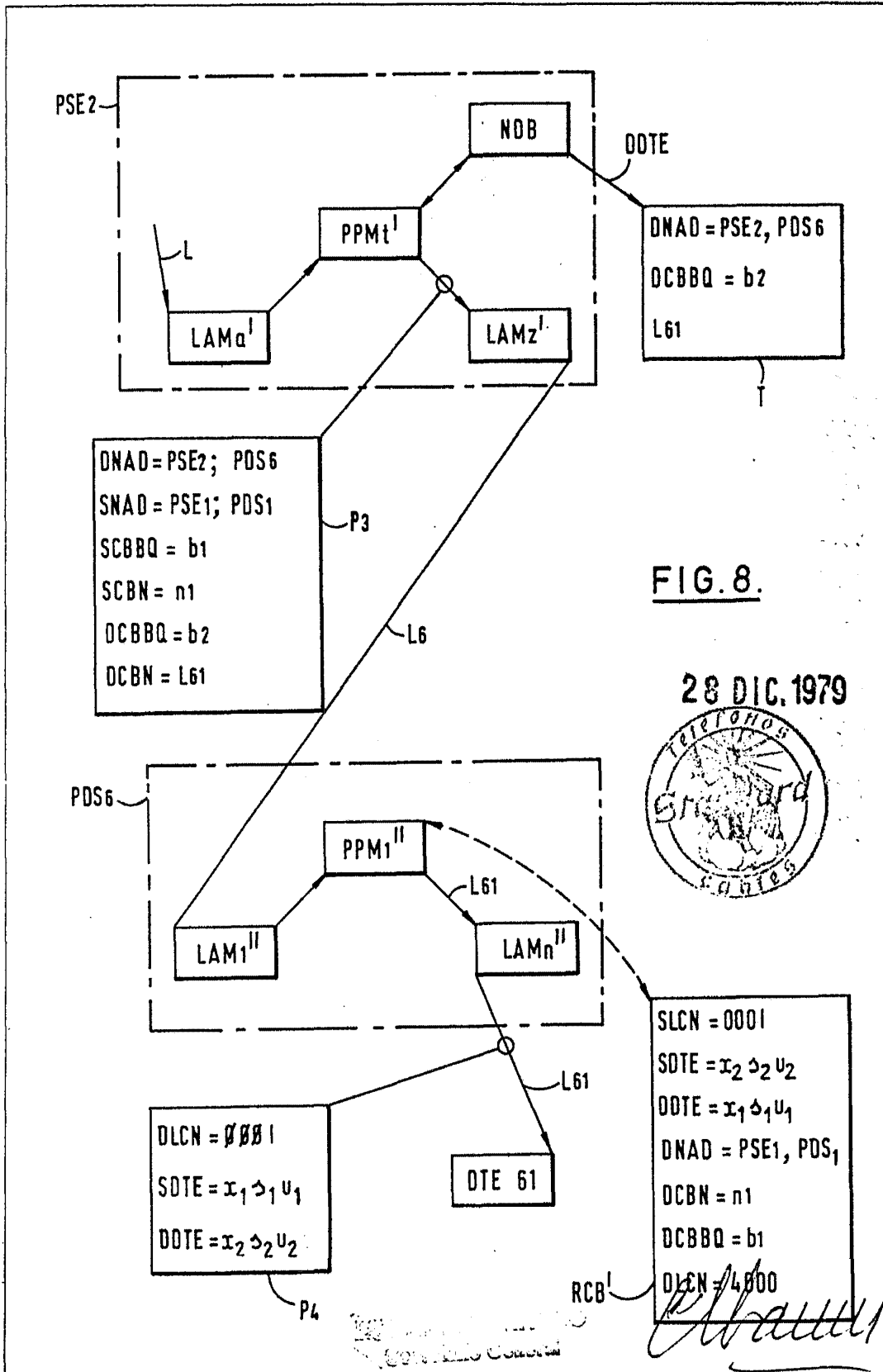


FIG. 8.

28 DIC. 1979



STANDARD ELECTRICA S.A. CONTROL CENTER