

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

ES

11

NUMERO

485.246

AT

21

22

FECHA DE PRESENTACION

22-10-1979

PATENTE DE INVENCION

| | | |
|-----------------|------------|---------|
| 30 PRIORIDADES: | 32 FECHA | 33 PAIS |
| 31 NUMERO | | |
| 954.070 | 23-10-1978 | EE.UU. |

| | | |
|------------------------|--------------------------------|--------------------------------------|
| 37 FECHA DE PUBLICIDAD | 31 CLASIFICACION INTERNACIONAL | 32 PATENTE DE LA QUE ES DIVISIONARIA |
| | G06F 3/08; G06F 9/18 | |

| |
|---|
| 34 TITULO DE LA INVENCION |
| "UN APARATO MEJORADO PARA TRANSFERIR ORDENES DE ENTRADA-SALIDA" |

| |
|---|
| 31 SOLICITANTE (S) |
| INTERNATIONAL BUSINESS MACHINES CORPORATION (Docket R09-78-020) |

| |
|----------------------------|
| DOMICILIO DEL SOLICITANTE |
| Armonk, N.Y. 10504, EE.UU. |

| |
|--|
| 32 INVENTOR (ES) |
| David Otto LEWIS, John Walter REED y Gary William WALLIN |

| |
|-----------------|
| 33 TITULAR (ES) |
| |

| |
|---|
| 34 REPRESENTANTE |
| DON ALBERTO DE ELZABURU MARQUEZ (P.-73.058) |

jga.

POOR
QUALITY

1

Antecedentes del InventoCampo del Invento

Este invento se refiere a sistemas de tratamiento de datos que utilizan memoria virtual subdividida en páginas y que tienen un canal que presenta órdenes de transferencia de datos a adaptadores de dispositivo de entrada salida. Más específicamente, este invento se refiere a un aparato para transferir órdenes de entrada salida que permiten a un adaptador de entrada salida indistintamente aceptar de un modo inmediato la orden presentada al mismo por el canal o bien ordenar secuencialmente la orden en estado de espera de modo que pueda ser localizada por el adaptador de entrada salida por su propia iniciativa cuando el adaptador de entrada salida está preparado para aceptar y ejecutar la orden.

15

Descripción de la Técnica Anterior

La mayoría de los sistemas de acoplamiento de canal de entrada salida están realizados físicamente de tal modo que un adaptador de entrada salida debe aceptar inmediatamente una orden de transferencia de datos presentada al mismo por el canal. Para sistemas que utilizan microordenadores de baja velocidad para controlar operaciones de entrada salida, la aceptación inmediata de una orden requiere que el sistema de acoplamiento completo de canal deba estar realizado físicamente en la forma de circuitos y que los circuitos contengan suficiente espacio de memoria intermedia para retener la orden de máxima extensión. El coste de los dispositivos físicos adicionales para almacenar transitoriamente las órdenes y para fines de control puede desvirtuar en forma importante los ahorros de coste

20

25

30

13119

1 posibles en un sistema que utiliza microordenadores de baja
velocidad para controlar operaciones de entrada salida.
Además, debido a que el microordenador de entrada salida
puede controlar varios tipos diferentes de dispositivos de
5 entrada salida, pueden requerirse componentes físicos adi-
cionales no solamente para la orden de extensión máxima
de un tipo de dispositivo, sino también para la orden de
dimensión máxima para todos los dispositivos que controla
el adaptador. Alternativamente, si no se dispone de alma-
10 cenamiento intermedio de órdenes, el microordenador de en-
trada salida debe ser capaz de disponer de la orden almace-
nada transitoriamente para un dispositivo antes de que se
transmita la siguiente orden de dispositivo. Las dificul-
tades y las soluciones costosas asociadas con estas alter-
15 nativas son el resultado de la situación de sobrecarga que
plantea el canal al adaptador de entrada salida para acep-
tar órdenes inmediatamente, de modo que el canal no se man-
tiene activo y puede continuar realizando otras operacio-
nes.

20 Resumen del Invento

El presente invento crea medios para redu-
cir el estado de sobrecarga de los adaptadores de entrada
salida en cuanto a la aceptación de todas las órdenes de
canal inmediatamente, sin un aumento importante en circui-
25 tos de almacenamiento intermedio o de control. Con el pre-
sente invento, una orden de canal puede ser tratada indis-
tintamente como orden inmediata o como orden en cola. En el
caso de una orden inmediata, la orden es admitida y ejecu-
tada por el canal y el adaptador de entrada salida sin re-
30 tardo. En el caso de una orden en cola, el adaptador de

1 entrada salida determina no aceptar la orden inmediatamente. Por el contrario, almacena una indicación de que está pendiente una orden y posteriormente inicia la localización de la orden en cola para ejecución.

5 Los principales objetos del presente invento son crear un aparato mejorado para transferir órdenes de entrada salida, el cual: (a) permite que un adaptador de entrada salida retarde la aceptación de una orden presentada al mismo por el canal; (b) permite que un adaptador de entrada salida que ha retardado la aceptación de una orden inicie la localización de la orden retardada para su ejecución; y (c) simplifica el canal y los adaptadores de entrada salida eliminando la necesidad de retransmisión de órdenes en el canal y el almacenamiento intermedio de órdenes en los adaptadores de entrada salida.

Breve descripción de los Dibujos

En los dibujos que se acompañan, que forman parte material de esta exposición:

20 La figura 1, que incluye las figuras 1A, 1C es un diagrama esquemático de bloques y diagrama de flujo que representa el sistema de computador en el cual está realizado el invento.

25 La figura 2, que incluye las figuras 2A, 2B, es un diagrama esquemático de bloques y diagrama de flujo de los circuitos de canal que incorporan una porción del invento y que representa líneas y líneas generales que conectan el canal a la unidad central de tratamiento, a la unidad VAT, a la memoria y al adaptador de entrada salida.

30 La figura 3 es un diagrama esquemático de bloques y diagrama de flujo de los registradores de entrada

1 - salida VAT y una porción de la unidad VAT que realiza una porción del invento.

La figura 4 es un diagrama de formato de las baterías 0 y 1 del registro de órdenes de canal, que re-
5 presenta el significado de diversas configuraciones de bits del campo de orden de canal.

La figura 5 es un diagrama de sincronismo que representa la secuencia de sincronismo de activación de di-
versas líneas de acoplamiento de canal durante una secuen-
10 cia de interrupción de entrada salida.

La figura 6 es un diagrama de sincronismo que representa la secuencia de sincronismo de activación de di-
versas líneas de acoplamiento de canal durante una secuen-
cia de escrutinio de canal seguida por una secuencia de
15 iniciación de canal en la cual el adaptador de entrada sa-
lida retarda la aceptación de una orden.

La figura 7 es un diagrama de sincronismo que representa la secuencia de sincronismo de activación de di-
versas líneas de acoplamiento de canal durante una secuen-
20 cia de escrutinio de canal en la cual el adaptador de en-
trada salida acepta una orden inmediatamente.

La figura 8 es un diagrama de sincronismo que representa la secuencia de sincronismo de activación de di-
versas líneas de acoplamiento de canal durante una secuen-
25 cia de concesión de canal en donde el adaptador de entrada
salida localiza en la memoria una orden retardada en ocho
baterías.

La figura 9 es un diagrama de sincronismo que representa la secuencia de sincronismo de activación de di-
30 versas líneas de acoplamiento de canal durante una secuen-

1 -cia de cruce de página de entrada salida que se produce
como resultado de un almacenamiento en memoria.

5 La figura 10 es un diagrama de sincronismo
que representa la secuencia de sincronismo de activación
de diversas líneas de acoplamiento de canal durante una se-
cuencia de desconexión de entrada salida que se produce du-
rante una localización de datos de la memoria.

10 La figura 11 es un diagrama de sincronismo
que representa la secuencia relativa de sincronismo de las
cinco señales de sincronismo transmitidas desde la unidad
CPU al canal (C1, T1, T2, T3 y T4).

15 La figura 12, que incluye las figuras 12A-
12C, es un diagrama esquemático de bloques detallado y dia-
grama de flujo de los circuitos secuenciadores principales
para el canal.

20 La figura 13, que incluye las figuras 13A-
13D, es un diagrama esquemático de bloques detallado y dia-
grama de flujo del sistema de codificación de prioridad en
el canal, identificado por el número 52 de referencia en
la figura 2.

La figura 14 es un diagrama esquemático de
bloques detallado y diagrama de flujo de los circuitos de
escrutinio y prioridad en el canal.

25 La figura 15, que incluye las figuras 15A-
15E, es un diagrama esquemático de bloques detallado y dia-
grama de flujo de los registros de canal y sus circuitos
de soporte, que representa líneas y líneas generales conec-
tadas a la unidad VAT, el adaptador de entrada salida y los
circuitos de las figuras 12-14 y 16.

30 La figura 16, que incluye las figuras 16A-16E,

1 es un diagrama esquemático de bloques detallado y diagrama de flujo de los circuitos de canal que excitan las líneas de control que se extienden desde el canal a la unidad VAT y a la unidad CPU, que representa líneas y líneas
5 generales conectadas a la unidad VAT, el adaptador de entrada salida, la unidad CPU y los circuitos de las figuras 12-15.

Descripción del Invento

Descripción General del Funcionamiento.

10 Un sistema de computador de acuerdo con el presente invento consiste en general, como se representa en la figura 1, en una unidad 1 central de tratamiento (CPU), un traductor 2 de dirección virtual (VAT), un canal
15 3 de entrada salida, una memoria direccionable o memoria 5 principal y un adaptador 4 de dispositivo de entrada salida. Las instrucciones localizadas y ejecutadas por la unidad CPU 1, así como datos y órdenes de entrada salida, se almacenan todos en la memoria direccionable o memoria 5
20 principal. Estos diversos elementos están conectados entre sí directa e indirectamente por medio de diversas líneas y líneas generales, que se comentarán con mayor detalle posteriormente y que están identificadas en la figura 1. El sistema incluiría típicamente una pluralidad de adaptadores de entrada salida, pero para mayor simplicidad, es
25 tá representado solamente uno en la figura 1. Se entenderá también que el adaptador 4 de entrada salida está conectado a uno o más dispositivos de entrada salida, por ejemplo una unidad de accionamiento de cinta magnética, o una unidad de accionamiento de discos magnéticos, no representadas en este caso. El adaptador 4 de entrada salida
30

1 constituye la unidad de acoplamiento entre el canal 3 y
los dispositivos de entrada salida. Para los fines de la
presente discusión, la relación entre un adaptador de en-
trada salida y su dispositivo de entrada salida asociado
5 no necesita considerarse con detalle, y en general solamen-
te se describirá la relación canal-adaptador.

El funcionamiento del sistema de acuerdo con
el presente invento puede describirse mejor en base a un
grupo de secuencias o protocolos que especifican ciertas
10 pautas básicas de comunicación e interacción entre los ele-
mentos representados en la figura 1. Entre estas secuen-
cias están las siguientes:

Secuencia de Iniciación de Funcionamiento de Canal -
La unidad CPU 1 informa al adaptador 4 de entrada sa-
15 lida que está disponible una orden de transferencia
de datos para ejecución, es decir que han de desplazarse
datos a o desde la memoria 5 a través del canal 3.
Secuencia de Escrutinio de Canal - El Canal 3 escruta
20 los adaptadores 4 de entrada salida asociados al mis-
mo para determinar si cualquier adaptador de entrada
salida desea establecer comunicación sobre las líneas
y líneas generales que conectan los adaptadores 4 al
canal 3, denominadas en conjunto sistema de acopla-
miento de canal. Un adaptador 4 de entrada salida so-
25 licitará al sistema de acoplamiento reportar la sali-
da de una orden ejecutada, solicitar ciertos servi-
cios del canal 3, etc.

Secuencia de Concesión de Canal - El canal 3, en res-
puesta a la solicitud de un adaptador 4 de entrada sa-
30 lida, conecta al adaptador 4 al sistema de acoplamiento

1 to de canal para permitir la transferencia de datos
a y desde el adaptador 4 de entrada salida.
Secuencia de Interrupción de Entrada Salida - El adap-
tador 4 de entrada salida, al finalizar el tratamien-
5 to de una orden de transferencia de datos procedente
de la unidad CPU 1, solicitará la cesión del sistema
de acoplamiento. Cuando el sistema de acoplamiento
es cedido al adaptador 4, reporta el estado de la
orden que ha tratado.

10 Secuencia de Cruce de Página de Entrada Salida - El
adaptador 4 de entrada salida, en la localización o
almacenamiento de datos, encuentra el límite de una
página de memoria virtual, haciendo necesario locali-
zar la dirección de memoria real de la siguiente pá-
15 gina virtual en el límite.

Secuencia de Desconexión de Entrada Salida - Cuando
un adaptador 4 de entrada salida intenta una transfe-
rencia a o desde una dirección virtual que no ha sido
aún convertida en una dirección de memoria principal,
20 el adaptador 4 de entrada salida es informado de que
no puede proseguir y es pasado por alto por el canal
3 hasta un turno posterior de escrutinio, cuando pue-
de solicitar la reanudación de la transferencia.

25 A continuación se exponen con más detalle
cada una de las secuencias y su relación mutua. En esta ex-
posición, se hará frecuentemente referencia a ciertos de-
talles del canal 3, que aparecen en la figura 2, y a cier-
tos detalles de la unidad VAT 2, que aparecen en la figura
3. Adicionalmente, se hará referencia al formato de Regis-
30 tro de Orden de canal (CCR) que contiene el Campo de Orden

1 de Canal (CCF), campo de dos baterías, del cual se explica
en la figura 4 la significación de los bitios que lo com-
ponen.

5 Las señales de sincronismo que gobiernan el
sistema y las diversas secuencias son generadas por cinco
generadores de sincronismo: C1, T1, T2, T3 y T4. C1 es el
generador básico de sincronismo, mientras que T1, T2, T3 y
T4 producen impulsos de un cuarto de la frecuencia de C1.
10 Como se ve en la figura 11, los impulsos de T1, T2, T3 y T4
están sincronizados con los impulsos de C1 y entre sí, de
tal modo que cuando un impulso de T1 coincide con un impul-
so de C1, el impulso de T2 coincide con el siguiente impul-
so, el de T3 con el siguiente impulso, el de T4 con el si-
guiente impulso, el de T1 con el siguiente impulso, y así
15 sucesivamente. En los diagramas de sincronismo para las
diversas secuencias, que aparecen en las figuras 6 a 10,
el ciclo básico corresponde a cuatro impulsos del genera-
dor C1. Los impulsos de sincronismo son suministrados al
canal 3 por la unidad CPU 1 sobre la línea general SEÑALES
20 DE SINCRONISMO DE CANAL, representada en la figura 1. La
utilización de estos impulsos de sincronismo se comenta
con mayor detalle en la descripción de los componentes fí-
sicos que aparece posteriormente.

25 Secuencia de Iniciación de Funcionamiento de
Canal. La unidad CPU 1 informa al adaptador 4 de entrada
salida que está pendiente una orden de transferencia de da-
tos, por medio de una secuencia de comunicaciones denomi-
nada Secuencia de Iniciación de Funcionamiento de Canal.
Para fines de comunicación entre el canal 3 y la unidad
30 CPU 1 en esta secuencia, se utilizan una serie de regis-

1 tros de dirección de entrada salida, identificados como
registros 6 VAT I/O, asociados con la unidad VAT 2 (figura
1). Los registros 6 VAT I/O incluyen, como se representa
5 en la figura 3, un registro de bloque de incidencias, un
registro de iniciación de dispositivo, dos registros re-
servados y varios otros registros que constituyen un regis-
tro de orden de entrada salida y un registro de datos de
10 entrada salida para cada uno de los adaptadores de entrada
salida utilizados en el sistema. El registro particular a
utilizar por la unidad VAT 2 está designado por un número
de código transmitido a la unidad VAT 2 sobre la línea ge-
neral 57 SELECCIONAR REGISTRO DE ENTRADA SALIDA o sobre la
línea general 58 SELECCIONAR REGISTRO DE ENTRADA SALIDA de
15 unidad CPU. El código correspondiente al registro de blo-
que de incidencias es el código hexadecimal "00". El códi-
go correspondiente al registro de iniciación de dispositi-
vo es el hexadecimal "01". Números de código superiores
designan los registros reservados y los registros de datos
y órdenes para diversos adaptadores 4 de entrada salida.
20 La secuencia de iniciación de funcionamiento de canal
comienza con la unidad CPU 1 que carga la dirección de una
orden de entrada salida en un registro de orden de entrada
salida designado y la dirección de los datos a transferir
en un registro de datos de entrada salida designado, situa-
25 dos ambos en el conjunto de registros 6 VAT I/O (figura 3).
La unidad CPU 1 carga también el registro de iniciación de
dispositivo con la dirección de la orden de entrada salida.
Esta dirección es utilizada para comunicar al canal 3 la
30 dirección del dispositivo o del adaptador de entrada sali-
da o el adaptador 4 de entrada salida al cual desea comuni-

1 car la unidad CPU 1 la orden de transferencia de datos. De
este modo, el registro de iniciación de dispositivo y el
registro de orden de entrada salida designado contienen la
misma dirección. En adelante, se utilizará como ejemplo
5 una orden de entrada salida de una longitud de ocho bate-
rías.

La unidad CPU 1 carga los diversos registros 6
VAT I/O utilizando las líneas generales 15, 58 y 91, el
registro 401 VAT, y la línea CPU REQ. Después de cargar
10 los registros VAT I/O para el adaptador 4 de entrada sali-
da, la unidad CPU 1 carga el registro EO en la unidad 60
de control de canal, representada en la figura 2, por me-
dio de la línea general DATOS EO y la línea CARGAR EO. El
registro EO es interrogado por la unidad 60 de control de
15 canal y cuando se comprueba que está cargado, informa a la
unidad 60 de control de canal de que está pendiente una
orden para el adaptador 4 de entrada salida.

Con referencia ahora a las figuras 1, 2 y 3,
en respuesta al hecho de estar cargado el registro EO, la
20 unidad 60 de control de canal, que incluye medios para es-
tablecer acceso a la memoria 5 en direcciones especifica-
das en los registros 6 VAT I/O activa las líneas SOLICITUD
DE UNIDAD VAT I/O, ACCESO A MEMORIA, LOCALIZACION en MEMO-
RIA e INCREMENTO. La unidad 60 de control de canal trans-
mite entonces a la unidad VAT 2 instrucciones para selec-
25 cionar el registro de iniciación de dispositivo (es decir,
el código hexadecimal 01) por medio de la línea general 57
de selección de registro de entrada salida. El registro
de iniciación de dispositivo será utilizado por el tra-
30 ductor VAT 2 para localizar de la memoria 5 la dirección

1 de dispositivo para el adaptador 4 de entrada salida con
el cual desea establecer comunicación la unidad CPU 1. La
línea de solicitud de traductor VAT de entrada salida, jun-
to con el código de registro de entrada salida transmitido
5 sobre la línea general 57 de selección de registro de en-
trada salida, hacen que el traductor VAT 2 seleccione un
registro de entrada salida de los registros 6 VAT I/O. Ca-
da registro de entrada salida incluido en los registros 6
VAT I/O (representados en la figura 3) contiene una direc-
10 ción de memoria convertida, es decir, la dirección real de
una página en la memoria 5 (en oposición a una dirección
virtual de una página que puede estar o no en la memoria
5) y un bitio llamado bitio de página válida. Cuando el
bitio de página válida está activado, esto significa que la
15 dirección de memoria es válida y puede ser utilizada por un
adaptador. Si el bitio de página válida está desactivado,
la dirección no es válida y ya no está disponible para
utilización por un adaptador. La memoria 5 (o memoria
principal) está dispuesta en páginas de 512 baterías;
20 cuando la dirección en un registro VAT I/O es incrementada
o decrementada fuera del campo de 512 baterías de una pá-
gina, el bitio de página válida es repuesto al estado de
dirección no válida (desactivado). En respuesta a la acti-
vación de la línea de solicitud de unidad VAT de entrada
25 salida por parte del canal 3 y a la designación del regis-
tro de iniciación de dispositivo, el traductor VAT 2 lee
en el registro 401 VAT (figura 3) el contenido del regis-
tro de iniciación de dispositivo, que contiene la direc-
ción de memoria de la orden para el adaptador 4 de entrada
30 salida. Por convenio, la primera batería de datos de la

1 orden es siempre la dirección de dispositivo del adaptador
4 de entrada salida con el cual desea establecer comunica-
ción la unidad CPU 1; el resto son datos de orden. Desde
el registro 401 VAT, la dirección de orden es transmitida
5 a la memoria 5 a través de la línea general de dirección
de memoria. Debido a que está activa la línea de localiza-
ción de memoria que se extiende desde el canal 3 al traduc-
tor VAT 2, el traductor VAT 2 activa la línea de localiza-
ción de memoria conectada a la memoria 5. La unidad 402
10 de control VAT (que incluye medios para incrementar y de-
crementar direcciones) incrementa entonces la dirección
contenida en el registro 401 VAT en cuatro unidades, porque
la línea de incremento está activada, y almacena la direc-
ción incrementada en retorno al registro de iniciación de
15 dispositivo, por medio de la línea general 90.

La memoria 5 localiza los datos utilizando la
dirección (sin incrementar) procedente del registro 401 VAT
y sitúa esos datos en la línea general de datos de memoria
(figuras 1 y 2). Cuando el traductor VAT 2 activa la línea
20 de muestreo de datos de memoria que se extiende hasta el
canal 3, los datos presentes en la línea general 7 de da-
tos de memoria son transmitidos al registro 50 CDR, repre-
sentado en la figura 2. La línea general 7 de datos de me-
moria es una línea general bidireccional de 36 bits, lo
25 cual implica que pueden ser transmitidos datos desde la
unidad CPU o el canal 3 a la memoria 5, o desde la memoria
5 a la unidad CPU 1 o al canal 3, sobre la misma línea ge-
neral.

Después que han sido cargados los datos en el
30 registro 50 CDR de canal, el traductor VAT 2 activa la lí-

1 nea de Operacion de Memoria Realizada conectada al canal 3
indicando que el traductor VAT 2 y la memoria 5 han fina-
lizado su operacion. El canal 3 carga entonces los datos
5 procedentes del registro CDR 50 en el registro CDRB 51, re-
presentado en la figura 2. Al mismo tiempo que los datos
se cargan en el registro CDRB 51, el canal 3 activa la linea
de etiqueta TA y transmite los datos de la batería 0 del
registro CDR 50 a la línea general 55 bidireccional de da-
tos de entrada salida (bitios 0-7, paridad PO, figura 2).
10 Como se ha indicado anteriormente, los datos contenidos en
la batería 0 del registro CDR 50 constituyen la dirección
de dispositivo del adaptador 4 de entrada salida con el
cual desea establecer comunicación la unidad CPU 1. Cuando
se activa la señal de etiqueta TA sobre el sistema de aco-
plamiento de canal, todos los adaptadores 4 de entrada sa-
15 lida comparan sus direcciones de dispositivo con la direc-
ción de dispositivo presente en la línea general de datos
de entrada salida. Si se produce una comparación satisfac-
toria, el adaptador 4 de entrada salida sobre el cual se
20 ha producido la coincidencia, activa la línea B Válida (o
H válida) dirigida al canal 3, indicando que el adaptador
4 de entrada salida ha aceptado la dirección de dispositi-
vo y ha reconocido que existe una orden dirigida al mis-
mo.

25 A continuación de esta primera señal de acep-
tacion, el adaptador 4 de entrada salida tiene dos opcio-
nes diferentes para tratar la orden. El adaptador 4 de
entrada salida puede localizar la orden en un instante pos-
terior, o el adaptador 4 de entrada salida puede aceptar
30 la orden inmediatamente del canal 3. Si el adaptador 4 de

1 entrada salida escoge la opción de localizar la orden en
un instante posterior, el adaptador 4 de entrada salida ac-
tiva la línea EOC, como señal de finalización, junto con
las líneas B Válida (o H Válida) dependiendo de si el adap-
5 tador es un adaptador de baterías o un adaptador de media
palabra. Esto indica al canal 3 que no van a tener lugar
más transferencias de datos. El canal 3 desactiva enton-
ces la línea de etiqueta TA y elimina la dirección de dis-
positivo de la línea general 55 de datos de entrada salida.
10 El canal 3 activa la línea de solicitud VAT de entrada sa-
lida y la línea INVALIDAR PAGINA dirigidas al traductor
VAT 2. El canal 3 designa entonces el registro de inicia-
ción de dispositivos sobre la línea general 57 de selec-
ción de registro de entrada salida al traductor VAT 2. Cuan-
15 do el traductor VAT 2 detecta la activación de la línea de
solicitud VAT de entrada salida, el traductor VAT 2 locali-
za el contenido del registro de iniciación de dispositivo
de los registros 6 VAT I/O en el registro 401 VAT. Debido
a que está activada la línea INVALIDAR PAGINA y no está
20 activada la línea de acceso a memoria, el traductor VAT 2
repone el bitio de página válida al estado de invalidación
(desactivado) en el registro 401 VAT y almacena el conteni-
do (la dirección de orden y el bitio de reposición de pá-
gina válida) en retorno al registro de iniciación de dis-
25 positivo a través de la línea general 90. Esto se hace de
tal modo que la unidad CPU 1 puede determinar cuándo se ha
completado la secuencia de iniciación de dispositivo. La
unidad CPU 1 determina esto leyendo el registro de inicia-
ción de dispositivo y comprobando si el bitio de página
30 válida está activado. Si el bitio de página válida está

1 aún activado, el canal 3 no ha completado la operación. Si
el bitio de página válida está desactivado, el canal 3 ha
completado la operación. El adaptador 4 de entrada sali
da, por su parte, ha almacenado en su circuito de reten-
5 ción QLT (figura 1) una indicación de que una orden de en-
trada salida fue retardada y está ahora pendiente. Después
que el traductor VAT 2 ha almacenado el contenido del re-
gistro de iniciación de dispositivo en retorno a los regis-
tros 6 VAT I/O, el traductor VAT 2 activa la línea de ope-
10 ración de memoria realizada conectada al canal 3 indicando
que está completa la operación. Cuando el canal 3 detecta
que esta línea está activada, el canal 3 entra en la se-
cuencia de escrutinio de canal, que, como se describe pos-
teriormente, se utiliza para escrutar los adaptadores 4 de
15 entrada salida para determinar si tienen cualquier solici-
tud de utilización del canal 3.

La figura 6 representa un diagrama de sincro-
nismo para las líneas de acoplamiento de canal para la op-
ción de aceptación de orden retardada de la secuencia de
20 iniciación de canal. En los ciclos 1 y 2 de tiempo, el ca-
nal 3 determina si algún adaptador de entrada salida está
solicitando la utilización del canal (véase la secuencia
de escrutinio de canal que se expone a continuación). El
registro EO se carga con anterioridad al ciclo 2. Suponien-
25 do que no existen solicitudes de entrada salida proceden-
tes de los adaptadores 4 de entrada salida, el canal 3,
con la ayuda del traductor VAT 2, localiza la orden de en-
trada salida en la memoria 5, utilizando el registro de
iniciación de dispositivo, durante los ciclos 3, 4 y 5.
30 La orden de entrada salida se carga en el registro CDR 50

1 - durante el ciclo 5. La unidad 60 de control de canal trans-
mite los datos del registro CDR 50 al registro CDRB 51, si-
túa la dirección del dispositivo (registro 51 CDR, batería
5 0) sobre la línea general 55 de datos de entrada salida y
activa la línea de etiqueta TA conectada al adaptador 4 de
entrada salida en el ciclo 6. Un adaptador 4 de entrada
salida, al reconocer su dirección de dispositivo, activa
la línea "B válida" (o H válida) (señal de aceptación de
10 dirección de dispositivo) y la línea EOC (señal de termi-
nación) conectada al canal 3, en el ciclo 7. En el ciclo
8, el canal 3 detecta los estados de las líneas "B válida"
(o H válida) y EOC, desactiva la línea de etiqueta TA y
elimina la dirección de dispositivo de la línea general
15 55 de datos de entrada salida. El adaptador 4 de entrada
salida desactiva entonces las líneas B válida (o H válida)
y EOC. En los ciclos 8 y 9 el canal 3 repone también el
bitio de página válida al estado de invalidación en el re-
gistro 1 de iniciación de dispositivo. Después que se ha
repuesto el bitio de página válida, el canal 3 vuelve a la
20 secuencia de escrutinio de canal (véase posteriormente) en
el ciclo 10.

Si el adaptador 4 de entrada salida desca
extraer la orden inmediatamente del canal 3, el adaptador
4 de entrada salida que reconoce su dirección de dispositi-
25 vo sobre la línea general 55 de datos de entrada salida,
activa la línea B válida (o H válida) (como señal de acep-
tación de dirección de dispositivo) y la línea de preloca-
lización, pero no activa la línea EOC. Cuando el canal 3
detecta la activación de la línea B válida (o H válida)
30 sin activación de la línea EOC, el canal 3 activa la línea

1 TD y la línea de concesión, desactiva la línea de etiqueta
TA y transmite la primera batería del registro CDRB 51 a
la línea general 55 de datos de entrada salida. Debido a
que la línea de prelocalización está activa, indicando que
5 han de transferirse más de cuatro baterías de datos al
adaptador 4 de entrada salida, el canal 3 activa sus medios
de direccionamiento de memoria consistentes en las líneas
de solicitud de unidad VAT de entrada salida, acceso a me-
moria, incremento, y localización de memoria conectadas a
10 la unidad VAT 3. El canal 3 designa entonces el registro
de iniciación de dispositivo para el traductor VAT 2 sobre
la línea general 57 de selección de registro de entrada sa-
lida. El traductor VAT 2 selecciona el registro de ini-
ciación de dispositivo, carga su contenido (una dirección
15 actualizada) en el registro VAT 401, actualiza su conteni-
do incrementándolo en cuatro unidades, y almacena el valor
incrementado en retorno en el registro de iniciación de
dispositivo. El traductor VAT 2 transmite entonces la di-
rección (sin incrementar) desde el registro VAT 401 a la
20 memoria 5 junto con la señal de la línea de localización
de memoria. La memoria 5 localiza los datos (las segundas
cuatro baterías de la orden) direccionados por el registro
de iniciación de dispositivo y almacena los datos (la or-
den) en el registro CDR 50 por medio de la línea general 7
de datos de memoria y la línea de muestreo de datos de me-
25 moria. El traductor VAT 2 activa entonces la línea de
"operación de memoria realizada" hacia el canal 3 para in-
dicar que se han completado las operaciones del traductor
VAT 2 y el ciclo de memoria. Mientras el canal 3 está lo-
30 calizando las segundas cuatro baterías de datos en el re-

1 gistro CDR 50, transmite las primeras cuatro baterías de
datos, que están ya en el registro CDRB 51, a la línea ge-
neral 55 de datos de entrada salida. El adaptador 4 de en-
trada salida desactiva la línea de prelocalización después
5 de recibir la primera batería de datos del canal 3 para in-
dicar que no serán prelocalizados en la memoria 5 más blo-
ques de cuatro baterías adicionales. Después que el canal
3 ha transferido las primeras cuatro baterías de datos al
adaptador 4 de entrada salida desde el registro CDRB 51,
10 el canal 3 transmite las segundas cuatro baterías de datos
desde el registro CDR 50 hasta el registro CDRB 51 y desde
este registro al adaptador 4 de entrada salida. Cuando el
adaptador 4 de entrada salida recibe la octava batería de
datos (última batería de la orden), el adaptador 4 de en-
15 trada salida activa la línea EOC para indicar que no han
de transferirse más datos. Al detectar la activación de
la línea EOC, el canal 3 desactiva la línea TD y la línea
de concesión. El adaptador 4 de entrada salida desactiva
entonces las líneas B válida (o H válida) y EOC. Después
20 que el canal ha terminado de transferir la orden, el canal
3 activa las líneas de solicitud de unidad VAT de entrada
salida y de página invalidada dirigidas al traductor VAT 2
y designa el registro de iniciación de dispositivo sobre
la línea general de selección de registro de entrada salida
25 hacia el traductor VAT 2. El traductor VAT 2 selecciona
el registro de iniciación de dispositivo cargando su con-
tenido en el registro VAT 401, desactiva el bitio de pági-
na válida (estado de "no válida") y almacena el resultado en
retorno en el registro de iniciación de dispositivo. El
30 traductor VAT 2 activa a continuación la línea de "opera-

1 - ción de memoria realizada" dirigida al canal 3, indicando
que se ha completado el ciclo de la unidad VAT. El canal 3
vuelve entonces a la secuencia de escrutinio de canal (véa
se posteriormente).

5 La figura 7 es un diagrama de sincronismo de
la opción de aceptación de orden inmediata de la secuencia
de iniciación de canal. Durante los ciclos 1 y 2 el canal
3 escruta los adaptadores 4 de entrada salida para determi-
nar si algún adaptador 4 de entrada salida requiere la uti-
10 lización del sistema de acoplamiento de canal (véase la
secuencia de escrutinio de canal posteriormente). El re-
gistro EO es cargado por la unidad CPU 1 con anterioridad
al ciclo 2. Suponiendo que ningún adaptador 4 de entrada
salida requiere la utilización del canal 3, el canal 3 lo-
15 caliza la orden de entrada salida en la memoria 5, utili-
zando el registro de iniciación de dispositivo, en los ci-
clos 3, 4 y 5. En el ciclo 5, las primeras cuatro baterías
de la orden de entrada salida se almacenan en el registro
CDR 50, y después en el registro CDRB 51. En el ciclo 6,
20 el canal 3 activa la línea de etiqueta TA y transmite la
dirección de dispositivo desde el registro CDRB 51 a la
línea general de datos de entrada salida. El adaptador 4
de entrada salida que reconoce su dirección de dispositivo
sobre la línea general 55 de datos de entrada salida, acti-
25 va la línea B válida (o H Válida) (aceptación de dirección
de dispositivo) y la línea de prelocalización (pero no la
línea EOC) durante el ciclo 7. En respuesta a la detec-
ción de los estados de activación de la línea B Válida o
H Válida en el ciclo 8, el canal 3 desactiva la línea de
30 etiqueta TA, activa la línea TD y la línea de concesión,

1 y transmite la primera batería de datos (la orden) a la
línea general 55 de datos de entrada salida. En este ciclo
el canal 3 solicita también la siguiente localización de
5 memoria en el registro CDR 50 puesto que está en estado
activo la línea de prelocalización. En los ciclos 9, 10 y
11, el canal 3 transfiere la segunda, tercera y cuarta ba-
tería de datos (la orden) sobre la línea general 55 de da-
tos de entrada salida. En el ciclo 9 el adaptador 4 de
10 entrada salida desactiva la línea de prelocalización para
indicar que no serán localizados más bloques de datos de
cuatro baterías. Debido a que el segundo grupo de cuatro
baterías de datos de canal fue almacenado en el registro
CDR 50 en el ciclo 10, el canal 3 transfiere ahora estos
15 datos al registro CDRB 51 en el ciclo 12 y transmite la
quinta batería de la orden sobre la línea general 55 de da-
tos de entrada salida. El canal 3 transfiere la sexta,
séptima y octava baterías de la orden sobre la línea ge-
neral 55 de datos de entrada salida en los ciclos 13, 14
y 15. En el ciclo 15, el adaptador 4 de entrada salida
20 activa la línea EOC para indicar que no han de transferir-
se más datos. El canal 3 desactiva la línea TD en el ciclo
16 en respuesta al estado de activación de la línea EOC.
El adaptador 4 de entrada salida desactiva las líneas EOC
y B Válida (o H Válida) en el ciclo 16, después de reci-
25 bir la octava batería de la orden. En los ciclos 16 y 17
el canal 3 provoca la desactivación del bitio de página
válida en el registro de iniciación de dispositivo. El
canal 3 vuelve entonces a la secuencia de escrutinio de
canal en el ciclo 18.

30

13119

1 Secuencia de Escrutinio de Canal. La Secuencia de Escru-
 tinio de Canal es realizada por el canal 3 para escrutar
 los adaptadores 4 de entrada salida para determinar si al-
 gún adaptador 4 de entrada salida está solicitando la uti-
5 lización del sistema de acoplamiento de canal. Un mecanis-
 mo de prioridad controla la orden de escrutinio y la selec-
 ción del adaptador 4 de entrada salida al que se concede
 la utilización del sistema de acoplamiento de canal. Como
 se entiende mejor por la figura 2, el canal 3 escruta los
10 adaptadores 4 de entrada salida activando las líneas TP
 y TD y situando el contenido del registro 53 contador de
 segmentos en los primeros cuatro bitios de la línea general
 55 de datos de entrada salida. El registro 53 contador de
 segmentos es un contador de cuatro bitios que comienza con
15 un valor 0 y cuenta ascendentemente. Cada adaptador de
 entrada salida está identificado, y le es asignada una
 prioridad, en parte, por un valor de segmento de tiempo
 asignado al mismo. Todos los adaptadores 4 de entrada sa-
 lida que solicitan la utilización del canal 3 cuando se
20 activan las líneas TP y TD comparan los primeros cuatro bi-
 tios sobre la línea general 55 de datos de entrada salida
 con el intervalo selector de cuatro bitios asignado a los
 mismos. Si no existe coincidencia, los adaptadores de en-
 trada salida no hacen nada. El canal 3 desactiva la lí-
25 nea TD y carga los datos de la línea general 55 de datos
 de entrada salida en las primeras dos baterías del regis-
 tro CDR 50. El canal 3 transmite entonces los datos de
 las primeras dos baterías del registro CDR 50 a través del
 circuito 52 codificador de prioridad que detecta si algún
30 bitio de estas dos baterías está en estado activo. Supo-

1. niendo que ningún adaptador de entrada salida requirió la
utilización del canal 3, entonces ninguno de los bitios con-
tenidos en estas dos baterías se activará. Consiguiente-
mente, el registro 53 contador de segmentos es incrementado
5 en una unidad, a no ser que el contenido del registro 70
de límite de escrutinio sea igual al contenido del registro
53 contador de segmentos, en cuyo caso el registro 53 con-
tador de segmentos vuelve a comenzar su incremento con un
valor nulo.

10 El canal 3 activa a continuación la línea TD
nuevamente y transmite el nuevo contenido del registro 53
contador de segmentos sobre los primeros cuatro bitios de
la línea general 55 de datos de entrada salida. Todos los
adaptadores 4 de entrada salida que solicitan la utiliza-
15 ción del sistema de acoplamiento de canal comparan nueva-
mente los primeros cuatro bitios de la línea general 55 de
datos de entrada salida con los correspondientes a su seg-
mento temporal de cuatro bitios asignado. El canal 3 des-
activa la línea TD y elimina el valor de segmento temporal
20 de la línea general 55 de datos de entrada salida. Cual-
quier adaptador 4 de entrada salida cuyo segmento temporal
ha obtenido comparación satisfactoria activa una de las
dieciséis líneas generales 55 de datos de entrada salida.
Cada línea identifica la prioridad de un adaptador 4 de
25 entrada salida. Un adaptador 4 de entrada salida con una
prioridad 0 activará la línea 0 de la línea general 55
de datos de entrada salida; un adaptador 4 de entrada sa-
lida con una prioridad de 15 activará la línea 15 de la
línea general 55 de datos de entrada salida. De este modo,
30 hasta dieciséis adaptadores de entrada salida pueden soli-

1 - citar la utilización del canal 3 por cada segmento tempo-
ral mediante la activación de un bitio de la línea general
de datos de entrada salida. El canal 3 carga los datos
de prioridad procedentes de la línea general 55 de datos
5 de entrada salida en las primeras dos baterías del regis-
tro CDR 50. El canal 3 transmite entonces las primeras
dos baterías desde el registro CDR 50 al codificador 52
de prioridad. Como se representa con mayor detalle en la
figura 13, el codificador 52 de prioridad determina qué
10 adaptador 4 de entrada salida en este segmento temporal
tiene la prioridad más alta y ha de concedérsele la uti-
lización del canal 3. Por ejemplo, si todos los bitios
están activados, será cargada la prioridad cero en el re-
gistro 54 de prioridad, porque el bitio 0 de la línea ge-
15 neral de datos de entrada salida es el bitio de prioridad
más alta. Si están activados los bitios 3, 5 y 7, se car-
gará una prioridad 3 en el registro 54 de prioridad. Si se
encuentra activado cualquiera de los bitios de prioridad
en el registro CDR 50, el canal 3 prosigue con la secuen-
20 cia de concesión de canal (descrita posteriormente) para
el adaptador 4 de entrada salida con prioridad más alta
entre los bitios. Obsérvese que el segmento temporal del
adaptador 4 de entrada salida que solicita la utilización
del canal 3 permanece en el registro 53 contador de segmen-
25 tos después que la prioridad del adaptador 4 de entrada
salida de prioridad más alta se ha cargado en el registro
54 de prioridad. Estos dos registros de cuatro bitios
(contador de segmentos y contador de prioridad) definen
singularmente en conjunto la prioridad de canal de un adap-
30 tador 4 de entrada salida. De este modo, es posible un

1 máximo de 256 prioridades de canal diferentes (dieciseis
segmentos temporales con dieciseis prioridades por segmen-
to temporal), con el presente mecanismo de prioridad.

5 La figura 6 en los ciclos 1 y 2 ilustra la
secuencia de sincronismo de la secuencia de escrutinio de
canal realizada por el mecanismo de prioridad. En el ci-
clo 1, el canal 3 activa las líneas TP y TD y transmite el
contenido del registro 53 contador de segmentos sobre la
línea general 55 de datos de entrada salida (bitios 0-3).
10 En el ciclo 2, el canal 3 examina la línea general 55 de
datos de entrada salida para determinar si algún adaptador
4 de entrada salida ha solicitado la utilización del canal
3 mediante la activación de la línea individual incluida en
la línea general 55 de datos de entrada salida correspon-
15 diente a su nivel de prioridad. Si no está activada ningun-
a de las líneas individuales de la línea general 55 de da-
tos de entrada salida, el canal 3 vuelve al ciclo 1 y trans-
mite el siguiente valor de segmento temporal a la línea 55
general de datos de entrada salida. La secuencia de sincro-
20 nismo de las actividades del canal que continúan más allá
de la secuencia de escrutinio de canal cuando el canal 3
encuentra activada una línea individual de la línea 55 ge-
neral de datos de entrada salida, se expone en relación
con la descripción de la secuencia de concesión de canal,
25 que se explica inmediatamente a continuación.

Secuencia de Concesión de Canal La secuencia de concesión
de canal es realizada por el canal 3 para conectar el sis-
tema de acoplamiento de canal a un adaptador 4 de entrada
salida particular y para transferir entonces datos a o des-
30 de el adaptador 4 de entrada salida.

1 El canal 3 concede la utilización del siste
ma de acoplamiento de canal al adaptador 4 particular de
entrada salida que ha sido identificado por el codificador
52 de prioridad como adaptador que tiene el nivel de priori
5 dad más alto. La concesión comienza por activación de las
líneas TP y de concesión, la transmisión del contenido del
registro 53 contador de segmentos sobre los primeros cuatro
bitios de la línea general 55 de datos de entrada salida y
la transmisión del contenido del registro 54 de prioridad
10 a los segundos cuatro bitios de la línea general 55 de da-
tos de entrada salida..

Todos los adaptadores de entrada salida que
han solicitado la utilización del canal 3 cuando sus inter-
valos temporales han dado una comparación satisfactoria
15 durante la secuencia de escrutinio inicial, realizan una
comparación sobre los ocho bitios de la línea general 55 de
datos de entrada salida para determinar si les fue concedi-
do el canal 3. Si la prioridad de canal de un adaptador 4
de entrada salida particular no proporciona una comparación
20 satisfactoria, no le ha sido concedido el canal 3 y solici-
tará nuevamente la utilización del canal 3 cuando sean exa-
minadas por el adaptador 4 de entrada salida las líneas TP
y TD activadas y el segmento temporal asignado al adapta-
dor 4 de entrada salida. Si la prioridad del canal sí pro-
25 porciona una comparación satisfactoria, el adaptador 4 de
entrada salida que coincide en la comparación participará
adicionalmente en la secuencia de concesión de canal del mo-
do siguiente.

El canal 3 desactiva la línea TP y activa las
30 líneas TD y de concesión para indicar al adaptador 4 de entra

1 da salida admitido que el adaptador 4 de entrada salida
deberá transmitir el campo de control de canal (CCF) al
canal 3. El campo CCF es un campo de dos baterías que
5 transfiere el adaptador 4 de entrada salida al canal 3 so-
bre la línea general 55 de datos de entrada salida para
informar al canal 3 de la función a realizar, es decir una
operación de localización en memoria, una función de alma-
cenamiento en memoria o una función de interrupción. La
10 figura 4 representa el significado de bitios de las bate-
rías 0 y 1 del campo CCF. Como puede verse por la batería
0, el adaptador 4 de entrada salida tiene dos opciones bási-
cas. Puede realizar una solicitud de memoria (bitio 0 = 1)
o puede originar una incidencia de función de interrupción
(bitio 0 = 0). Las funciones de interrupción disponibles
15 para el adaptador 4 de entrada salida son: (1) Final de
orden-Localizar Orden Siguiete (todo funcionó correcta-
mente); (2) Final de Orden (se produjo algún tipo de error
o excepción); (3) Asignar Página (colocar ceros en una pá-
gina para utilización futura por parte de un adaptador de
20 entrada salida); y (4) Convertir Página Siguiete (llevar
a memoria la siguiente página referenciada por la direc-
ción virtual en un registro de entrada salida). El trata-
miento de estas funciones de interrupción se explica poste-
riormente en los comentarios referentes a la secuencia de
25 interrupción de entrada salida y a las funciones Asignar
Página y Convertir Página Siguiete. La batería 1 del cam-
po CCF especifica el registro particular en los registros
5 VAT I/O a utilizar cuando se reclama una operación de
localización en memoria o de almacenamiento en memoria. Si
30 ha de realizarse una función de interrupción, el adaptador

1 4 de entrada salida especifica el código para un registro
de orden de entrada salida en la batería 1 del campo CCF.
Para fines de discusión adicional de la secuencia de conce-
5 sión de canal, y en particular de su papel de permitir que
un adaptador 4 de entrada salida retrase la aceptación de
una orden, se describirá una transferencia de campo CCF a
memoria, que implica la localización en memoria de ocho
baterías de datos que constituyen una orden retardada.

10 El adaptador 4 de entrada salida al que fue
concedida la utilización del canal 3 activa la línea B Vá-
lida (o H Válida) hacia el canal 3 y sitúa la primera bate-
ría del campo CCF sobre la línea general 55 de datos de en-
trada salida. Debido a que el adaptador 4 de entrada sa-
15 lida ha utilizado la opción de aceptación de orden retar-
dada, como suposición, durante la secuencia de iniciación
de dispositivo, es decir el adaptador 4 de entrada salida
no consideró la orden inmediatamente y simplemente almace-
nó una indicación de orden pendiente, el adaptador 4 de en-
trada salida transmitirá un valor de código hexadecimal
20 "80" como batería 0 del campo CCF, que especifica una ope-
ración de localización en memoria e incremento del regis-
tro de entrada salida especificado. El adaptador 4 activa
también la línea de prelocalización (junto con la línea B
Válida) para indicar que se extraerán de la memoria 5 más
25 de cuatro baterías de datos. El canal 3 sitúa la batería
0 del campo CCF en la batería 0 del registro CDR 50. El
adaptador 4 de entrada salida especifica entonces el códi-
go para el registro de orden de entrada salida para este
adaptador en la batería 1 del campo CCF, situando ésta so-
30 bre la línea general 55 de datos de entrada salida, y acti

1. va la línea EOC para indicar que ésta es la última batería del campo CCF. El canal 3 carga el identificador de registro de orden de entrada salida en la batería 1 del registro CDR 50 y, debido a que la línea EOC está activa,
5 carga las dos primeras baterías del registro CDR 50 en el registro CCR 56. Los circuitos de control del canal 3 utilizan entonces la información contenida en el registro CCR 56 para determinar la función a realizar. Debido a que la función a realizar es una función de localización en memoria, como suposición, el canal 3 desactiva la línea TD para
10 indicar al adaptador 4 de entrada salida que los datos no están aún preparados. El canal 3 activa entonces las líneas Solicitud de Traductor VAT de Entrada Salida, INCREMENTO, LOCALIZACION en MEMORIA y ACCESO A MEMORIA dirigidas al traductor VAT 2. A continuación de la activación
15 de estas líneas, el canal 3 especifica el registro de orden de entrada salida particular de la batería 1 del registro CCR 56 sobre la línea general 57 de selección de registro de entrada salida dirigida al traductor VAT 2. El
20 traductor VAT 2 selecciona el registro de orden de entrada salida especificado y almacena el contenido de este registro en el registro VAT 401. El traductor VAT 2 transmite entonces la dirección del registro VAT 401 a la memoria 5 y activa la línea de localización en memoria conectada a
25 la memoria 5. A continuación de esta operación, el circuito 402 de control de traductor VAT incrementa en cuatro unidades el valor del registro de orden de entrada salida especificado (incluido en el registro VAT 401) y almacena el resultado en retorno en el registro de orden de entrada
30 salida. La unidad de control de memoria (no representada)

1 localiza los datos (las primeras cuatro baterías de una or-
den) en la memoria 5 y sitúa los datos en el registro CDR
50 a través de la línea general 7 de datos de memoria.

5 En respuesta a la activación de la línea de
operación de memoria realizada procedente del traductor
VAT 2, el canal 3 carga los datos del registro CDR 50 en
el registro CDRB 51, activa la línea TD y transmite la pri-
mera batería de datos desde el registro CDRB 51 a la línea
general 55 de datos de entrada salida.

10 Debido a que está activa la línea de preloca-
lización al completarse la primera operación de LOCALIZA-
CION EN MEMORIA, el canal 3 comienza una segunda operación
de localización en memoria activando las líneas de solici-
tud de traductor VAT de entrada salida, INCREMENTO, ACCESO
15 A MEMORIA y LOCALIZACION DE MEMORIA y designando el mismo
registro de orden de entrada salida que anteriormente para
la unidad VAT 2 sobre la línea general 57 de selección de
registro de entrada salida. El traductor VAT 2 selecciona
el registro de orden de entrada salida especificado, carga
20 el contenido del mismo en el registro VAT 401, incrementa
el contenido del registro de orden de entrada salida espe-
cificado en cuatro unidades y almacena este contenido en
retorno en el registro de orden de entrada salida. El tra-
ductor VAT 2 transmite entonces la dirección (sin incre-
25 mentar) contenida en el registro VAT 401 a la memoria jun-
to con la señal de la línea de localización de memoria. La
unidad de control de memoria extrae de la memoria 5 cuatro
baterías de datos (las segundas cuatro baterías de la or-
den) y transmite estos datos sobre la línea general 7 de
30 datos de memoria al registro 50 CDR. El traductor VAT 2

1 activa entonces la línea de "operación de memoria realiza-
da" dirigida al canal 3 para indicar que se han completado
los ciclos de memoria y de traductor VAT.

5 Mientras el canal 3 está prelocalizando las
siguientes cuatro baterías de datos de la memoria 5, el ca-
nal 3 transmite también las primeras cuatro baterías de da-
tos al adaptador 4 de entrada salida sobre la línea general
55 de datos de entrada salida. El adaptador 4 de entrada
10 salida desactiva la línea de prelocalización al recibir la
primera batería de datos, para indicar que no se requeri-
rán operaciones de localización en memoria adicionales. El
canal transmite a continuación las segundas cuatro baterías
de la orden al adaptador 4 de entrada salida. Al recibir
la octava batería de la orden, el adaptador 4 de entrada
15 salida activa la línea EOC para indicar que no han de trans-
ferirse datos adicionales. El canal 3, al detectar el esta-
do de activación de la línea EOC, desactiva las líneas TD
y de concesión y vuelve a la secuencia de escrutinio de ca-
nal. El adaptador 4 de entrada salida desactiva las líneas
20 B válida (o H válida) y la línea EOC.

En el caso supuesto, la secuencia de conce-
sión de canal ha utilizado un campo CCF para una operación
de localización en memoria de una orden retardada. Sin em-
bargo, la secuencia de concesión de canal es esencialmente
25 la misma para una operación de localización en memoria de
datos que no corresponden a una orden. Los circuitos del
canal no hacen distinción entre localizar una orden o loca-
lizar datos. La única diferencia reside en el registro de
entrada salida de traductor VAT designado por el adaptador
30 4 de entrada salida el cual, en caso de una orden retardada,

1 es un registro de orden de entrada salida. En el caso de
una operación de localización de datos normal (o almacena-
miento) se especificará un registro de datos de entrada
5 salida. En cualquier caso, el adaptador 4 de entrada sali-
da controla el número de baterías transferidas durante la
secuencia de concesión de canal y especifica si ha de rea-
lizarse una operación de localización o de almacenamiento.
Consiguientemente, un adaptador 4 de entrada salida que ha
almacenado una indicación de que está pendiente una orden
10 tiene medios para especificar una localización en memoria
utilizando una dirección en su registro de orden de entra-
da salida para hacer que el canal 3 localice en la memoria
5 la orden retardada que el adaptador desea ejecutar aho-
ra.

15 La figura 8 es un diagrama de sincronismo de
la operación de localización en memoria anteriormente des-
crita de una orden de entrada salida retardada de ocho ba-
terías. Durante el ciclo 1 el canal 3 escruta los adapta-
dores 4 de entrada salida con un valor de segmento temporal
20 de cuatro bitios sobre la línea general 55 de datos de en-
trada salida. En el ciclo 2, los adaptadores 4 de entrada
salida que reconocen su segmento temporal solicitan la uti-
lización del canal 3 activando uno o más de los bitios de
la línea general 55 de datos de entrada salida. En el ciclo
25 3 el canal 3 concede la utilización del sistema de acopla-
miento de canal al adaptador 4 de entrada salida solici-
tan-
te con prioridad más alta, activando las líneas TP y de con-
cesión y situando el código de prioridad de segmento tempo-
ral completo del adaptador 4 de entrada salida de prioridad
30 más alta sobre la línea general 55 de datos de entrada

1 salida. En el ciclo 4 el canal 3 desactiva la línea TP y
activa las líneas TD y de concesión para indicar al adapta-
dor 4 de entrada salida al que ha sido concedido el canal
que el canal 3 está preparado para recibir el campo CCF.
5 En el ciclo 4 el adaptador 4 de entrada salida activa las
líneas B válida (o H válida) y de prelocalización y trans-
mite la batería 0 del campo CCF sobre la línea general 55
de datos de entrada salida. En el ciclo 5 el adaptador 4
de entrada salida designa su registro de orden de entrada
10 salida asociado en la batería 1 del campo CCF sobre la
línea general 55 de datos de entrada salida y activa la
línea EOC para indicar que éste es el fin del campo CCF.

Debido a que, en este ejemplo, el campo CCF
especifica una localización en memoria, el canal 3 en el
15 ciclo 6 desactiva la línea TD para indicar al adaptador 4
de entrada salida que el canal 3 no ha localizado aún los
datos de la memoria 5. El canal 3 localiza entonces los
datos (en este ejemplo, las primeras cuatro baterías de
una orden) en la memoria 5 en los ciclos 6, 7 y 8 utili-
zando el registro de orden de entrada salida que designó
20 el adaptador 4 de entrada salida en la batería 1 del campo
CCF. Los datos procedentes de la memoria 5 se cargan en
el registro CDR 50 en el ciclo 8; se transmite la batería
5 sobre la línea general 55 de datos de entrada salida en
25 el ciclo 9. Debido a que la línea de prelocalización está
activa en el ciclo 9, el canal 3 extrae las siguientes cua-
tro baterías de la orden de la memoria 5 en los ciclos 9,
10 y 11. El canal 3 transfiere la segunda, tercera y cuar-
ta baterías de la orden al adaptador 4 de entrada salida
30 durante los ciclos 10, 11 y 12. En el ciclo 10, el adapta

1 dor 4 de entrada salida desactiva la línea de prelocaliza-
ción, después de recibir la primera batería de la orden.
En el ciclo 11, se almacenan las segundas cuatro baterías
de la orden procedente de la memoria 5 en el registro CDR
5 50. En el ciclo 13, se carga el contenido del registro
CDR 50 en el registro CDRB 51 y se transfiere la quinta
batería de datos al adaptador 4 de entrada salida. El ca-
nal 3 transfiere entonces la sexta, séptima y octava bate-
rías de la orden al adaptador 4 de entrada salida en los
10 ciclos 14, 15 y 16. En el ciclo 16, el adaptador 4 de en-
trada salida activa la línea EOC para indicar que no han
de transferirse más datos. En el ciclo 17, el canal 3 des-
activa la línea TD, y en el ciclo 19 vuelve a la secuencia
de escrutinio de canal.

15 Secuencia de Interrupción de Entrada Salida Cuando un
adaptador 4 de entrada salida ha finalizado el tratamiento
de una orden procedente de la unidad CPU 1, el adaptador 4
de entrada salida solicita la utilización del canal 3 del
mismo modo que en la secuencia de escrutinio de canal des-
20 crita anteriormente. La finalidad de la solicitud es per-
mitir al adaptador 4 de entrada salida reportar los resul-
tados de salida de su tratamiento de la orden. El canal 3
concede la utilización del sistema de acoplamiento de canal
a un adaptador 4 de entrada salida activando las líneas de
25 concesión y TP y situando el nivel de prioridad de canal
del adaptador 4 de entrada salida que tiene la prioridad
más alta sobre la línea general 55 de datos de entrada sa-
lida. El adaptador 4 de entrada salida compara entonces
la prioridad de canal sobre la línea general 55 de datos
30 de entrada salida con su prioridad asignada. Se concede la

1 utilización del canal 3 a un adaptador 4 que encuentra una
concordancia con su prioridad asignada.

Después de situar el nivel de prioridad de ca-
nal sobre la línea general 55 de datos de entrada salida,
5 el canal 3 desactiva la línea TP y activa la línea TD y la
línea de concesión para indicar al adaptador 4 de entrada
salida que el canal 3 está preparado para recibir el campo
CCF. El adaptador 4 de entrada salida activa entonces la
línea B válida (o H válida) y sitúa la batería 0 del campo
10 CCF sobre la línea general 55 de datos de entrada salida.
Si la orden se ha completado con éxito, el adaptador 4 de
entrada salida situará un valor de código hexadecimal "01"
(incidencia funcional-final de orden/orden de localización
siguiente) sobre la línea general 55 de datos de entrada
15 salida. Si fue detectado un error o si se produjo un es-
tado de excepción, el adaptador 4 de entrada salida situa-
rá un valor de código hexadecimal "02" (incidencia funcio-
nal-final de orden) sobre la línea general 55 de datos de
20 entrada salida (véase la figura 4). El canal 3 almacena
los datos procedentes de la línea general 55 de datos de
entrada salida en la primera batería del registro CDR 50.
A continuación, el adaptador 4 de entrada salida designa
su registro de orden de entrada salida asociado situando
su número de código sobre la línea general 55 de datos de
25 entrada salida. El canal 3 almacena este código en la se-
gunda batería del registro CDR 50. El adaptador 4 de en-
trada salida prosigue entonces para situar dos baterías
más de información de estado sobre la línea general 55 de
datos de entrada salida. Estas baterías de estado solamen-
30 te tienen significado cuando se transmite un código de

1 final de orden (código hexadecimal "02" en la batería 0)
al canal 3. Las baterías de estado definen el tipo de error
o estado de excepción. El canal 3 almacena las dos bate-
5 rías de estado en la tercera y cuarta baterías del regis-
tro CDR 50. Los datos contenidos en el registro CDR 50
son cargados entonces en el registro CDRB 51. A medida
que el adaptador 4 de entrada salida transfiere la segunda
batería de información de estado, se activa la línea EOC
para indicar que la transferencia está completa. Al detec-
10 tarse el estado de activación de la línea EOC, el canal 3
desactiva la línea TD.

Debido a que la incidencia funcional transmiti-
da por el adaptador 4 de entrada salida indica la finaliza-
ción del tratamiento de una orden de entrada salida, el ca-
15 nal 3 desactiva el bitio de página válida en el registro
de orden de entrada salida especificado para evitar que el
adaptador 4 de entrada salida referencie la memoria 5 con
este registro de entrada salida. Para hacer esto, el canal
3 activa las líneas de solicitud de traductor VAT de entra-
20 da salida y de página invalidada dirigidas a la unidad VAT
2 y designa el registro de orden de entrada salida especi-
ficado en el campo CCF para el traductor VAT 2 sobre la lí-
nea general 57 de selección de registro de entrada salida.
El traductor VAT 2, en respuesta al estado de activación
25 de las líneas de solicitud de unidad VAT de entrada salida
y de página invalidada, selecciona el registro de orden de
entrada salida especificado, repone su bitio de página vá-
lida al estado de invalidez y almacena el contenido modifi-
cado otra vez en el registro de orden de entrada salida,
30 utilizando el registro VAT 401. El traductor VAT 2 activa

1 entonces la línea de "operación de memoria realizada" dirigida al canal 3 para indicar que está completo el ciclo del traductor VAT.

5 Debido a que la función de interrupción ha de transmitirse a la unidad CPU 1 que emitió la orden de entrada salida original, el canal 3 activa las líneas de solicitud de traductor VAT de entrada salida, acceso de memoria, e incremento, dirigidas al traductor VAT 2. El canal 3 designa entonces el registro de bloque de incidencias para el traductor VAT 2 sobre la línea general 57 de selección de registro de entrada salida. Por convenio, el registro de bloque de incidencias indica el bloque de incidencias de entrada salida (no representado) contenido en la memoria 5 que trata todas las comunicaciones desde el canal 3 a la
10 unidad CPU 1. El canal 3 almacena la incidencia funcional sobre el bloque de incidencia de entrada salida e incrementa el contenido del registro de bloque de incidencias en cuatro unidades, utilizando el registro VAT 401. En algún momento posterior, la unidad CPU 1 recuperará esta incidencia del bloque de incidencias de entrada salida, decrementará en cuatro unidades el registro de bloque de incidencias y tratará la incidencia según se requiera.

15 Las operaciones específicas que se realizan en el almacenamiento de la incidencia funcional sobre el bloque de incidencias de entrada salida tienen lugar del modo siguiente. El traductor VAT 2 selecciona el registro de bloque de incidencias y carga la dirección de este registro en el registro VAT 401. El traductor VAT 2 transmite esta dirección a la memoria 5 y activa la línea
20 de transmisión de datos de memoria hacia el canal 3 haciendo

1 do que el canal 3 transmita las cuatro baterías de datos
que especifican la incidencia funcional desde el registro
CDRE 51 a la línea general 7 de datos de memoria. La uni-
dad de control de memoria almacena entonces los datos que
5 se encuentran sobre la línea general 7 de datos de memoria
en la memoria 5 en la dirección especificada en el regis-
tro de bloque de incidencias. El traductor VAT 2 incre-
menta el contenido del registro VAT 401 en cuatro unida-
des y almacena el resultado en retorno en el registro de
10 bloque de incidencias. El traductor VAT 2 activa a conti-
nuación la línea de "operación de memoria realizada" diri-
gida al canal 3, indicando que están completas las opera-
ciones del traductor VAT y el ciclo de memoria. El canal
3 activa la línea de ajuste del bitio 8 hexadecimal dirigi-
15 da a la unidad CPU 1, lo cual da lugar a la activación del
bitio 8 en el registro EX en la unidad CPU 1, (figura 1).
El estado de activación de este bitio indica a la unidad
CPU 1 que el canal 3 ha situado datos sobre el bloque de
incidencias de entrada salida. La unidad CPU 1 interroga
20 este bitio periódicamente. Cuando la unidad CPU 1 encuen-
tra el bitio activado, elimina y trata todas las inciden-
cias procedentes del bloque de incidencias de entrada sali-
da.

25 La figura 5 es un diagrama de sincronismo pa-
ra el sistema de acoplamiento de canal cuando se realiza
una secuencia de interrupción de entrada salida. En los
ciclos 1, 2 y 3, el canal 3 escruta el adaptador 4 de en-
trada salida, el adaptador 4 de entrada salida solicita
la utilización del canal 3, y el canal 3 es concedido al
30 adaptador 4 de entrada salida. En el ciclo 4 el adaptador

1 4 de entrada salida transmite el campo de código de fun-
ción de canal (01 para Final de Orden/Localizar Orden Si-
guiente o 02 para Final de Orden) sobre la línea general
55 de datos de entrada salida y activa la línea B válida
5 (o H válida). El canal 3 activa la línea TD para indicar
que fue recibida la batería. El adaptador 4 de entrada sa-
lida transfiere entonces una batería que especifica su re-
gistro de orden de entrada salida asociado y dos baterías
de información de estado en los ciclos 5, 6 y 7. En el ci-
10 clo 7, el adaptador 4 de entrada salida activa la línea
EOC para indicar que éste es el final del campo de inci-
dencia funcional de cuatro baterías. En el ciclo 8 el ca-
nal 3 desactiva la línea TD y el adaptador 4 de entrada
salida desactiva las líneas B válida (o H válida) y EOC.
15 El canal 3, a su vez, repone el bitio de página válida en
el registro de orden de entrada salida especificado en los
ciclos 8 y 9. En el ciclo 10 el canal 3 transmite los da-
tos desde el registro CDR 50 hasta el registro CDRB 51. En
los ciclos 11 y 12, el canal 3 almacena los datos del re-
20 gistro CDRB 51 en el bloque de incidencias de entrada sali-
da utilizando el registro de bloque de incidencias. En el
ciclo 13, el canal 3 activa la línea de activación del bi-
tio 8 hexadecimal para activar el bitio 8 del registro EX
en la unidad CPU, indicando que fue situada información
25 de incidencia sobre el bloque de incidencias de entrada sa-
lida. El canal 3 retorna entonces a la secuencia de escru-
tinio de canal en el ciclo 14.

30 Secuencia de Cruce de Página de Entrada Salida Cuando un
adaptador 4 de entrada salida extrae datos de la memoria
o almacena datos en la misma, la dirección de datos utili-

1 zada por el adaptador 4 de entrada salida es incrementada
 (o decrementada) en cuatro unidades, dependiendo del tipo
 de dispositivo de entrada salida que está siendo atendido
 por la unidad 402 de control VAT. Cada adaptador 4 de en-
5 trada salida puede referenciar datos dentro de una página
 (512 baterías) sin complicación, pero una vez que el regis-
 tro de datos de entrada salida que indica los datos es in-
 crementado o decrementado fuera de su margen, la unidad
10 CPU 1 debe cargar una nueva dirección en el registro de
 entrada salida que oriente la secuencia hacia el siguien-
 te segmento de datos sobre otra página de la memoria prin-
 cipal. Las direcciones utilizadas por los adaptadores 4
 de entrada salida son direcciones virtuales en el sentido
 de que los datos son referenciados como si los mismos estu-
15 viesen siempre situados secuencialmente en la memoria.
 Realmente, los datos están subdivididos en páginas de 512
 baterías, cada una de las cuales puede estar contenida en
 la memoria principal (memoria 5) o puede almacenarse en
 dispositivos de memoria secundaria en cualquier instante
20 dado. De este modo, los datos no están dispuestos secuen-
 cialmente en un sentido físico, y sería un mal aprovecha-
 miento de recursos reservar bastantes páginas en la memo-
 ria 5 para hacerla físicamente secuencial. Consiguientea-
 mente, puede darse a un adaptador 4 de entrada salida la
25 capacidad de utilizar direcciones virtuales, pero la unidad
 CPU 1 y el traductor VAT 2 deben asumir la responsabilidad
 de dirigir el adaptador 4 hacia la página siguiente de me-
 moria real, cuando el adaptador 4 alcanza un límite de
 página.

30

Se reconoce normalmente un cruce de página

1 cada vez que un registro de dirección de entrada salida
(dirección de datos o dirección de orden) es incrementado
más allá del campo de 512 baterías de una página. (En ciertos
5 la dirección incrementada, el cruce de página no necesita
ser reconocido y será ignorado). La condición de cruce de
página debe ser reconocida porque, dentro de una página,
pueden incrementarse las direcciones de entrada salida como
si la totalidad de la memoria virtual fuese físicamente
10 secuencial en la memoria principal; sin embargo, en límites
de página fracasa la suposición de memoria físicamente
secuencial, y la dirección incrementada ya no es válida.
Para obtener una nueva dirección válida para un adaptador
4 de entrada salida que encuentra un cruce de página, el
15 sistema debe traducir la dirección incrementada en una dirección
de memoria real, convertida. Una vez que esta nueva
dirección está situada en el registro de dirección de
entrada salida especificado, la transferencia de datos de
entrada salida interrumpida por el cruce de página puede
20 reanudarse. Como medios de indicación del estado válido-
-inválido de las direcciones de los registros de dirección
de entrada salida, la unidad 402 de control VAT activa y re-
pone los bitios de página válida asociados con los registros.
El bitio de página válida asociado con un registro
25 de dirección de entrada salida particular se desactiva cuando
el adaptador 4 de entrada salida asociado cruza un límite
de página y se activa otra vez cuando se carga la dirección
nueva, transformada, en el registro de entrada salida
especificado. Como se describirá posteriormente en los
30 comentarios relativos a la secuencia de desconexión de en

1 -trada salida, el estado del bitio de página válida es comprobado por la unidad 402 de control VAT al comienzo del tratamiento de una solicitud de memoria originada por entrada-salida. Si el bitio de página válida está desactiva
5 do, el adaptador solicitante se desconecta o se mantiene en un estado de desconexión, de modo que pueden ser atendidos otros adaptadores de entrada salida situados en el mismo segmento temporal. Cuando se encuentra activado el bitio de página válida, se finaliza el estado de desconexión.
10

Los medios para detectar cuándo se llega a un límite de página se encuentran en el circuito 402 de control VAT, utilizado para incrementar el contenido de los diversos registros 6 VAT I/O. Debido a que la dirección
15 en cada uno de estos registros es una dirección real cuando está activado el bitio de página válida, cada dirección corresponde a una batería particular en la memoria 5 principal. Típicamente, se asigna a la primera batería sobre una página en la memoria 5 principal un número de dirección
20 que es par y divisible por el número de baterías de una página, (512 ó 2^9). De este modo, la operación de incrementar la dirección fuera del final de la página dará como resultado un acarreo desde el bitio noveno de la dirección hasta el bitio décimo. Consiguientemente, el cruce de página puede ser detectado vigilando los bitios de orden 9 y
25 10, para ver cuando se produce un acarreo.

La figura 9 es el diagrama de sincronismo para un almacenamiento en memoria en donde se cruza el límite de una página de 512 baterías. En los ciclos 1, 2 y 3, el canal 3 escruta el adaptador 4 de entrada salida para deter-
30

1 minar si el adaptador 4 de entrada salida requiere la uti-
lización del sistema de acoplamiento de canal. El adapta-
dor 4 de entrada salida solicita la utilización del siste-
5 ma de acoplamiento de canal y el canal 3 concede la utili-
zación del sistema de acoplamiento de canal al adaptador 4
de entrada salida. En los ciclos 4 y 5 el adaptador 4 de
entrada salida transfiere al campo CCF al canal 3. Debido
a que, por suposición, el adaptador 4 de entrada salida
está realizando una operación de almacenamiento en memoria,
10 el adaptador 4 de entrada salida transmite un código hexa-
decimal A0 como batería 0 del campo CCF. La batería 1 del
campo CCF especifica un registro de datos de entrada salida
asociado con el adaptador 4. Ambas baterías del campo CCF
se almacenan en el registro CCR 56. En el ciclo 5 el adap-
15 tador 4 de entrada salida activa la línea EOC para indicar
el final del campo CCF. En los ciclos 6, 7, 8 y 9 el adap-
tador 4 de entrada salida transfiere las primeras cuatro
baterías de datos al canal 3 y el canal 3 almacena estos
datos en el registro CDR 50. En el ciclo 10, el canal 3
20 almacena los datos del registro CDR 50 en el registro CDRB
51, activa las líneas de "solicitud de traductor VAT de en-
trada salida", "acceso a memoria" e "incremento" dirigidas
al traductor VAT 2 y transmite la especificación del regis-
tro de datos de entrada salida desde la batería 1 del re-
25 gistro CCR 56 al traductor VAT 2. El traductor VAT 2 se-
lecciona el registro de datos de entrada salida especifica-
do, carga el contenido de ese registro (una dirección) en
el registro VAT 401 y transmite la dirección a la memoria
5. El traductor VAT 2 activa entonces la línea de transmi-
30 sión de datos de memoria dirigida al canal 3, haciendo que

1 el canal 3 transmita los datos del registro CDRB 51 a la
línea general de datos de memoria. La unidad de control
de memoria almacena los datos en la memoria 5 en el ciclo
11. El traductor VAT 2 incrementa a continuación el conte-
5 nido del registro VAT 401 en cuatro unidades y almacena el
valor modificado en retorno en el registro de datos de en-
trada salida especificado. El traductor VAT 2 activa en-
tonces la línea de operación de memoria realizada dirigida
al canal 3.

10 En los ciclos 10, 11, 12 y 13 el adaptador 4 de
entrada salida transfiere cuatro baterías adicionales de
datos al canal 3. El canal 3 almacena estas baterías de
datos en el registro CDR 50. En el ciclo 13, el adaptador
4 de entrada salida activa la línea EOC para indicar que no
15 serán transferidos más datos durante esta secuencia de con-
cesión de canal. Si no estuviese activada la línea EOC,
el adaptador 4 de entrada salida podría continuar almace-
nando datos. En el ciclo 14, el canal 3 desactiva la lí-
nea TD en respuesta al estado de activación de la línea
20 EOC. El adaptador 4 de entrada salida desactiva las lí-
neas B Válida (o H Válida) y EOC. El canal 3 carga enton-
ces los datos del registro CDR 50 en el registro CDRB 51,
activa las líneas de solicitud de traductor VAT de entrada
salida, de acceso a memoria y de incremento, dirigidas al
25 traductor VAT 2, y especifica su registro de datos de en-
trada salida para el traductor VAT 2. El traductor VAT 2
selecciona el registro de datos de entrada salida especifi-
cado, carga la dirección contenida en ese registro en el
registro VAT 401, y transmite la dirección a la memoria 5.
30 El traductor VAT activa entonces la línea de transmisión de

1 datos de memoria al canal 3, haciendo que los datos del re-
gistro CDRB 51 sean transmitidos a la línea general 7 de
datos de memoria. La memoria 5 almacena entonces los da-
tos procedentes de la línea 7 general de datos de memoria
5 en la memoria 5 en la dirección encontrada en el registro
VAT 401. El traductor VAT 2 incrementa a continuación el
contenido del registro 401 VAT en cuatro unidades y, debido
a que los medios de detección incluidos en la unidad 402
de control VAT detectan que la dirección incrementada cru-
za un límite de página (512 baterías), el traductor VAT 2
10 desactiva el bitio de página válida en el contenido del re-
gistro 401 VAT. El traductor VAT 2 almacena la dirección
modificada y el bitio de página válida en retorno en el
registro de datos de entrada salida especificado. El tra-
15 ductor VAT 2 activa a continuación las líneas de cruce de
página y de "operación de memoria realizada" dirigidas al
canal 3 en el ciclo 15. En respuesta al estado de activa-
ción de las líneas de operación de memoria realizada y cru-
ce de página, el canal 3 forma una incidencia de direc-
20 ción, consistente en cuatro baterías, en el registro CDRB
51. Esta incidencia será transmitida a la unidad CPU 1
para informar a esta unidad de que un registro de dirección
de entrada salida ha sido incrementado fuera del límite
de página, requiriéndose la carga de una nueva dirección
25 en el registro de entrada salida. En el ciclo 16, el ca-
nal 3 transmite el contenido del registro CCR 56 (que in-
cluye el campo CCF) a las primeras dos baterías del regis-
tro CDR 50. Las dos segundas baterías del registro CDR 50
se cargan con ceros. El contenido del registro CDR 50 se
30 carga en el registro CDRB 51 en el ciclo 17.

1 En los ciclos 18 y 19, el canal 3 activa las
líneas de solicitud de traductor VAT de entrada salida, de
acceso a memoria y de incremento, y especifica el registro
de bloque de incidencias para el traductor VAT 2. El tra-
5 ductor VAT 2 selecciona el registro de bloque de inciden-
cias, carga la dirección procedente del registro de bloque
de incidencias en el registro 401 VAT y transmite la direc-
ción a la memoria 5. El traductor VAT 2 activa entonces
la línea de transmisión de datos de memoria dirigida al ca-
10 nal 3 haciendo que la incidencia de dirección de cuatro
baterías contenida en el registro 51 CDRB sea transmitida
a la línea general 7 de datos de memoria. La unidad de
control de memoria almacena la incidencia de dirección en
el bloque de incidencias de entrada salida. El traductor
15 VAT 2 incrementa el contenido del registro 401 VAT en cua-
tro unidades y almacena el resultado en retorno en el re-
gistro de bloque de incidencias. El traductor VAT 2 acti-
va la línea de operación de memoria realizada para el ca-
nal 3 para indicar la finalización del ciclo de traductor
20 VAT y de memoria.

En el ciclo 20, el canal 3 activa la línea
de activación del bitio 8 EX dirigida a la unidad CPU 1
para activar el bitio 8 en el registro EX lo cual indica
que ha sido situada una incidencia sobre el bloque de inci-
25 dencias de entrada salida. El canal 3 vuelve a la secuen-
cia de escrutinio de canal en el ciclo 21. Cuando la uni-
dad CPU 1 detecta que está activado el bitio 8 del regis-
tro EX, la unidad CPU 1 localiza la incidencia en el blo-
que de incidencias de entrada salida utilizando el regis-
30 tro de bloque de incidencias y decrementa el contenido del

1 registro de bloque de incidencias en cuatro unidades. La
unidad CPU 1 determina que la incidencia es una incidencia
de dirección, porque el bitio 0 está activado en la batería
0 de la entrada al bloque de incidencias. Una función de
5 interrupción tendría este bitio desactivado. Habiendo de-
terminado esto, la unidad CPU 1 lee el contenido del regis-
tro de datos de entrada salida (la dirección que precede al
cruce de página) especificado en la batería 1 de la inci-
dencia de dirección. Esta es la dirección incrementada que
10 debe ser convertida en una posición de memoria real. La
unidad CPU 1 sitúa la nueva posición de memoria real asocia-
da con la dirección en el registro de datos de entrada sa-
lida especificado y carga esta nueva dirección en el regis-
tro de datos de entrada salida, con el bitio de página vá-
15 lida activado.

Debido a que los datos referenciados por la di-
rección contenida en el registro de entrada salida especifi-
cado pueden no estar aún en memoria, la unidad CPU 1 puede
tener que localizar los datos en la memoria secundaria o en
20 alguna otra fuente de datos, antes de que pueda ser trans-
formada la dirección. Esto será tratado por el programa su-
pervisor de ordenación en páginas del sistema operativo. Una
vez que los datos se han llevado a la memoria 5, entonces
la unidad CPU 1 puede cargar la dirección de memoria tradu-
cida en el registro de datos de entrada salida especificado,
25 (utilizando las líneas generales 15, 58 y 91, el registro
401 VAT y la línea de solicitud de unidad CPU) y activar el
bitio de página válida, indicando al canal 3 el hecho de ha-
berse completado la conversión.

30 Secuencia de Desconexión de Entrada-Salida Se produce una secuencia

1 - de desconexión de entrada salida cuando un adaptador 4 de
entrada salida intenta transferir datos a o desde la memo-
ria y el bitio de página válida está desactivado en el re-
gistro de dirección de entrada salida especificado en el
5 campo CCF. Esta secuencia hace que el canal 3 informe al
adaptador 4 de entrada salida de que la dirección virtual no
ha sido aún convertida; por consiguiente, el adaptador 4
de entrada salida debe intentar nuevamente transferir los
datos en un momento posterior. Esta secuencia toma tam-
10 bién medidas para evitar que un adaptador 4 de entrada sa-
lida quede acoplado rígidamente al canal 3 hasta que haya
sido transformada la dirección virtual proporcionando una
dirección de memoria principal correspondiente. Estos obje-
tivos son realizados por medios de desconexión en el canal
15 3, particularmente el codificador 52 de prioridad, que ha-
cen que sea ignorada la prioridad del adaptador 4 de entra-
da salida que encuentra desactivado el bitio de página vá-
lida, permitiendo así el servicio de adaptadores de entra-
da salida de nivel de prioridad inferior en el mismo seg-
20 mento temporal.

La figura 10 es el diagrama de sincronismo de una secuencia de desconexión de entrada salida utili-
zando como ejemplo una localización de datos en la memoria
por el adaptador 4 de entrada salida, operación intentada
25 después que se ha encontrado un cruce de página y se ha
desactivado el bitio de página válida en el registro de
entrada salida asociado al adaptador, de acuerdo con la
secuencia de cruce de página de entrada salida descrita
anteriormente.

30 En los ciclos 1, 2 y 3, el canal 3 escruta

1 los adaptadores 4 de entrada salida para detectar cual-
quier solicitud. Un adaptador 4 de entrada salida soli-
cita la utilización del canal 3 y le es concedida la uti-
lización del sistema de acoplamiento de canal.

5 En los ciclos 4 y 5 el adaptador 4 de entra-
da salida transfiere un campo CCF al canal 3. Debido a
que el adaptador 4 de entrada salida tiene especificada
una localización de memoria en el campo CCF, el canal 3
desactiva la línea TD en el ciclo 6 indicando que el ca-
10 nal 3 no ha localizado aún los datos en la memoria 5. El
canal 3 activa entonces las líneas de solicitud de traduc-
tor VAT de entrada salida, acceso a memoria, localización
en memoria e incremento, dirigidas al traductor VAT 2 y es-
pecifica el registro de datos de entrada salida de la bate-
15 ría 1 del registro CCR 56, que almacena la batería 1 del
campo CCF.

El traductor VAT 2 selecciona el registro de
datos de entrada salida especificado y carga el contenido
del registro de datos de entrada salida en el registro 401
20 VAT. Sin embargo, cuando el traductor VAT 2 localiza el
contenido del registro de datos de entrada salida, es com-
probado el bitio de página válida por el circuito 402 de
control de traductor VAT y se encuentra que está en estado
de desactivación. Esto hace que el traductor VAT 2 fina-
25 lice la solicitud de memoria activando las líneas de ope-
ración de memoria realizada y "página no válida" para el
canal 3 en el ciclo 7. Cuando el canal 3 detecta el esta-
do de activación de las líneas de operación de memoria
realizada y de página no válida, el canal 3 activa la lí-
30 nea de desconexión conectada al adaptador 4 de entrada.

1 salida en el ciclo 8. El adaptador 4 de entrada salida,
al detectar el estado de activación de la línea de desco-
nexión, desactiva la línea B válida (o H válida) y finali-
za la secuencia de concesión de canal en el ciclo 9. El
5 canal 3 vuelve a la secuencia de escrutinio de canal en
el ciclo 10.

El canal, sin embargo, no vuelve a escru-
tar el segmento temporal 0 o el siguiente segmento tempo-
ral próximo. En vez de ello, escruta el mismo segmento
10 temporal que originó la activación de la línea de desco-
nexión. Si se encuentran solicitudes procedentes de los
adaptadores 4 de entrada salida en este segmento temporal
(el adaptador de entrada salida que estuvo desconectado
puede nuevamente solicitar la utilización del sistema de
15 acoplamiento de canal), el canal 3 prosigue con la secuen-
cia de concesión de canal. Al hacerlo así, el canal 3,
por medio del codificador 52 de prioridad, ignora la prio-
ridad del adaptador que originó la desconexión en la se-
cuencia de escrutinio anterior. De este modo, los medios
20 de desconexión mantienen el adaptador de entrada salida
anteriormente desconectado en su estado de desconexión,
impidiendo que origine el bloqueo de adaptadores de prior-
dad inferior en el mismo segmento temporal. Si no exis-
ten solicitudes de adaptadores 4 de entrada salida, el
25 canal 3 incrementa el registro 53 contador de segmentos
y continúa escrutando el resto de los segmentos tempora-
les.

Operación de Puesta en Cola de Ordenes de Entrada Salida-
-Descripción de los Circuitos

30

Los circuitos lógicos que realizan el pre-

1 - sente invento están representados con más detalle en las
figuras 12, 13, 14, 15 y 16. En estas figuras varios com-
ponentes convencionales están representados por bloques sim-
bólicos, del modo siguiente. Los bloques marcados con "A"
5 son puertas "Y". En la mayoría de los casos estas puertas
realizan una operación lógica "Y" de varias líneas indivi-
duales sobre una única línea de salida. En algunos casos,
sin embargo, una entrada a la puerta "Y" es una línea gene-
ral. En estos casos, cada uno de los bitios o líneas in-
10 dividuales incluidas en la línea general se combina en fun-
ción lógica Y con cada línea individual que es también en-
trada a la puerta "Y". De este modo, en estos casos, la
salida de la puerta es una línea general, en vez de una lí-
nea única, y la puerta designada por "A" es realmente un
15 conjunto de puertas "Y".

Los bloques marcados con "OR" son puertas "O"
convencionales, que realizan una función lógica "O" de va-
rias líneas con una salida sobre una línea individual.
Las puertas marcadas con "XOR" son puertas "O" exclusivas.
20 En algunos casos, éstas tienen más de dos líneas de entra-
da, por ejemplo una línea general de ocho bitios. En estos
casos, la salida aparece sobre una línea individual y se
activa cuando están activados bitios de entrada en un nú-
mero impar, y se inactiva cuando están en estado activo
25 bitios de entrada en un número par.

Los bloques marcados con "N" son puertas
"NO" o puertas inversoras. Los bloques marcados con "GL"
son circuitos de retención de activación controlada. Estos
circuitos de retención muestrean el estado activo-inactivo
30 de la línea de entrada que entra por el lado izquierdo del

1 bloque cuando la línea de muestreo que entra por el borde
inferior del bloque está activada. Entre operaciones de
muestreo, un circuito de retención retiene sobre su línea
de salida en el borde derecho del bloque el estado de acti
5 vidad o inactividad de la línea de entrada en el momento
en que fue muestreada por última vez.

Los bloques marcados por "T" y "R" son circui-
tos de báscula binaria. Cuando la línea de entrada de re-
posición en el borde inferior del bloque adyacente a la en-
10 trada "R" está activada, la línea de salida se repone al
estado inactivo. El basculamiento de reposición retendrá
el estado inactivo en su salida hasta que reciba una señal
activa en la entrada de activación, en el borde izquierdo
15 del bloque en posición adyacente a la entrada "T", en cuyo
momento se activará la salida. La salida permanecerá acti
vada hasta que aparezca una segunda señal activa en la en-
trada de basculamiento o hasta que aparezca una señal acti
va en la entrada de reposición, en cuyo momento la salida
volverá nuevamente al estado inactivo. A no ser que se in
20 dique otra cosa, un circuito de báscula cambiará de estado
en el flanco anterior de una señal de basculamiento o de
reposición. Cuando el circuito báscula cambia de estado
en el flanco posterior de la señal, se indicará este hecho
especialmente.

25 Los bloques marcados con la palabra "DECODE"
aceptan una entrada codificada en binario sobre dos o más
líneas y activan una línea de salida única en corresponden-
cia con el valor de la entrada codificada en binario. Los
bloques marcados con "PAR GEN" aceptan un número de bitios
30 o líneas como entradas y producen como salida un bitio

1 único de paridad. El bitio de paridad se activa cuando
la entrada contiene un número par de bitios activos y se
inactiva cuando la entrada contiene un número impar de bi-
tios activos.

5 La figura 12 es un diagrama esquemático de
bloques y diagrama de flujo que representa la porción cen-
tral de los circuitos lógicos de ordenación en secuencia
que controlan el progreso del canal 3 a través de las di-
versas secuencias comentadas anteriormente, incluyendo la
10 secuencia de desconexión de entrada salida. Los estados
lógicos constituyentes de estas secuencias se observan más
fácilmente en los circuitos SEQ LT 100 y SEQ LTB 101 de
retención de activación controlada de cuatro bitios, y en
los dos circuitos 102 y 103 descodificadores de cuatro bi-
15 tios, cada uno de los cuales activa una de las líneas
SS0-SS15 y ST0-ST15 de salida, respectivamente. Los ele-
mentos lógicos adicionales que están representados en la
figura 12 incluyen las puertas "Y" 110-137, 241, las puer-
tas "O" 140-153 y 190-193, las puertas inversoras 160-185,
20 296 y los circuitos 104, 105 y 207 de retención controla-
dos.

 La figura 13 es un diagrama esquemático de
bloques y diagrama de flujo del codificador 52 de priori-
dad incluido en el canal 3. Como puede verse en la figu-
25 ra 13, el codificador 52 de prioridad comprende: un desco-
dificador 800 de cuatro bitios; las puertas "Y" 801-816,
840-855, 892 y 895; las puertas "O" 871-889, 891 y 894;
las puertas inversoras 817-832, 856-870, 890 y 893, y el
circuito 896 de retención controlado.

30 La figura 14 es un diagrama esquemático de

1 - bloques y diagrama de flujo de los circuitos de escrutinio
y prioridad incluidos en el canal 3. Como puede verse en
la figura 14, estos circuitos comprenden: el codificador
52 de prioridad de la figura 13; el registro 70 de límite
5 de escrutinio de cuatro bitios, el registro 54 de prioridad
de cuatro bitios, los cuatro circuitos 53A-53D de báscula
binaria, también denominados SLC CTRO a SLC CTR3, que for-
man en conjunto el registro 53 contador de segmentos; las
puertas "Y" 256-267; las puertas "O" 210-212; las puertas
10 inversoras 220-221; el comparador 213 de cuatro bitios y
el generador 268 de paridad.

La figura 15 es un diagrama esquemático de
bloques y diagrama de flujo de los diversos registros de
canal y sus circuitos de soporte. Como se ve en la figu-
15 ra 15, esta porción del canal incluye: cuatro registros CDR0 a
CDR3, 50A-50D, de transmisión controlada de nueve bitios
(incluyendo paridad), que forman el registro CDR 50; cua-
tro registros CDRB0 a CDRB3, 51A-51D, de activación contro-
lada de nueve bitios (incluyendo paridad), que forman el
registro CDRB 51; dos registros CCRO y CCRI, 56A, 56B, de
20 transmisión controlada de ocho bitios, que forman el re-
gistro CCR 56 de dos baterías; circuitos 363, 364 de báscu-
la binaria de activación por flanco posterior denominados
BYTE CTRO y BYTE CTRL1; los circuitos 300-303 de retención
25 controlados; el circuito 304 descodificador de dos bitios;
las puertas "Y" 300-383; las puertas "O" 410-436; y las
puertas inversoras 450-455.

La figura 16 es un diagrama esquemático de
bloques y diagrama de flujo de los circuitos de canal que
30 excitan las líneas de control que se extienden desde el

1 canal 3 al traductor VAT 2 y la unidad CPU 1. Como se ve
en la figura 16, estos circuitos incluyen: los circuitos
200-207 de retención controlados, las puertas "Y" 222-254
y 270-271; las puertas "O" 279-287; y las puertas inversoras
5 274-278 y 290-299.

Con referencia ahora a la figura 12, se ve que
los cuatro circuitos 100 de retención SEQ LT se cargan
con los estados activo o inactivo que prevalecen sobre
las líneas de salida de las puertas "O" 190-193 cuando
10 aparece el impulso T1 de sincronismo en sus entradas de
muestreo conectadas en paralelo. Similarmente los cuatro
circuitos 101 de retención SEQ LTB se cargan con los es-
tados activo o inactivo que prevalecen sobre las líneas
de salida de los circuitos 100 de retención SEQ LT cuando
15 aparece el impulso T2 de sincronismo en sus entradas de
muestreo conectadas en paralelo. Cada uno de los circui-
tos 100, 101 de retención (SEQ LT y SEQ LTB) puede consi-
derarse como un registro de cuatro bitios. En esta discu-
sión, el conjunto más superior de cada uno de los con-
20 juntos de cuatro circuitos de retención (como se ven en
la figura 12B) se considera como representativo del bitio
de tercer orden (2^3). El siguiente circuito al circuito
de retención más superior representa el bitio de segundo
orden (2^2), y así sucesivamente, en orden descendente a
25 través de los bitios de primer orden y de orden cero. Con-
siguientemente, cuando los circuitos 100, 101 de retención
(SEQ LT y SEQ LTB) se cargan con un valor de 11, cada
conjunto de circuitos de retención tiene en estado activo
sus bitios de orden tercero, primero y cero, mientras que
30 están inactivos los bitios de segundo orden. Cuando los

1 - circuitos de retención están cargados con un valor de 2,
solamente están activos los circuitos de retención de pri-
mer orden. Deberá observarse también que las líneas SEQ
5 LTB 0-3 establecen un circuito de realimentación a las
puertas "Y" 141, 143, 145 y 147 de tal modo que los cir-
cuitos 100 de retención SEQ LT se cargan nuevamente con
su valor anterior (retenido en los circuitos 101 de re-
tención SEQ LTB) a no ser que se produzca desactivación
por puerta en una de las puertas inversoras 181-184.

10 Para comunicar con un adaptador 4 de entrada
salida, la unidad CPU 1 formó primero una orden de entra-
da salida en la memoria 5 direccionable. Como se ha indi-
cado anteriormente en relación con la discusión de la se-
cuencia de iniciación de dispositivo, medios conectados
15 a la unidad CPU 1 presentan la orden al adaptador 4 de en-
trada salida cargando la dirección de la orden en el re-
gistro de orden de entrada salida para el adaptador 4 de
entrada salida. Esto se realiza especificando el código
de registro de orden de entrada salida adecuado sobre la
20 línea general 58 de selección de registro de entrada sali-
da de unidad CPU, cargando el registro 401 VAT a partir de
los datos de la línea general 15 de entrada de unidad CPU
y activando la línea de solicitud de unidad CPU conectada
al traductor VAT 2. En respuesta, el circuito 402 de con-
25 trol de traductor VAT almacena la dirección de la orden
de entrada salida en el registro de orden de entrada sali-
da especificado a través de la línea general 91. Los mis-
mos medios cargan a continuación la dirección de los da-
tos de adaptador de entrada salida en un registro de da-
30 tos de entrada salida designado del mismo modo. Finalmen

1 - te, estos mismos medios cargan la dirección de la orden de
entrada salida en el registro de iniciación de dispositivo
de tal modo que los circuitos del canal pueden localizar
la orden de entrada salida. Una vez cargados estos regis-
5 tros de dirección de entrada salida, la unidad CPU 1 car-
gará a continuación el registro EO en la unidad 60 de con-
trol de canal (figura 2) para informar al canal 3 de que
está pendiente una orden.

10 Antes de intentar emitir cualquier orden adi-
cional al canal 3, la unidad CPU 1 comprueba el contenido
del registro de iniciación de dispositivo. Si está activado
el bitio de página válida, la unidad CPU 1 debe esperar pa-
ra emitir otra orden, porque el canal 3 no ha terminado la
orden anterior. Si el bitio de página válida en el regis-
15 tro de iniciación de dispositivo está desactivado, entonces
la unidad CPU 1 puede cargar el registro de iniciación de
dispositivo con la dirección de una nueva orden y cargar
después el registro EO, para informar al canal 3.

20 Los dos modos según los cuales un adaptador 4
de entrada salida puede tratar una orden de entrada salida
emitida por la unidad CPU desde la memoria 5 fueron presen-
tados previamente en la discusión de la secuencia de ini-
ciación de dispositivo. Como se afirmó en aquella discu-
sión, el adaptador 4 de entrada salida puede asumir la
25 orden sin retardo (orden inmediata) o poner en cola la
orden para una posterior aceptación (puesta en cola de or-
den).

30 Si un adaptador 4 de entrada salida controla
muchos dispositivos de entrada salida, el adaptador 4 de
entrada salida utilizará normalmente la opción de puesta

1 - en cola de órdenes. Esto permite al adaptador 4 de entrada salida localizar la orden posteriormente, en un instante conveniente para el adaptador 4 de entrada salida. El adaptador 4 de entrada salida utiliza su registro de órdenes de entrada salida, cargado con la dirección de orden, para localizar la orden de entrada salida.

5 Sin embargo, si el adaptador 4 de entrada salida controla solamente un dispositivo de entrada salida, el adaptador 4 de entrada salida puede utilizar la opción de orden inmediata y obtener la orden de entrada salida directamente del canal 3 utilizando el registro de iniciación de dispositivo. En este caso, el registro de orden de entrada salida del adaptador no es necesario. Se expone seguidamente una descripción del sistema lógico de canal para estas dos opciones, precedida por una descripción lógica de la secuencia de iniciación de dispositivo que es común a ambas opciones.

10 Secuencia de Iniciación de Dispositivo La secuencia de iniciación de dispositivo comienza con la carga del registro EO por parte de la unidad CPU 1 cuyo registro EO comprende los circuitos EO-0, EO-1 y EO-2 (200-202) de retención, por medio de la línea de carga de registro EO y las líneas 0-2 de datos de registro EO que condicionan las puertas "Y" 223, 225, y 224 (figura 16). El circuito 202 de retención EO-2, cuando está activado, indica que el registro de iniciación de dispositivo incluido en los registros 6 VAT I/O contiene la dirección de una orden para un adaptador 4 de entrada salida.

15 En el instante en que la unidad CPU activa las líneas de carga de registro EO y 0-2 de datos de registro

1 -tro EO, los circuitos 100 y 101 de retención (SEQ LT y
SEQB LT) estarían normalmente en el estado de escrutinio
y contendrán un valor de 2. Esto significa que las líneas
5 SS2 y ST2 se activan a través de los descodificadores 102 y
103. La activación de la línea SS2 da lugar a la activa-
ción de las líneas TP y TD por medio de las puertas "0"
149 y 151 (figura 12). El estado de activación de la lí-
nea SS2 hace también que sea transmitido el valor contenido
10 en el registro contador de segmentos (SLC CTR 0-3, 53A-53D)
por medio de la puerta "0" 212 y la puerta "Y" 260-263 y
el generador 268 de paridad (figura 14) a través de PR CTR
0-3, P0, sobre los bitios 0-7 de la línea general de datos
de entrada salida (paridad P0), por medio de la puerta "Y"
15 349 y las puertas "0" 427 y 429 (figura 15). En el siguien-
te impulso T4 de sincronismo, el estado de activación de
ST2 hace que sea cargado un valor de código hexadecimal
"90" (localización de memoria, incremento, ignorar cruce
de página) en el registro 56A (CCRO) por medio de las puer-
tas "Y" 326 y 327 y la puerta "0" 423. La puerta "Y" 34
20 da lugar a la transmisión de un valor de código hexadecimal
01 al registro 56B (CCR1). Ambos de estos valores 90 y 01
se obtienen por medio de registros forzados a estos valo-
res que están conectados a las puertas Y adecuadas, como
se representa simbólicamente en la figura 15. El estado de
25 activación de ST2 hace también que sea repuesto el circui-
to 302 de retención BYTE LT por medio de la puerta "Y" 317
y la puerta "0" 414 y que sean repuestos los circuitos 363
y 364 de báscula BYTE CTR 0-1 por la puerta "Y" 311 y la
puerta "0" 412. La línea BYTE CNT 0 permanece activa.

30

Después que el canal 3 ha transferido el seg-

1 -mento temporal sobre la línea general de datos de entrada
salida, el canal 3 comprueba la presencia de una solicitud
por parte del adaptador 4 de entrada salida. Esta secuen-
cia tiene lugar del modo siguiente. En el siguiente impul-
5 so T1 de sincronismo, la activación de la línea ST2 hace
que sea cargado un valor de 3 en los circuitos 100 de re-
tención (SEQ LT) por medio de la puerta "O" 147 y la puer-
ta "Y" 134. Un valor de 3 en los circuitos 100 de reten-
ción (SEQ LT) hace que la línea SS3 se active a partir del
10 descodificador 102. El estado de activación de la línea
SS3 da lugar a la activación de la línea TP por medio de
la puerta "O" 149.

Debido a que la línea SS2 se desactiva, los
datos procedentes del registro 53 contador de segmentos
15 (SLC CTR 0-3) 53A-53D, figura 14) son eliminados de la lí-
nea general de datos de entrada salida, de modo que pueden
transmitirse las prioridades de adaptador.

En el siguiente impulso T2 de sincronismo,
los circuitos de retención SEQ LTB 101 se cargan desde los
20 circuitos 100 de retención SEQ LT, haciendo que se active
la línea ST3 procedente del descodificador 103. En el im-
pulso T3 de sincronismo, los datos presentes sobre la lí-
nea general de datos de entrada salida (0-15, P0, P1), es
decir las solicitudes de prioridad de adaptador de entrada
25 salida, son transmitidos a los registros 50A, 50B (CDR0 y
CDR1) por medio de las puertas "O" 417, 418, 422, 437, 424
y 425, las puertas "Y" 319, 331, 337, 320, 322 y 338 y la
puerta inversora 451. En el siguiente impulso T4 de sin-
cronismo, los datos procedentes de los registros 50A, 50B
30 (CDR0 y CDR1) son transmitidos al codificador 52 de priori

1 dad que codifica una entrada de dieciseis bitios (CDRO-0
a CDRL-7) para obtener un código de cuatro bitios (PRIOR
ENC 0-3, figura 13). El código de cuatro bitios será el
5 código del bitio de prioridad más alta de los dieciseis
bitios de entrada, porque todas las líneas INH 0-0 a INH
0-15 están activadas hasta que se activa el circuito 206
de retención RETRY.

El código de cuatro bitios procedente del co
10 dificador 52 de prioridad se carga en el registro 54 de prio
ridad (figura 14). Suponiendo, como ejemplo, que ningún
adaptador de entrada salida solicitó la utilización del ca-
nal 3, no se habrá activado ninguna prioridad de adaptador,
y se activará la línea de ausencia de solicitud procedente
15 del codificador 53 de prioridad. La línea de ausencia de
solicitud, al estar en estado activo, hace que el registro
53 contador de segmentos (SLC CTR 0-3, 53A-53D) sea incre-
mentado en una unidad, (o repuesto a cero si se encuentra
por parte del comparador 213 que el contenido del registro
20 70 POLL LMT de escrutinio es igual al contenido del regis-
tro 53 contador de segmentos). El estado de activación
de la línea NO REQ hace que se active el circuito 204 de
retención de arranque por medio de las puertas "Y" 228 y
229, la puerta "O" 280 y la puerta inversora 291 (figura
16).

25 Como suposición, debido a que no había soli-
citudes de adaptador de entrada salida, y suponiendo adi-
cionalmente que la unidad CPU ha preparado una orden como
se ha indicado anteriormente, el canal 3 localizará ahora
la dirección del dispositivo (o adaptador) de la orden en
30 la memoria 5 utilizando el registro de iniciación de dis-

1 positivo. Como se ha afirmado anteriormente, los regis-
tros 56A, 56B (CCRO y CCR1) contienen un valor de "9001"
que, cuando estos bitios son descodificados como se ha es-
5 especificado en la figura 4, significa que ha de realizarse
una localización en memoria principal utilizando el regis-
tro de iniciación de dispositivo.

En el siguiente impulso T1 de sincronismo,
se carga un valor 1 en los circuitos 100 de retención SEQ
LT por medio de las puertas "Y" 117 y 133, la puerta "O"
10 146 y la puerta inversora 183, haciendo que se active la
línea S51 procedente del descodificador 102 (figura 12). El
circuito 205 de retención de memoria ocupada se activa tam-
bien en este momento por medio de las puertas "Y" 228, 236,
237 y las puertas "O" 281 y 282. El circuito 205 de reten-
15 ción de memoria ocupada, en su estado de activación, hace
que se activen las líneas de solicitud de traductor VAT de
entrada salida, de acceso a memoria, de incremento y de lo-
calización en memoria, por medio de las puertas "Y" 242,
244, 248, 252 y 247, la puerta inversora 297; y las puer-
20 tas "O" 284, 286 y 285 (figura 16). El canal 3 designa
también el registro de iniciación de dispositivo para el
traductor VAT 2 transmitiendo el contenido del registro
56B (CCR1) (el código hexadecimal 01 es el código corres-
pondiente a este registro) al traductor VAT 2 por medio de
25 las puertas "Y" 354 a 361 y 347 (figura 15).

Con referencia ahora a la figura 3, el es-
tado de activación de la línea de solicitud de traductor
VAT de entrada salida hace que el traductor VAT 2 selec-
cione el registro de entrada salida designado sobre la lí-
30 nea general 57 de selección de registro de entrada salida

1 procedente del conjunto de registros 6 VAT I/O. El contenido del registro de iniciación de dispositivo (una dirección de memoria principal más un bitio de página válida) se sitúa en el registro 401 VAT. Debido a que está en estado activo la línea de incremento, el circuito 402 de control de traductor VAT incrementa la dirección contenida en el registro 401 VAT en cuatro unidades y almacena el resultado actualizado en retorno al registro de iniciación de dispositivo. Puesto que está activa la línea de acceso a memoria, el circuito 402 de control de traductor VAT transmite la dirección de memoria (sin incrementar) desde el registro 401 VAT a la memoria 5. El traductor VAT 2 activa entonces la línea de localización en memoria dirigida a la memoria 5 puesto que la línea de localización en memoria procedente del canal 3 está en estado activo.

5
10
15
20
25
Cuando han sido localizados los datos en la memoria 5, el traductor VAT 2 activa la línea de muestreo de datos de memoria hacia el canal 3 desde la unidad 402 de control de traductor VAT. El estado de activación de la línea de muestreo de datos de memoria hace que el contenido de la línea general 7 de datos de memoria sea cargado en el registro CDR 50 (CDRO-CDR3, 50-50D) en el siguiente impulso Cl de sincronismo, por medio de las puertas "Y" 330, 335, 363, 377, 321, 339, 366 y 380, y las puertas "O" 418, 422, 425, 424, 431, 430, 435 y 434 (figura 15).

30
Después de la activación de la línea de muestreo de datos de memoria hacia el canal 3, el traductor VAT 2 activa la línea de operación de memoria realizada hacia el canal 3. El estado de activación de la línea de operación de memoria realizada hace que se active el circui

1 to 206 de retención de operación de memoria realizada por
medio de la puerta "Y" 239 y la puerta "O" 283 en el impul-
so G1 de sincronismo. El estado de activación del circui-
to 239 de retención de operación de memoria realizada hace
5 que sea repuesto el circuito 205 de retención de memoria ocu-
pada por medio de las puertas "Y" 236 y 238, la puerta "O"
282, y la puerta inversora 294 en un impulso T4 de sincro-
nismo. La reposición del circuito 238 de retención de
memoria ocupada hace que se inactiven las líneas de soli-
10 citud de traductor VAT de entrada salida, de acceso a memo-
ria, de incremento y de localización en memoria y que sea
eliminado el código del registro de iniciación de dispositi-
vo de la línea general 57 de selección de registro de en-
trada salida.

15 En el siguiente impulso T1 de sincronismo, el
circuito 205 de retención de memoria ocupada, que está re-
puesto, da lugar a la transmisión de un valor de 10 a los
circuitos 100 de retención SEQ por medio de las puertas
"Y" 131, 133, 134 y 110, las puertas "O" 141, 145 y 148 y
20 las puertas inversoras 184 y 160. También en el impulso
T1 de sincronismo, se repone el circuito 202 de retención
EO-2 por medio de las puertas "Y" 222 y 226, la puerta in-
versora 290 y la puerta "O" 279. Un valor de 10 en los
circuitos de retención SEQ-LT da lugar a la activación de
25 la línea SS10 procedente del descodificador 102. El estado
de activación de la línea SS10 da lugar a la activación de
una señal de etiqueta sobre la línea de etiqueta TA diri-
gida hacia el adaptador 4 de entrada salida por medio de
la puerta "O" 152. También en el intervalo T1 de sincro-
30 nismo, los datos del registro CDR 50 (CDRO-CDR3, 50A-50D)

1 se cargan en el registro CDRB 56 (CDRBO-CDRB3, 51A-51D).
El estado de activación de la línea SS10 da lugar a la
transmisión de los datos procedentes del registro CDRBO, 51A
a los bitios 0-7 de la línea general de datos de entrada
5 salida (paridad PO), por medio de las puertas "Y" 344 y
350 y las puertas "O" 428 y 429. El sistema de acopla-
miento de canal tiene ahora la línea de etiqueta TA activa
y una dirección de adaptador de dispositivo de entrada sa-
lida sobre la línea general de datos de entrada salida por
10 que, por convenio, la batería 0 de la orden es una direc-
ción de dispositivo.

En el siguiente impulso T3 de sincronismo,
el canal 3 muestreará las líneas B válida, H válida, ECC y
de prelocalización, procedentes del adaptador 4 de entrada
15 salida. Todos los adaptadores de entrada salida examinan
la dirección de dispositivo y el adaptador 4 de entrada
salida que reconoce su dirección habrá activado la línea
B Válida (si se trata de adaptador de batería) o H Válida
(si se trata de adaptador de media palabra) para indicar
20 que el adaptador 4 de entrada salida ha reconocido y acep-
tado los datos de dirección de dispositivo.

En el momento de emitir esta primera señal
de aceptación, el adaptador 4 de entrada salida determina
si la orden de entrada salida será localizada en un instan-
25 te posterior (la orden es puesta en cola) o si el adapta-
dor 4 de entrada salida aceptará la orden inmediatamente.
Los detalles de cada una de estas opciones se explican a
continuación, con referencia adicional a las figuras 1, 2,
3, 4 y 12-16.

30 Puesta en Cola de Ordenes - Si el adaptador 4 de entrada

1 salida va a localizar la orden en un instante posterior,
activa la línea EOC junto con la línea B válida o H válida.
Para este ejemplo, se supone que el adaptador 4 de entrada
5 salida es un adaptador de batería, es decir el adaptador
4 de entrada salida transmite datos solamente sobre los bi-
tios 0-7 de la línea general de datos de entrada salida
(paridad P0) e ignora los bitios 8-15 (paridad P1). Consi-
guientemente, todos los comentarios adicionales se referi-
rán a la utilización de la línea B Válida. La línea EOC
10 activa sirve como línea de señal de terminación para el
canal 3 e indica que se está tomando la opción de puesta
en cola de orden. Consiguientemente, el adaptador 4 de en-
trada salida almacena interiormente una indicación de que
la señal de terminación fue transmitida y de que está ahora
15 pendiente una orden de entrada salida para este adaptador.
Esta indicación puede almacenarse en un circuito de reten-
ción o en cualquier otro medio adecuado, tal como el circui-
to de retención QLT representado en la figura 1.

Las líneas B Válida y EOC procedentes del adap-
20 tador 4 de entrada salida son muestreadas por el canal 3 en
el siguiente impulso T3 de sincronismo, dando lugar a la
activación del circuito 104 de retención EOC (figura 12) y
el circuito 300 de retención B Válida (figura 15).

En el siguiente impulso T1 de sincronismo, los
25 circuitos 100 de retención SEQ son cargados con un valor
nulo por medio de las puertas "Y" 115, 131 y 133, las puer-
tas "O" 142 y 146 y las puertas inversoras 181 y 183. El
circuito 205 de retención de memoria ocupada se activa tam-
bién en el intervalo T1 de sincronismo por medio de las
30 puertas "Y" 234, 236 y 237 y las puertas "O" 281 y 282. El

1 circuito 205 de retención de memoria ocupada que está acti-
vado da lugar a la activación de la línea de solicitud de
traductor VAT de entrada salida por medio de las puertas
"Y" 242 y la puerta inversora 297.

5 La carga de un valor de 0 en los circuitos 100 de
retención SEQ da lugar a la inactivación de la línea SS10
procedente del descodificador 102 y da lugar a la activa-
ción de la línea SS0. La línea SS10 que se inactiva da lu-
gar a la inactivación de la línea de etiqueta TA y a que la
10 dirección del dispositivo sea bloqueada en su transmisión
desde los bitios 0-7 de la línea general de datos de entrada
salida, paridad PO, (figuras 12 y 15). El estado de activa-
ción de la línea SS0 da lugar a la activación de la línea
de página invalidada por medio de las puertas "Y" 242 y 254
15 y la puerta "O" 287 (figura 16). El estado de activación de
la línea SS0 da lugar también a que sea transmitido el con-
tenido del registro CCRL, 56B sobre la línea general 57 de
selección de registro de entrada salida al traductor VAT 2
por medio de las puertas "Y" 354 a 361 y 347 (figura 15).

20 Con referencia ahora a la figura 3, el traduc-
tor VAT 2, al detectar el estado de activación de la línea
de solicitud de traductor VAT de entrada salida, selecciona
el registro de iniciación de dispositivo (designado por el
contenido del registro CCRL, 56B) de los registros 6 VAT I/O
25 y almacena el contenido del registro de iniciación de dis-
positivo en el registro 401 VAT. Debido a que está acti-
vada la línea de página invalidada, la unidad 402 de con-
trol de traductor VAT desactiva el bitio de página váli-
da en el contenido del registro 401 VAT, y almacena el
30 contenido modificado de dicho registro en retorno al re-

1 - gistro de iniciación de dispositivo. El traductor VAT 2
activa entonces la línea de operación de memoria realizada
hacia el canal 3. Cuando la unidad CPU-1 comprueba el
bitio de página válida y lo encuentra desactivado, recono-
5 ce que el adaptador de entrada salida ha terminado el tra-
tamiento de la orden.

En el siguiente impulso C1 de sincronismo,
el canal 3 activa el circuito de retención de operación de
memoria realizada por medio de la puerta "Y" 239 y la puer-
ta "O" 283 (figura 16). En el siguiente impulso T3 de sin-
10 cronismo se reponen los circuitos 300, 104 de retención "B
Válida" y EOC, porque están ahora inactivas las líneas
"Válida" y EOC. En el siguiente impulso T4 de sincronis-
mo, el canal 3 repone el circuito 205 de retención de memo-
ria ocupada por medio de las puertas "Y" 236 y 238, la puer-
15 ta "O" 282 y la puerta inversora 294. La reposición del
circuito 205 de retención de memoria ocupada da lugar a la
inactivación de las líneas de solicitud de traductor VAT
de entrada salida y de página invalidada y de la línea 57
20 general de selección de registro de entrada salida.

En el siguiente impulso T1 de sincronismo,
los circuitos 100 de retención SEQ se cargan con un valor
de 2, por medio de las puertas "Y" 140, 126 y 133, la puer-
ta "O" 145 y las puertas inversoras 171 y 172. Cuando los
25 circuitos 100 de retención SEQ contienen un valor de 2, se
inactiva la línea SSO procedente del descodificador 102 y
se activa la línea SS2. La línea TP se activa a través de
la puerta "O" 149. El canal 3 retorna ahora a la secuen-
cia de escrutinio de canal. En el siguiente impulso T4 de
30 sincronismo se repone el circuito 200 de retención de es-

1 tado de arranque por medio de la puerta "Y" 229 y la puer-
ta inversora 291.

Orden Inmediata - Si el adaptador 4 de entrada salida va
a aceptar la orden inmediatamente, activa tanto la línea
5 B Válida como la línea de prelocalización. El estado de
activación de la línea de prelocalización indica que serán
localizados en la memoria 5 más de un bloque de cuatro ba-
terías de la orden. Esta línea permite el solape de crean-
ciones de localización de datos en la memoria 5 con trans-
10 ferencias de datos desde el canal 3 al adaptador 4 de en-
trada salida. La ausencia de una línea EOC activada indi-
ca al canal que la orden no va a ser puesta en cola, sino
que por el contrario va a ser aceptada inmediatamente.

El circuito 300 de retención B Válida (figura
15 15) y el circuito 203 de retención de prelocalización (fi-
gura 16) se activan en el siguiente impulso T3 de sincronis-
mo. En el siguiente impulso T4 de sincronismo el circuito
302 de retención de batería se activa por medio de las
puertas "Y" 314 (ST10 está activa) y 317 y las puertas "0"
20 413 y 414 (figura 15). En el siguiente impulso T1 de sin-
cronismo, los circuitos 100 de retención SEQ se cargan con
un valor de 12 por medio de las puertas "Y" 125, 132 y 133,
las puertas "0" 143 y 146 y las puertas inversoras 179 y
183. Un valor de 12 en los circuitos 100 de retención SEQ
25 da lugar a la inactivación de la línea SS10 procedente del
descodificador 102 y a la activación de la línea SS12.

El estado de inactivación de la línea SS10 da
lugar a la inactivación de la línea de etiqueta TA y a que
sea eliminada la dirección de dispositivo de los bits 0-7
30 de la línea general de datos de entrada salida, paridad PO.

1 El estado de activación de la línea SS12 da lugar a la ac-
tivación de las líneas TD y de concesión por medio de la
puerta "Y" 135, las puertas "O" 150 y 151 y la puerta in-
versora 185 (figura 12). Los datos contenidos en el regis-
5 tro CDRBO, 51A (la dirección del dispositivo) son trans-
mitidos sobre los bitios 0-7 de la línea general de datos
de entrada salida, paridad P0, por medio de las puertas
"Y" 344 (está aún activa la línea de contador 0 de batería)
y 350 y las puertas "O" 429 y 428.

10 Con referencia ahora a la figura 16, también en
el impulso T1 de sincronismo, se activa el circuito 205 de
retención de memoria ocupada por medio de las puertas "Y"
227, 237 y 236, las puertas "O" 281 y 282 y la puerta in-
versora 294. El estado de activación del circuito 205 de
15 retención de memoria ocupada da lugar a la activación de
las líneas de solicitud de traductor VAT de entrada salida,
de acceso a memoria, de incremento y de localización en
memoria por medio de las puertas "Y" 242, 246, 248, 244 y 250,
las puertas "O" 285, 284 y 286 y las puertas inversoras
20 278, 299 y 275. El contenido del registro CCRL (56B), que
especifica el registro de iniciación de dispositivo, es
transmitido a la línea general 57 de selección de registro
de entrada salida por medio de las puertas "Y" 354 a 361
y 347 y la puerta inversora 452 (figura 15). De este modo,
25 el canal 3 instruye a la unidad CPU en el sentido de comen-
zar la localización de las segundas cuatro baterías de la
orden mientras las primeras cuatro son transferidas al adap-
tador 4 de entrada salida.

30 Con referencia ahora a la figura 3, el traduc-
tor VAT 2 selecciona el contenido del registro de inicia-

1 - ción de dispositivo de los registros 6 VAT I/O y carga el
contenido en el registro 401 VAT. Debido a que está acti-
vada la línea de incremento, la unidad 402 de control de
traductor VAT incrementa el contenido del registro 401
5 VAT en cuatro unidades (para actualizarlo para la siguien-
te transferencia de datos) y almacena el resultado en re-
torno en el registro de iniciación de dispositivo. El es-
tado de activación de la línea de acceso a memoria da lu-
10 gar a que el traductor VAT 2 transmita el contenido (sin
incrementar) del registro 401 VAT a la memoria 5 a través
de la puerta "Y" 92, condicionada por las líneas de loca-
lización en memoria y de transmisión de dirección de memo-
ria. El traductor VAT 2 activa entonces la línea de loca-
lización en memoria conectada a la memoria 5. La memoria
15 5 localiza los datos en la dirección especificada y los
sitúa en la línea general 7 de datos de memoria. El tra-
ductor VAT 2 activa la línea de muestreo de datos de memo-
ria dirigida al canal 3, haciendo que se almacenen los da-
tos presentes en la línea 7 general de datos de memoria
20 en los registros CDRO a CDR3 (50A-50D) en el siguiente
impulso C1 de sincronismo por medio de las puertas "Y"
330, 321, 335, 339, 363, 366, 377 y 380 y las puertas "O"
418, 422, 424, 425, 430, 431, 434 y 435 (figura 15). El
traductor VAT 2 activa entonces la línea de operación de
25 memoria realizada haciendo que el circuito 206 de reten-
ción de operación de memoria realizada se active en el
siguiente impulso C1 de sincronismo por medio de la puer-
ta "Y" 239 y la puerta "O" 283 (figura 16). El estado de
activación del circuito 206 de retención de operación de memoria
30 realizada da lugar a la reposición del circuito 205 de re-

1 - tención de memoria ocupada por medio de las puertas "Y"
238 y 236, la puerta "O" 282 y la puerta inversora 294 en
el siguiente impulso T4 de sincronismo. El estado de re-
5 posición del circuito de retención de memoria ocupada da
lugar a la inactivación de las líneas de solicitud de tra-
ductor VAT de entrada salida, de incremento, de acceso a
memoria y de localización en memoria. El contenido del
registro de iniciación de dispositivo es eliminado también
de la línea general 57 de selección de registro de entrada
10 salida.

Con referencia nuevamente a la figura 15, en
el siguiente impulso T4 de sincronismo a continuación de la
activación del circuito de retención de memoria ocupada,
se activa el circuito 303 de retención de espera, evitando
15 que las siguientes cuatro baterías de datos sean cargadas
desde los registros CDRO-CDR3 (50A-50D) en los registros
CDRBO-CDRB3, 51A-51D (que retienen ya las primeras cuatro
baterías de la orden, como resultado de la secuencia de
iniciación de dispositivo) hasta que todos los datos pro-
cedentes de los registros CDRBO a CDRB3 (51A-51D) han sido
20 transferidos al adaptador 4 de entrada salida. El circuito
de retención de espera se activa por medio de las puertas
"Y" 367 y 369 y la puerta "O" 432.

Mientras se está realizando el siguiente acce-
25 so a memoria para el canal 3, el canal 3 está continuando
la transferencia de las primeras cuatro baterías de datos
(la orden) desde los registros CDRBO a CDRB3 (51A-51D) al
adaptador 4 de entrada salida sobre la línea general de
datos de entrada salida, del modo siguiente.

30 En el impulso T1 de sincronismo anterior, la

1 primera batería de la orden fue situada sobre los bitios
0-7, P0, de la línea general de datos de entrada salida.
En el siguiente impulso T2 de sincronismo, el circuito 101
de retención SEQ LTB fue cargado con un valor de 12 dando
5 lugar a la activación de la línea ST12 procedente del des-
codificador 103. En el siguiente impulso T3 de sincronis-
mo, la línea B válida que está activa (porque el adaptador
4 de entrada salida ha aceptado ya a la primera batería
de datos) dio lugar a la activación del circuito 300 de re-
10 tención "B Válida" (figura 15). Debido a que el adaptador
4 de entrada salida solamente transferirá ocho baterías de
datos (la longitud de una orden), el adaptador 4 de entrada
salida desactiva la línea de prelocalización, dando lugar
a la reposición del circuito 203 de retención de preloca-
15 lización, también en el intervalo T3 (figura 16).

El estado de activación del circuito 300 de
retención "B Válida" da lugar a que los circuitos 363, 364
de báscula de contador 0 de baterías y de contador 1 de ba-
terías sean incrementados en una unidad en el flanco pos-
20 terior del siguiente impulso T1 de sincronismo, para esta-
blecer acceso a la segunda batería en el registro CDRB 51
(CDRB1, 51B). Los circuitos de báscula correspondientes a
los contadores 0 y 1 de baterías son incrementados por me-
dio de la puerta "Y" 310 y la puerta "O" 410. Los circui-
25 tos 363, 364 de báscula de los contadores 0 y 1 de bate-
rías contienen ahora un valor de 1, lo cual da lugar a la
activación de la línea de contador 1 de baterías proceden-
te del descodificador 304. La segunda batería de datos,
procedente del registro CDRB1, 51B, es transmitida a la
30 línea general de datos de entrada salida, bitios 0-7, pari

1 dad PO, por medio de las puertas "Y" 345 y 351 y la puerta
"O" 429.

5 En el siguiente impulso T3 de sincronismo, el adaptador 4 de entrada salida activa la línea B Válida para
indicar que fue recibida la segunda batería de datos. Como resultado, se activa el circuito 300 de retención B válida,
10 dando lugar a que los circuitos 363, 364 de báscula de los contadores 0 y 1 de baterías sean incrementados en una unidad,
en el siguiente impulso T1 de sincronismo, para obtener un valor de 2, por medio de las puertas "Y" 310 y
316 y las puertas "O" 410 y 415. Un valor de dos unidades contenido en los circuitos 364, 363 de báscula de los con-
tadores 0 y 1 de baterías da lugar a la activación de la línea de contador 2 de baterías procedente del descodifica-
15 dor 304. El estado de activación de la línea de contador 2 de baterías da lugar a que los datos contenidos en el re-
gistro CDRB2, 51E, sean transmitidos sobre los bits 0-7, paridad PO, de la línea general de datos de entrada salida
por medio de las puertas "Y" 346 y 353 y la puerta "O" 429.
20 En el siguiente impulso T3 de sincronismo, el adaptador 4 de entrada salida activa la línea B Válida para indicar que
fue recibida la tercera batería de datos por el adaptador 4 de entrada salida. En el flanco posterior del siguiente
impulso T1 de sincronismo, los circuitos 363, 364 de báscu-
25 la de los contadores 0 y 1 de baterías son incrementados en una unidad hasta un valor de 3, por medio de las puer-
tas "Y" 310 y 316 y las puertas "O" 410 y 415. Un valor de tres unidades en los circuitos 363, 364 de báscula de
los contadores 0 y 1 de baterías da lugar a la activación
30 de la línea de contador 3 de baterías procedente del desco

1 - descodificador 304. También se activa la línea de "registro CDR
lleno" por medio de la puerta "O" 416. Los datos conteni-
dos en el registro CDRB3, 51C, serán transmitidos entonces
5 sobre la línea general de datos de entrada salida, bitios
0-7, paridad PO, por medio de las puertas "Y" 370 y 352 y
la puerta "O" 429.

En el siguiente impulso T3 de sincronismo, el
adaptador 4 de entrada salida activa la línea B Válida,
indicando que el adaptador 4 de entrada salida ha aceptado
10 la cuarta batería de datos. El circuito 300 de retención
B Válida se activa, dando lugar a que se active la línea
"Válida" por medio de la puerta "O" 411. En el siguiente
impulso T4 de sincronismo, el circuito 303 de retención de
espera es repuesto por medio de las puertas "Y" 324 y 369,
15 las puertas "O" 421 y la puerta inversora 453.

En el siguiente impulso T1 de sincronismo,
los datos presentes en el registro CDR 50 (CDRO-CDR3, 50A,
50D) son cargados en el registro CDRB51 (CDR30-CDRB1, 51A-
51D) por medio de las puertas "Y" 332, 343, 371 y 382 y las
20 puertas inversoras 455-458.

También en el intervalo T1 de sincronismo
(flanco posterior) se incrementan en una unidad los circui-
tos 363, 364 de báscula de los contadores 0 y 1 de baterías.
Consiguientemente, evolucionan hasta un valor de cero, dan-
do lugar a que se active la línea de contador 0 de bate-
25 rías procedente del descodificador 304. La siguiente ba-
tería de datos (la quinta batería de la orden de entrada
salida) es transmitida a la línea general de datos de en-
trada salida, bitios 0-7, paridad PO, por medio de las
30 puertas "Y" 344 y 350 y las puertas "O" 428 y 429. La sexta,

1 séptima y octava baterías, son transmitidas al adaptador de entrada salida del mismo modo que la segunda, tercera y cuarta baterías de datos, por medio de las mismas puertas descritas anteriormente.

5 Cuando es recibida la octava batería de datos por el adaptador 4 de entrada salida, dicho adaptador activa las líneas B Válida y EOC para indicar que no van a tener lugar más transferencias de datos. En el siguiente impulso T3 de sincronismo, se activan el circuito 300 de retención B Válida (figura 15) y el circuito 104 de retención EOC (figura 12). En el siguiente impulso T1 de sincronismo los circuitos 100 de retención SEQ son cargados con un valor de cero, por medio de las puertas "Y" 114, 131 y 132, las puertas "O" 142 y 144 y las puertas inversoras 15 181 y 182, dando lugar a la activación de la línea SSO desde el desociidificador 102. El estado de activación de la línea SSO da lugar a la inactivación de las líneas TD y de concesión y a que sean eliminados los datos procedentes del registro CDRB3 51D de la línea general de datos de entrada salida, bitios 0-7, paridad PO.

20 También en este impulso T1 de sincronismo, se activa el circuito 205 de retención de memoria ocupada por medio de las puertas "Y" 236, 235 y 237, las puertas "O" 281 y 282 y la puerta inversora 294. El estado de activación del circuito 205 de retención de memoria ocupada da lugar a la activación de la línea de solicitud de traductor VAT de entrada salida y la línea de página invalidada por medio de las puertas "Y" 242 y 254 y la puerta "O" 287. El contenido del registro CCRL, 56B, que especifica el registro de iniciación de dispositivo, es transmitido a la 25 30

1 línea general 57 de selección de registro de entrada salida por medio de las puertas "Y" 354 a 361 y 347.

5 El traductor VAT. 2 selecciona el contenido del registro de iniciación de dispositivo y carga este contenido en el registro 401 VAT. La unidad 402 de control de traductor VAT repone entonces el bitio de página válida en el contenido del registro 401 VAT (porque está activa la línea de página invalidada) y almacena el contenido en retorno en el registro de iniciación de dispositivo. El traductor VAT 2 activa entonces la línea de operación de memoria realizada hacia el canal 3. El bitio de página válida repuesto (desactivado) indicará a la unidad CPU 1 que el adaptador de entrada salida ha terminado el tratamiento de la orden.

15 En el siguiente impulso C1 de sincronismo, el circuito 206 de retención de operación de memoria realizada es activado por medio de la puerta "Y" 239 y la puerta "O" 283. En el siguiente impulso T4 de sincronismo, el circuito de retención de memoria ocupada se repone por medio de las puertas "Y" 236 y 238, la puerta "O" 282 y la puerta inversora 294. El estado de reposición del circuito 205 de retención de memoria ocupada da lugar a la inactivación de las líneas de solicitud de traductor VAT de entrada salida y de página invalidada.

25 En el siguiente impulso T1 de sincronismo, se carga un valor de dos unidades en los circuitos 100 de retención SEQ por medio de las puertas "Y" 126 y 133 y la puerta "O" 145. El canal 3 vuelve ahora a la secuencia de escrutinio de canal buscando un adaptador 4 de entrada salida que solicite la utilización del canal 3 o

30

1 esperando a que sea transmitida a un adaptador 4 de en-
trada salida otra orden procedente de la unidad CPU 1.
En el siguiente impulso T4 de sincronismo, se repone el
circuito 204 de retención de estado de arranque por medio
5 de la puerta "Y" 229 y la puerta inversora 291.

Se ve por lo precedente que el presente apa-
rato para transferir órdenes de entrada salida permite a
un adaptador de entrada salida indistintamente aceptar de
forma inmediata la orden presentada al mismo por el canal
10 o poner en cola de espera la orden de modo que pueda ser
localizada por el adaptador de entrada salida por su pro-
pia iniciativa. Cuando la unidad CPU presenta una orden
a los adaptadores de entrada salida, el canal transmite en
primer lugar datos de dirección de dispositivo para identi-
15 ficar el adaptador al cual está dirigida la orden. El adap-
tador que reconoce su dirección de dispositivo transmite
al canal una primera señal de aceptación, que indica la acep-
tación de la dirección de dispositivo. Si el adaptador 4
de entrada salida transmite también una señal de terminación,
20 esto indica que la orden va a quedar en estado de espera.
Si la señal de terminación no es transmitida, esto indica
que la orden va a ser aceptada inmediatamente. Cuando una
orden va a ser puesta en cola de espera, el adaptador de en-
trada salida almacena una indicación de que fue transmitida
25 una señal de terminación y está pendiente una orden. En
este caso, el adaptador localizará la orden posteriormente
iniciando una secuencia de transferencia de datos, cuando
está libre para hacerlo y cuando el canal le concede el sis-
tema de acoplamiento de canal en respuesta a una solicitud
30 de servicio. Se utiliza una secuencia normalizada de trans

1 ferencia de datos para localizar una orden puesta en cola.
Es decir, la operación de búsqueda en memoria es esencial-
mente la misma si el adaptador de entrada salida está rea-
lizando una operación de localización de datos o se trata
5 de una orden puesta en cola.

Se ve adicionalmente por lo precedente que el
presente aparato permite a un adaptador de entrada salida
retrasar el tratamiento de órdenes sin necesidad de memo-
rias intermedias de órdenes. Adicionalmente, el adaptador
de entrada salida no necesita esperar la retransmisión de
10 la orden retardada, sino que por el contrario puede ini-
ciar el tratamiento de la orden retardada por propia ini-
ciativa.

Aun cuando se ha ilustrado y descrito la reali-
zación preferida del invento, ha de entenderse que el in-
vento no está limitado a la disposición constructiva con-
creta expuesta en la presente memoria, y queda reservado
el derecho a todos los cambios y modificaciones que queden
comprendidos dentro del campo del invento, como se define
20 en las reivindicaciones anexas.

25

30

1

- REIVINDICACIONES -

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un aparato mejorado para transferir órdenes de entrada-salida; que incluyen datos de dirección de dispositivo y datos de orden, a adaptadores de entrada-salida conectados a dispositivos de entrada-salida en un sistema de computador que tiene una memoria direccionable para almacenar instrucciones, datos y órdenes de entrada-salida, una unidad central de tratamiento susceptible de funcionar para localizar instrucciones en la memoria y ejecutar dichas instrucciones, y medios de canal que conectan los adaptadores de entrada-salida a la memoria y a la unidad central de tratamiento, la mejora que comprende: un registro de órdenes de entrada-salida; un registro de iniciación de funcionamiento de dispositivo de entrada-salida; medios conectados a la unidad central de tratamiento para cargar el registro de órdenes de entrada-salida y el registro de iniciación de funcionamiento de dispositivo de entrada-salida con una dirección de una orden de entrada-salida, medios de control en los medios de canal para establecer acceso a la memoria en una posición especificada por la dirección contenida en el registro de iniciación de funcionamiento de dispositivo de entrada-salida y para

1 - transferir datos de dirección de dispositivo a los cuales
se ha tenido acceso en la memoria, a los adaptadores de
entrada-salida, proporcionando dichos medios de control
a los adaptadores de entrada-salida una primera señal de
5 etiqueta, medios en los adaptadores de entrada-salida que
responden a la primera señal de etiqueta para examinar los
datos de dirección de dispositivo transferidos por los me-
dios de control y para determinar si los datos de direc-
ción de dispositivo han de aceptarse; medios en los adap-
tadores de entrada-salida para transmitir una primera señal
10 de aceptación a los medios de control al determinarse que
los datos de dirección de dispositivo se van a aceptar; me-
dios en los adaptadores de entrada-salida para determinar
si los datos de orden han de aceptarse y para transmitir
15 una señal de terminación a los medios de control al deter-
minarse que los datos de orden no van a aceptarse, respon-
diendo dichos medios de control a la señal de terminación
para terminar la primera señal de etiqueta y dejar pen-
diente la orden de entrada salida; y medios en los adap-
tadores de entrada-salida para almacenar una indicación
20 de que la señal de terminación fue transmitida para indi-
car a un adaptador de entrada-salida que transmite la se-
ñal de terminación que está pendiente una orden de entra-
da-salida.

25 2ª.- El aparato de la reivindicación 1ª, en
donde dichos medios de control responden a la primera se-
ñal de aceptación y a la ausencia de la señal de termina-
ción para transferir al adaptador de entrada-salida datos
de orden a los que se ha tenido acceso en la memoria.

30 3ª.- El aparato de la reivindicación 1ª, que

1 comprende adicionalmente medios en los adaptadores de entrada-salida para hacer que los medios de control tengan acceso en la memoria a una orden en una posición especificada por la dirección contenida en el registro de órdenes
5 cuando los adaptadores de entrada-salida tienen una indicación de que está pendiente una orden de entrada-salida y no se está requiriendo una transferencia de datos.

10 4ª.-El aparato de la reivindicación 1ª, en donde los medios incluidos en los adaptadores de entrada-salida para examinar los datos de dirección de dispositivo y determinar si han de ser aceptados comprenden medios para comparar una dirección de dispositivo asignada a un adaptador de entrada-salida con los datos de dirección de dispositivo.

15 5ª.- El aparato expuesto en la reivindicación 1ª, en donde la mejora comprende adicionalmente medios de indicación de terminación en el canal para indicar a la unidad central de tratamiento que ha sido transmitida una señal de terminación por un adaptador de entrada-salida o
20 que se ha producido la transferencia de datos de orden a continuación de la primera señal de etiqueta.

25 6ª.- El aparato de la reivindicación 5ª, en donde los medios de indicación de terminación comprenden un campo en el registro de iniciación de funcionamiento de dispositivo de entrada-salida.

30 7ª.- "UN APARATO MEJORADO PARA TRANSFERIR ORDENES DE ENTRADA-SALIDA".

1

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

5

Esta Memoria consta de ochenta y tres hojas escritas a máquina por una sola cara.

Madrid, 23.NOV.1979

P.A.

10

Alberto de Ezpeleta
Por Poder,

15

20

25

30

13119

JL/.

INTERNATIONAL BUSINESS MACHINES CORPORATION

FIG. 1

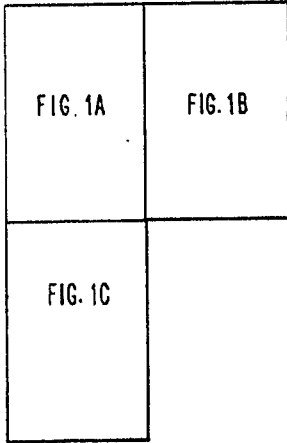


FIG. 2

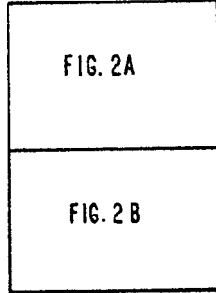


FIG. 12

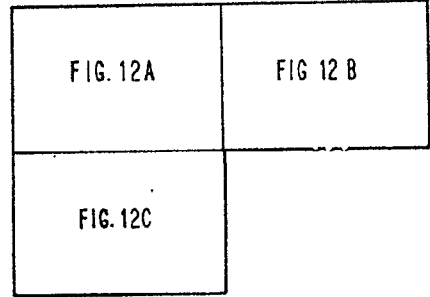


FIG. 13

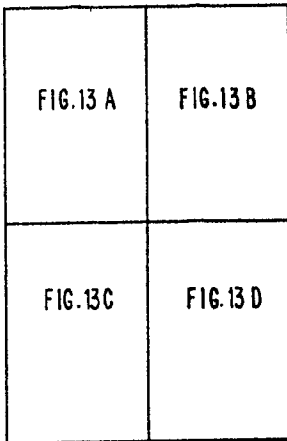
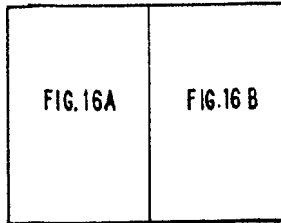
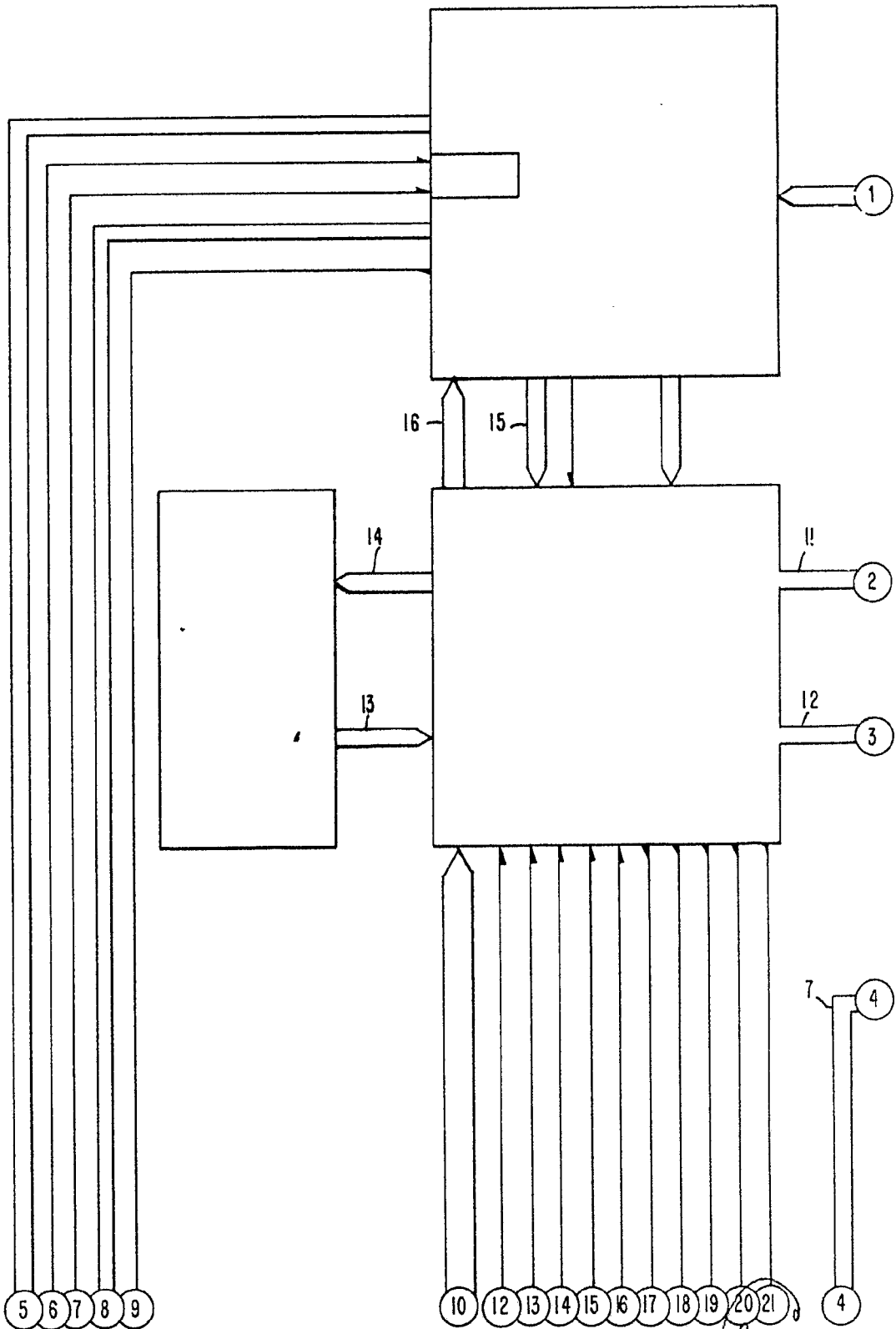


FIG. 16



Alberto de Ezeola
Por Poderes

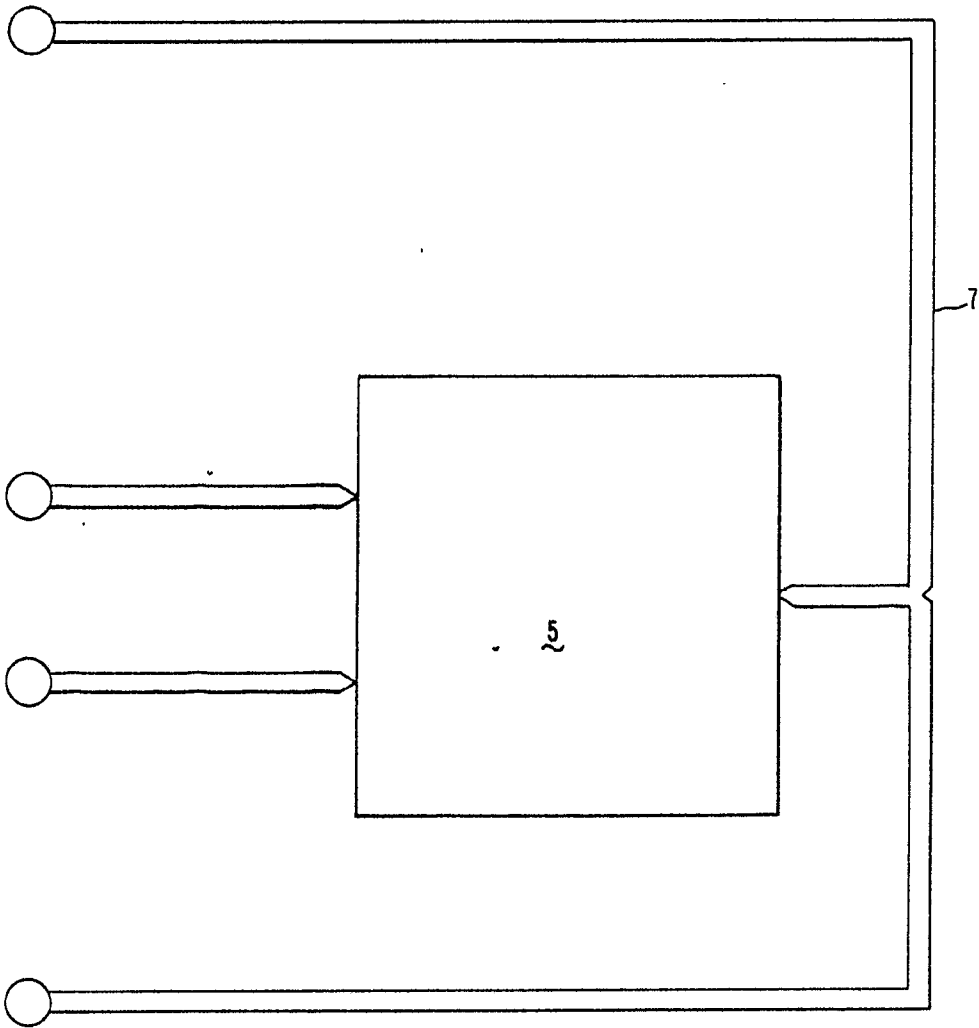
FIG. 1A



IBM - RO 978 020

Alberto de Ferraris
Per Ferraris

FIG. 1B



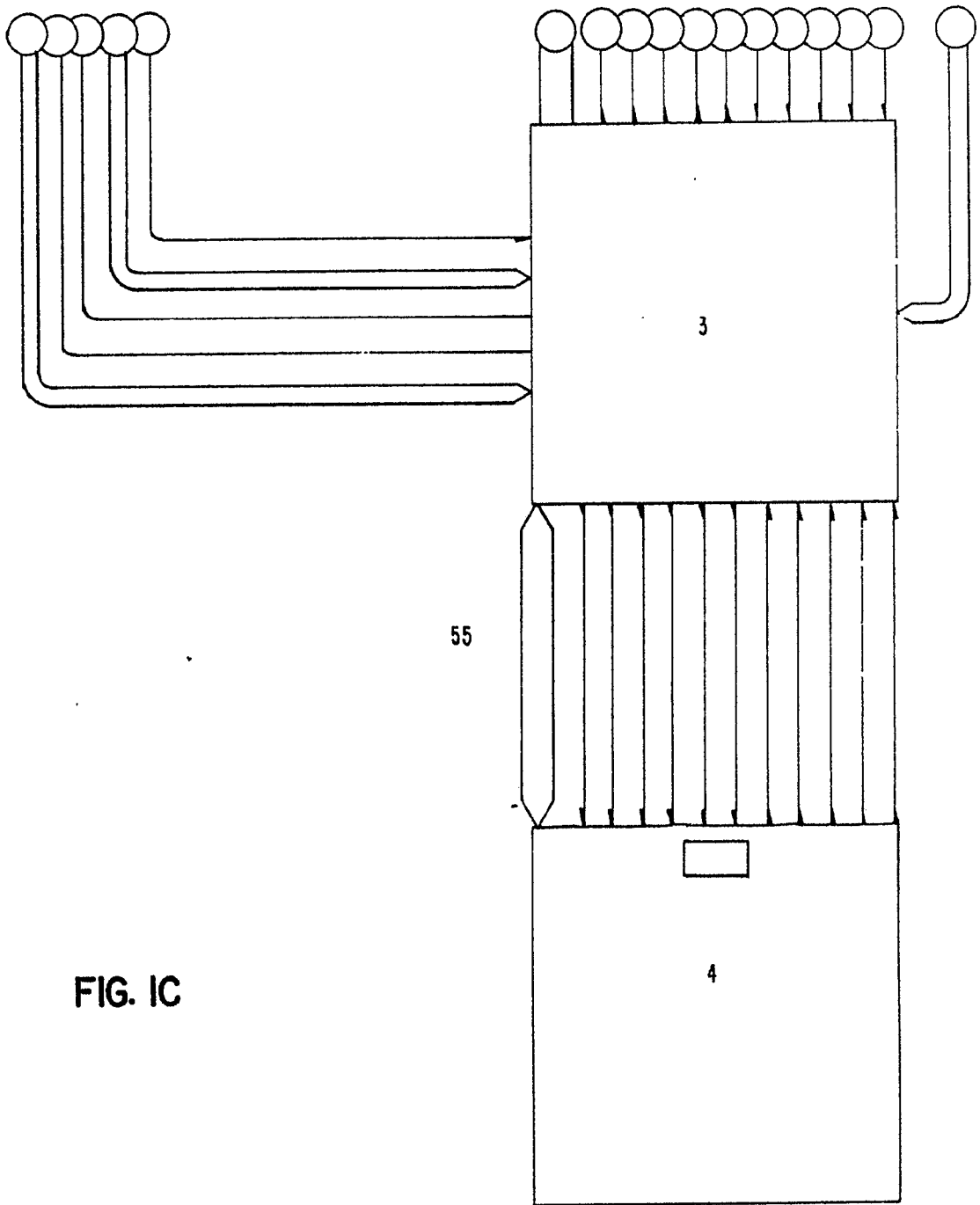


FIG. 1C

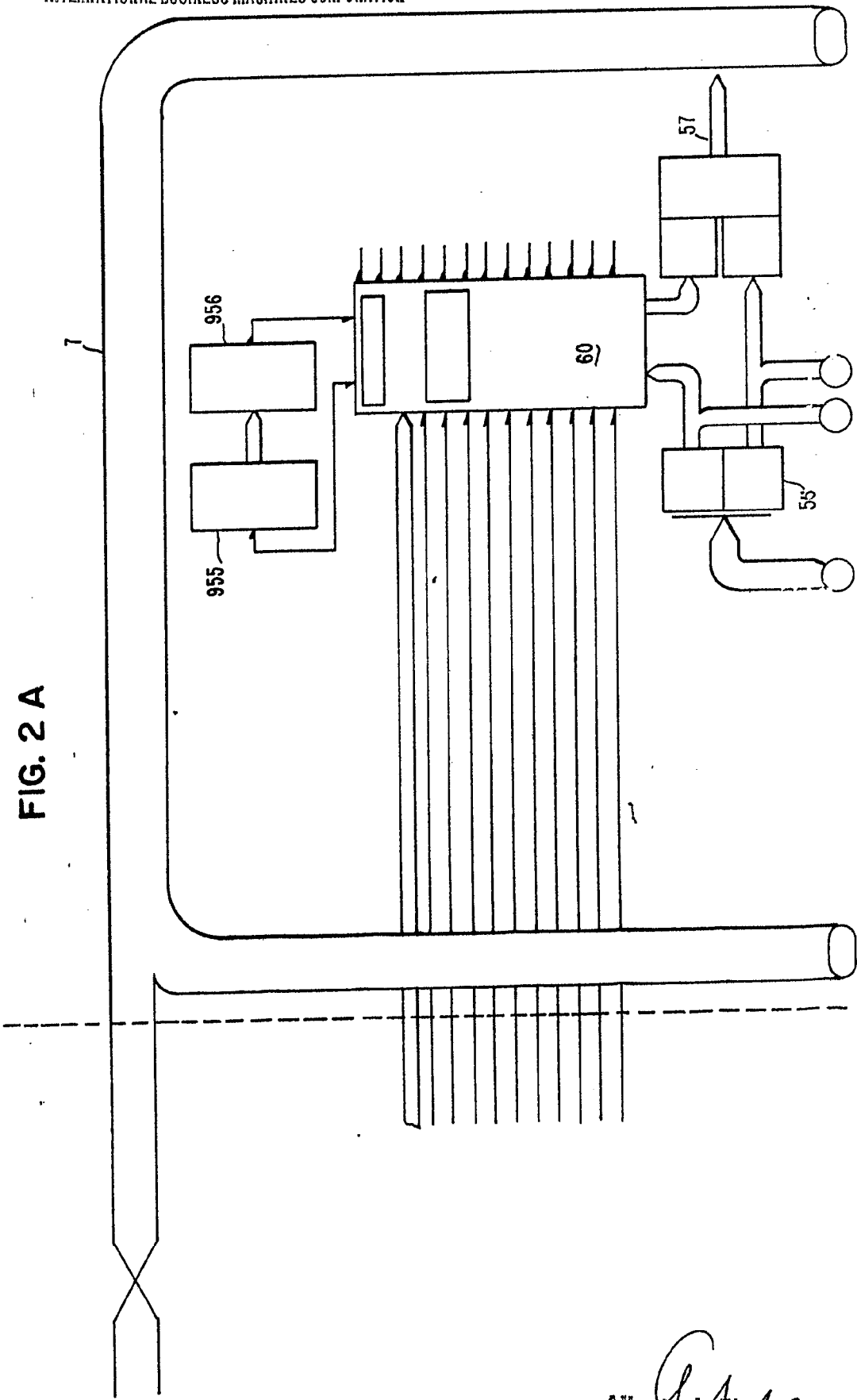


FIG. 2 A

Alberto de Fioresi
Per Poderi

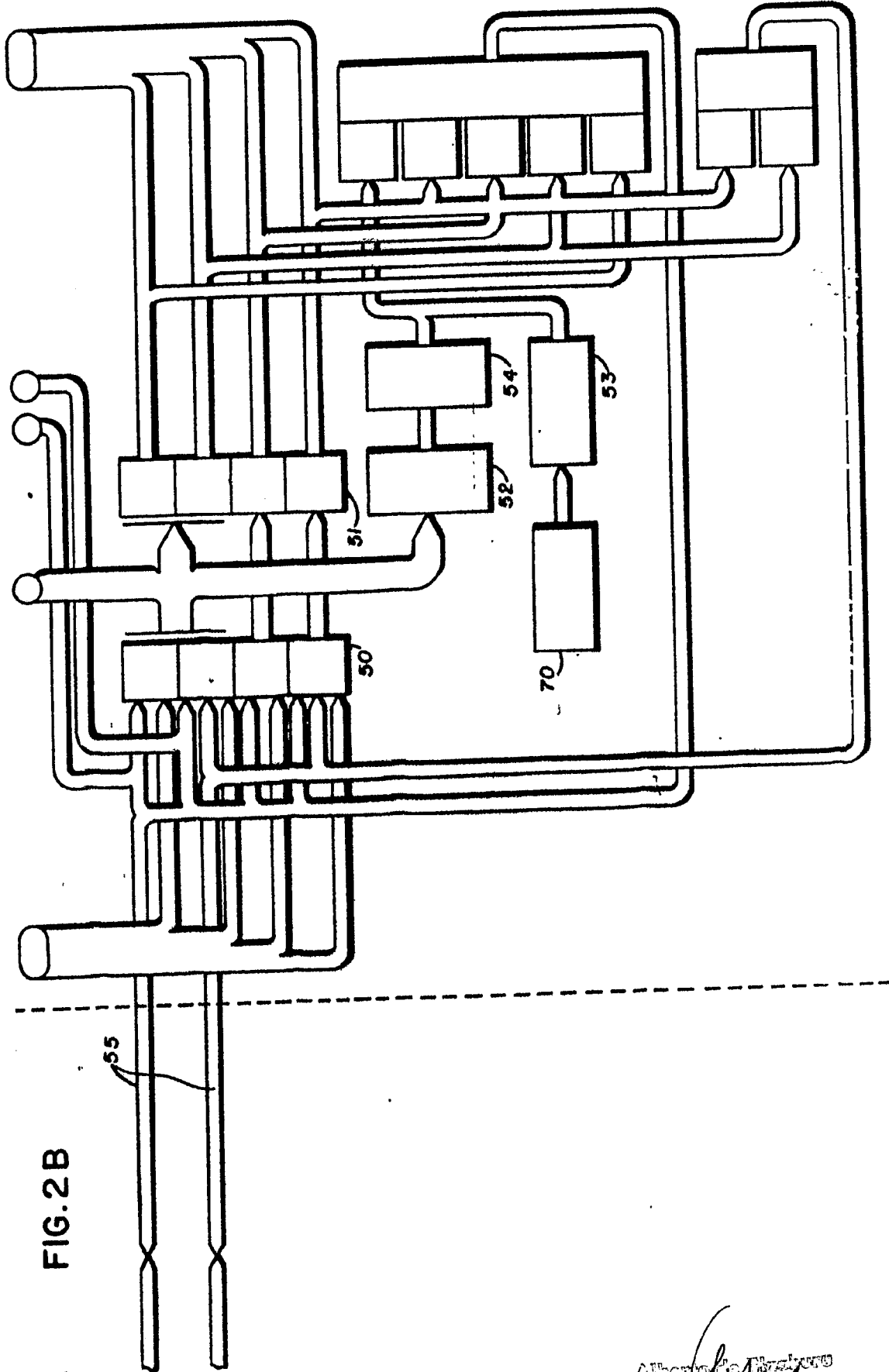
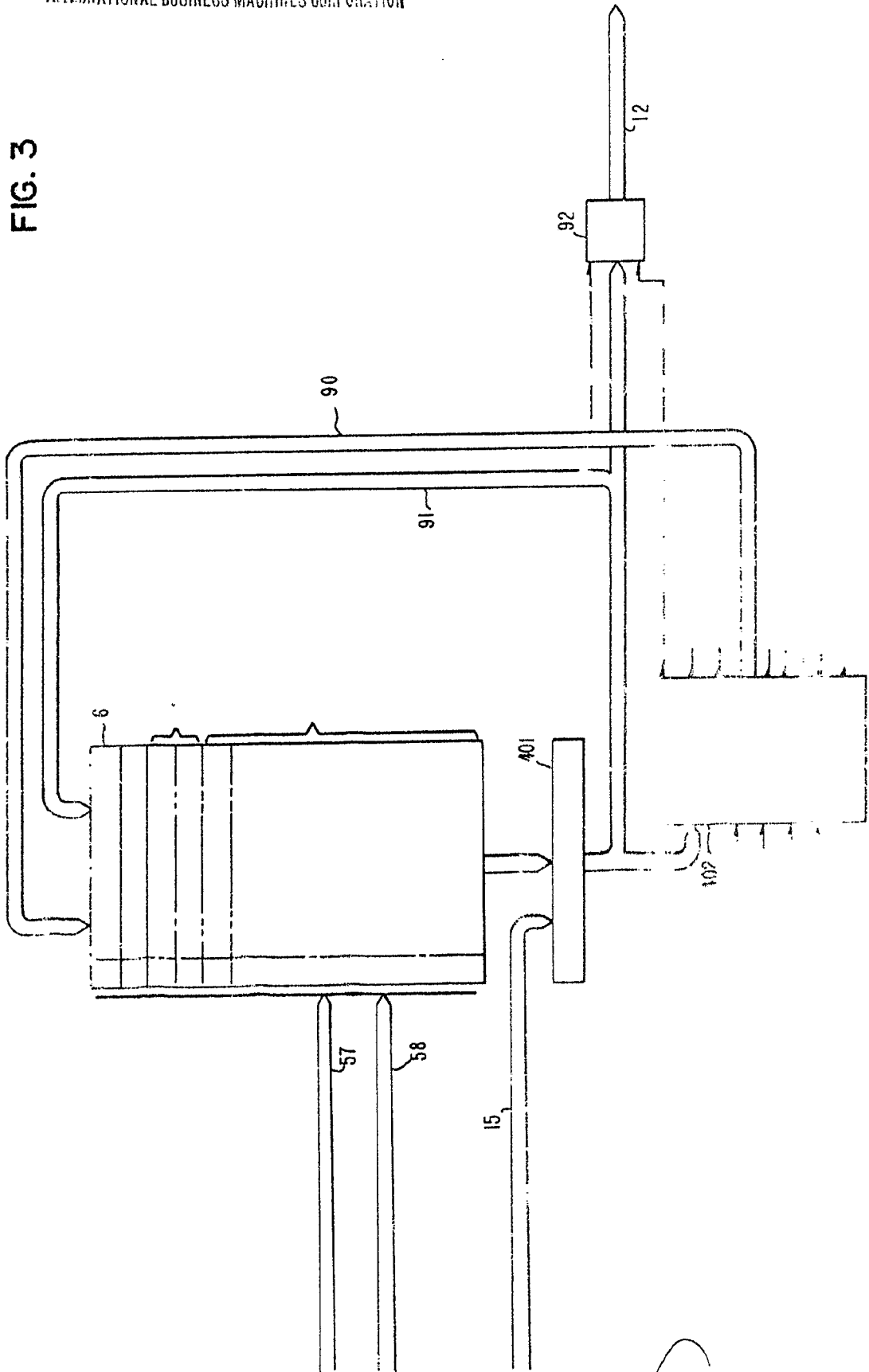


FIG. 2B

Albert G. ...
Patented

FIG. 3



154 NO 978 024

[Handwritten signature]
IBM Corp.
New York, N.Y.

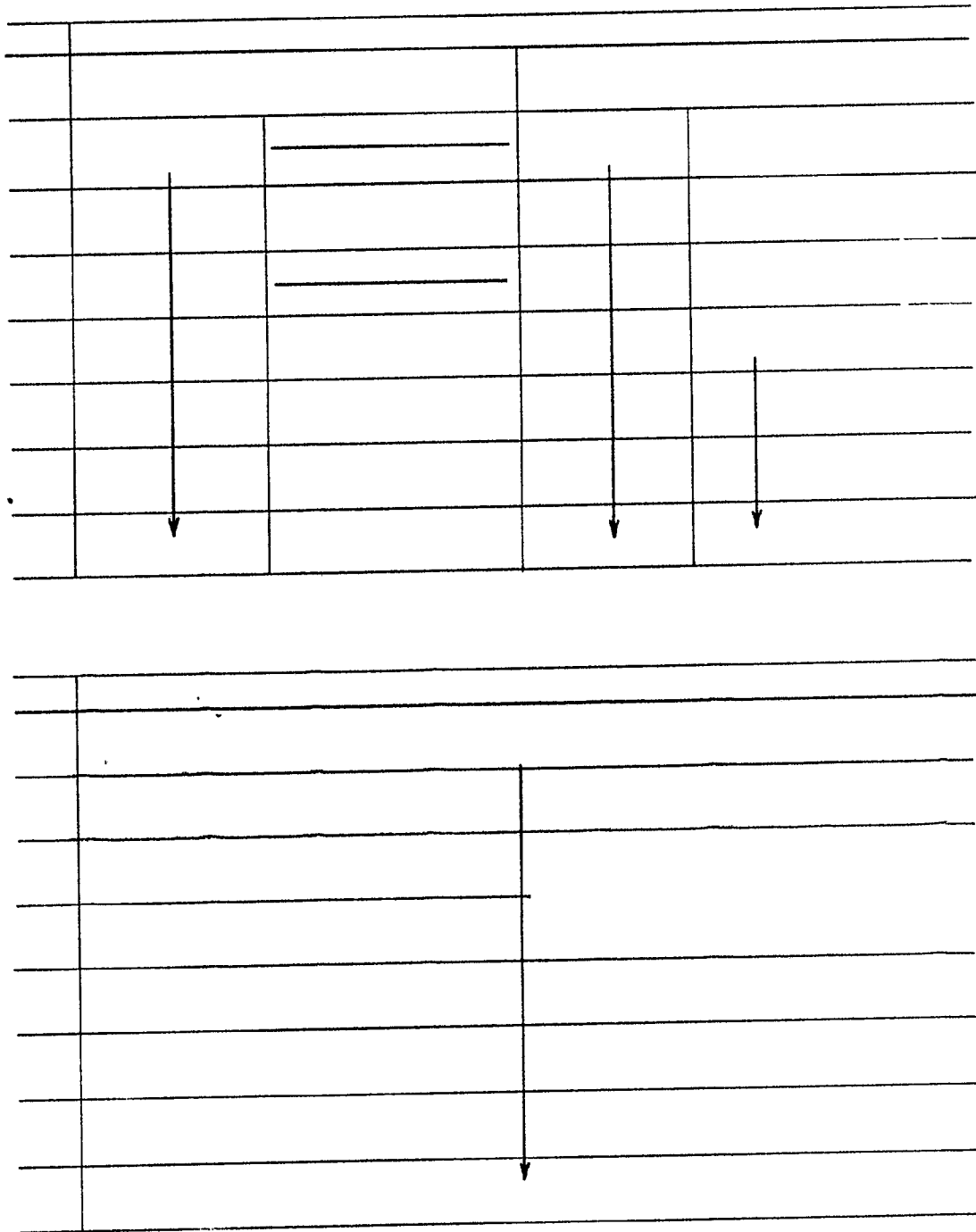


FIG. 4

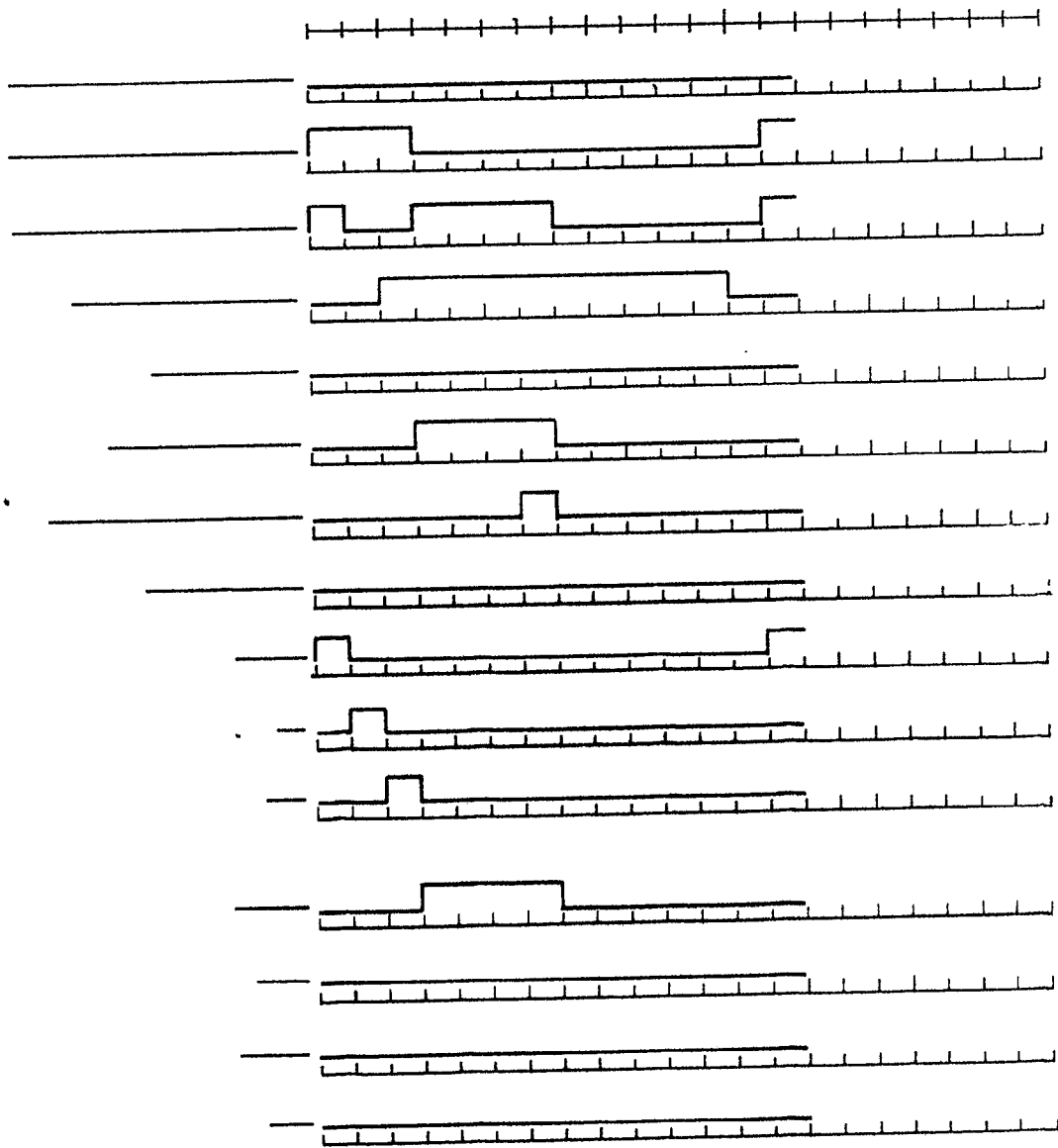


FIG. 5

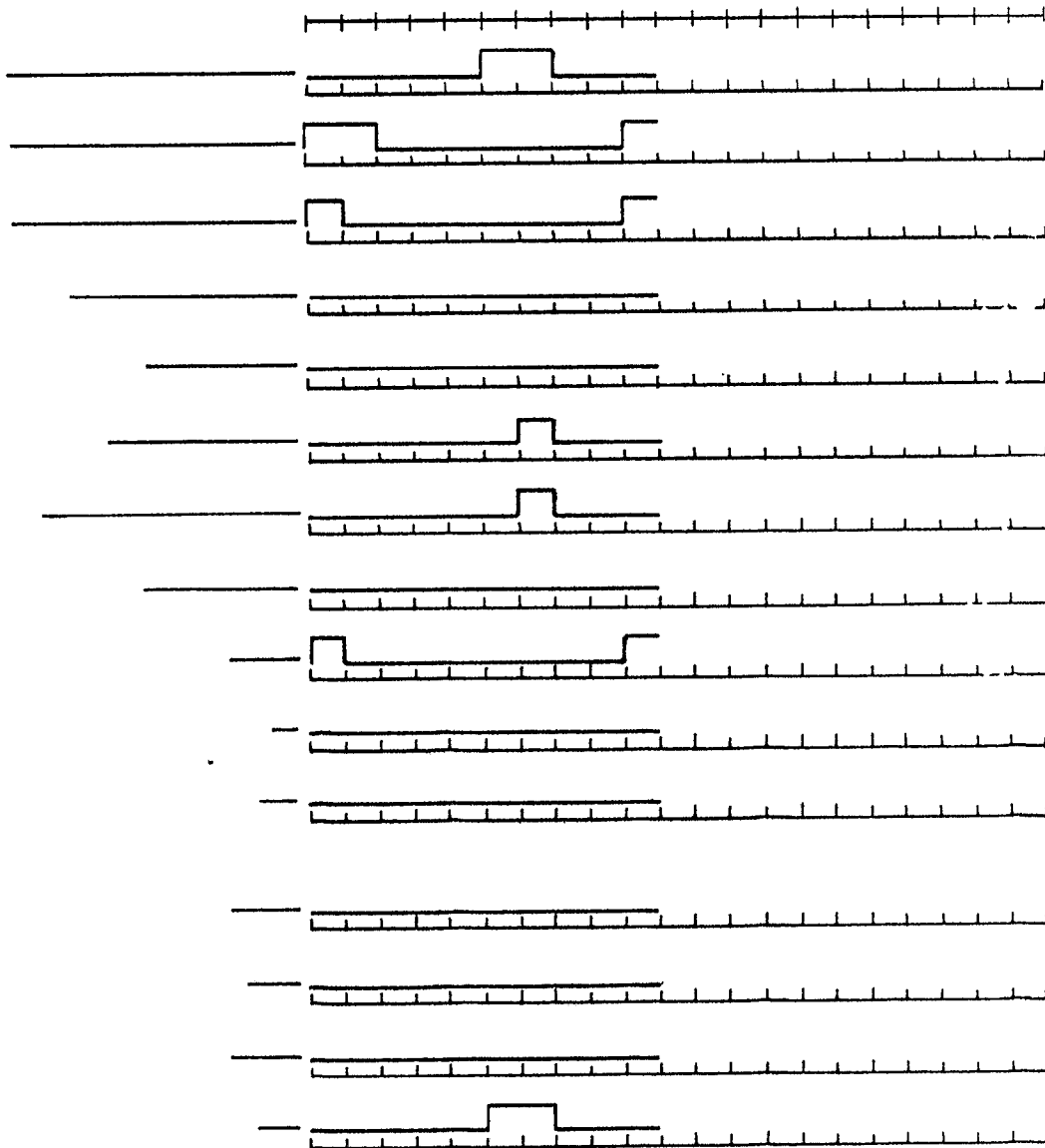


FIG. 6

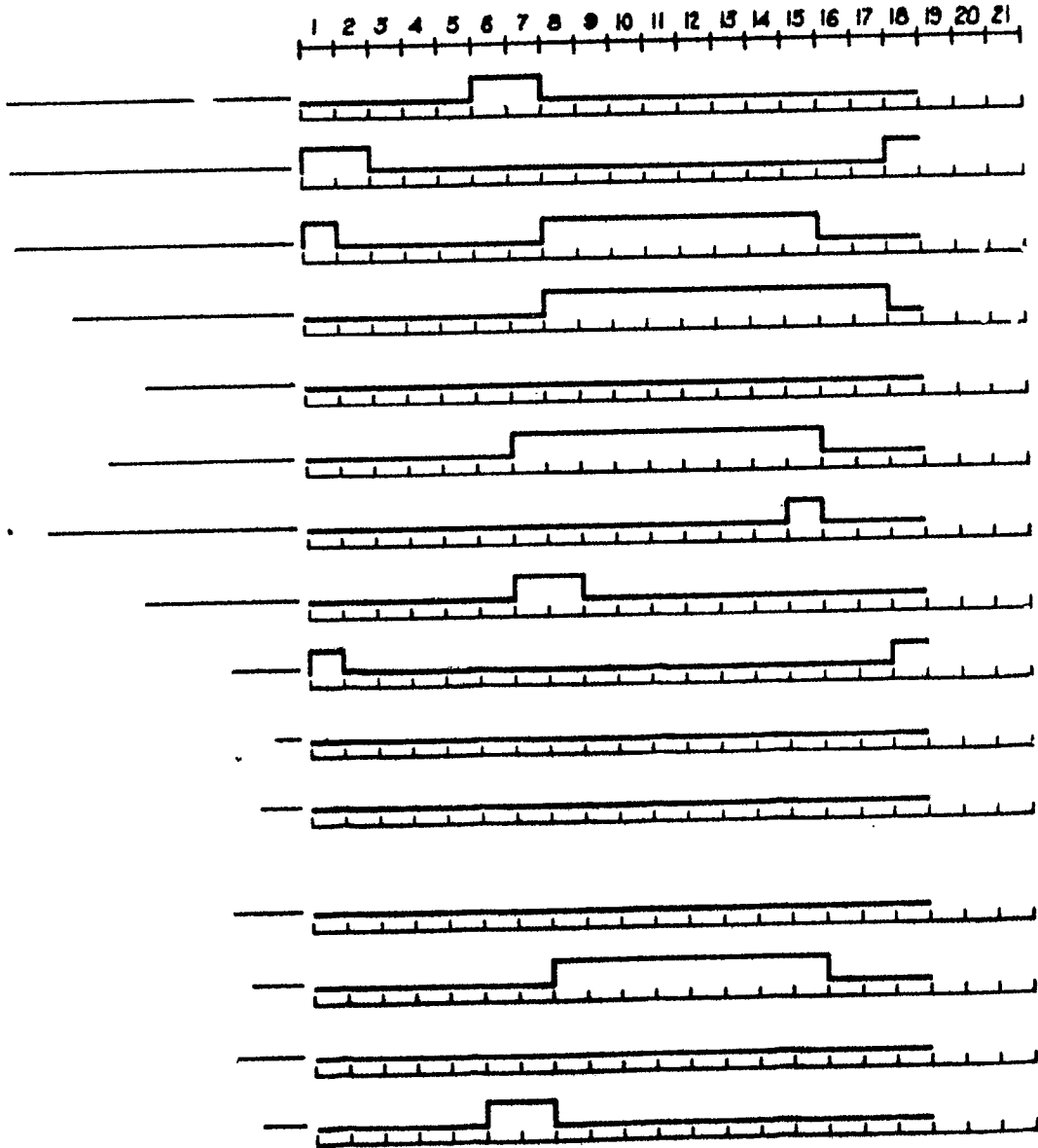


FIG. 7

BM-RO 978 020

Alberto de Eltaburu
Per Pedro

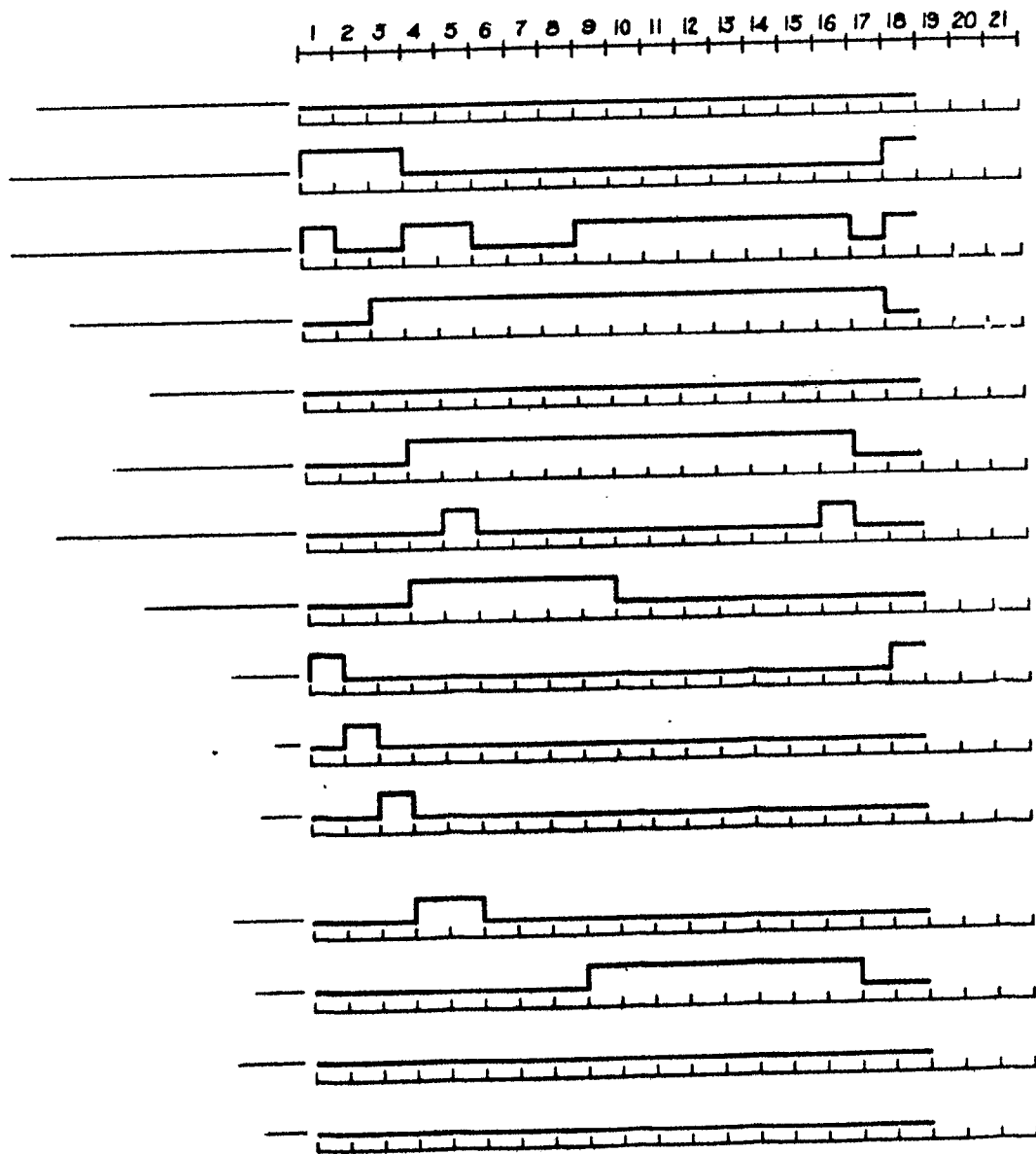


FIG. 8

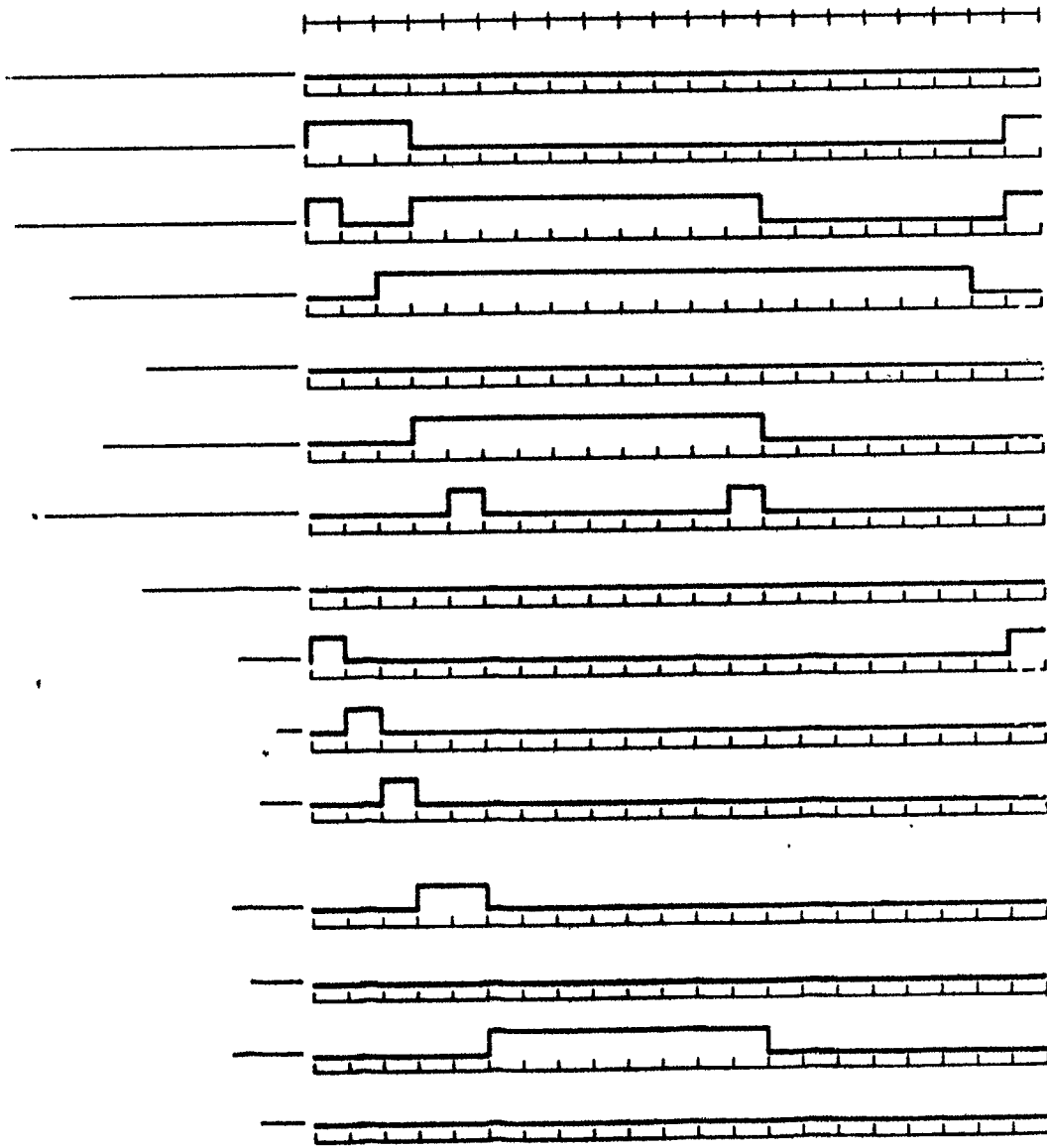


FIG. 9

Alberto de Elzaburo
Por Poder

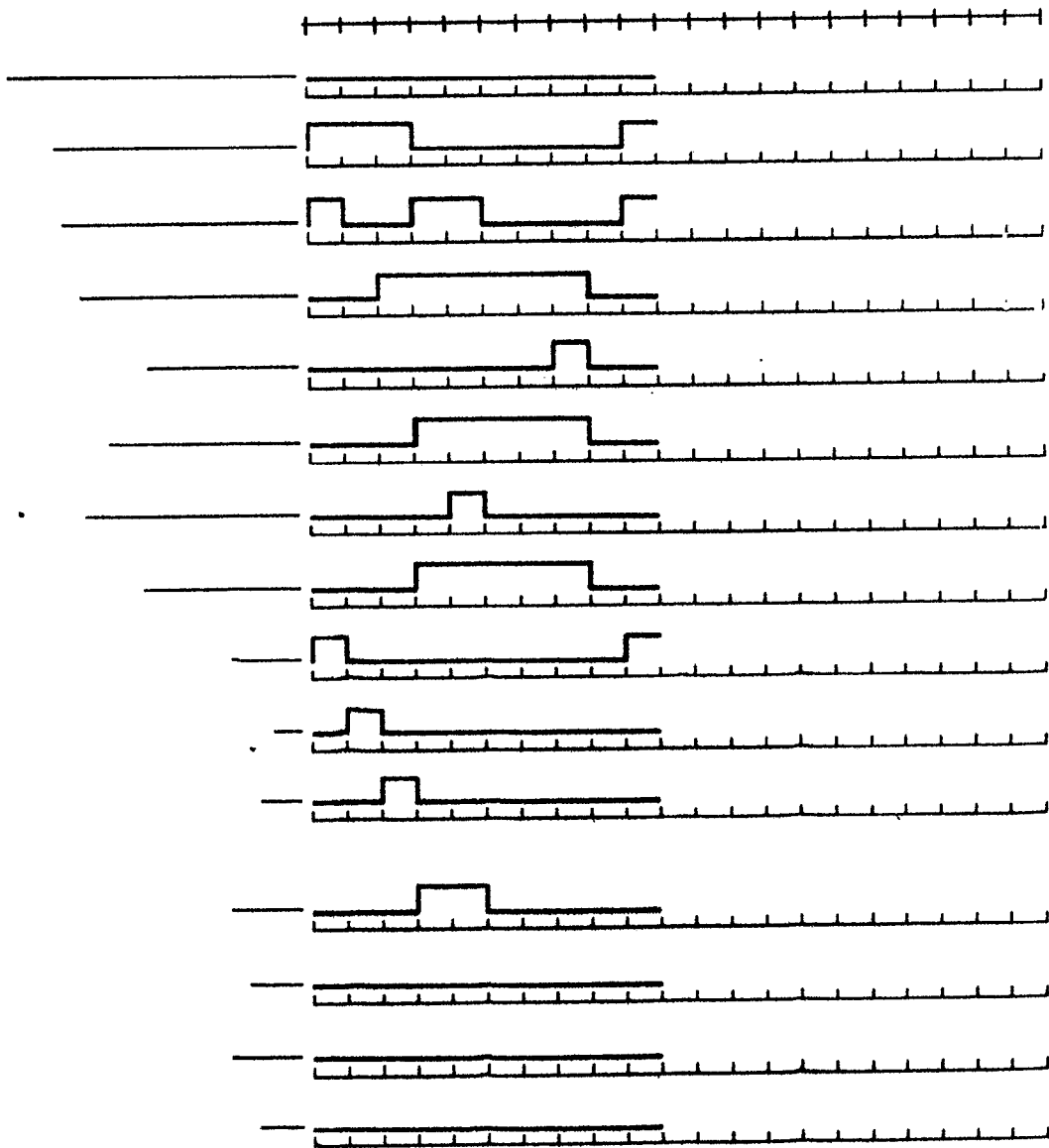
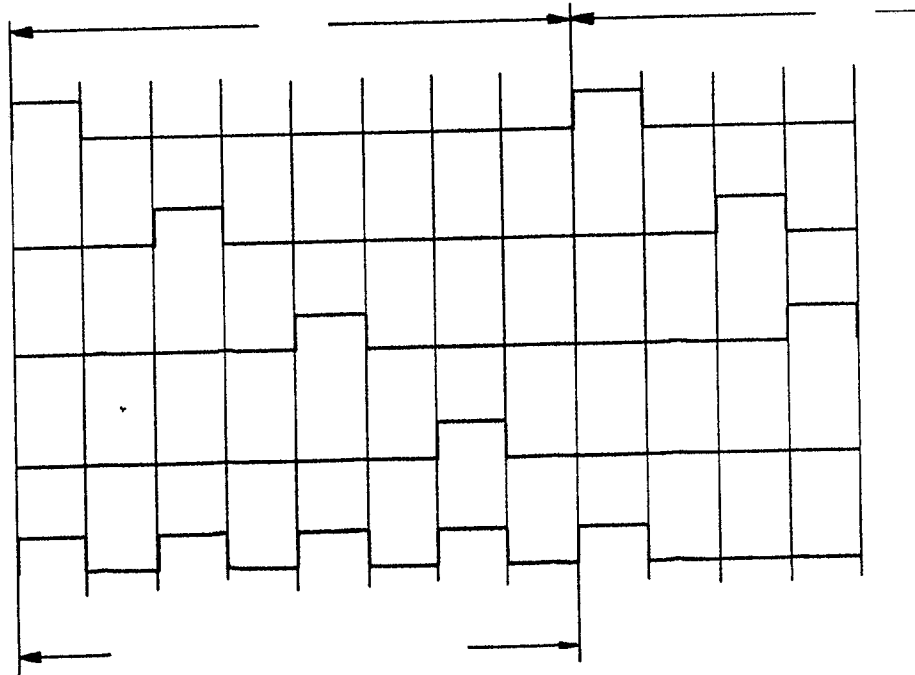


FIG. 10

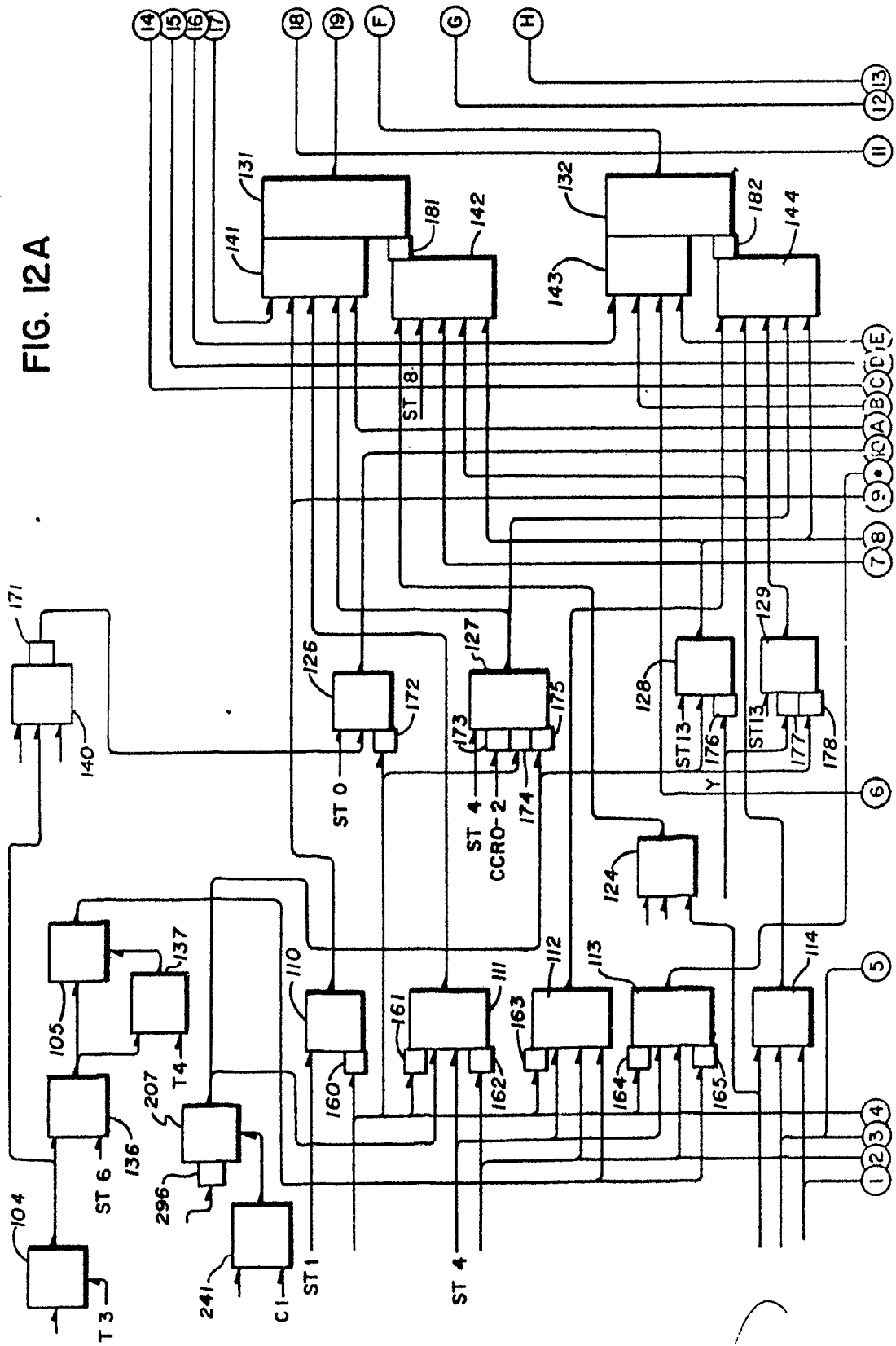
Alberto de Elizaburu
For Patent

FIG. II



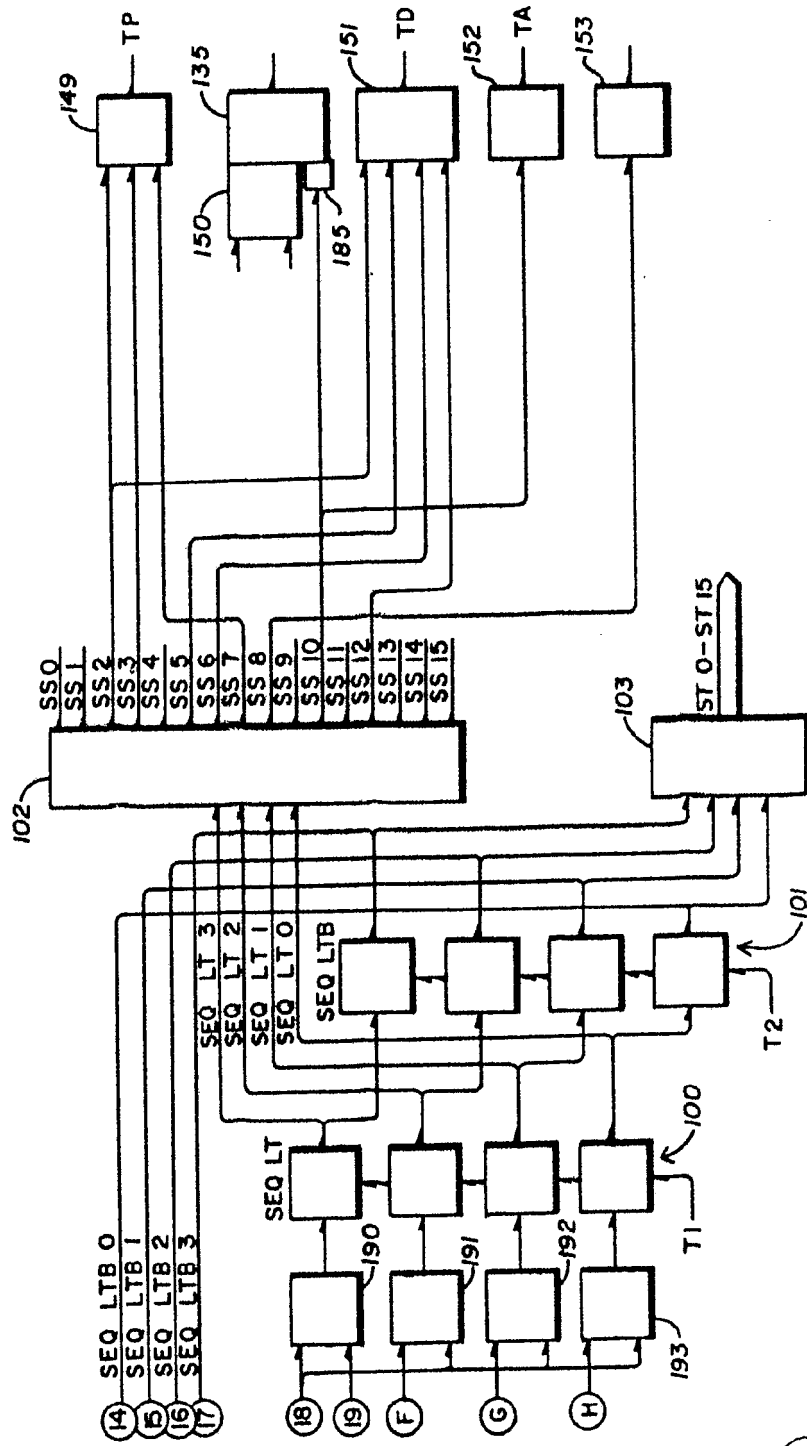
Alberto de Elizaburu
Por Poder, *Alberto de Elizaburu*

FIG. 12A



Alberto de Ezaburu
 Por Poderes

FIG. 12B



Albano de M...
 Par Fades...

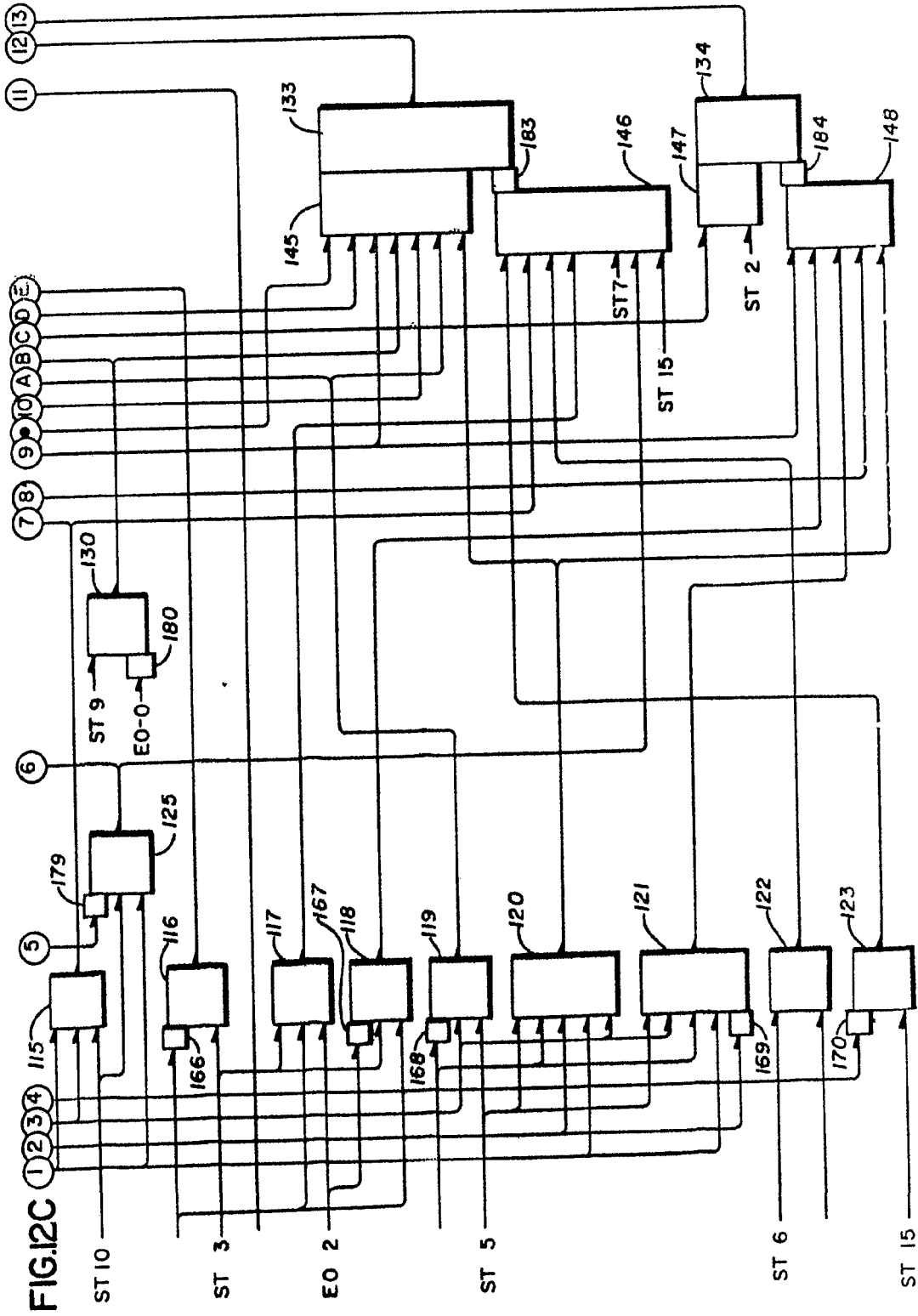
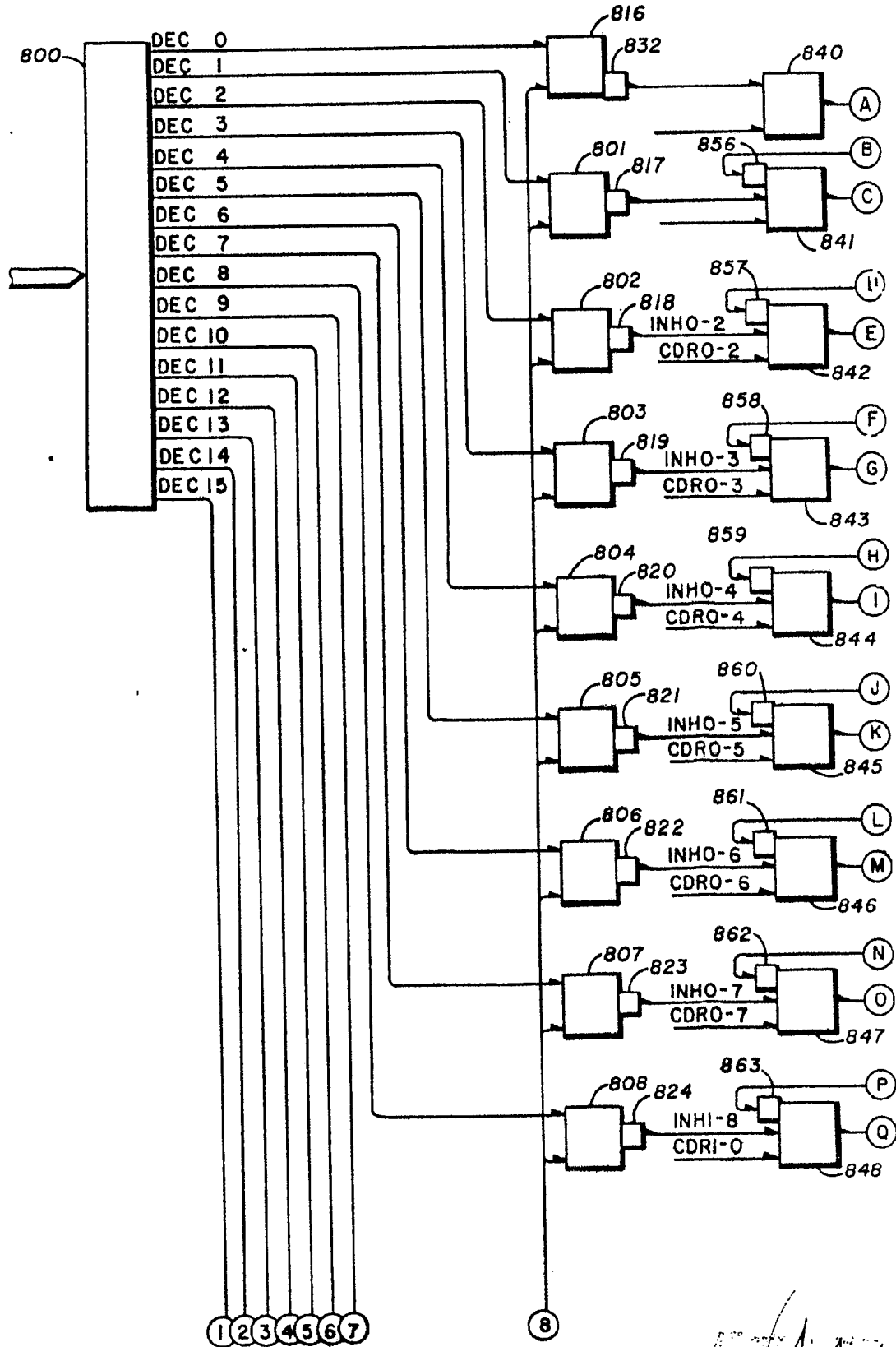


FIG. 12C

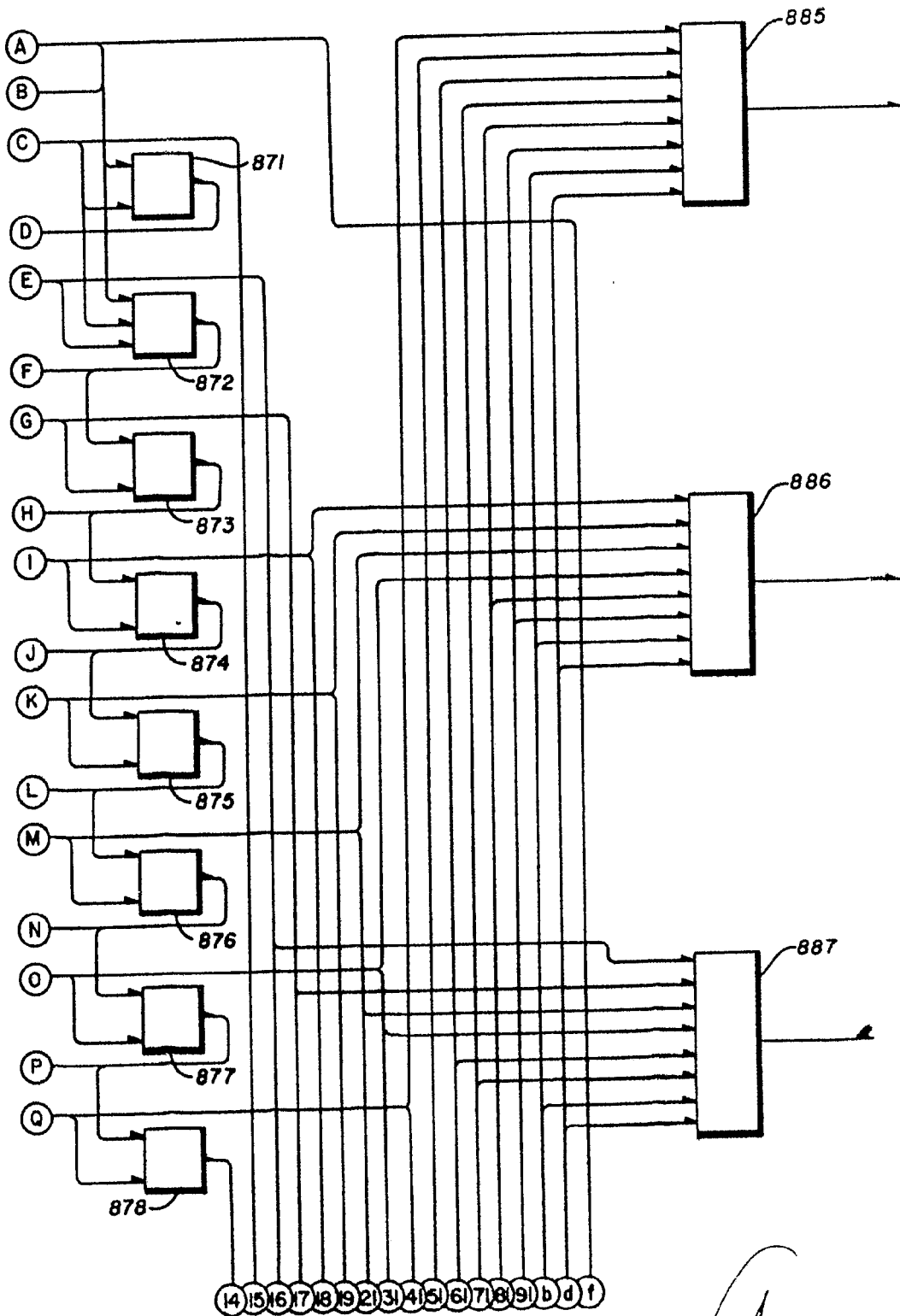
Approved by: *[Signature]*
Date: 12/15/60

FIG. 13A



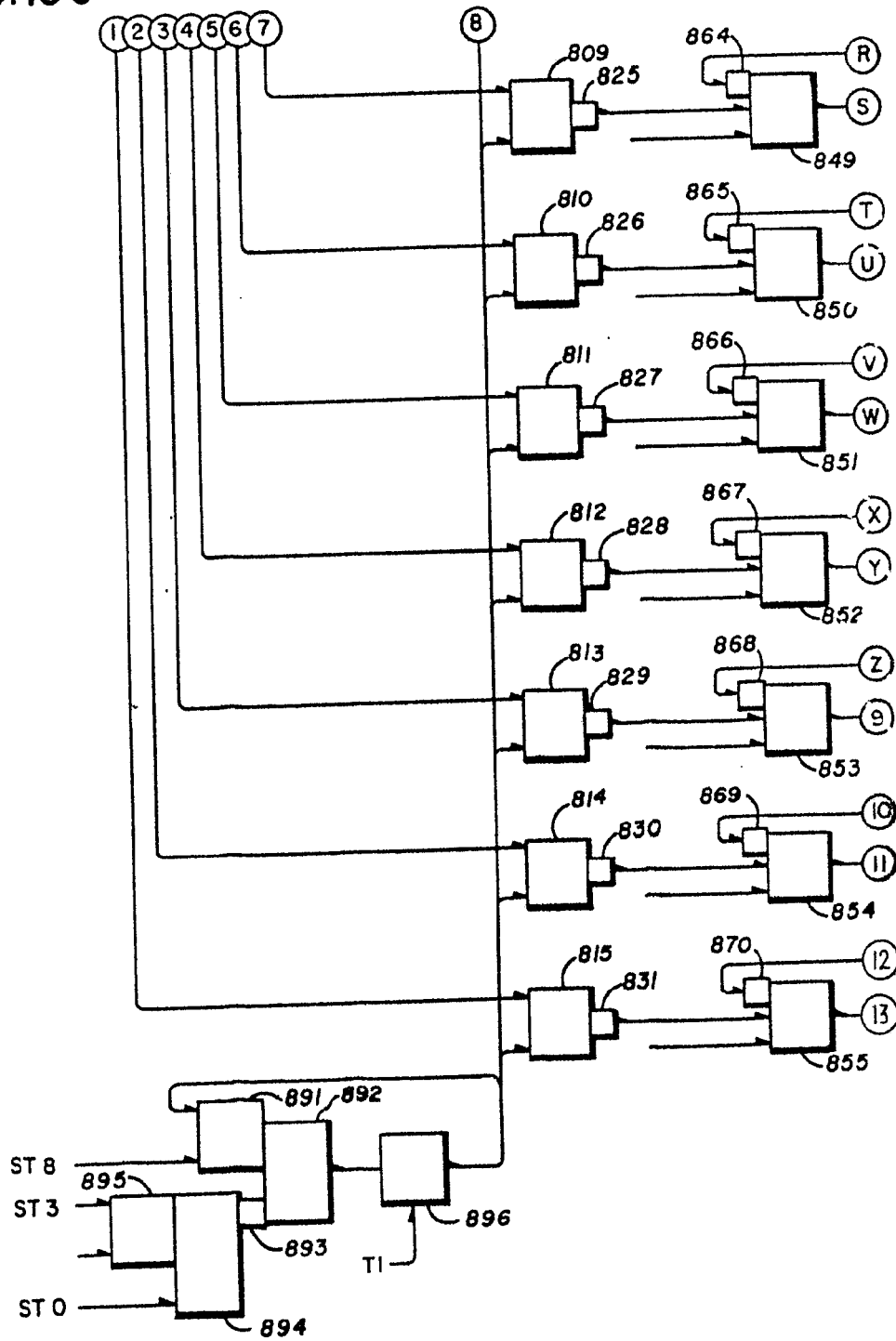
[Handwritten signature]

FIG. 13B



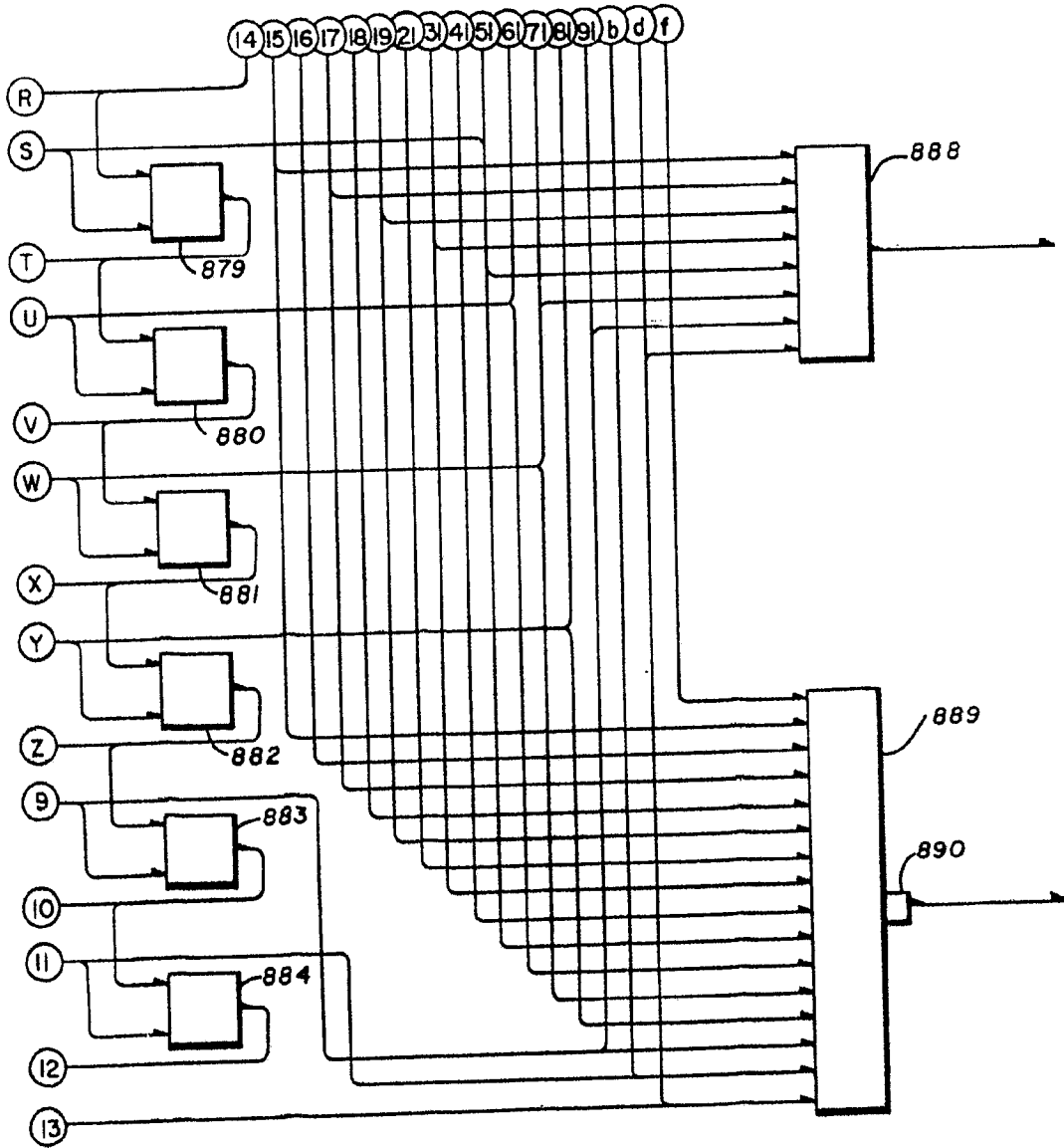
Alberto de Elzaburu
For Patent

FIG. 13C



Alberto de Elizaburu
For Patent

FIG. 13D



IBM-RO 978 020

Albert de Alencar
For Sales

FIG. 15

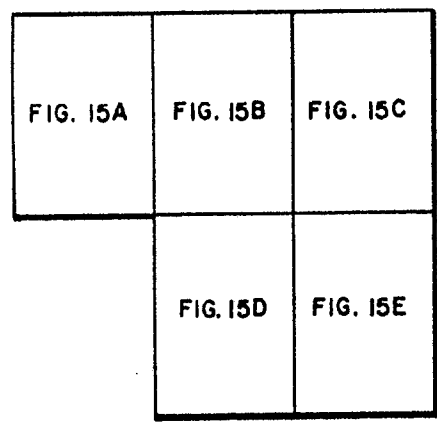


FIG. 15A

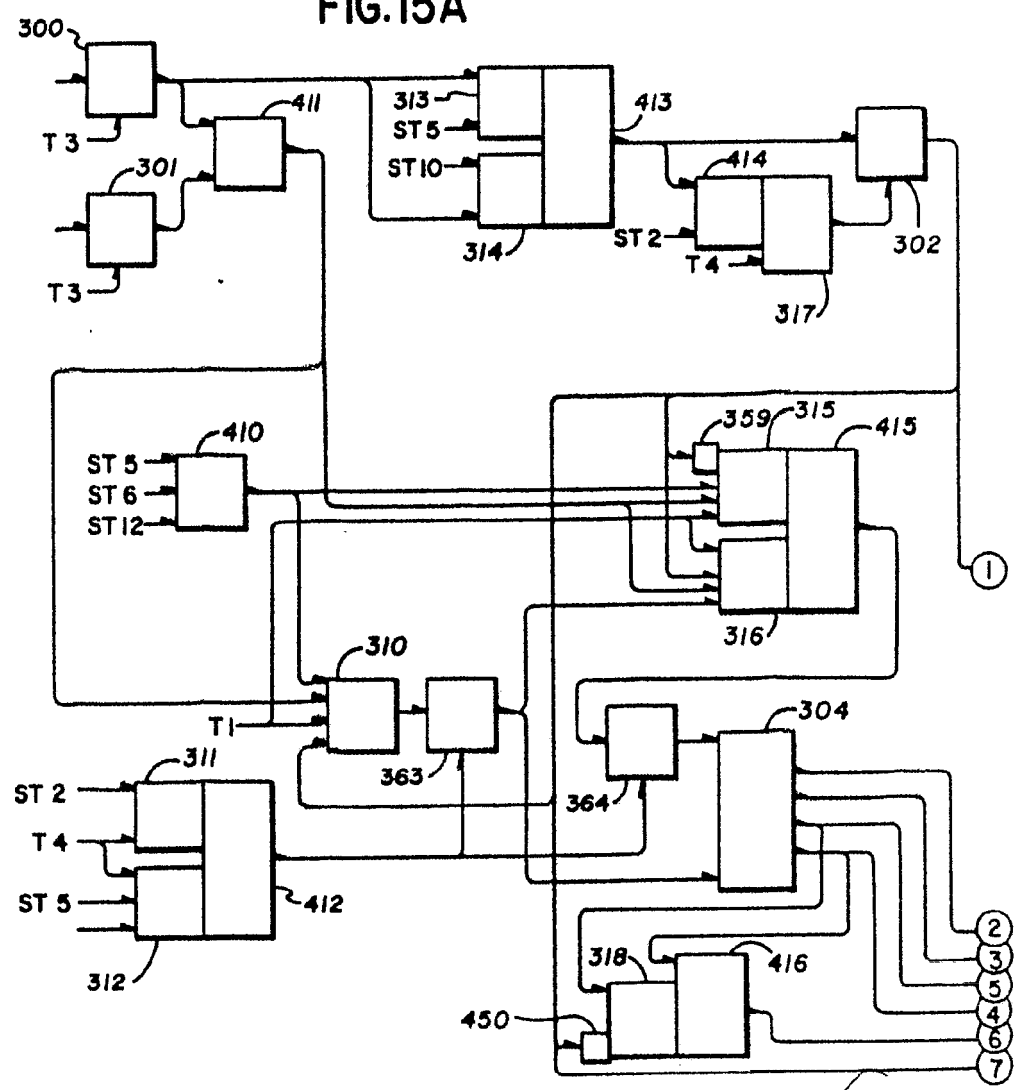


FIG. 15C

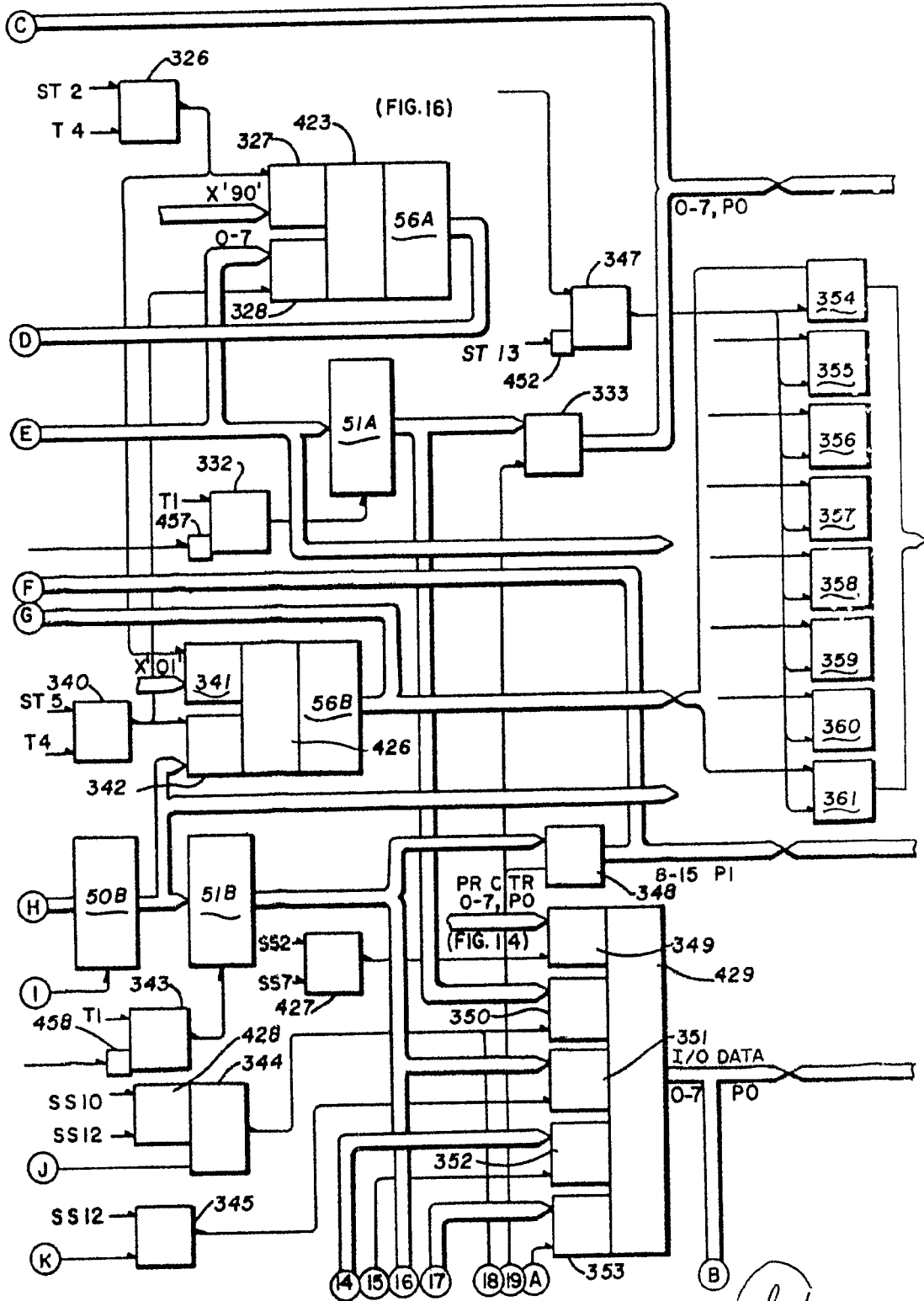


FIG. 15D

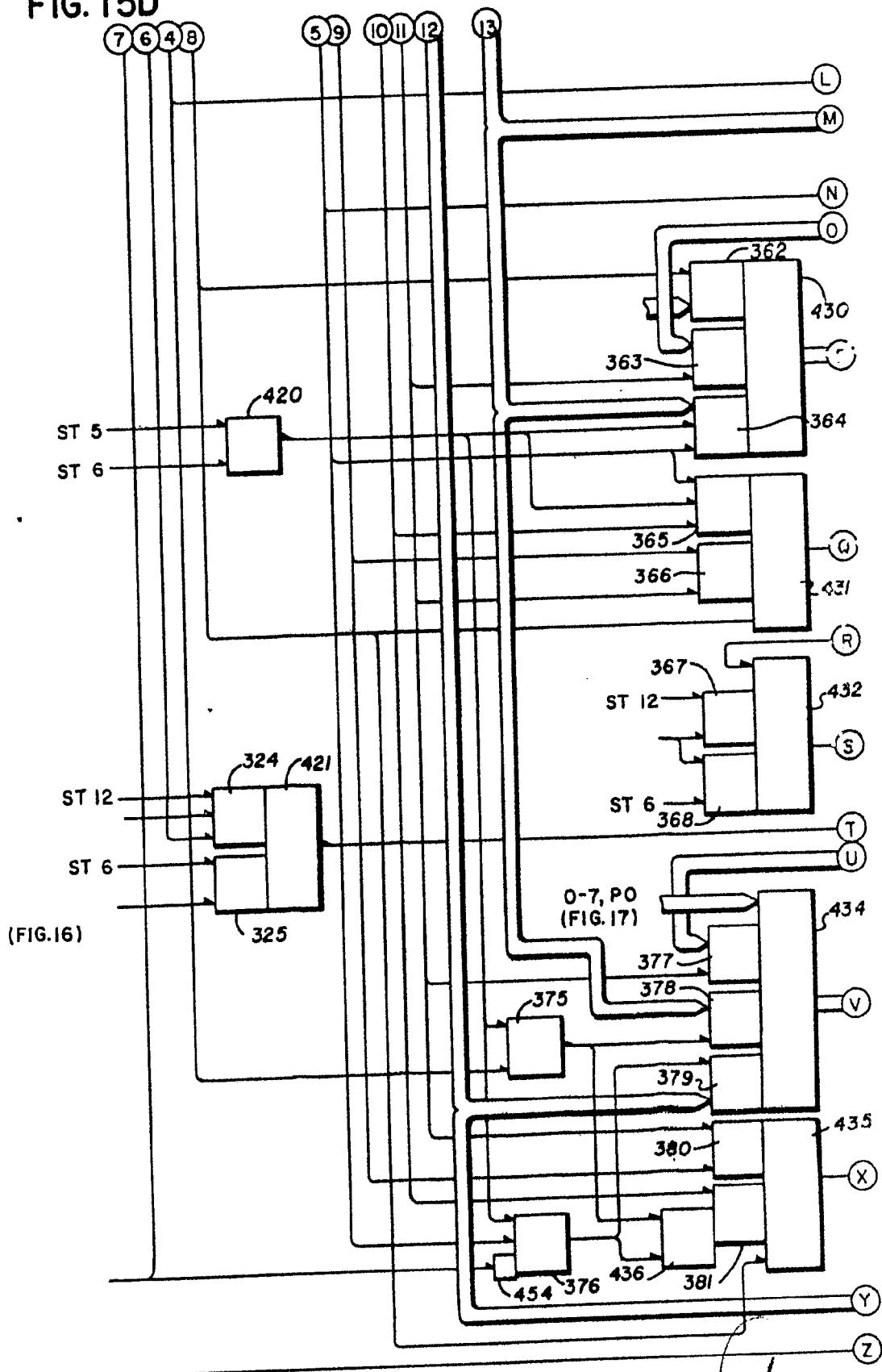
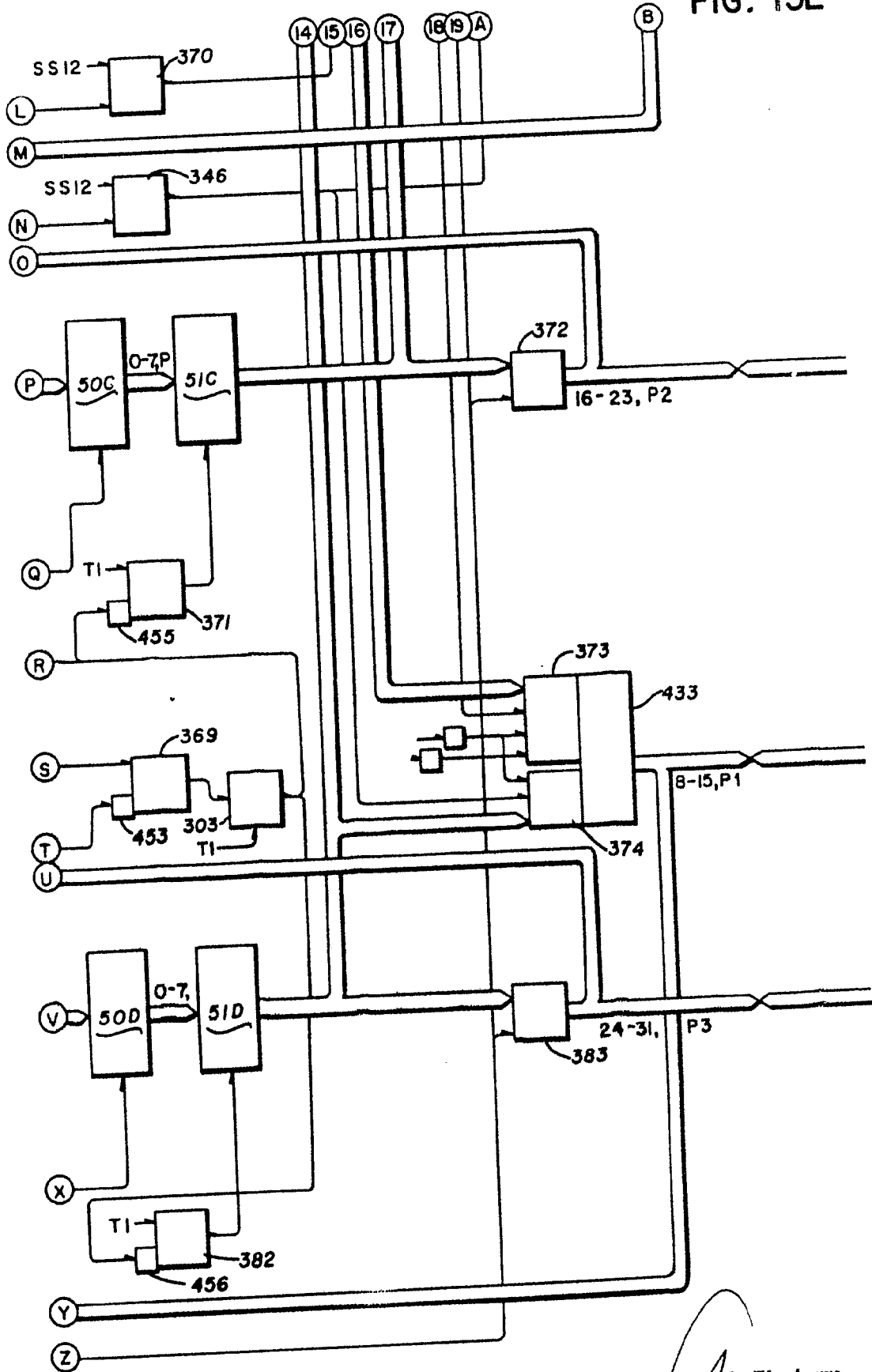


FIG. 15E



Alberto de Elzaburu
 For: Poder,

FIG. 16 A

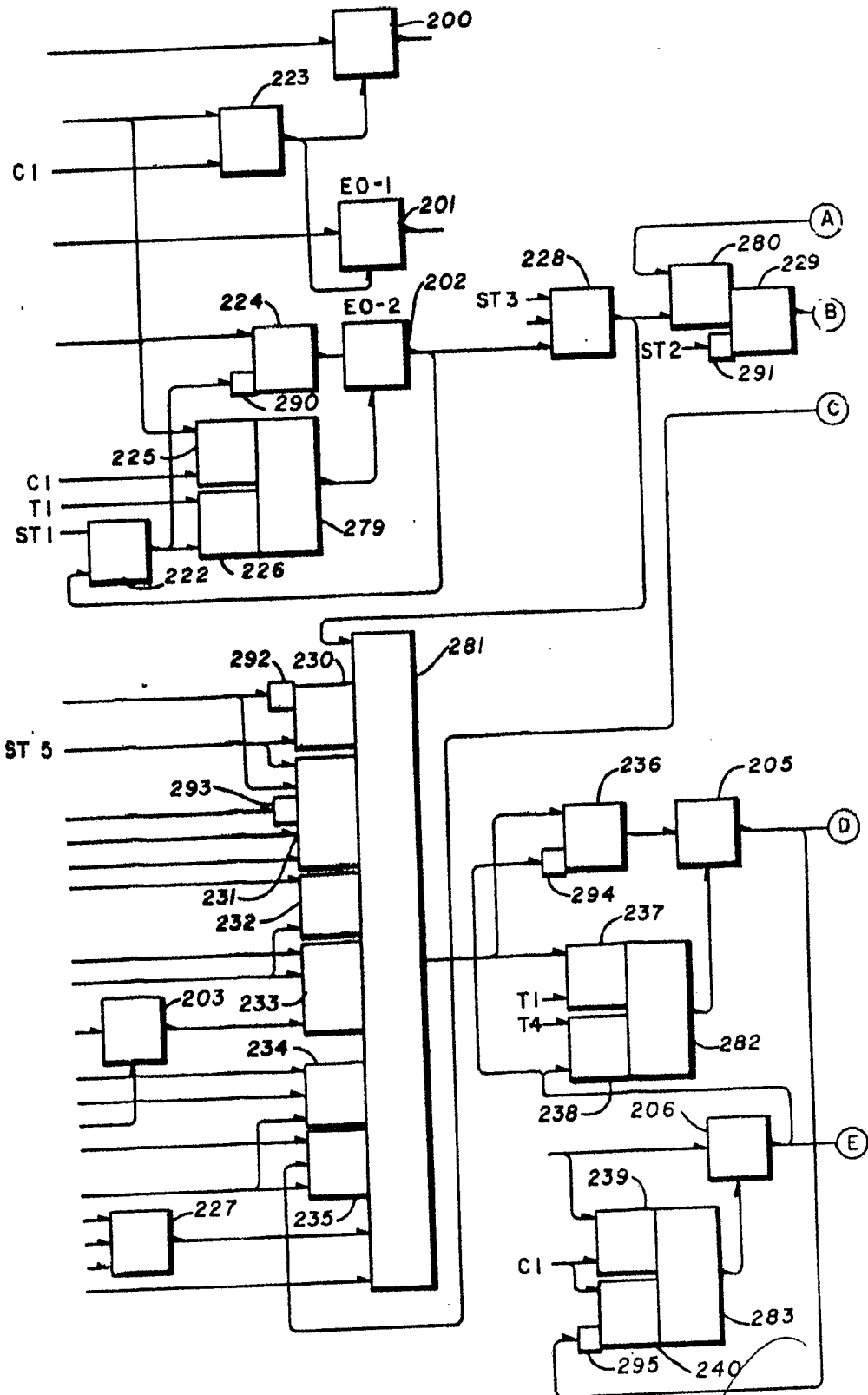
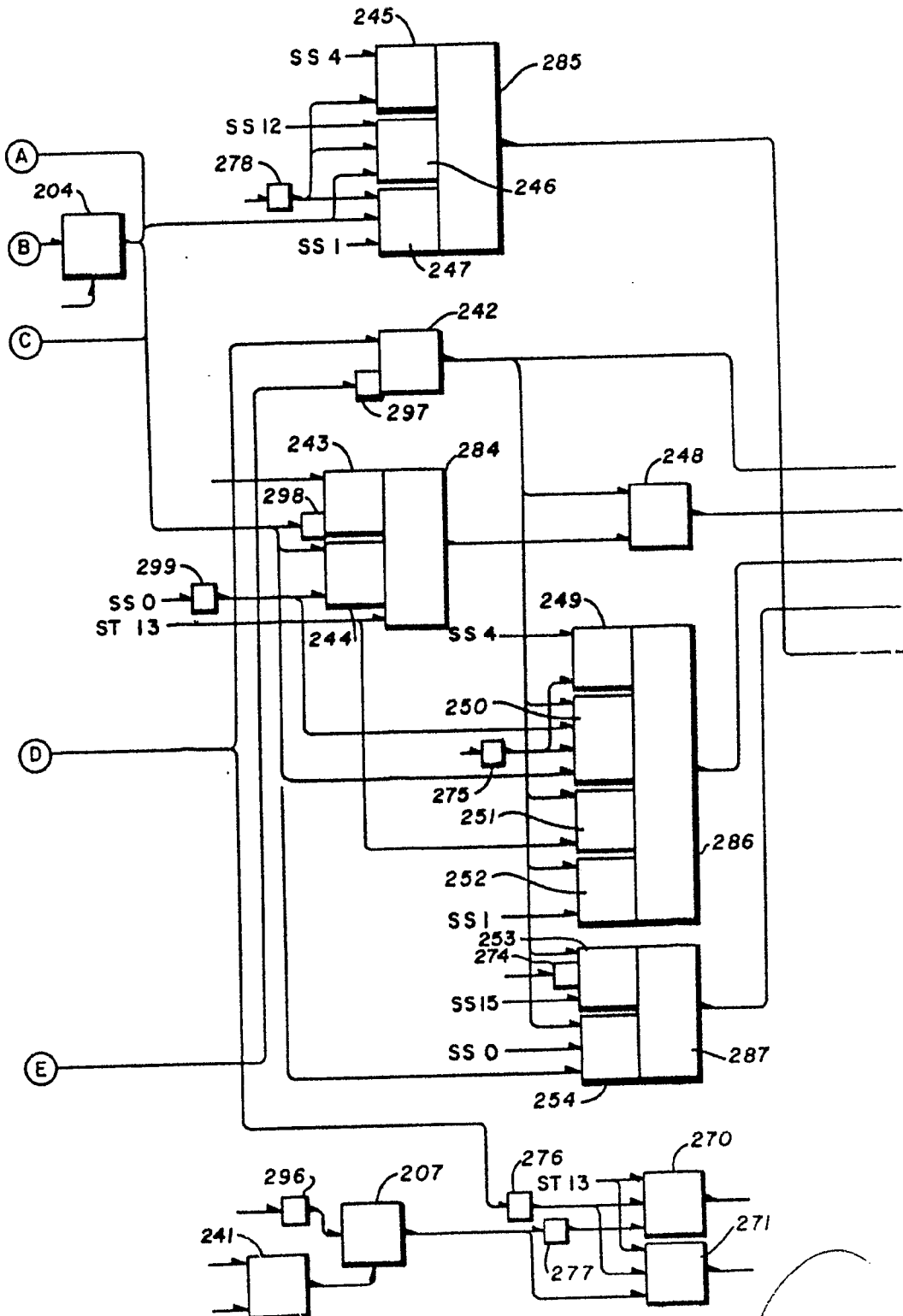


FIG. 16B



[Handwritten signature]
IBM Corporation
T. J. Watson Research Center
Yorktown Heights, N. Y.