

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y en el contenido de la memoria a junta.

PATENTE DE INVENCION

ES	11	NUMERO	A1
		48 15 14	
	21	FECHA DE PRESENTACION	
	22	13 JUN 1979	

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
919.107	26.6.78	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G 06 F 3/06	

54 TITULO DE LA INVENCION

"UN APARATO CONTROLADOR DE ENTRADA/SALIDA PARA TRANSFERIR DATOS ENTRE UN ORDENADOR CENTRAL Y UNA O MAS UNIDADES DE ENTRADA/SALIDA"

71 SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (EL)

Lewis Wright Brown, Douglas Roderick Chisholm y Jerry Duane Dixon

73 TITULAR (ES)

74 REPRESENTANTE

D. FERNANDO DE ELZABURU MARQUEZ (P.- 71.792)

POOR QUALITY

1 Antecedentes del Invento

Este invento se refiere a controladores y microcontroladores de entrada-salida para transferir datos entre un ordenador central y uno o más dispositivos periféricos de entrada-salida en un sistema digital de tratamiento de datos.

5 Ha sido propuesta hasta ahora la utilización de microcontroladores como controladores de entrada-salida para transferir datos entre ordenadores centrales y dispositivos de entrada-salida. En tales casos, los datos son transferidos desde el ordenador central al microordenador y después desde el microordenador hasta el dispositivo de entrada-salida para una operación de "inscripción" de dispositivo de entrada-salida y, recíprocamente, desde el dispositivo de entrada-salida al microordenador y después desde el microordenador al ordenador central para una operación de "lectura" del dispositivo de entrada-salida. Esta técnica consume algo de tiempo por cuanto deben ejecutarse numerosas instrucciones dentro del microordenador para cada batería de bits o palabra de datos transferida. Una finalidad del presente invento es, por consiguiente, crear un nuevo mecanismo automático perfeccionado de derivación de datos de alta velocidad con el cual, cuando funciona en el modo automático, pueden transferirse los datos directamente desde el ordenador central al dispositivo de entrada-salida, o viceversa, sin tener que pasar a través del microordenador y sin que se requiera ninguna intervención por parte del microordenador en ausencia de errores o defectos de funcionamiento.

30 Otra finalidad del presente invento es crear un

1 controlador de entrada-salida nuevo y perfeccionado para  
permitir que un ordenador central establezca comunicación  
con una pluralidad de dispositivos de entrada-salida de un  
modo más rápido y eficiente. En particular, en la reali-  
5 zación aquí descrita, el controlador incluye mecanismos -  
para permitir la atención de una orden de entrada-salida  
procedente del ordenador central para un dispositivo de en-  
trada-salida mientras están teniendo lugar transferencias  
de datos a alta velocidad en un modo de interrupción mono-  
10 cíclica para un segundo dispositivo de entrada-salida -  
mientras el microordenador está iniciando una secuencia -  
de interrupción para el ordenador central para un tercer  
dispositivo de entrada-salida.

15 Para una mejor comprensión del presente inven-  
to, junto con otras ventajas y características adiciona-  
les del mismo, se hace referencia a la siguiente descrip-  
ción considerada en combinación con los dibujos que se -  
acompaña, estando indicado el campo del invento en las rei-  
vidicaciones anejas.

20 Breve Descripción de los Dibujos

Con referencia a los dibujos:

25 La figura 1 es un diagrama esquemático de blo-  
ques de un sistema digital de tratamiento de datos que re-  
presenta la incorporación de un controlador de entrada-sa-  
lida construido de acuerdo con el presente invento.

La figura 2 es un diagrama esquemático de blo-  
ques que representa con mayor detalle la disposición cons-  
tructiva del controlador de entrada-salida de nueva con-  
cepción de la figura 1.

30 Las figuras 3-6 representan diversos formatos

1 de orden, bloque de control y palabra de estado, y elementos similares utilizados en el sistema de tratamiento de datos de la figura 1.

5 La figura 7 es un diagrama de circuitos lógicos que representa con detalle la disposición constructiva interna de los controles de interrupción monocíclica de la figura 2.

10 La figura 8 es un diagrama de sincronismo utilizado en la explicación del funcionamiento de los circuitos de control de interrupción monocíclica de la figura 7.

La figura 9 representa con mayor detalle la naturaleza de la línea general de etiqueta de dispositivo de la figura 2.

15 La figura 10 es un diagrama de circuitos lógicos que representa con detalle la disposición constructiva interna de los bloques de control de acoplamiento de dispositivos de la figura 2.

20 La figura 11 es un diagrama de circuitos lógicos que representa con detalle la disposición constructiva interna de los bloques de control de transferencia de desviación de datos de la figura 2, y

La figura 12 es un diagrama de tiempos utilizado para explicar ciertas capacidades de tratamiento concurrentes del controlador de la figura 2.

25 Descripción de la Realización Ilustrada

30 Con referencia a la figura 1, está representado un sistema de tratamiento digital de datos conocido y más o menos representativo que muestra la incorporación en el mismo de un controlador 10 de entrada-salida construido de acuerdo con el presente invento. El controlador 10

1 de entrada-salida controla la transferencia de datos y -  
otra información entre un ordenador central 11 y una uni-  
dad 12 de control de dispositivo a la cual están conecta-  
dos una pluralidad de dispositivos periféricos 13, 14, 15  
5 y 16 de entrada salida. El sistema total puede también -  
incluir otros controladores de entrada salida, tales como  
el controlador 17 de entrada salida. Está acoplado al ex-  
tremo de salida del controlador 17 una unidad 18 de contro-  
de dispositivo seguida por un dispositivo 19 de entrada  
10 salida. El controlador 17 de entrada salida puede tomar  
la misma forma que el controlador 10 de entrada salida o  
puede tener una forma de construcción totalmente diferen-  
te. El ordenador 11 central incluye una unidad 20 de tra-  
tamiento y una unidad 21 de memoria principal. Está in-  
15 corporado dentro de la unidad 20 de ordenador un subsiste-  
ma 22 de canal de entrada salida para comunicar con los -  
diversos controladores de entrada salida a través de una  
línea general 23 de acoplamiento de canal. El controla-  
dor 10 de entrada salida establece comunicación a su vez  
20 con la unidad 12 de dispositivo de control por medio de -  
una línea general 24 de acoplamiento de dispositivo. Co-  
mo se indica por una línea general 25 de memoria de inte-  
rrupción monocíclica, pueden transmitirse datos y otra in-  
formación desde la unidad 21 de memoria principal al sub-  
25 sistema 22 de canal, o viceversa, sin interrumpir un pro-  
grama de usuario que está siendo ejecutado por el ordena-  
dor central 11. Se hace referencia normalmente a esto co-  
mo modo de funcionamiento de "interrupción monocíclica".

30 A modo de ejemplo, se supone que el ordenador  
central 11 toma la forma del minicomputador serie/1 Mode-

1 lo 5 fabricado y comercializado por International Business  
Machines (IBM) Corporation of Armonk, New York, y -  
que se describe en las siguientes referencias:

5 (1) Manual de IBM titulado "Series/1, Model 5,  
4955 Processor Description", IBM Order No. GA34-0021 (pri-  
mera edición de fecha noviembre de 1976).

(2) Manual de IBM titulado "IBM Series/1 4955  
Processor Theory", IBM Order No. SY34-0041 (primera edi-  
ción de fecha enero de 1977).

10 (3) Patente Norteamericana 4.038.642, titulada  
"Input/Output Interface Logic For Concurrent Operations",  
concedida a Messrs Bouknecht y otros el 26 de julio de -  
1977, y cedida a International Business Machines Corpora-  
tion of Armonk, New York.

15 Los manuales de IBM citados en los apartados -  
(1) y (2) pueden obtenerse a través de cualquier oficina  
sucursal de IBM en todo el mundo. Las descripciones ex-  
puestas en todas estas referencias, a saber todas las co-  
rrespondientes a los apartados (1), (2) y (3) anteriores,  
20 se incorporan como referencia. Estas referencias propor-  
cionan descripciones detalladas de la construcción y fun-  
cionamiento del ordenador central 11 y la línea general -  
23 de acoplamiento de canal.

25 Deberá observarse cuidadosamente que la referen-  
cia anterior (3), a saber la Patente Norteamericana conce-  
dida a Bouknecht y otros, describe, entre otras cosas, un  
controlador de entrada salida que puede considerarse como  
predecesor del controlador 10 de entrada salida represen-  
tado en la figura 1 de la presente memoria. La descrip-  
30 ción principal de este controlador predecesor se da en re

1 lación con las figuras 18-21 de la Patente de Bouknecht -  
y otros.

5 Como se representa dentro del controlador 10 -  
de entrada salida, la línea general 23 de acoplamiento de  
canal consiste en una línea general 26 de datos de canal  
y una línea general 27 de control de canal. De un modo  
similar, la línea 24 de acoplamiento de dispositivo se -  
compone de una línea general 28 de datos de dispositivo y  
una línea general 29 de control de dispositivo. Para ope  
10 raciones automáticas de interrupción monocíclica de alta  
velocidad, las líneas generales 26 y 28 de datos están -  
interconectadas por un registro 30 de datos de interrup  
ción monocíclica, una línea general 31 de datos de deriva  
ción y un registro 32 de datos de dispositivo. Cada una  
15 de las líneas generales 26, 28 y 31 es una línea general  
bidireccional y pueden transmitirse datos en cualquier -  
sentido en cualquiera de ellas. (En algunas ejecuciones,  
la línea general 31 de derivación de datos puede estar com  
puesta por dos líneas generales unidireccionales, una para  
20 transferir datos en un sentido y la otra para transferir  
datos en el otro sentido, pero este conjunto es claramente  
equivalente a una única línea general bidireccional).

Para operaciones no automáticas de interrupción  
monocíclica, pueden transferirse datos y otra información  
25 en cualquier sentido entre el ordenador central 11 y un -  
microordenador 33 situado dentro del controlador 10, rea  
lizándose tal transferencia por medio de la línea general  
26 de datos de canal, el registro 30 de datos de interrup  
ción monocíclica y una línea general de datos de microor  
30 denador (MP). Similarmente, pueden transferirse datos y

1 otra información en cualquier dirección entre el microor-  
denador 33 y la unidad 12 de control de dispositivo por -  
medio de la línea general de datos de microordenador, el  
registro 32 de datos de dispositivo y la línea general 28  
5 de datos de dispositivo.

La línea general 27 de control de canal, la lí-  
nea general 29 de control de dispositivo y la línea gene-  
ral de datos 34 de microordenador establecen comunicación  
cada una con un bloque 35 de circuitos de control situado  
10 en el controlador 10. En respuesta a una orden "iniciar -  
interrupción monocíclica" procedente del ordenador central  
11, el microordenador 33 funciona para proporcionar diver-  
sos parámetros iniciales y valores al bloque 35 de circui-  
tos de control. Después de ello, el bloque 35 de circui-  
tos de control es capaz de controlar automáticamente las  
15 operaciones de transferencia de datos sin intervención -  
adicional por parte del microordenador 33. En otras pala-  
bras, en el caso de una operación automática de interrup-  
ción monocíclica, el microordenador 33 proporciona la pue-  
ta a punto inicial del bloque 35 de circuitos de control,  
20 después de lo cual el bloque 35 de circuitos de control -  
asume el control y dirige las operaciones reales de trans-  
ferencia de datos. Esto incluye el suministro de impulsos  
de carga de registro a través de las líneas 36 y 37 al re-  
25 gistro 30 de datos de interrupción monocíclica y al regis-  
tro 32 de datos de dispositivo. Un impulso de carga de la  
línea 36 transfiere datos desde el registro 32 de datos -  
de dispositivo, a través de la línea 31 de derivación de  
datos, al registro 30 de datos de interrupción monocíclica,  
30 ca, mientras que un impulso de carga de la línea 37 trans

1 fiere datos en el sentido opuesto. El control automático  
proporcionado por el bloque 35 de circuitos de control in-  
cluye adicionalmente la realización de las secuencias de  
5 confirmación de conexión adecuadas sobre la línea general  
27 de control de canal para transferir datos entre el or-  
denador central 11 y el registro 30 de datos de interrup-  
ción monocíclica y la realización de las secuencias de con-  
firmación de conexión adecuadas sobre la línea general 29  
de control de dispositivo para la finalidad de transferir  
10 datos entre la unidad 12 de control de dispositivo y el -  
registro 32 de datos de dispositivo.

El microordenador 33 puede ser, por ejemplo, -  
del tipo descrito en relación con la figura 17 de la Pa-  
tente Norteamericana 4.038.642 de Bouknecht y otros ante-  
riormente citada.

15 Descripción de los Elementos de Flujo de Datos de Contr-  
olador de la figura 2

Con referencia a la figura 2, están representa-  
dos los principales elementos de flujo de datos y líneas  
generales de flujo de datos situadas dentro del controla-  
dor 10 de entrada salida de la figura 1. El término "da-  
tos" en la frase anterior es utilizado, en el sentido más  
amplio, en cuanto a significar cualquier tipo de informa-  
ción y que incluye direcciones, palabras de estado, códi-  
gos de estado, y similares. Como se indica en el extremo  
25 izquierdo de la figura 2, la línea general 27 de control  
de canal incluye una línea general 40 de dirección de 16  
bitios y otras diversas líneas generales y líneas 41-53 -  
de señalización. Estas líneas generales y líneas 40-53 y  
30 sus funciones están descritas con detalle considerable en

1 la Patente Norteamericana anteriormente mencionada número  
4.038.642 de Bouknecht y otros y no se repetirán tales -  
descripciones con detalle en la presente memoria. Como -  
se indica en el lado derecho de la figura 2, la línea gene-  
5 ral 29 de dispositivo incluye una línea general 54 de eti-  
queta de dispositivo de ocho bitios y también diversas lí-  
neas 55-60 de transmisión de señales.

10 Para la realización aquí descrita, una "batería" está compuesta por ocho bitios y una "palabra" está compuesta por dos baterías (dieciseis bitios).

15 Se supone que el microordenador 33 incluye una unidad de memoria de acceso aleatorio que tiene una capacidad de memoria de 4096 baterías o más. La línea general 34 de datos de microordenador incluye dos líneas generales unidireccionales independientes, a saber una línea general de entrada de datos (línea DBI) para llevar datos y otra información al microordenador 33 y una Línea General de Salida de Datos (DBO) para dar salida a datos y -  
otra información almacenada en el microordenador 33. El  
20 microordenador 33 incluye también una línea general de salida de Direcciones (ABO) para suministrar "direcciones" externas a un descodificador 62 de línea general ABO. Al-  
gunas veces la "dirección" sobre la línea general ABO iden-  
tificará un registro particular en el controlador que ha-  
25 de transmitir datos o recibir datos del microordenador 33. En otras ocasiones, la "dirección" sobre la línea general ABO identificará funciones particulares a realizar por el controlador de la figura 2. En cualquier caso, la "dirección" sobre la línea general ABO es descodificada por -  
30 el descodificador 62 para desarrollar la señal o señales

1 de control particulares que se necesitan para realizar la  
finalidad deseada. Algunas de estas señales de control -  
serán utilizadas para cargar registros particulares, mien-  
5 tras que otras serán utilizadas para permitir la formación  
de diferentes combinaciones de las diversas puertas de con-  
trol (no representadas) asociadas con las diversas líneas  
generales de flujo de datos y líneas de señal del contro-  
lador de la figura 2.

10 Para mayor simplicidad, las conexiones corres-  
pondientes a las líneas de control procedentes del desco-  
dificador 62 no están representadas en su mayor parte en  
la figura 2. En atención al presente ejemplo, se supone  
que cada una de las líneas generales DBI, DBO y ABO es una  
línea general de ocho bits. El microordenador 33 tiene  
15 también una línea 63 de salida de selección de control -  
que es utilizada para proporcionar señales de selección -  
para diversos elementos incluidos en el controlador de la  
figura 2.

20 Como es normal con microordenadores, el micro-  
ordenador 33 es una máquina de programa almacenado y tie-  
ne almacenado el programa adecuado para utilización en co-  
nexión con el controlador de la figura 2. Este programa -  
incluye las diversas rutinas necesarias para realizar las  
diversas funciones y operaciones que indistintamente se -  
25 requieren o se desean realizar dentro del controlador de  
la figura 2. Posteriormente se mencionarán algunas de es-  
tas rutinas en diversos puntos.

30 Se considerará ahora el método mediante el cual  
el ordenador central 11 establece una conexión y sirve de  
soporte de comunicaciones con el controlador 10 de entra-

1 da salida. En general, el ordenador central 11 informa -  
al controlador 10 de entrada salida lo que debe hacer emi-  
tiendo órdenes de entrada salida para el controlador 10.  
Para el caso supuesto en que el ordenador central 11 es -  
5 del tipo descrito en la Patente Norteamericana 4.038.642  
de Bouknecht y otros mencionada anteriormente, hay dos cla-  
ses básicas de órdenes de entrada salida. Una clase es -  
conocida como órdenes de control directo por programa, -  
(DPC). Cada una de tales órdenes es capaz de transferir  
10 una palabra (dos baterías) de datos desde el ordenador cen-  
tral 11 al controlador 10 de entrada salida, o viceversa.  
En otras palabras, se emite una nueva orden para cada pa-  
labra que es transferida. Puesto que cada orden es trans-  
ferida como resultado de una instrucción independiente in-  
15 cluida en el programa del ordenador central, cada trans-  
ferencia de palabras tiene lugar bajo control directo del  
programa de ordenador central.

Se hará referencia a la otra clase de órdenes  
de entrada salida proporcionadas por el ordenador central  
20 11 como "órdenes de interrupción monocíclica". Cada orden  
de transferencia de datos de interrupción monocíclica es  
capaz de provocar la transferencia de un número relativa-  
mente grande de palabras de datos, realizándose cada -  
transferencia de palabra en un modo de interrupción mono-  
25 cíclica de tal forma que no se interrumpe el programa del  
ordenador central. En otras palabras, se utiliza una ins-  
trucción de programa para emitir una orden de iniciación  
de interrupción monocíclica y después de esto el controla-  
dor 10 de entrada salida da lugar a la transferencia de un  
30 número especificado de baterías sin necesidad de ninguna

1 instrucción de programa adicional u órdenes de entrada sa  
lida.

5 La instrucción de programa de ordenador central  
utilizada para originar la expedición de una orden de en-  
trada salida se denomina aquí instrucción Activar Dispositivo de Entrada Salida (OIO). La ejecución de una ins-  
trucción OIO hace que sea localizado un bloque de informa-  
ción de dos palabras, al que se hará referencia como Blo-  
que de Control de Dispositivo Inmediato (IDCB) de la memo-  
10 ria principal 21 y sea transmitido al controlador 10 de -  
entrada salida a través de la línea general 23 de acopla-  
miento de canal. El formato de este bloque IDCB está re-  
presentado en la figura 3. Como se indica, la primera pa-  
labra es transmitida sobre la línea general 40 de dirección  
15 de canal y tal palabra contiene el código de orden de en-  
trada salida y la dirección de dispositivo de entrada sa-  
lida. La segunda palabra es transmitida sobre la línea -  
general 26 de datos de canal, y para una operación de ins-  
cripción con control directo por programa, comprende la -  
20 palabra de datos que ha de inscribirse en el dispositivo -  
de entrada-salida. Para una operación de lectura con con-  
trol directo por programa, la palabra de la línea 26 gene-  
ral de datos de canal es la palabra leída del dispositivo  
de entrada salida que se está transmitiendo al ordenador  
25 central 11. Para el caso de una orden del tipo de inte-  
rrupción monocíclica, la segunda palabra del bloque IDCB  
contiene la dirección de partida en la memoria principal  
21 de un Bloque de Control de Dispositivo (DCB). Para el  
caso de una orden de inscripción DPC o bien una orden de  
30 interrupción monocíclica, ambas palabras del bloque IDCB

1 son transferidas al controlador 10 de entrada salida indi-  
vidualmente, siendo transferida la primera palabra por me-  
dio de la línea general 40 de dirección de canal y siendo  
transferida a la segunda palabra por medio de la línea ge-  
5 neral 26 de datos de canal.

Cada palabra del bloque IDCB es transferida a  
un controlador de entrada salida por medio de una secuencia  
de selección inicial mediante la cual el ordenador central  
11 selecciona el controlador de entrada salida particular  
10 al cual se transmite el bloque IDCB. Como operación ini-  
cial, el ordenador central 11 sitúa la primera palabra -  
del bloque IDCB sobre la línea general 40 de dirección. -  
Esta transmite la dirección de dispositivo a todos los -  
controladores de entrada salida y otras unidades anejas a  
15 la línea general 23 de acoplamiento de canal. Para el -  
controlador 10 de entrada salida, esta dirección de dispo-  
sitivo es observada por un circuito 64 comparador de direc-  
ción de dispositivo que la compara con las direcciones de  
dispositivo aceptables que son proporcionadas por puentes  
20 65 de dirección. Puesto que en el presente ejemplo el -  
controlador 10 de entrada salida es utilizado para comuni-  
car con cuatro dispositivos de entrada salida diferentes,  
los puentes 65 de dirección suministran cuatro direccio-  
nes de dispositivo diferentes al circuito 64 comparador -  
25 de dirección. Si existe concordancia con uno cualquiera  
de estas cuatro direcciones de dispositivo, entonces el -  
circuito 64 comparador de direcciones activa una línea 66  
de selección de controlador.

Brevemente después que el ordenador central 11  
30 sitúa la orden y dirección de dispositivo sobre la línea

1 general 40 de dirección, activa la línea 41 Puerta de Di-  
rección. Sumoniendo que la línea 66 de controlador está  
activada, esta hace que se active el circuito "Y" 67 para  
5 activar la línea 42 de Retorno de Puerta de Dirección pa-  
ra informar al ordenador central 11 de que se ha estable-  
cido una concordancia de direcciones. En respuesta a es-  
to, el ordenador central 11 transmite un impulso selector  
de datos sobre la línea 53 de selección de datos. Puesto  
10 que la línea 42 de retorno de puerta de dirección está ac-  
tiva, este impulso selector de datos es transmitido por  
el circuito "Y" 68 a un registro 70 de órdenes para hacer  
que sea cargado en el registro 70 de órdenes el código de  
orden, que está también sobre la línea 40 general de direc-  
15 ción. Este impulso selector de datos precedente del cir-  
cuito "Y" 68 se suministra también a un registro OIO 71 -  
para hacer que sea cargada en tal registro OIO 71 la se-  
gunda palabra del bloque IDCB (sobre la línea general 26  
de datos de canal).

20 Durante esta secuencia de selección inicial, el  
ordenador 11 central comprueba también el estado del con-  
trolador 10 observando el código de estado presente en la  
línea general 43 de entrada de código de estado de tres -  
bitios. Este código de estado es suministrado por el re-  
gistro 72 de código de estado de controlador. El conteni-  
25 do del registro 72 es actualizado periódicamente por el mi-  
croordenador 33 a través de la línea general de salida de  
datos (DBO) para reflejar el estado en curso para el con-  
trolador 10.

30 Después de completarse las operaciones prece-  
dentes, el ordenador central 11 desactiva la línea 41 de

1 -puerta de dirección la cual, a su vez, hace que el circui  
to "Y" 67 desactive la línea 42 de retorno de puerta de -  
dirección. Esto concluye la secuencia de selección ini-  
cial. Brevemente después, la orden situada en el registro  
5 70 de órdenes y la palabra de datos o dirección DCB alma-  
cenada en el registro 71 OIO son transferidas al microorde-  
nador 33 a través de la línea general de entrada de datos  
(DBI). El microordenador 33 examina la orden y, dependien-  
do del estado en curso del controlador 10, decide la si-  
10 guiente operación. Más exactamente, dependiendo del códi-  
go de orden particular y el estado en curso, el programa  
almacenado en el microordenador 33 bifurca a la rutina o  
subrutina adecuada para realizar la siguiente operación.

Supóngase, por ejemplo, que ninguno de los dis-  
15 positivos 13-16 de entrada salida está ocupado y que la or-  
den es una orden de inscripción DPC. En este caso, el -  
programa del microordenador 33 bifurca a una rutina que -  
hace que la palabra de datos recibida desde el registro -  
71 OIO sea cargada en el registro 32 de datos de dispositi-  
20 tivo a través de la línea general D30. Esta rutina recla-  
ma también la secuencia adecuada de señales o de confirma-  
ción de conexión con la unidad 12 de control de dispositi-  
vo para hacer que la palabra de datos almacenada en el -  
registro 32 de datos de dispositivo sea transferida a tal  
25 unidad 12 de control de dispositivo. La unidad 12 de con-  
trol de dispositivo transferirá después de ello esta pala-  
bra de datos al dispositivo correcto de los dispositivos  
13-16 de entrada salida en el formato correcto requerido  
por tal dispositivo de entrada salida.

30                    Considérese ahora el caso en que la orden reci

1 bida del ordenador central 11 y almacenada en el registro  
70 de órdenes es una orden de Iniciar Interrupción Monocí-  
clica. En este caso, la orden de iniciar interrupción mo-  
nocíclica es el registro 70 de órdenes y la dirección DCB  
5 en el registro 71 OIO son transferidas al microordenador  
33 a través de la línea general DBI. Supóngase, por el -  
momento, que el controlador 10 no está ocupado con otras  
tarefas y que ninguno de los dispositivos 13-16 de entrada  
10 salida está ocupado. En este caso, el programa almacena-  
do en el microordenador 33 bifurca a una rutina para loca-  
lizar el bloque de control de dispositivo (DCB) del ordena-  
dor central 11 y almacenarlo en la unidad de memoria inte-  
rior del microordenador 33.

15 El formato de este bloque de control de dispo-  
sitivo está representado en la figura 4. Este bloque de  
control de dispositivo contiene toda la información neces-  
aria para permitir que el controlador 10 controle y efec-  
túe la operación de transferencia de datos con interrup-  
ción monocíclica deseada. El bloque está compuesto por -  
20 ocho palabras de 16 bitios. La palabra 6, por ejemplo, -  
especifica el número de baterías de datos a transferir -  
hasta un máximo de 65.536 baterías. Puede transferirse -  
incluso un número mayor de baterías sin interrumpir la se-  
cuencia del ordenador central 11 encadenando el bloque con  
25 otro bloque DCB después que se ha agotado el cómputo de -  
baterías en la palabra 6, estando contenida la dirección  
de partida del siguiente bloque DCB en la palabra 5 del -  
primer bloque DCB.

30 La dirección de partida en la memoria principal  
21 del ordenador central para los datos a transferir está

1 especificada en la palabra 7 del bloque DCB. Para una -  
operación de salida (inscripción de dispositivo), esta es  
la dirección de partida para los datos a extraer de la me-  
5 moria principal 21. Para una operación de entrada (lectu-  
ra de dispositivo), esta es la dirección de partida para  
los datos que se leen del dispositivo de entrada salida y  
son transferidos a la memoria 21 principal. Uno de los -  
bitios contenidos en la palabra de control de bloque DCB  
(palabra 0 del bloque DCB) expresa si la operación es una  
10 operación de entrada (lectura de dispositivo) o una opera-  
ción de salida (inscripción de dispositivo). Otro de los  
bitios contenidos en la palabra de control DCB expresa si  
el bloque ha de ser encadenado o nó a un bloque DCB si-  
guiente cuando el cómputo de baterías en el bloque DCB en  
15 curso está agotado. Están descritos detalles adicionales  
del bloque de control de dispositivo representado en la -  
figura 4 en las referencias anteriormente citadas y no ne-  
cesitan considerarse aquí.

El controlador 10 localiza las palabras DCB -  
20 del microordenador central 11 mediante una secuencia de -  
interrupciones monocíclicas según un criterio de palabra  
individual desde el ordenador central. En particular, el  
microordenador 33 sitúa la dirección DCB obtenida del re-  
gistro 71 OIO en el contador 73 de direcciones. Esta  
25 dirección es transferida entonces a un registro 74 de di-  
rección de interrupción monocíclica, cuyo extremo de sali-  
da está conectado a la línea general 40 de dirección de -  
ordenador central. Puesto que el bloque DCB contiene ocho  
palabras, (16 baterías), el microordenador 33 establece -  
30 un cómputo de 16 en un contador 71 de baterías. El micro

1 ordenador 33 hace entonces que los circuitos 76 de control  
de interrupción monocíclica activen una línea 44 de entra-  
da de solicitud de interrupción monocíclica (CS) conecta-  
da al ordenador central 11. Esto se realiza transmitiendo  
5 a los circuitos 76 de control de interrupción monocíclica  
la señal selectora de control de microordenador (MP) a -  
través de la línea 63 y la señal de salida de descodifica-  
dor adecuada procedente del descodificador 62 ABO.

10 En respuesta a la señal Entrada de Solicitud -  
de Interrupción Monocíclica, el ordenador 11 central ini-  
cia secuencias de escrutinio y puerta de servicio durante  
la última de las cuales la dirección de interrupción mono-  
cíclica sobre la línea general 40 de dirección es utiliza-  
da para extraer y localizar la palabra 0 del bloque DCB de  
15 la memoria principal 21 y tal palabra es transferida al -  
registro 30 de datos de interrupción monocíclica a través  
de la línea general 26 de datos de canal. La operación -  
real de carga de la palabra de datos en el registro 30 de  
datos de interrupción monocíclica es realizada por el im-  
20 pulso selector de datos transmitido sobre la línea 53 se-  
lectora de datos durante la secuencia de confirmación de  
conexión de puerta de servicio. Estas secuencias de es-  
crutinio y puerta de servicio se comentarán posteriormen-  
te con mayor detalle. Deberá observarse, sin embargo, -  
25 que durante la secuencia de puerta de servicio el conta-  
dor 73 de direcciones es incrementado en un cómputo de dos  
unidades y el contador 75 de baterías es decrementado en  
un cómputo de dos unidades para preparar el controlador 10  
para la siguiente señal de entrada de solicitud de inte-  
30 rrupción monocíclica. A continuación de completarse la -

1 -secuencia de puerta de servicio, la nueva dirección alma-  
cenada en el contador 73 de direcciones es puesta en el -  
registro 74 de dirección de interrupción monocíclica para  
preparar el mismo para la siguiente señal de entrada de -  
5 solicitud de interrupción monocíclica.

La palabra DCB que reside en el registro 30 de  
datos de interrupción monocíclica en este momento, a sa-  
ber la palabra 0, es transferida entonces al microordena-  
dor 33 a través de la línea general DBI. Después del al-  
macenamiento de la palabra 0 de bloque DCB en su unidad -  
10 de memoria, el microordenador 33 hace que los circuitos 76  
de control de interrupción monocíclica emitan una nueva -  
señal de entrada de solicitud de interrupción monocíclica  
mediante nueva activación de la línea 44 de entrada de so-  
15 licitud de interrupción monocíclica. Esto hace que sea -  
extraída la palabra 1 del bloque DCB de la memoria princi-  
pal 21, sea transmitida sobre la línea general 26 de da-  
tos de canal y cargada en el registro 30 de datos de inte-  
rrupción monocíclica. El contador 73 de direcciones es -  
20 incrementado nuevamente en un cómputo de dos unidades y -  
el contador 75 de baterías es decrementado nuevamente en  
dos unidades, siendo transferida la nueva dirección des-  
pués de esto al registro 74 de direcciones de interrup-  
ción monocíclica. La palabra 1 del bloque DCB es transfe-  
25 rida entonces desde el registro 30 de datos de interrup-  
ción monocíclica a través de la línea general DBI y alma-  
cenada en la unidad de memoria en el microordenador 33. -  
Después de ello, el microordenador 33 hace que los circui-  
tos 76 de control de interrupción monocíclica emitan una  
30 nueva solicitud de interrupción monocíclica de entrada -

1 por la línea 44. Las anteriores operaciones se repiten -  
entonces para transferir la palabra 2 de bloque DCB desde  
la memoria principal 21 del ordenador central a la unidad  
de memoria en el microordenador 33. Este proceso conti-  
5 núa hasta que el cómputo almacenado en el contador 75 de  
baterías alcanza un valor de cero. De este modo, las ocho  
palabras del bloque DCB son almacenadas en la unidad de -  
memoria en el microordenador 33.

A continuación de completarse la operación de  
10 localización de bloque DCB procedente, el microordenador  
33 pone a punto el controlador 10 para realizar la transfe-  
rencia de datos automática deseada desde el ordenador cen-  
tral 11 a la unidad 12 de control de dispositivo, o vice-  
versa, a través de la línea general 31 de datos de deriva-  
15 ción. Con respecto al ordenador central 11, estas trans-  
ferencias de datos son realizadas en el modo de interrup-  
ción monocíclica con la ayuda de los circuitos 76 de con-  
trol de interrupción monocíclica. Como parte de la puesta  
a punto inicial para la transferencia automática, el mi-  
20 croordenador 33 pone en un estado de activación un circui-  
to 77 de retención de modo automático. Esto es realizado  
por la señal selectora de microordenador (MP) sobre la -  
línea 63 y la señal D1 de descodificación adecuada proce-  
dente del descodificador 62 ABO. (Cuando es adecuado, el  
25 circuito 77 de retención de modo automático es repuesto -  
por la señal selectora MP y una señal D2 de descodificación  
procedente del descodificador 62 ABO). El estado de acti-  
vación del circuito 77 de modo automático (salida de Modo  
Automático = 1) significa que las operaciones de transfe-  
30 rencia de datos automáticas están en curso en el controla

1 dor 10.

5 Como operación inicial adicional, el microordenador 33 pone el circuito 78 de retención de modo entrada-salida en un estado de activación si han de realizarse operaciones de entrada (lectura de dispositivo) o en un estado de reposición si han de realizarse operaciones de salida (inscripción de dispositivo). La señal selectora MP y la señal de descodificador D3 son utilizadas para activar el circuito 78 de retención, mientras que la señal selectora MP y la señal de descodificador D4 son utilizadas para reponer el circuito 78 de retención. La salida del circuito 78 de retención es utilizada para fines lógicos en diversas unidades en el controlador 10. Proporciona también la señal indicadora entrada salida por la línea 52 de control que se transmite al ordenador central 11. El estado en el cual está establecido el circuito 78 de retención está determinado por el bitio indicador de entrada salida en la palabra de control de bloque DCB almacenada en el microordenador 33.

20 Como operaciones adicionales iniciales de puesta a punto del modo automático, el microordenador 33 ingresa en el contador 73 de direcciones la dirección de datos de memoria principal contenida en la Palabra 7 del bloque de control de dispositivo y establece en el contador 75 de baterías el cómputo de baterías contenido en la palabra 6 del bloque de control de dispositivo.

30 Después de completarse las operaciones iniciales de puesta a punto del modo automático, la porción de dispositivos físicos del controlador 10 comienza la transferencia automática de datos a través de la línea general

1 -31 de datos de derivación. Un elemento clave en las ope-  
raciones de transferencia de derivación es la unidad 80 -  
de control de transferencia de derivación. Para una trans-  
5 ferencia de salida, los circuitos 80 de control de trans-  
ferencia de derivación suministran un impulso de carga a  
través de la línea 37 al registro 32 de datos de dispositi-  
vo cuando se desea transferir datos desde el registro 30  
de datos de interrupción monocíclica hasta el registro 32  
de datos de dispositivo. Para una transferencia de entra-  
10 da, los circuitos 80 de control de transferencia de deriva-  
ción suministran un impulso de carga a través de la línea  
36 al registro 30 de datos de interrupción monocíclica -  
cuando se desea transferir datos desde el registro 32 de  
datos de dispositivo hasta el registro 30 de datos de in-  
15 terrupción monocíclica.

En la presente realización, se supone que el -  
registro 32 de datos de dispositivo es un registro de 16  
bitios y que la línea general 31 de datos de derivación -  
es una línea general de 16 bitios y que cada transferen-  
20 cia hace pasar una palabra de datos desde el registro 30  
de datos de interrupción monocíclica hasta el registro 32  
de datos de dispositivo o viceversa. Ha de entenderse, -  
sin embargo, que en algunas ejecuciones el registro 32 de  
datos de dispositivo puede ser un registro de 8 bitios y  
25 la línea general 31 de datos de derivación puede ser una  
línea general de 8 bitios. En tal caso, cada transferen-  
cia sobre la línea 31 de derivación dará lugar al paso de  
una batería de datos desde el registro 30 de datos de in-  
terrupción monocíclica hasta el registro 32 de datos de dis-  
30 positivo, o viceversa. No obstante, la línea general 26

1 de datos de canal continuará siendo una línea general de  
16 bitios y el registro 30 de datos de interrupción mono-  
cíclica continuará siendo un registro de 16 bitios. De -  
este modo, se requerirán dos transferencias de una batería  
5 sobre la línea general de derivación de 8 bitios para car-  
gar o descargar, según sea el caso, el registro 30 de da-  
tos de interrupción monocíclica. En tal caso habrá dos -  
transferencias de línea general de datos de derivación por  
cada transferencia de línea general de datos de canal. Pa-  
10 ra mayor simplicidad de explicación, solamente se conside-  
rará con detalle el caso supuesto inicialmente de una lí-  
nea general 31 de datos de derivación de 16 bitios y un -  
registro 32 de datos de dispositivo de 16 bitios.

Se describirá ahora el procedimiento general -  
15 para operaciones de transferencia de datos de entrada en  
modo automático. Para cada transferencia de una palabra,  
la unidad 12 de control de dispositivo activará la línea  
55 de entrada de solicitud, que llega a los circuitos 81  
de control de acoplamiento de dispositivo. Esto signifi-  
20 ca que la unidad 12 de control está lista para transmitir  
datos. Si el registro 32 de datos de dispositivo está va-  
cía, los circuitos 81 de control de acoplamiento responde-  
rán activando la línea 56 de confirmación de solicitud de  
entrada. En respuesta a esto, la unidad 12 de control -  
25 transmite un impulso selector de entrada sobre la línea -  
60 de control. Este impulso selector es enviado al regis-  
tro 32 de datos de dispositivo para cargar en el mismo los  
datos que aparecen sobre la línea general 28 de datos de  
30 dispositivo. Este impulso selector es transmitido tam-  
bién a los circuitos 80 de control de transferencia de de

1 derivación para informar a los mismos de que el registro 32  
de datos de dispositivo tiene ahora una palabra de datos  
almacenada.

5 Si el registro 30 de datos de interrupción mono-  
cíclica está vacío, entonces los circuitos 80 de control  
de transferencia de derivación envían un impulso de carga  
al mismo a través de la línea 36. Este impulso transfiere  
la palabra de datos contenida en el registro 32 de da-  
tos de dispositivo al registro 30 de datos de interrupción  
10 monocíclica. En este punto, el registro 30 de datos de in-  
terrupción monocíclica está "lleno" y el registro 32 de -  
datos de dispositivo está "vacío". Los circuitos 80 de -  
control de transferencia de derivación memorizan ambos he-  
chos en un par de circuitos de retención indicadores de -  
15 estado de registro situados en los mismos.

Brevemente antes de la operación de carga de -  
los datos en el registro 30 de datos de interrupción mono-  
cíclica, los circuitos 80 de control de transferencia de  
derivación "dicen" a los circuitos 76 de control de inte-  
20 rrupción monocíclica que activen la línea 44 de entrada -  
de solicitud de interrupción monocíclica que transmite da-  
tos al ordenador central 11. Tal señal de entrada de so-  
licitud de interrupción monocíclica inicia una secuencia  
de transmisión de señales que hace que el ordenador cen-  
25 tral 11 acepte la palabra de datos que reside entonces en  
el registro 30 de datos de interrupción monocíclica. Du-  
rante el curso de esta transferencia al ordenador central  
11, dicho ordenador 11 "dice" a los circuitos 76 de contro-  
de interrupción monocíclica que desactiven su línea de en-  
30 trada de solicitud de interrupción monocíclica. Cerca -

1 del final de este proceso, el ordenador central 11 "dice"  
a los circuitos 76 de control de interrupción monocíclica  
que informen a los circuitos 80 de control de transferen-  
5 cia de derivación sobre el hecho de que el registro 30 de  
datos de interrupción monocíclica ha sido vaciado.

Las operaciones anteriores se repiten cada vez  
que se transfiere otra palabra de datos desde la unidad -  
12 de control de dispositivo al ordenador 11 central. Es-  
tas operaciones continúan repitiéndose hasta que el conta-  
10 dor 75 de baterías llega a cero. Respecto a esto, cada -  
vez que es transferida una palabra de datos desde el re-  
gistro 30 de datos de interrupción monocíclica al ordena-  
dor 11 central, el contador 73 de direcciones es incremen-  
tado en dos unidades y el contador 75 de baterías es de-  
15 crementado en dos unidades. Brevemente después que el -  
contador 75 de baterías llega al cómputo cero, este hecho  
es detectado por el microordenador 33, que realiza enton-  
ces la rutina de secuencia de finalización adecuada.

Se considerará ahora la secuencia general de -  
20 acontecimientos para operaciones de transferencia de datos  
del tipo de salida en modo automático. Cada transferen-  
cia de salida de una palabra es iniciada por el controla-  
dor 10 activando la línea 44 de entrada de solicitud de -  
interrupción monocíclica. Más en particular, cuando está  
25 vacío el registro 30 de datos de interrupción monocíclica,  
los circuitos 80 de control de transferencia de derivación  
ordenan a los circuitos 76 de control de interrupción mono-  
cíclica la activación de la línea 44 de entrada de solici-  
tud de interrupción monocíclica. En respuesta a esto, el  
30 ordenador central 11 extrae la palabra de datos de la me-

1 memoria principal 21, cuya primera batería está indicada por  
la dirección de interrupción monocíclica que aparece so-  
bre la línea general 40 de direcciones. Después de ello,  
el ordenador central 11 sitúa esta palabra de datos sobre  
5 la línea general 26 de datos de canal y envía un impulso  
selector de datos por la línea 53 selectora de datos. En  
ta línea carga la palabra de datos presente de la línea -  
general 26 de datos de canal en el registro 30 de datos -  
de interrupción monocíclica. La señal selectora de datos  
10 presente en la línea 53 es suministrada también a los cir-  
cuitos 80 de control de transferencia de derivación para  
indicarles que el registro 30 de datos de interrupción mo-  
nocíclica está ahora "lleno".

15 Si el registro 32 de datos de dispositivo está  
vacío o queda subsiguientemente vacío, los circuitos 80 -  
de control de transferencia de derivación suministran un  
impulso de carga al mismo a través de la línea 37. Este  
impulso transfiere la palabra de datos contenida en el re-  
gistro 30 de datos de interrupción monocíclica al regis-  
20 tro 32 de datos de dispositivo. En este punto, los cir-  
cuitos 80 de control de transferencia de derivación memo-  
rizan los hechos de que el registro 32 de datos de dispo-  
sitivo está ahora completo y que el registro 30 de datos  
de interrupción monocíclica está ahora vacío. La informa-  
25 ción correspondiente al último hecho, a saber que el regis-  
tro 30 de datos de interrupción monocíclica está vacío, -  
es retornada a los circuitos 76 de control de interrup-  
ción monocíclica de modo que tales circuitos de control -  
pueden emitir una nueva señal de entrada de solicitud de -  
30 interrupción monocíclica.

1                    Considerando el flujo de datos en la dirección  
del dispositivo, la información concerniente al hecho de  
que el registro 32 de datos de dispositivo está ahora com-  
pleto, es transmitida por los circuitos 80 de control de  
5                    transferencia de derivación a los circuitos 81 de con-  
trol de acoplamiento de dispositivo, de modo que pueden  
responder a la unidad 12 de control de dispositivo cuan-  
do tal unidad 12 de control indica que está lista para -  
recibir datos. Más en particular, cuando la unidad de -  
10                    control de dispositivo está lista para recibir datos, ac-  
tiva la línea 55 de entrada de solicitud conectada a las  
unidades 81 de control de acoplamiento de dispositivo. -  
Si el registro 32 de datos de dispositivo está lleno, c  
si después de ello queda lleno, los circuitos 81 de con-  
15                    trol de acoplamiento activan la línea 56 de confirmación  
de solicitud de entrada que transmite datos a la unidad  
12 de control de dispositivo. Brevemente después, los -  
circuitos 81 de control de acoplamiento envían un impulso  
selector de salida a la unidad 12 de control de dispositi-  
20                    vo a través de la línea 59 selectora de salida. Este im-  
pulso selector de salida hace que la unidad 12 de control  
de dispositivo acepte la palabra de datos que reside en-  
tonces en el registro 32 de datos de dispositivo y que -  
aparece sobre la línea general 28 de datos de dispositi-  
25                    vo. En este punto, los circuitos 81 de control de acopla-  
miento indican a los circuitos 80 de control de transfe-  
rencia de derivación que el registro 32 de datos de dis-  
positivo está ahora vacío. Esto habilita los circuitos -  
80 de control de transferencia de derivación para emitir  
30                    un nuevo impulso de carga al registro 32 de datos de dis-

1 positivo a través de la línea 37 tan pronto como queda -  
nuevamente lleno el registro 30 de datos de interrupción  
monocíclica.

5 Las operaciones precedentes de modo de salida  
automático se realizan cada vez que es transferida una pa-  
labra de datos desde el ordenador central 11 hasta la uni-  
dad 12 de control de dispositivo. Este proceso continúa  
hasta que es nulo el cómputo en el contador 75 de bate-  
rías. Respecto a esto, cada vez que se carga una nueva  
10 palabra de datos en el registro 30 de datos de interrup-  
ción monocíclica, el contador 73 de direcciones es incre-  
mentado en dos unidades y el contador 75 de baterías es -  
decrementado en dos unidades. Poco después que el conta-  
dor 75 de baterías toma el cómputo cero, el microordena-  
15 dor 33 detecta tal incidencia y realiza la rutina de se-  
cuencia de finalización adecuada.

Es utilizado un registro 82 de etiqueta de dis-  
positivo en combinación con la línea general 54 de etique-  
ta de dispositivo para fines de enviar información del ti-  
20 po de control a la unidad 12 de control de dispositivo. -  
Tal información se obtiene del microordenador 33 a través  
de la línea general DBO. Recíprocamente, el registro 82  
de etiqueta es también utilizado para recibir información  
de control de la unidad 12 de control de dispositivo. -  
25 Tal información de control es enviada entonces al micro-  
ordenador 33 por medio de la línea general DBI.

Está también conectado un registro 83 de inte-  
rrupción de dispositivo a la línea general 54 de etiqueta  
y es utilizado para indicar al microordenador 33 que uno  
30 o más dispositivos de entrada salida particulares quieren

1 -interrumpir al microordenador 33 y enviarle un mensaje. -  
El registro 83 de interrupción contiene una posición de -  
bitio independiente para cada uno de los cuatro dispositi  
vos 13-16 de entrada salida. La posición 0 de bitio se -  
5 activa cuando, el dispositivo 13 de entrada salida tiene  
una interrupción pendiente, la posición 1 de bitio se ac  
tiva cuando el dispositivo 14 de entrada salida tiene una  
introducción pendiente, y así sucesivamente. Si los bi  
tios de etiqueta suministrados al registro 83 de interrup  
10 ción están codificados, en contraste con el hecho de ser  
significativos, entonces el registro 83 de interrupción -  
incluye en su entrada un descodificador para determinar -  
cual de las cuatro posiciones de bitio de registro ha de  
activarse para cualquier valor de código de interrupción  
15 dado sobre la línea general 54 de etiqueta. La rutina de  
programa supervisor en el microordenador 33 percibe perió  
dicamente el contenido del registro 83 de interrupción pa  
ra determinar cual de los dispositivos de entrada salida  
tiene preparada una interrupción, si hay alguno.

20 Después que han sido transferidos todos los da  
tos para cualquier orden de control directo por programa  
(DFC) u orden de transferencia de datos con interrupción  
monocíclica, el controlador 10 de entrada salida realiza  
una secuencia de finalización para informar de tal hecho  
25 al ordenador central 11. En la presente realización, es  
ta secuencia de finalización toma la forma de una secuen  
cia de interrupción de prioridad y es realizada por medio  
de unidades 84 de control de interrupción de prioridad y  
un registro 85 de identificación de interrupción. Como -  
30 operación preliminar en esta rutina de interrupción de -

1 prioridad, el microordenador 33 carga una palabra de iden-  
tificación de interrupción en el registro 85 de identifica-  
ción de interrupción. El formato de esta palabra de iden-  
tificación de interrupción está representado en la figura  
5 6. La primera batería de la misma es una batería de in-  
formación que contiene diversa información de estado. La  
segunda batería de la palabra de identificación de inte-  
rrupción contiene la dirección de dispositivo del disposi-  
tivo de entrada salida particular para el cual se está -  
10 realizando la interrupción. Como operación preliminar -  
adicional, el microordenador 33 carga el código de estado  
adecuado en el registro 72 de código de estado. Para una  
operación de finalización normal el estado reportado será  
"final de dispositivo".

15 La secuencia de confirmación de conexión de in-  
tarrupción de prioridad es iniciada por los circuitos 84  
de control de interrupción de prioridad al ser recibida -  
por tales circuitos de control la señal selectora KP pro-  
cedente del microordenador 33 y la señal de descodifica-  
ción adecuada procedente del descodificador 64 ABO. En res-  
20 puesta a estas señales, los circuitos 84 de control de in-  
tarrupción de prioridad excitan una de la pluralidad de lí-  
neas incluidas en la línea general 51 de entrada de soli-  
citud de interrupción de prioridad (PI). Esta línea gene-  
25 ral 51 incluye tantas líneas como niveles de prioridad -  
existen. Las líneas tienen significación asignada a esta  
do de bitio, siendo utilizada cada una de las líneas para  
indicar un nivel de prioridad. Es asignado un nivel úni-  
co de prioridad al controlador 10 aún cuando sean atendi-  
30 dos dispositivos de entrada salida múltiples por el con-

1 trolador 10. Está contenida una indicación codificada -  
del nivel de prioridad en un registro de nivel de priori-  
dad o registro de nivel de preparación situado dentro de  
los circuitos 84 de control de interrupción de prioridad.  
5 Este registro de nivel de prioridad es cargado desde la -  
línea general 26 de datos de canal durante la expedición  
de una orden de preparación por parte del ordenador 11 -  
central, siendo tal orden del tipo DPC. De este modo, el  
ordenador 11 central asigna el nivel de prioridad de inte-  
10 rrupción al controlador 10 de entrada salida.

En su momento, el ordenador central 11 respon-  
de a la línea activada de entrada de solicitud de prioridad  
de la línea general 51 transmitiendo una señal de identi-  
ficación de escrutinio al controlador 10 a través de la -  
15 línea general 46 de identificación de escrutinio. La lí-  
nea general 46 de identificación de escrutinio es una lí-  
nea general de cinco bits y la codificación de los cinco  
bits identifica el nivel particular de prioridad que es  
20 tá siendo reconocido. Este nivel de prioridad es compara-  
do dentro de los circuitos 84 de control de interrupción  
de prioridad con el código contenido en el registro de ni-  
vel de prioridad situado en los mismos. Si se detecta una  
concordancia de niveles de prioridad, los circuitos 84 de  
control de nivel de prioridad activan la línea 47 de retor-  
25 no de escrutinio. En respuesta a ello, el ordenador cen-  
tral 11 transmite una señal de puerta de servicio al con-  
trolador 10 por la línea 49 de puerta de servicio. Al te-  
ner lugar la recepción de esta señal, los circuitos 84 de  
control de nivel de prioridad transmiten una señal de re-  
30 torno de puerta de servicio por la línea 50 de retorno de

1 puerta de servicio. Al mismo tiempo, el contenido del re-  
gistro 85 de identificación de interrupción se sitúa sobre  
la línea general 26 de datos de canal y el contenido del  
registro 72 de código de estado se sitúa sobre la línea -  
5 general 43 de entrada de código de estado. La señal de -  
retorno de puerta de servicio indica al ordenador central  
11 que la información deseada está disponible sobre la lí-  
nea general 26 de datos de canal y la línea 43 general de  
entrada de código de estado. Brevemente después, el orde-  
10 nador central 11 acepta esta información y la almacena en  
los registros adecuados incorporados en el mismo. Después  
que se completa esta operación, el ordenador central 11 -  
desactiva la línea 49 de puerta de servicio para provocar  
la terminación de la secuencia de confirmación de conexión  
15 de interrupción.

El ordenador central 11 utiliza la información  
contenida en la palabra de identificación de interrupción  
y el código de estado como base para determinar la rutina  
de programa de entrada salida que deberá realizarse a con-  
20 tinuación. Si, por ejemplo, el código de estado indica -  
una finalización de dispositivo normal y no está pendien-  
te ninguna otra interrupción, entonces el ordenador cen-  
tral 11 puede proceder a emitir la siguiente instrucción  
OIO para el dispositivo de entrada salida particular que  
25 presentó la información de interrupción que se acaba de -  
recibir. Si, por otra parte, el código de estado y la ba-  
tería de estado en la palabra de identificación de inte-  
rrupción indicasen un estado problemático, el programa -  
supervisor de entrada salida del ordenador central 11, en  
30 curso normal, bifurcará a la rutina adecuada para atender

1 el estado problemático.

Los circuitos 34 de control de interrupción de prioridad son en general similares a los circuitos de control de interrupción de prioridad descritos en la Patente Norteamericana 4.038.642 de Bouknecht y otros anteriormente citada. Consiguientemente, no se dará en la presente memoria una descripción detallada de su construcción.

5 Circuitos de Control de Interrupción Monocíclica (figura 7)

10 Con referencia a la figura 7, se representa la disposición constructiva interna de los circuitos 76 de control de interrupción monocíclica de la figura 2. La entrada "modo automático" de la figura 7 se obtiene del circuito 77 de retención de modo automático de la figura 2. La entrada "modo de entrada" de la figura 7 se obtiene del circuito 78 de retención de modo de entrada-salida de la figura 2. La entrada "cómputo de baterías = 0" de la figura 7 se obtiene del contador 75 de baterías de la figura 2.

15 El primer punto a observar en la figura 7 es el circuito 90 de retención de solicitud de interrupción monocíclica. El establecimiento de este circuito 90 de retención en un estado de activación activa la línea 44 de entrada de solicitud de interrupción monocíclica que transmite datos al ordenador 11 central siempre que no estén en sus niveles activos ni una señal de captación de escrutinio ni una señal de captación de puerta de servicio. Los diversos estados que pueden hacer que se active el circuito 90 de solicitud de interrupción monocíclica están representados por las entradas a los circuitos "Y" 20 25 30 91, 92 y 93. La salida del circuito "Y" 91 toma el nivel

1 "activación de circuito de retención" cuando el controla-  
dor 10 no está en el modo automático, está presente la -  
señal selectora de microordenador (MP) y está activada la -  
línea adecuada de salida del decodificador 62 ABO. Este  
5 mecanismo permite al microordenador 33 activar el circui-  
to 90 de retención de solicitud de interrupción monocíclica.  
ca.

La salida del circuito "Y" 92 toma el nivel -  
"activación" cuando funciona en un modo de salida automá-  
tica (inscripción de dispositivo) cuando el registro 30 -  
10 de datos de interrupción monocíclica está en un estado de  
"vacío", siempre que no sea nulo el cómputo de baterías.  
La línea 94 CS de registro de datos vacío procede de los  
circuitos 80 de control de transferencia de derivación, -  
15 que están representados con mayor detalle en la figura -  
11.

La salida del circuito "Y" 93 toma el nivel -  
"activación" durante una operación de entrada automática  
(lectura de dispositivo) en el instante en que el registro  
20 32 de datos de dispositivo está cargado con una palabra -  
de datos procedente de un dispositivo de entrada salida,  
siempre que no sea nulo el cómputo de baterías en el conta-  
dor 75. Como se comentará adicionalmente después, esta -  
iniciación de la solicitud CS en la señal de la línea 44  
25 antes de que se transfiera la palabra de datos al regis-  
tro 30 de datos de interrupción monocíclica, proporciona  
una acción de anticipación deseable que aumenta la veloci-  
dad de transferencia de datos. Como se indica en la figu-  
ra 7, la salida del circuito "Y" 93 toma el nivel "activa-  
30 ción" al producirse un impulso "activar circuito de reten

1 ción de registro de datos de dispositivo lleno" sobre la  
línea 95. Este impulso se obtiene de los circuitos 30 de  
control de transferencia de derivación que están represen-  
tados con mayor detalle en la figura 11.

5 El siguiente punto a considerar es un circuito  
"Y" 96 que es utilizado para descodificar el código de -  
bitio por la línea general 46 de identificación de escru-  
tinio para producir una salida binaria de nivel 1, cuando  
se detecta el código de identificación de interrupción mo-  
10 nocíclica. En el ejemplo presente, se supone que el códi-  
go de identificación de interrupción monocíclica es -  
"LXX11", donde los símbolos X indican bitios que pueden -  
tener estados cualesquiera. La detección de la señal de  
identificación de escrutinio de interrupción monocíclica  
15 por parte del circuito "Y" 96 da lugar a la activación de  
un circuito 97 de retención de comparación de solicitud,  
siempre que esté realmente pendiente para el controlador  
10 una solicitud de interrupción monocíclica. El estado  
de activación del circuito 97 de retención indica que se  
20 ha obtenido una concordancia de identificación.

Una señal de concordancia (nivel binario "uno")  
procedente del circuito 97 de retención, junto con la pre-  
sencia de una señal de escrutinio sobre la línea 45 de -  
escrutinio da lugar a la generación de una señal de retor-  
25 no de escrutinio sobre la línea 47 de retorno de escru-  
tinio. Esto es realizado por medio del circuito 98 de re-  
torno de escrutinio y el circuito "Y" 99. Las dos señales  
que se acaban de mencionar sirven para activar el circui-  
to 98 de retención de retorno de escrutinio a través de -  
30 un circuito "Y" 100. El estado de activación del circui-

1 to 98 de retención, junto con la señal de escrutinio de la  
línea 45, hace que el circuito "Y" 99 active (establezca  
un nivel binario 1) la línea 47 de retorno de escrutinio.  
La terminación de la señal de escrutinio de la línea 45 -  
5 repone el circuito 98 de retención de retorno de escru-  
tino a través del circuito 101 inversor. Esto da lugar a  
la finalización de la señal de retorno de escrutinio de -  
la línea 47 de retorno de escrutinio.

Si no se obtiene una concordancia de identifi-  
10 cación de escrutinio, entonces el circuito 98 de retención  
de retorno de escrutinio no se activa y la señal de escru-  
tino de la línea 45 da lugar a la activación de una lí-  
nea 47 de propagación de escrutinio a través del circuito  
"Y" 102. Como se ha comentado en las referencias anterior  
15 mente citadas, esto realmente da lugar a que sea transmi-  
tida la señal de escrutinio al siguiente controlador de -  
entrada salida sobre la línea general de acoplamiento de  
canal para ver si tal controlador siguiente fue el que -  
emitió la señal de entrada de solicitud de interrupción mo-  
20 nocíclica.

El nivel "concordancia" de identificación de -  
escrutinio en la salida del circuito 97 de retención sir-  
ve también para activar un circuito 103 de retención de -  
captación de escrutinio de interrupción monocíclica, -  
25 siempre que esté presente la señal de escrutinio en la -  
línea 45 y siempre que se haya activado el circuito 98 de  
retención de retorno de escrutinio. El estado de activa-  
ción del circuito 103 de retención de captación de señal  
de escrutinio indica que la secuencia de escrutinio inicia  
30 da por el ordenador central 11 ha sido captada por el con

1 - trolador 10 de entrada salida.

5 El siguiente punto a observar es el circuito -  
104 de captación de puerta de servicio de interrupción mo-  
nocíclica. Este circuito 104 de retención se activa al -  
5 aparecer la señal de puerta de servicio en la línea 49 de  
puerta de servicio a través del circuito "Y" 105, siempre  
que ya esté activado el circuito 103 de retención de cap-  
tación de escrutinio. El estado de activación del circui-  
to 104 de retención indica que la señal de puerta de ser-  
vicio emitida por el ordenador central 11 ha sido captada  
10 por el controlador 10. Entre otras cosas, tal estado de  
captación de señal de puerta de servicio será utilizado -  
en la generación de la señal de retorno de puerta de ser-  
vicio enviada al ordenador central 11. El circuito 104 -  
15 de retención se repone a través del circuito 106 inversor  
cuando la línea 49 de puerta de servicio es desactivada -  
por el ordenador central 11.

20 La señal de retorno de puerta de servicio de -  
la línea 50 se produce cuando está en un estado de activa-  
ción un circuito 107 de retención de retorno de puerta de  
servicio de interrupción monocíclica. Cuando el controla-  
dor 10 está funcionando en un modo de salida (inscripción  
de dispositivo), el circuito 107 de retención de retorno  
de puerta de servicio es activado inmediatamente a través  
25 del circuito "Y" 108 por la activación del circuito 104 -  
de retención de captación de puerta de servicio. En este  
modo de salida, la segunda entrada al circuito "Y" 108 es  
tá siempre en el nivel binario "uno" porque la señal modo  
de entrada está en el nivel cero, produciéndose así un ni-  
30 vel binario "uno" en la salida del circuito "O" 109. El

1      circuito 107 de retención de retorno de puerta de servi-  
cío se repone a través del circuito 110 inversor a conti-  
nuación de la reposición del circuito 104 de retención de  
5      captación de puerta de servicio, siendo originada esta úl-  
tima incidencia por la interrupción de la señal de puerta  
de servicio de la línea 49.

          Cuando el controlador 10 está funcionando en -  
un modo de entrada (lectura de dispositivo) está dispues-  
to un mecanismo especial para retardar, cuando es neces-  
10     rio, la activación del circuito 107 de retención de retor-  
no de puerta de servicio. Este mecanismo incluye un cir-  
cuito 112 de báscula biestable de activación por flanco  
que es hecho bascular al nivel binario presente en su en-  
trada de datos al producirse un flanco de impulso de ex-  
15     cursión negativa en su entrada de sincronismo. Puesto que  
el controlador 10 está funcionando en el modo de entrada,  
la línea Modo de Entrada, y por tanto la entrada de datos  
del circuito biestable 112 está en el nivel binario uno.  
La entrada de sincronismo del circuito biestable 112 está  
20     conectada a la línea 36 de carga del registro de datos de  
interrupción monocíclica la cual, como se indica en la fi-  
gura 2, procede del los circuitos 80 de control de trans-  
ferencia de derivación y se dirige al registro 30 de datos  
de interrupción monocíclica. Puesto que el impulso de car-  
25     ga de registro de datos (CS) es un impulso de excursión -  
positiva, el flanco posterior de este impulso actúa para  
hacer bascular el circuito biestable 112 a un estado bina-  
rio "uno" o estado de "activación". Este estado de acti-  
vación es efectivo a través del circuito "0" 109 y el cir-  
30     cuito "Y" 108 para activar el circuito 107 de retención -

1 de retorno de puerta de servicio puesto que el circuito -  
104 de retención fue activado anteriormente por la señal  
de puerta de servicio sobre la línea 49.

5 De este modo, para operaciones de entrada, el  
flanco posterior del impulso de carga del registro de da-  
tos de interrupción monocíclica determina el momento de  
activación de la línea 50 de retorno de puerta de servi-  
cio. Puesto que el ordenador central 11 no aceptará los  
10 datos que aparecen en la línea general 26 de datos de ca-  
nal hasta que reciba la señal de retorno de puerta de ser-  
vicio procedente del controlador 10, esto significa que -  
el ordenador central 11 no leerá los datos de la línea ge-  
neral 26 de datos de canal hasta que se haya completado -  
la carga del registro 30 de datos de interrupción monocí-  
15 clica. Esta precaución es necesaria porque, como se ha -  
mencionado anteriormente en relación con el circuito "Y"  
93, la señal de entrada de solicitud de interrupción mono-  
cíclica es transmitida al ordenador central 11 antes de -  
que se transfiera la palabra de datos al registro 30 de -  
20 datos de interrupción monocíclica. Sin esta precaución,  
el ordenador central 11 podría leer datos erróneos si la  
palabra de datos se retrasase un poco en llegar al regis-  
tro 30 de datos de interrupción monocíclica.

25 El diagrama de sincronismo de la figura 8 ilus-  
tra las relaciones precedentes, para el caso de operacio-  
nes de transferencia de datos en modo de entrada automáti-  
co con interrupción monocíclica. La forma C de onda re-  
presenta las señales de entrada de solicitud de interrup-  
ción monocíclica enviadas al ordenador central 11 a tra-  
30 vés de la línea 44 de entrada de solicitud de interrup-

1 ción monocíclica. La forma J de onda representa los im-  
pulsos CSDR de carga de la línea 36, que son utilizados -  
para cargar la palabra de datos en el registro 30 de da-  
tos de interrupción monocíclica desde el registro 32 de -  
5 datos de dispositivo. El intervalo "Caso 1" ilustra el -  
caso en que el registro 30 de datos de interrupción mono-  
cíclica es cargado inmediatamente y la señal de retorno -  
de puerta de servicio (forma H de onda) es emitida en su  
modo normal después de la aparición de la señal de puerta  
10 de servicio (forma G de onda). El intervalo "Caso 2" -  
ilustra el caso en que la operación de carga del registro  
30 de datos de interrupción monocíclica se produce con re-  
traso con relación a la aparición de la señal de puerta -  
de servicio. En este caso, el retardo proporcionado por  
15 el circuito biestable 112 impide la expedición de la se-  
ñal de retorno de puerta de servicio hasta que se ha com-  
pletado la carga y fijación de los nuevos datos en el re-  
gistro 30 de datos de interrupción monocíclica.

20 La figura 8 ilustra también la ventaja del me-  
canismo de anticipación que permite que la señal de entra-  
da de solicitud CS sea expedida antes de que se produzca  
la carga del registro 30 de datos de interrupción monocícli-  
ca. En ambos casos, el intervalo de transferencia de da-  
tos (tiempo requerido para desplazar los datos desde el re-  
25 gistro 32 de datos de dispositivo al registro 30 de datos  
de interrupción monocíclica) se solapa con el intervalo -  
de secuencia de solicitud-escrutinio de interrupción mono-  
cíclica (tiempo requerido para emitir la solicitud de in-  
terrupción monocíclica y para realizar la secuencia de es-  
30 crutinio). Esto está en contraste con la práctica ante-

1 rior seguida para controladores de entrada salida donde -  
la señal de entrada de solicitud de interrupción monocíclica no es emitida hasta completarse la carga del registro de datos conectado a la línea general de datos de canal.  
5 En contraste con esto, el mecanismo de anticipación del presente invento permite un ahorro de tiempo para cada palabra de datos transferida, cuyo ahorro de tiempo es igual al tiempo de intervalo de solicitud-escrutinio. Este solape de tiempos, aún cuando es relativamente pequeño y quizá insignificante para dispositivos de entrada salida del tipo de baja velocidad, es muy importante para el caso de dispositivos de entrada salida de alta velocidad capaces de funcionar en el campo de 300000 a 400000 palabras por segundo.

10  
15 Descripción de la Línea General de Etiqueta de Dispositivo (figura 9)

20 Con referencia a la figura 9, se representa con mayor detalle la línea general 54 de etiqueta de la figura 2, que es utilizada para habilitar el microordenador 33 en el controlador 10 para comunicar con la unidad 12 de control de dispositivo y viceversa. Como se indica en la figura 9, son utilizadas las líneas 0-3 de la línea general de etiqueta de un modo bidireccional y son utilizadas las líneas 4-7 de la línea general de etiqueta de un modo unidireccional. Las líneas 2 y 3 de etiqueta son  
25 utilizadas para transferir un código binario de dos bits para identificar el dispositivo de entrada salida particular al cual o para el cual se está realizando la comunicación. De este modo, por ejemplo, el código "00" de identificación de dispositivo puede asignarse al dispo  
30

1     -sitivo 13 de entrada salida, el código "01" de identifica  
ción de dispositivo al dispositivo 14 de entrada salida,  
y así sucesivamente. Las líneas 4-7 de etiqueta son uti-  
lizadas para suministrar a la unidad 12 de control de dis-  
5     positivo un código binario de cuatro bits que identifi-  
ca un registro particular en la unidad 12 de control de -  
dispositivo, a la cual ha de transferirse información o -  
desde la cual ha de transferirse, o bien para identificar  
una función particular a realizar dentro de la unidad 12  
10    de control de dispositivo. Como tales, las líneas 4-7 de  
etiqueta son análogas a la línea general ABO del microor-  
denador 33.

La línea 1 de etiqueta es una línea indicadora  
de entrada salida para indicar si la información ha de -  
15    transferirse desde la unidad 12 de control de dispositivo  
al controlador 10, o viceversa. Para una transferencia -  
al controlador 10 (bitio 1 = In), la línea 0 de etiqueta  
indica si la transferencia es una transferencia de inte-  
rrupción (bitio 0 = 1) o si se trata de una transferencia  
20    de datos de lectura-inscripción (bitio 0 = 0). Si, por -  
el contrario, la transferencia es una transferencia hacia  
la unidad 12 de control de dispositivo (bitio 1 = salida),  
entonces la línea 0 de etiqueta indica si las líneas 4-7  
de etiqueta representan una dirección de registro (bitio  
25    0 = 1) o una identificación de función (Bitio 0 = 0).

Circuitos de Control de Acoplamiento de Dispositivo (figu-  
ra 10)

Con referencia a la figura 10, se representa con  
detalle la disposición constructiva interna de los circui-  
30    tos 81 de control de acoplamiento de dispositivo de la fi

1 gura 2. La comunicación inicial con un dispositivo de en-  
trada salida particular se establece por medio de una se-  
cuencia de salida de solicitud. Como operación prelimi-  
5 nar, el microordenador 33 carga el registro 82 de etique-  
ta de dispositivo con la información de control adecuada  
y, en los casos en que se requiere, carga también el re-  
registro 32 de datos de dispositivo con datos u otra infor-  
mación. El microordenador 33 indica también a los circui-  
tos 80 de control de transferencia de derivación que acti-  
10 ven una línea 120 de registro de datos de dispositivo com-  
pleto (DDR), la cual, entre otras cosas, transmite datos  
a los circuitos 81 de control de acoplamiento de dispositi-  
vo. El microordenador 33 activa entonces un circuito  
biestable 121 de salida de solicitud (figura 10) a través  
15 del circuito "Y" 122 por medio de la señal selectora de  
microordenador (MP) de la línea 63 y la señal de descodi-  
ficación ABO adecuada sobre la línea 123, estando tal lí-  
nea conectada a la salida del descodificador 62 ABO. El  
microordenador 33 activa también el circuito 78 de reten-  
20 ción de modo de entrada salida de controlador al estado -  
contrario al modo de entrada (salida) (Modo de Entrada =  
= 0).

En respuesta a la señal de salida de solicitud,  
la unidad 12 de control de dispositivo activa la línea 58  
25 de solicitud de confirmación. Esta señal de salida de so-  
licitud de confirmación es suministrada por medio del cir-  
cuito "O" 124 y el circuito "Y" 125 para activar un cir-  
cuito 126 de retención. Como resultado, los siguientes -  
cuatro impulsos de oscilador que se producen en la línea  
30 127 hacen que los circuitos 128 y 128a de activación por

1 flanco produzcan un impulso selector de salida de duración  
exactamente fijada sobre la línea 59 selectora de salida.  
La duración de este impulso selector de salida es igual -  
al doble del intervalo de tiempo comprendido entre los -  
5 flancos anteriores de dos impulsos de oscilador sucesivos.  
Este impulso selector de salida de la línea 59 es suminis-  
trado a la unidad 12 de control de dispositivo y hace que  
tal unidad cargue la información residente en el registro  
82 de etiqueta de dispositivo y en el registro 32 de da-  
10 tos de dispositivo, apareciendo entonces tal información  
sobre la línea general 54 de etiqueta y la línea general  
28 de datos de dispositivo, respectivamente. Este impul-  
so selector de salida repone también el circuito biesta-  
ble 121 de salida de solicitud por medio del circuito "0"  
15 129. Esto finaliza la secuencia de selección inicial para  
el dispositivo de entrada salida particular en cuestión.

Para el caso de operaciones de transferencia -  
de datos con interrupción monocíclica, la información su-  
ministrada a la unidad 12 de control de dispositivo duran-  
20 te la secuencia de selección inicial provee a la unidad -  
12 de control de dispositivo de la información de control  
que necesita para realizar las operaciones de transferencia  
de datos deseadas con el dispositivo de entrada salida de  
seado. Después de la secuencia de selección inicial, la  
25 unidad 12 de control de dispositivo asume el control y en-  
vía señales al controlador 10 de entrada salida cada vez  
que la unidad 12 de control de dispositivo está lista pa-  
ra la transferencia de una palabra de datos. Más en par-  
ticular, la unidad 12 de control de dispositivo activa la  
30 línea de entrada de solicitud (línea 55) cada vez que es-

1 tá lista para la transferencia de una palabra de datos. -  
En respuesta a ello, el circuito "Y" 130 suministra una -  
señal de entrada de solicitud de confirmación en retorno  
a la unidad 12 de control de dispositivo siempre que uno  
5 u otro de los circuitos "Y" 131 y 132 esté suministrando  
un nivel binario 1 a la segunda entrada del circuito "Y"  
130. Para una transferencia de salida (inscripción de -  
dispositivo), el circuito "Y" 131 proporciona la señal de  
nivel binario 1 cuando se completa el registro 32 de da-  
10 tos de dispositivo (registro DDR). Para una transferen-  
cia de modo de entrada (lectura de dispositivo) el cir-  
cuito "Y" 132 proporciona la señal de nivel lógico "uno"  
cuando el registro 32 de datos de dispositivo no está lle-  
no (vacío).

15 Lo que ocurre a continuación depende de si la  
transferencia es una transferencia de modo de entrada o -  
una transferencia de modo de salida. Para el caso de una  
transferencia de modo de entrada, la unidad 12 de control  
de dispositivo responde a la señal de entrada de solici-  
20 tud de confirmación enviando un impulso selector de entra-  
da en la línea 60. Como se indica en la figura 2, este -  
impulso hace que la palabra de datos que aparece en la lí-  
nea general 28 de datos de dispositivo sea cargada en el  
registro 32 de datos de dispositivo. Como se verá en re-  
25 lación con la figura 11, este impulso selector de entrada  
activa también un circuito de retención indicador de re-  
gistro de datos de dispositivos lleno en los circuitos 80  
de control de transferencia de derivación, a un estado de  
"registro DDR lleno".

30 Para el caso de una transferencia de modo de -

1 salida, por el contrario, la aparición de la señal de en-  
trada de solicitud de confirmación sobre la línea 56 hace  
que los circuitos 128 y 128a de activación por flanco -  
produzcan un impulso selector de salida de la línea 59.  
5 Esto se realiza por medio del circuito "Y" 133, el circui-  
to "O" 124, el circuito "Y" 125 y el circuito 126 de re-  
tención. Este impulso selector de salida hace que la uni-  
dad 12 de control de dispositivo cargue la palabra de da-  
tos que aparece entonces en la línea general 28 de datos  
10 de dispositivo. Como se verá en relación con la figura 11,  
este impulso selector de salida de la línea 59 repone tam-  
bién el circuito de retención de "registro DDR lleno" en  
los circuitos 80 de control de transferencia de deriva-  
ción a un estado de "no lleno" o "vacío".

15 Circuitos de Control de Transferencia de Derivación (figu-  
ra 11)

Con referencia a la figura 11, se representa -  
con detalle la construcción interna de los circuitos 80 -  
de control de transferencia de derivación de la figura 2.  
20 Para mayor simplicidad de ilustración, se han omitido al-  
gunos de los circuitos inversores con respecto a algunas  
de las líneas de señal de entrada en aquellos casos en -  
que tal omisión no origina confusión. Por ejemplo, algu-  
nas de las líneas de entrada están identificadas por el  
25 rótulo "modo de entrada invertido". Tales señales "modo  
de entrada invertido" se obtienen tomando la salida "modo  
de entrada" del circuito 78 de retención de modo y llevan  
dola a través de un circuito inversor. Alternativamente,  
las señales "modo de entrada invertido" pueden obtenerse -  
30 de la salida complementaria (no representada) del circuito

1 78 de retención de modo. Son válidas consideraciones si-  
milares para una línea de entrada de la figura 11 denomi-  
nada "modo automático invertido", siendo en este caso el  
circuito de retención de modo en cuestión el circuito 77  
5 de retención de modo automático.

Los circuitos de control de transferencia de -  
derivación representados en la figura 11 incluyen dos cir-  
cuitos biestables primarios, a saber un circuito biesta-  
ble 140 de registro de datos de interrupción monocíclica  
10 lleno (CSDR) y un circuito 142 de retención de registro  
de datos de dispositivo lleno (DDR). Estos circuitos 140  
y 142 son circuitos indicadores de un bitio para vigilar  
cuando el registro 30 de datos de interrupción monocíclica  
y el registro 32 de datos de dispositivo están llenos  
15 y vacíos. En particular, el estado "activación" del cir-  
cuito biestable 140 de registro CSDR lleno indica que el  
registro 30 de datos de interrupción monocíclica está lle-  
no y el estado de "reposición" del circuito biestable 140  
de registro CSDR lleno indica que el registro 30 de datos  
20 de interrupción monocíclica está vacío. De un modo simi-  
lar, el estado de "activación" del circuito 142 de reten-  
ción de registro DDR lleno indica que el registro 32 de -  
datos de dispositivo está lleno y el estado de "reposi-  
ción" del circuito 142 de retención de registro DDR lleno  
25 indica que el registro 32 de datos de dispositivo está va-  
cío.

La línea 94 de salida de registro CSDR vacío -  
del circuito biestable 140 es complementaria de la línea  
143 de salida de registro CSDR lleno de tal circuito bies-  
table 140. De modo similar, la línea 144 de salida de re-  
30

1 - gistro DDR vacío del registro 142 de retención es complementaria de la línea 120 de salida de registro DDR lleno de tal circuito 142 de retención.

5 Los circuitos representados en el tercio medio de la figura 11 son utilizados para generar impulsos "Cargar CSDR" y "Cargar DDR" que son utilizados, respectivamente, para transferir datos desde el registro 32 de datos de dispositivo hasta el registro 30 de datos de interrupción monocíclica, y viceversa. La porción de estos -  
10 circuitos representada por el circuito 145 de retención y los circuitos 146 y 146a de activación por flanco constituyen un generador de impulsos de precisión para generar un impulso de duración muy precisa cada vez que se aplica un nuevo impulso a la entrada de activación del circuito  
15 145 de retención. En particular, un nuevo impulso aplicado a la entrada de activación del circuito 145 de retención produce la conmutación del mismo a su estado de activación. Esto establece un nivel binario "uno" en la línea de entrada de datos (D) del circuito 146 de activación  
20 por flanco. El flanco anterior del siguiente impulso de oscilador que aparece en la línea 127 (la línea de entrada de sincronismo del circuito 146 de báscula activado - por flanco) actúa para conmutar el circuito 146 de báscula de activación por flanco al estado "uno" o estado de -  
25 activación. Este suministra un nivel "uno" a la entrada de datos del siguiente circuito 146a de báscula de activación por flanco. El siguiente impulso de oscilador activa el circuito 146a de báscula. La salida del circuito -  
30 146a es suministrada en retorno para reponer el primer circuito 146a de báscula para suministrar un nivel cero al -

1 segundo circuito 146a de báscula. El tercer impulso de  
oscilador conmuta entonces el circuito 146a en retorno -  
al estado cero. De este modo, el impulso resultante que  
aparece en la salida del circuito 146a de báscula tiene -  
5 una duración que es exactamente igual al intervalo de tiem-  
po entre los flancos anteriores de dos impulsos de oscila-  
dor sucesivos.

Los impulsos de oscilador que aparecen en la -  
línea 127 se obtienen del circuito oscilador de impulsos  
10 de sincronismo (no representado) que es utilizado para -  
proporcionar los impulsos de sincronismo para el microor-  
denador 33.

Cada impulso producido por el circuito 146a de  
báscula de activación por flanco es suministrado a un par  
15 de circuitos "Y" 147 y 148. Cuando funciona en el modo -  
de entrada, el circuito "Y" 147 está habilitado y el cir-  
cuito "Y" 148 está inhabilitado. Este transmite el impul-  
so de activación por flanco a la línea 36 de salida para  
proporcionar por ella el impulso "cargar GSDR". Recipro-  
20 camente, cuando el sistema funciona en el modo de salida  
(modo de entrada invertido), el circuito "Y" 148 está ha-  
bilitado y el circuito "Y" 147 está inhabilitado. Esto -  
hace que el impulso de activación por flanco sea transmi-  
tido hasta la línea 37 de salida para proporcionar por la  
25 misma el impulso "cargar DDR".

En los momentos adecuados, son suministrados  
impulsos a la entrada de activación del circuito 145 de -  
retención por medio de un circuito "O" 150. Dependiendo  
del modo de funcionamiento, estos impulsos son desarrolla-  
30 dos por el circuito adecuado de los circuitos "Y" 151, -

1 152 y 153. Cuando el sistema funciona en el modo de entrada automática, estos impulsos son proporcionados por el -  
circuito "Y" 151. En particular, en el momento de producirse conjuntamente los estados de registro DDR lleno y -  
5 CSDR vacío, el circuito "Y" 151 produce una salida de nivel lógico "uno". Esta salida es suministrada por medio del circuito "O" 150 para conmutar el circuito 145 de retención al estado de activación. Inmediatamente después, se produce el impulso de carga del registro CSDR por la -  
10 línea 36. Como se verá, este impulso de carga del registro CSDR activa el circuito biestable 140 de registro CSDR lleno al estado de registro lleno y repone el circuito - 142 de retención de registro DDR lleno al estado de "vacío". Esto hace volver la salida del circuito "Y" 151 al nivel binario cero.

15 Cuando el sistema funciona en el modo de salida automática, las señales de activación para el circuito - 145 de retención son producidas por el circuito "Y" 152. Es suministrada una de tales señales de activación por cada aparición conjunta de los estados de registro DDR vacío y registro CSDR lleno. Cuando se desea, el microordenador 33 puede hacer que sea suministrado un impulso de activación al circuito 145 de retención. Esto se realiza -  
20 por medio del circuito "Y" 153 cuando recibe el impulso selector MP y la señal de descodificación ABO adecuada.

25 Considerando ahora los circuitos lógicos para activar y reponer el circuito biestable 140 de registro - CSDR lleno, se observa en primer lugar que el circuito biestable 140 puede ser activado por la aparición de un nivel binario "uno" en la salida de un circuito "Y" 154. -  
30

1 Este circuito "Y" 154 es utilizado para originar una acti-  
vación del circuito biestable 140 cuando funciona en el  
modo de entrada automática y en el momento en que son trans-  
feridos datos desde el registro 32 de datos de dispositi-  
5 vo al registro 30 de datos de interrupción monocíclica -  
por el impulso de carga del registro CSDR. Se observa adic-  
cionalmente que el circuito biestable 140 puede ser repues-  
to a su estado de "vacío" por medio de un circuito "Y" -  
155. Tal reposición ocurre cuando el sistema funciona en  
10 el modo de salida automática en el momento en que es trans-  
ferida la palabra de datos desde el registro 30 de datos  
de interrupción monocíclica al registro 32 de datos de -  
dispositivo mediante el impulso de carga del registro -  
DDR.

15 El resto de los circuitos lógicos de entrada -  
al circuito biestable 140 es utilizado para suministrar -  
señales de activación y reposición en combinación con las  
transferencias de palabras de datos desde y al ordenador  
central 11. En particular, un circuito "O" 156 suminis-  
20 tra a la entrada de datos del circuito biestable 140 un -  
nivel binario cero cuando funciona en un modo de entrada  
automático y un nivel binario "uno" cuando funciona en un  
modo de salida automático. Un flanco de impulso de excu-  
sión positiva en la línea de entrada de sincronismo del -  
25 circuito biestable 140 conmuta el circuito biestable 140  
a cualquier estado que esté indicado por el nivel binario  
en su línea de entrada de datos.

30 Cuando funciona en el modo de salida automáti-  
co, el flanco de impulso de excursión positiva para la en-  
trada de sincronismo es proporcionado por un impulso "Y"

1 157 por medio de un circuito "0" 158. En particular, el  
flanco anterior del impulso selector de datos transmitido  
por el ordenador central 11 a través de la línea 53 pro-  
porciona el flanco de impulso de excursión positiva que -  
5 conmuta el circuito biestable 140, en este caso, a un es-  
tado "uno" (estado de "lleno") puesto que la línea de entra-  
da de datos está en el nivel lógico "uno" en este momen-  
to.

10 Cuando funciona en un modo de entrada, el flan-  
co de impulso de excursión positiva para la entrada de -  
sincronismo del circuito biestable 140 es proporcionado -  
por medio del circuito "Y" 159 y el circuito "0" 158. En  
realidad, es el flanco posterior de la señal de retorno -  
de puerta de servicio de la línea 50 el que produce el -  
15 flanco de impulso de excursión positiva para la entrada -  
de sincronismo del circuito biestable 140. En particular,  
la señal de retorno de puerta de servicio es invertida -  
por un circuito inversor 160 de modo que el flanco poste-  
rior de tal señal es un flanco de impulso de excursión -  
20 positiva. Mediante esta señal de sincronismo, es decir -  
mediante el flanco posterior de la señal de retorno de -  
puerta de servicio, el ordenador central 11 ha aceptado -  
la palabra de datos procedente del registro 30 de datos de  
interrupción monocíclica. Por tanto, es el momento adecua-  
25 do para reponer el circuito biestable 140 al estado de re-  
gistro CSDR vacío. El circuito biestable 140 es repuesto  
porque el circuito "0" 156 proporciona un nivel binario -  
cero a la entrada de datos para el modo de entrada automá-  
tico. Considerando ahora los circuitos lógicos para acti-  
30 var y reponer el circuito 142 de retención de registro -

1 DDR lleno, se observa que tal circuito de retención es -  
activado al estado de registro DDR lleno cada vez que apa-  
rece un impulso en la salida de un circuito "0" 162 y es  
repuesto al estado de registro DDR vacío cada vez que apa-  
5 rece un impulso en la salida de un circuito "0" 163. Con-  
siderando en primer lugar los circuitos lógicos que exci-  
tan el circuito "0" 162, existen tres posibilidades. La  
primera posibilidad es que el circuito de retención de -  
registro DDR lleno se active cada vez que es transferida  
10 una palabra de datos desde el registro 30 de datos de in-  
terrupción monocíclica hasta el registro 32 de datos de -  
dispositivo. Esto es realizado por el impulso de carga -  
del registro DDR que aparece en la línea 37.

15 El segundo caso es aquel en el cual es activa-  
do el circuito 142 de retención de registro DDR lleno por  
el microordenador 33. Esto se realiza por medio del cir-  
cuito "Y" 164.

20 El tercer caso se produce cuando son transferi-  
dos datos desde la unidad 12 de control de dispositivo al  
registro 32 de datos de dispositivo a través de la línea  
general 28 de datos de dispositivo. En este caso, la ac-  
tivación del circuito 142 de retención al estado de regis-  
tro DDR lleno es realizada por medio del circuito "Y" 165.  
La entrada clave para realizar esto es el impulso selector  
25 de entrada de dispositivo cuando aparece en la línea 60.  
Para transferencias en modo de interrupción monocíclica,  
este impulso de entrada de selección de dispositivo está  
limitado por una señal de entrada de solicitud de disposi-  
tivo en la línea 55 y la línea 134 de bitio cero de eti-  
30 queta invertido tiene nivel binario "uno". De este modo,

1 en el momento de producirse el impulso de entrada de se-  
lección de dispositivo en la línea 60, un circuito "Y" -  
166 está proporcionando una señal de nivel binario "uno"  
a la segunda entrada del circuito "Y" 165 por medio del -  
5 circuito "O" 167. El impulso de entrada de selección de  
dispositivo de la línea 60 y la señal de salida de solici-  
tud de dispositivo de la línea 57 se utilizan para propor-  
cionar la señal de activación de circuito de retención -  
cuando se recibe información procedente de la unidad 12 -  
10 de control de dispositivo durante la secuencia de selec-  
ción inicial para un dispositivo de entrada-salida.

Considerando ahora los circuitos lógicos para  
reponer el circuito 142 de retención de registro DDR lle-  
no al estado de "vacío", se dispone de tres modos posibles  
15 de realizar esto. El primer caso es que el circuito 142  
se repone al estado de "vacío" por efecto del impulso de  
carga del registro CDDR que transfiere una palabra de da-  
tos desde el registro 32 de datos de dispositivo al regis-  
tro 33 de datos de interrupción monocíclica. El segundo  
20 caso es que el circuito 142 es repuesto al estado de "va-  
cío" por el impulso de salida de selección de dispositivo  
de la línea 59 que transfiere una palabra de datos desde  
el registro 32 de datos de dispositivo a la unidad 12 de  
control de dispositivo. El tercer caso es que el circui-  
to de retención de registro DDR lleno puede ser repuesto  
25 al estado de "vacío" por el microordenador 33. Esto se -  
realiza por medio de la señal selectora MP y la señal de  
descodificación AB suministrada a la entrada de un circui-  
to "Y" 168.

30 Descripción de Operaciones de Controlador Concurrentes (fi

1 ura 12)

5 Con referencia a la figura 12, se explicará -  
ahora un ejemplo más o menos representativo que ilustra -  
cómo el controlador 10 de entrada salida puede realizar -  
concurrentemente diferentes operaciones para diferentes -  
dispositivos de los dispositivos 13-16 de entrada salida.  
En particular, se propondrá un ejemplo que muestra cómo -  
el controlador 10 puede presentar interrupciones al ordena  
dor central 11 y atender órdenes de entrada salida adicio  
nales procedentes del ordenador central 11 concurrentemen  
te con la transferencia de datos a través del mecanismo -  
de derivación automática.

15 Con referencia a la figura 2, un factor princi  
pal que hace posible este tipo de operación concurrente -  
es la disposición de tres registros de datos independien  
tes, cada uno de los cuales está conectado a la línea ge  
neral 26 de datos de canal. Esos registros son: el regis  
tro 30 de datos de interrupción monocíclica, el registro  
71 OIO y el registro 85 de identificación de interrupción.  
20 Como se ha mencionado, el registro 30 de datos de interrup  
ción monocíclica es utilizado como parte del mecanismo de  
derivación automática. El registro 71 OIO, por otra par  
te, permite la atención de órdenes de entrada salida adi  
cionales procedentes del ordenador central 11 concurrente  
mente con la transferencia automática de datos a través -  
del registro 30 de datos de interrupción monocíclica. De  
25 un modo similar, el registro 85 de identificación de inte  
rrupción permite la presentación de interrupciones al or  
denador central 11 concurrentemente con la transferencia  
30 automática de datos a través del registro 30 de datos de

1 interrupción monocíclica.

5 Con referencia a la figura 12, el ejemplo expues-  
to está dividido en cuatro intervalos de tiempo sucesivos  
denominados intervalos 1 a 4. Las transferencias de da-  
tos con interrupción monocíclica a través del registro 30  
de datos de interrupción monocíclica son realizados duran-  
te los intervalos 1 y 3, mientras que la atención de una  
orden de entrada salida para un dispositivo de entrada sa-  
lida diferente es realizada durante el intervalo 2 y la -  
10 presentación de una solicitud de interrupción al ordenador  
central al se realiza para un tercer dispositivo de entra-  
da salida durante el intervalo 4.

15 La figura 12 corresponde al caso en que el meca-  
nismo de derivación automática intentaría presentar una -  
nueva señal de entrada de solicitud de interrupción mono-  
cíclica al comienzo de cada uno de los cuatro intervalos  
de tiempo. En otras palabras, en ausencia de la nueva -  
orden de entrada salida y la interrupción de prioridad, -  
la forma de onda de la señal de entrada de solicitud de -  
20 interrupción monocíclica presentaría el mismo tipo de im-  
pulso en los comienzos de los intervalos 2, 3 y 4 que se  
representa al comienzo del intervalo 1.

25 Considerando que se trata de un ejemplo, se su-  
pone que está en curso una transferencia de derivación au-  
tomática a través del registro 30 de datos de interrupción  
monocíclica, la línea general 31 de datos de derivación  
y el registro 32 de datos de dispositivo para el primer -  
dispositivo 13 de entrada salida, respecto a esto, se ob-  
servará que las operaciones en modo de derivación automáti-  
30 ca establecen siempre comunicación con el ordenador cen-

1 tral 11 en el modo de interrupción monocíclica.

5 Para este ejemplo, entonces, la forma de onda de la señal de entrada de solicitud de interrupción monocíclica de la figura 12 está siendo producida por el controlador 10 por parte del primer dispositivo 13 de entrada - salida. En algún instante (aproximadamente en el centro del intervalo 1 de la figura 12), es presentada una solicitud de interrupción de prioridad (PI) al ordenador central 11 por parte de un segundo dispositivo de entrada salida, por ejemplo el dispositivo 14 de entrada salida. - Esto es realizado por la activación de una línea particular en la línea general 51 de entrada de solicitud de interrupción de prioridad y es indicado por la variación brusca de nivel de excursión positiva en la forma de onda de la señal de entrada de solicitud de prioridad de la -

10 figura 12. El ordenador central 11, sin embargo, no se hace cargo de la respuesta a esta solicitud de interrupción de prioridad hasta el intervalo 4. Entre tanto, el mecanismo de derivación automática continúa sus transferencias de datos de interrupción monocíclica con la mayor frecuencia posible.

15 Aproximadamente al comienzo del intervalo 2, - el ordenador central 11 ejecuta una instrucción OIO para un tercer dispositivo de entrada salida, por ejemplo el -

25 dispositivo 15 de entrada salida. Como parte de tal ejecución, el ordenador central 11 activa la línea 41 de control de puerta de dirección y sitúa las dos palabras del bloque IDCB sobre la línea general 40 de dirección de canal y la línea general 26 de datos de canal, respectivamente. La presentación de la señal de puerta de dirección

30

1 de la línea 41 hace que la señal de entrada de solicitud -  
de interrupción monocíclica sobre la línea 44 sea ignora-  
da transitoriamente por el ordenador central 11.

5 Durante la secuencia de selección inicial para  
la orden de entrada salida del intervalo 2, la batería de  
orden de la línea general 40 de dirección es incorporada  
al registro 70 de órdenes y los datos o palabra de dirección  
de bloque DCB de la línea general 26 de datos de canal se  
10 incorporan al registro 71 OIO. Después de realizarse es-  
to, la señal de puerta de dirección de la línea 41 se de-  
sactiva y se permite que el mecanismo de derivación auto-  
mática reanude sus transferencias de datos con interrup-  
ción monocíclica, siendo indicada tal reanudación por la  
transferencia de datos de interrupción monocíclica repre-  
15 sentada en el intervalo de tiempo 3. Mientras esta trans-  
ferencia se está produciendo, el microordenador 33 acepta  
la batería de orden procedente del registro 70 de órdenes  
y los datos o palabra de dirección DCB procedente del re-  
gistro OIO 71.

20 Si esta nueva orden de entrada salida fuese de  
un tipo que no requiriese una transferencia de datos, en-  
tonces el microordenador 33 puede comenzar la atención -  
adicional de tal orden de entrada salida. Son ejemplos de  
tales órdenes de transferencia sin datos las órdenes de -  
25 estado de lectura, órdenes de preparación y diversos ti-  
pos de órdenes de control. Para una orden de este tipo,  
el microordenador 33 puede hacer poco después que el con-  
trolador 10 presente una interrupción de prioridad para tal  
orden. Si, por el contrario, la nueva orden de entrada sa-  
30 lida exige una transferencia de datos, entonces tal orden

1 -y sus datos anexos o dirección DCB son puestos en una co-  
la en la unidad de memoria del microordenador y mantenidos  
allí para atención futura después que se completa la ope-  
5 ración automática de transferencia de datos en curso. En  
cualquier caso, la aceptación de la orden de entrada sali-  
da por el controlador 10 significa que el ordenador cen-  
tral 11 está relevado de la necesidad de tener que mante-  
ner la representación de la orden cuando el controlador -  
está ocupado con una operación de transferencia automáti-  
ca iniciada anteriormente.

10 El intervalo 4 representa el caso en que el or-  
denador central 11 se hace cargo finalmente de la atención  
de la solicitud de interrupción de prioridad presentada -  
en primer lugar durante el intervalo 1. En particular, -  
15 el ordenador central 11 transmite una señal de identifica-  
ción de escrutinio de interrupción de prioridad, en con-  
traste con una señal de identificación de escrutinio de -  
interrupción monocíclica. La codificación de la señal de  
identificación de escrutinio de interrupción de prioridad,  
20 corresponde al nivel de prioridad asignado al controlador  
10. Después de la captación de la señal de escrutinio de  
interrupción de prioridad por el controlador 10, el ordc-  
nador central 11 transmite una señal de puerta de servi-  
cio por la línea 49. En respuesta a ella, el controlador  
25 10 transmite la señal de retorno de puerta de servicio (no  
representada en la figura 12) y la palabra de identifica-  
ción de interrupción contenida en el registro 85 de iden-  
tificación de interrupción es transferida al ordenador cen-  
tral 11 a través de la línea general 26 de datos de canal.  
30 Respecto a esto, la palabra de identificación de interrup

1 ción fue incorporada en el registro 85 de identificación  
de interrupción por el microordenador 33 aproximadamente  
en el instante en que la señal de entrada de solicitud de  
interrupción de prioridad fue presentada en primer lugar  
5 durante el intervalo 1. Después de completarse la trans-  
ferencia de interrupción de prioridad del intervalo 4, el  
ordenador central 11 puede seguir atendiendo la señal de  
entrada de solicitud de interrupción monocíclica pendien-  
te sobre la línea 44 de entrada de solicitud de interrup-  
10 ción monocíclica.

En el extremo de dispositivo del controlador  
10, dicho controlador puede aceptar solicitudes de inte-  
rrupción de dispositivo procedentes de la unidad 12 de -  
control de dispositivo concurrentemente con la realización  
15 de las operaciones de transferencia de datos con deriva-  
ción automática. Estas solicitudes de interrupción de -  
dispositivo son recibidas por el registro 83 de interrup-  
ción de dispositivo y son aceptadas periódicamente por el  
microordenador 33 para atención adicional o para almaceña  
20 miento en la cola de interrupción de dispositivo adecuada  
en la unidad de memoria del microordenador.

El ejemplo precedente ilustra la versatilidad  
del controlador 10 cuando están conectados al mismo dis-  
positivos de entrada salida múltiples. Por supuesto, cuan-  
25 do se desea, el controlador 10 puede ser utilizado para -  
tratar solamente un único dispositivo de entrada salida.  
En tal caso, el controlador 10 continúa proporcionando un  
rendimiento mejorado con relación a los controladores de  
la técnica anterior debido a la presencia en el controla-  
30 dor 10 del mecanismo de derivación de datos de alta velo-

1 ciudad automático nuevo y perfeccionado con el cual pueden  
ser transferidos datos desde el ordenador central al dispositi-  
5 sivo de entrada salida o viceversa sin tener que pasar  
a través del microordenador 33 y sin que se requiera nin-  
guna intervención por parte del microordenador 33 durante  
tal transferencia automática.

Aún cuando se ha descrito lo que se considera  
actualmente como realización preferida de este invento, -  
será obvio para los expertos en la técnica que pueden rea-  
10 lizarse diversos cambios y modificaciones en el mismo sin  
apartarse del invento, y se pretende, por consiguiente, -  
cubrir la totalidad de tales cambios y modificaciones en  
el sentido de estar comprendido dentro de la verdadera -  
esencia y campo de aplicación del invento.

15

20

25

30

1

## REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un aparato controlador de entrada/salida para transferir datos entre un ordenador central y una o más unidades de entrada/salida, y que comprende: un primer registro de datos para enviar datos al ordenador central y recibir datos del mismo, un segundo registro de datos para enviar datos a una unidad de entrada salida y recibir datos de la misma, una línea general de transferencia de datos de alta velocidad que proporciona una conexión directa de transferencia de datos entre el primer y segundo registro de datos, un primer circuito indicador bistable para proporcionar una indicación del estado "lleno-vacío" del primer registro de datos, un segundo circuito indicador bistable para proporcionar una indicación del estado lleno-vacío del segundo registro de datos, primeros circuitos de transmisión de señales de acoplamiento para enviar señales de control de acoplamiento al ordenador central y recibir señales de control de acoplamiento del mismo, segundos circuitos de transmisión de señales de acoplamiento para enviar señales de control de acoplamiento a la unidad de entrada salida y recibir señales de control de acoplamiento de la misma, circuitos de control automático de dispositivos físicos acoplados al primero y

1 segundo registros de datos, al primero y segundo circui-  
tos indicadores biestables y al primero y segundo circui-  
tos de transmisión de señales de acoplamiento para contro-  
lar los mismos para originar automáticamente la transfe-  
5 rencia de datos desde el ordenador central a la unidad de  
entrada salida por medio del primer registro de datos, la  
línea general de transferencia de datos de alta velocidad  
y el segundo registro de datos cuando el sistema funciona  
en un modo de salida automática y para originar la trans-  
10 ferencia automática de datos desde la unidad de entrada -  
salida al ordenador central por medio del segundo registro  
de datos, la línea general de transferencia de datos de -  
alta velocidad y el primer registro de datos cuando el -  
sistema funciona en un modo de entrada automática, y un -  
15 microordenador acoplado al primero y segundo registros de  
datos, al primero y segundo circuitos de transmisión de -  
señales de acoplamiento y al circuito de control automáti-  
co de dispositivos físicos para supervisar la programa-  
ción de actividades en el controlador para intercambiar  
20 información de control-estado tanto con el ordenador cen-  
tral como con la unidad de entrada salida y para propor-  
cionar una puesta a punto inicial de los circuitos de con-  
trol automático de dispositivos físicos antes del comien-  
zo de las operaciones de transferencia automática por ta-  
25 les circuitos.

2a.- Un aparato controlador de entrada salida  
de acuerdo con la reivindicación 1ª, en donde los datos -  
son transferidos entre el ordenador central y el primer -  
registro de datos, por medio de una línea general de datos  
30 de acoplamiento y en donde el controlador incluye adicio-

1 nalmente un tercer registro de datos acoplado a la línea  
general de datos de acoplamiento para permitir que sean  
atendidas órdenes adicionales de entrada salida del ord-  
nador central concurrentemente con la transferencia de da-  
5 tos a través del primero y segundo registros de datos y la  
línea general de transferencia de datos de alta velocidad,  
y en donde el controlador incluye adicionalmente un cuar-  
to registro de datos acoplado a la línea general de datos  
de acoplamiento para permitir la presentación de interrup-  
10 ciones al ordenador central concurrentemente con la aten-  
ción de órdenes de entrada salida adicionales y la trans-  
ferencia automática de datos a través de la línea general  
de transferencia de datos de alta velocidad.

15 3ª.- Un aparato controlador de entrada salida.  
de acuerdo con la reivindicación 1ª, en donde los primeros  
circuitos de transmisión de señales de acoplamiento y los  
circuitos de control automático de dispositivos físicos -  
incluyen un mecanismo de anticipación que entra en funcio-  
namiento cuando se realiza una operación de transferencia  
20 automática de datos de entrada para permitir que los pri-  
meros circuitos de transmisión de señales de acoplamien-  
to envíen solicitudes de servicio al ordenador central an-  
tes de que se transmita cada una de las palabras de datos  
que están siendo transferidas desde el segundo registro  
25 de datos al primer registro de datos a través de la línea  
general de transferencia de datos de alta velocidad.

30 4ª.- "UN APARATO CONTROLADOR DE ENTRADA/SALIDA  
PARA TRANSFERIR DATOS ENTRE UN ORDENADOR CENTRAL Y UNA O  
MAS UNIDADES DE ENTRADA/SALIDA".

1

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

5

Esta Memoria consta de SESENTA Y CINCO hojas - escritas a máquina por una sola cara.

Madrid, 13 JUN 1979

P.A.

10

Fernando de Elizaburu  
Por Poder

15

20

25

30

06069

MJA

1/9

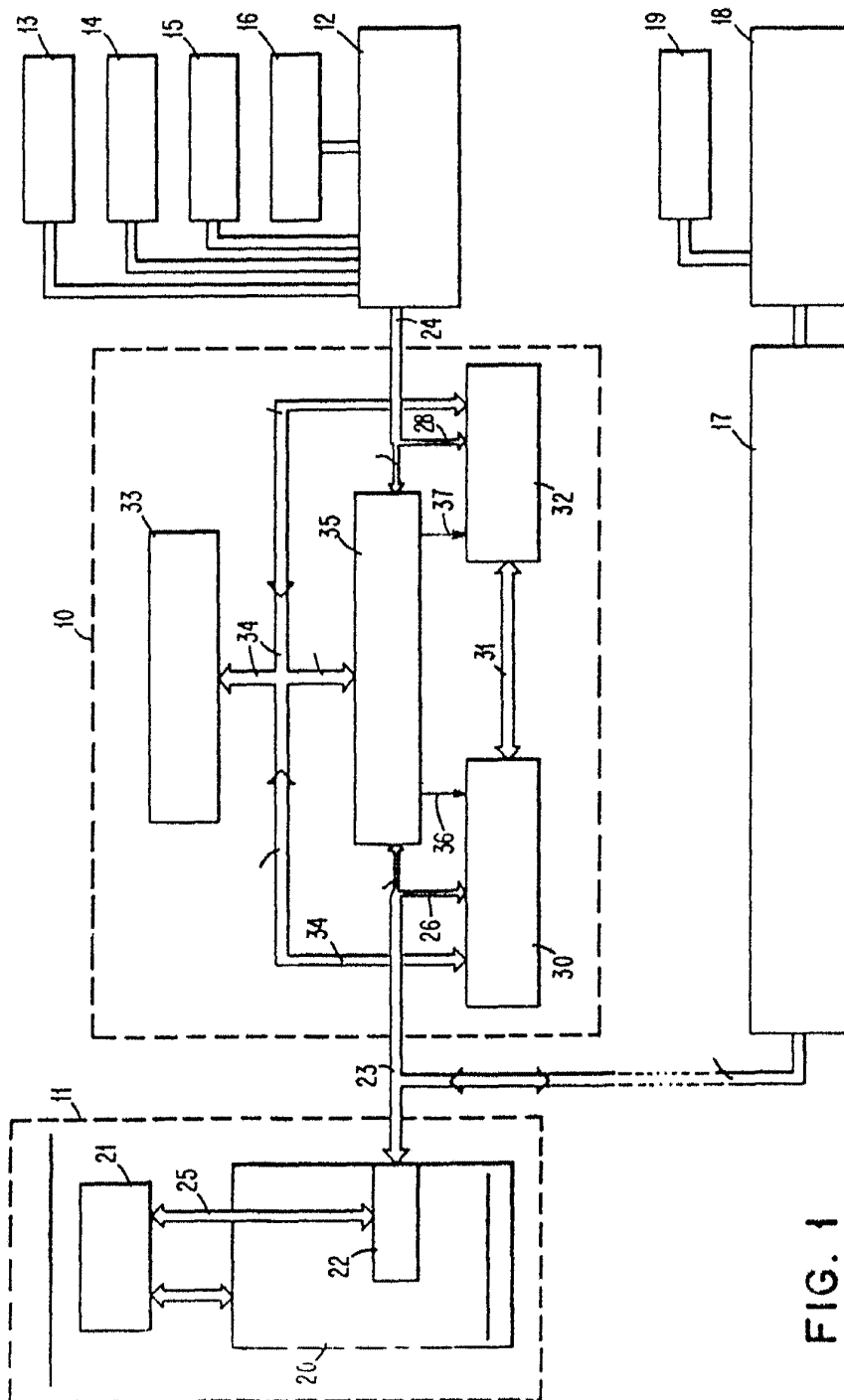
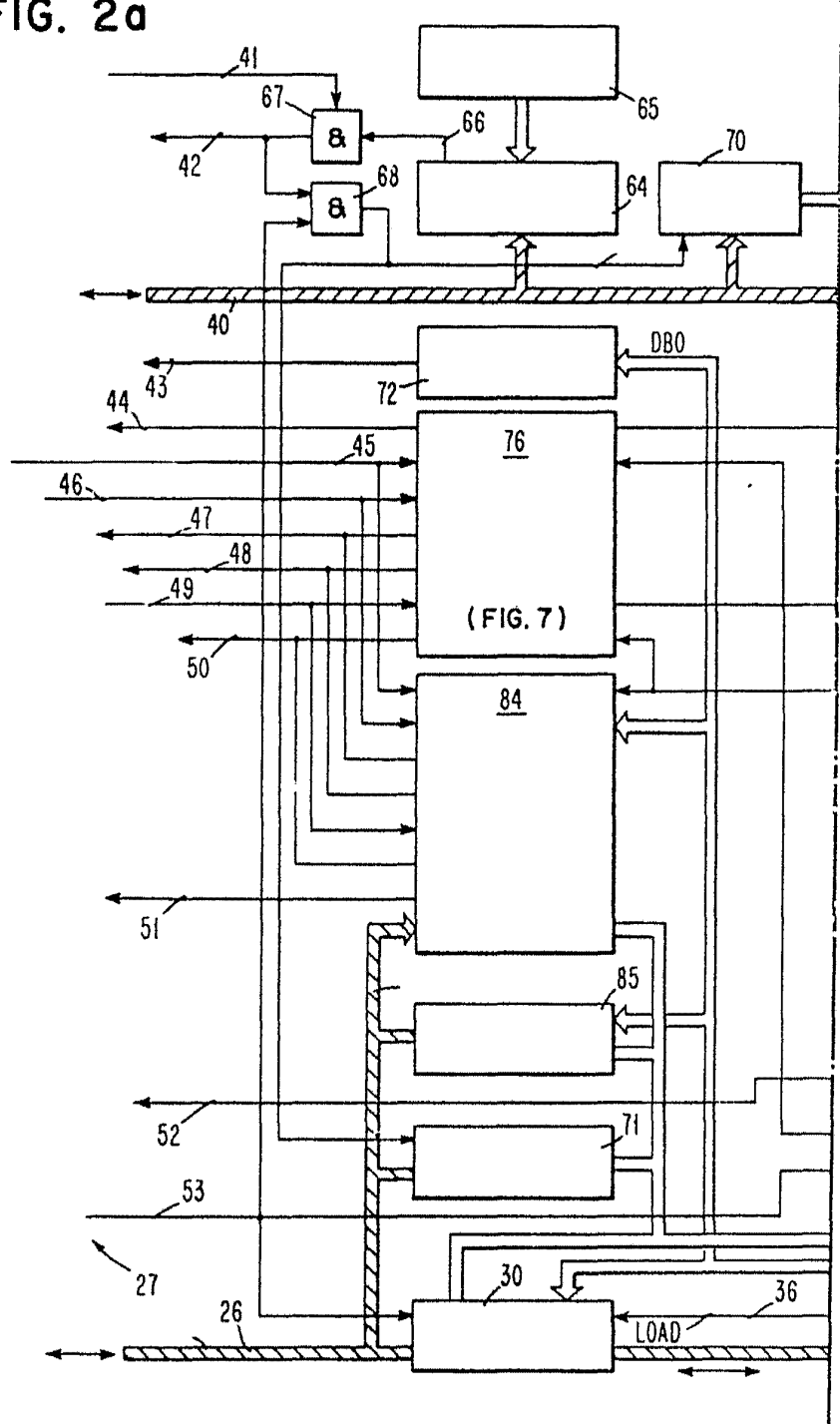


FIG. 1

Fernando de Azevedo  
Por Poder

FIG. 2a



*[Handwritten signature]*



4/9

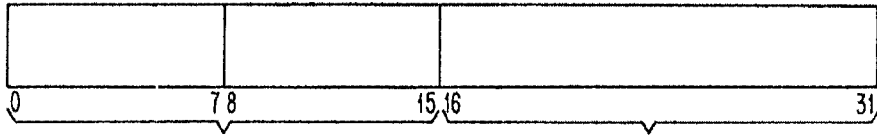


FIG. 3

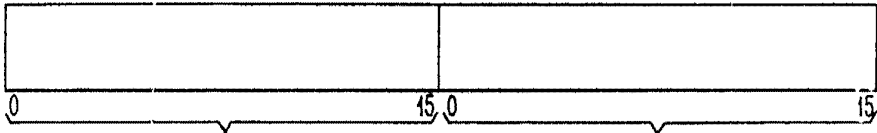


FIG. 5

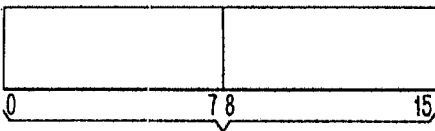


FIG. 6

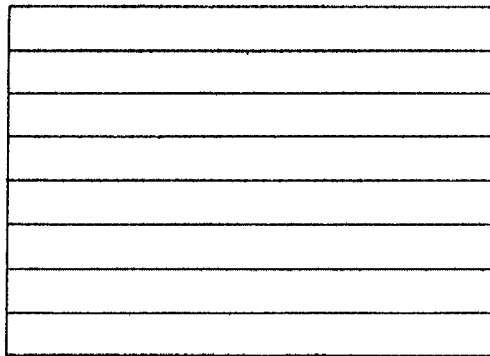


FIG. 4

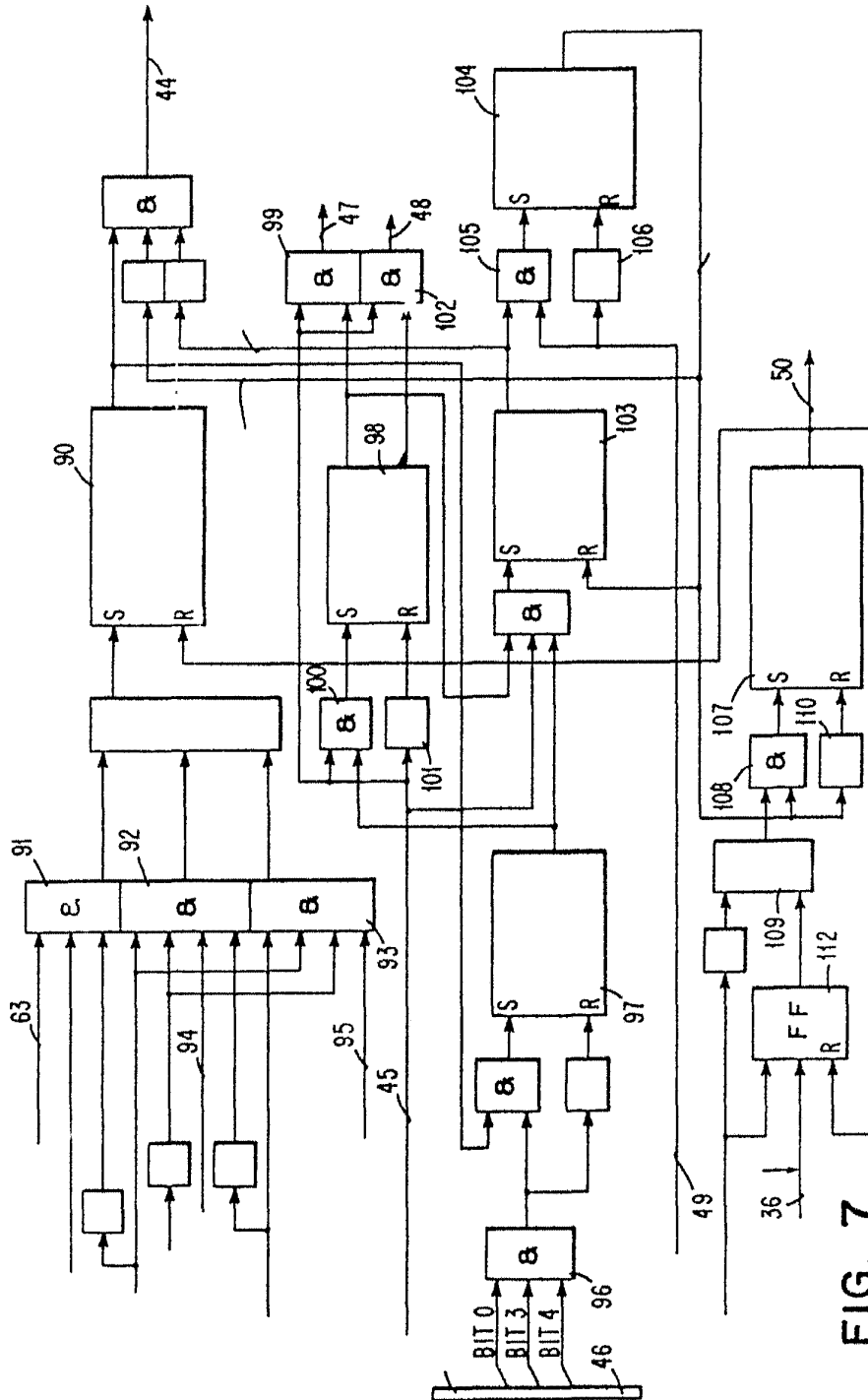


FIG. 7

*[Handwritten signature]*

6/9

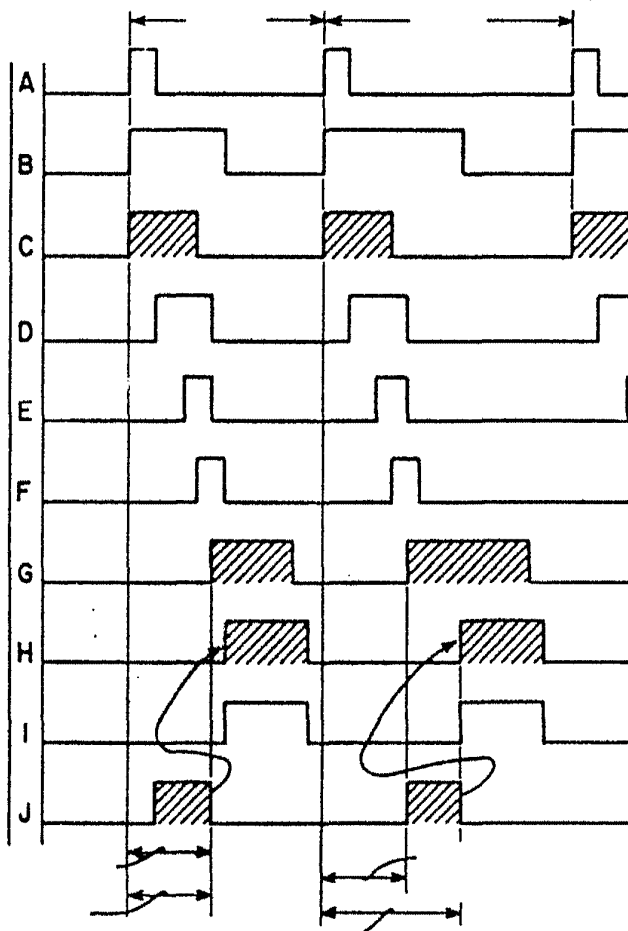


FIG. 8

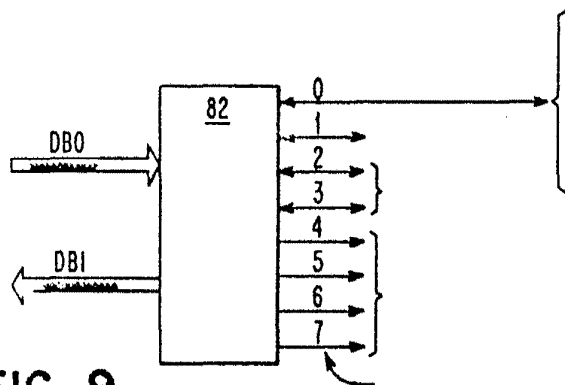
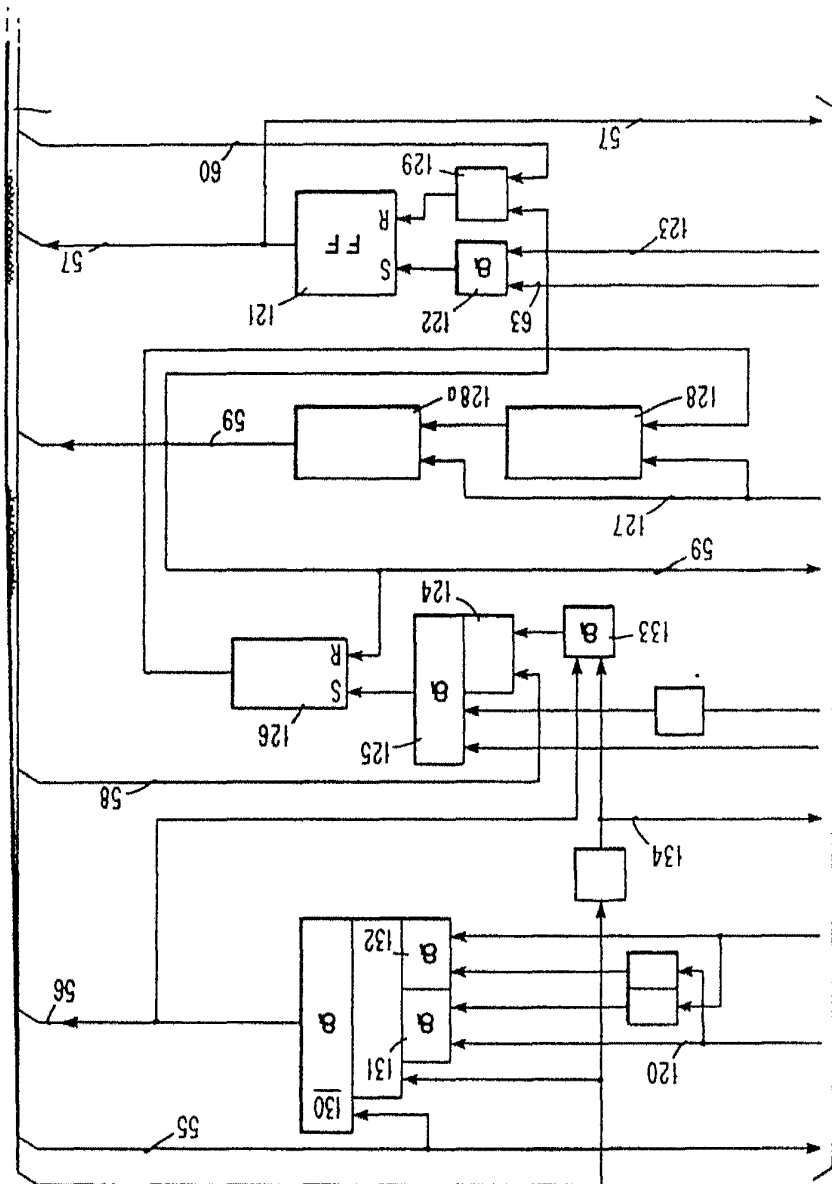


FIG. 9

Fernando de Alburquerque  
Por Voto

FIG. 10

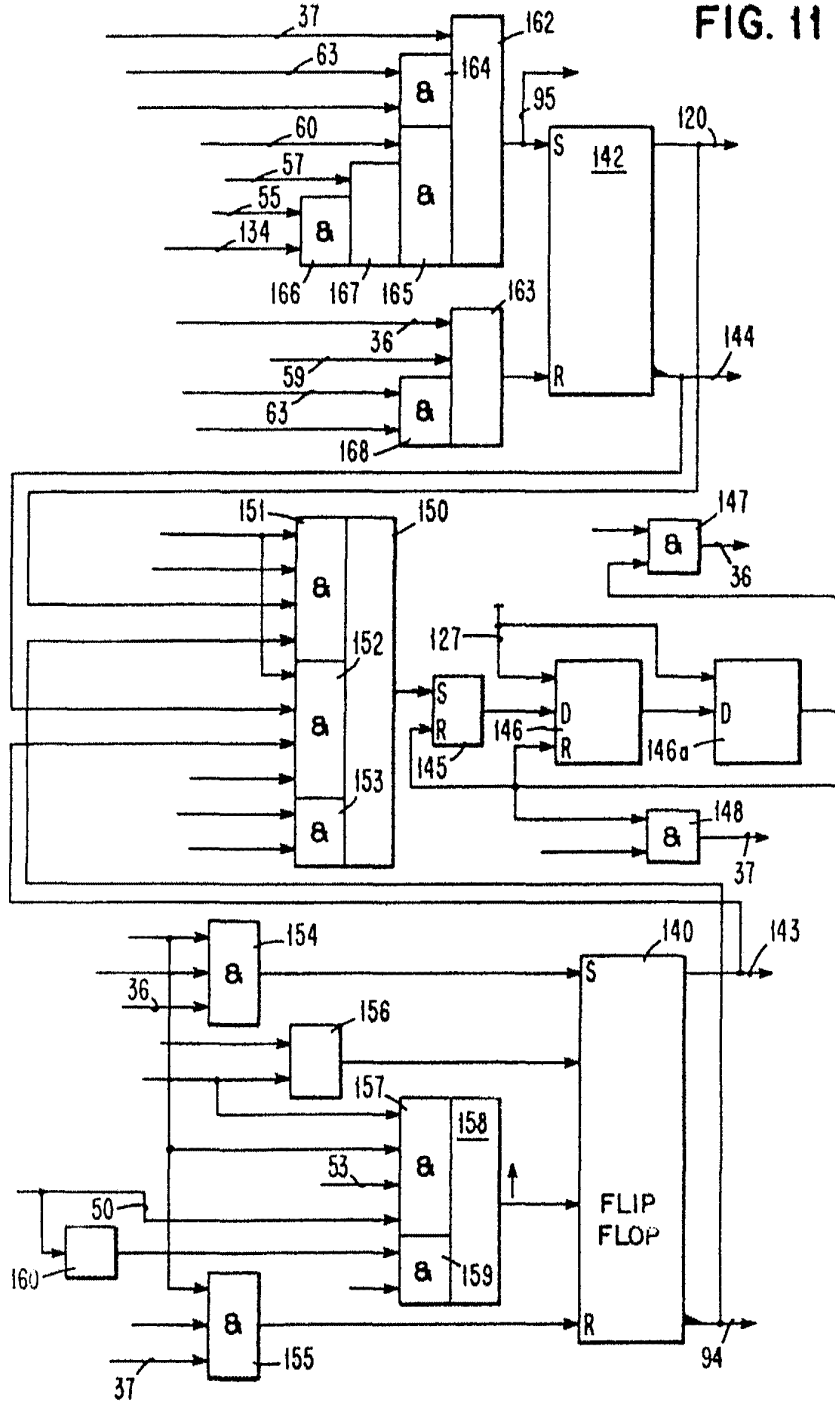


7/9

TECHNICAL DRAWING OF FIG. 10

VII/TX

FIG. 11



*[Handwritten signature]*

Patented in the United States and other countries

IX/IX

9/9

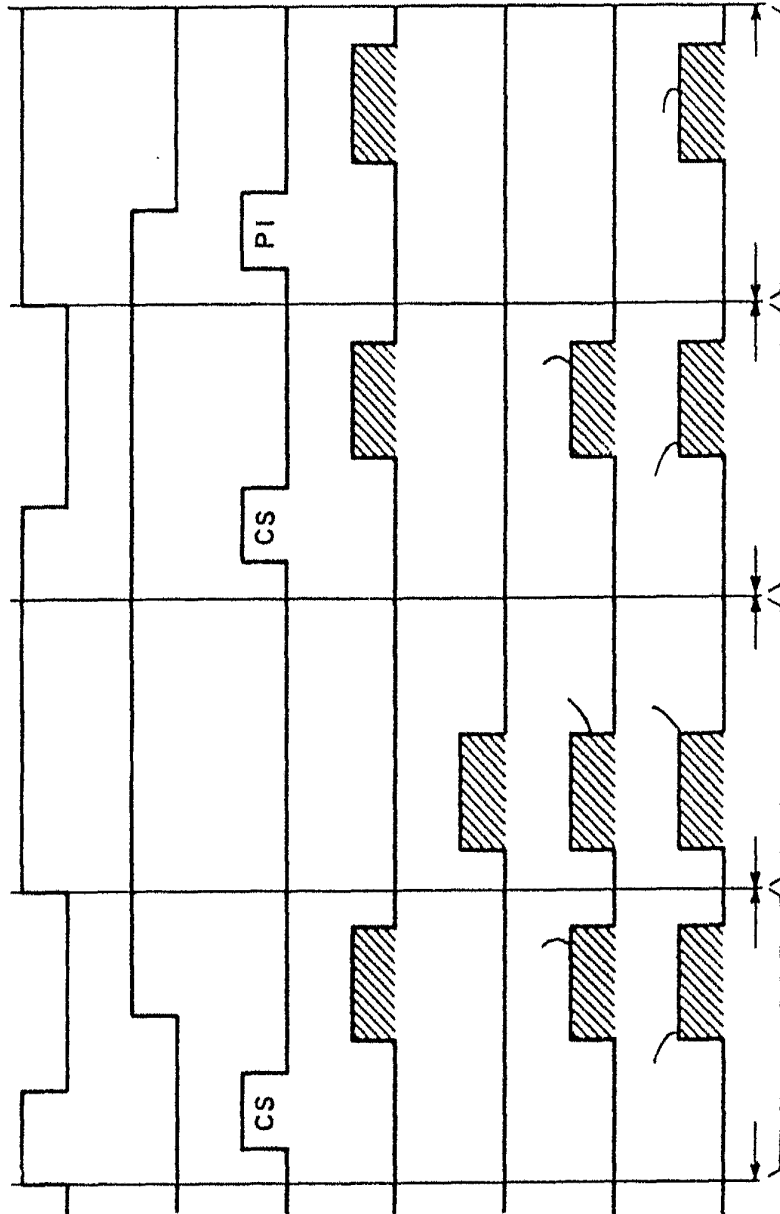


FIG. 12