

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

⑩ ES	⑪ NUMERO	⑩ AT
	481.312	
	⑫ FECHA DE PRESENTACION	
	6 Junio 1979	

Concedido el Registro de acuerdo con los datos que figuran en la presente solicitud y en el contenido de la memoria a junio.

PATENTE DE INVENCION

⑬ PRIORIDADES:		
⑬① NUMERO	⑬② FECHA	⑬③ PAIS
916.455	16-6-1978	EE.UU.
⑭ FECHA DE PUBLICIDAD	⑮ CLASIFICACION INTERNACIONAL	⑯ PATENTE DE LA QUE ES DIVISIONARIA
	G06F 13/00; G06F 15/16	
⑰ TITULO DE LA INVENCION		
"UN APARATO PARA COMPARTIR MEDIOS DE MEMORIA EN UN SISTEMA QUE INCLUYE TAMBIEN UNA PLURALIDAD DE MEDIOS DE TRATAMIENTO DE DATOS"		
⑱ SOLICITANTE (S)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		(Docket FI9-77-050)
DOMICILIO DEL SOLICITANTE		
Armonk, N.Y. 10504, EE.UU.		
⑲ INVENTOR (ES)		
Seymour Bederman		
⑲ TITULAR (ES)		
⑳ REPRESENTANTE		
DON ALBERTO DE ELZABURU MARQUEZ		(P.-71.911)

jga

Campo del Invento

Este invento se refiere a medios para compartir memoria entre una pluralidad de dispositivos de tratamiento, denominados en lo que sigue "procesadores" y, más en particular, a un mecanismo para permitir multiproceso con memoria compartida con máquinas o dispositivos que tienen enlaces síncronos de almacenamiento.

Descripción de la Técnica Anterior

Son bien conocidos los sistemas de memoria compartida en los que una pluralidad de procesadores, cada uno de los cuales tiene un enlace asíncrono máquina-memoria utilizan la misma instalación de memoria en tiempos respectivos. En tales sistemas, una máquina dada inicia una operación de acceso a una memoria y luego espera un tiempo indeterminado para que se complete la operación de acceso.

En el caso de procesadores que tengan un enlace síncrono máquina-memoria, (que no permite tiempos de espera indeterminados), pueden tomarse medidas para que una máquina dada no comience una operación de acceso a memoria con un módulo de memoria compartida particular hasta que deje de haber posibilidad de que otra máquina pugne por el mismo módulo de memoria antes de que haya sido completada la operación de acceso a la memoria. De ordinario, se debe prever una lógica adicional para modificación de los procesadores para arbitrar la pugna relativa a la memoria compartida. De acuerdo con el presente invento, sin embargo, se excluye la pugna por la memoria sin modificación alguna de los procesadores individuales, mediante la explotación de la lógica previamente existente dentro de los procesadores, tal como la lógica de Acceso a Memoria Externa (EMA), y median-

te la previsión de una lógica adicional relativamente sencilla, exterior a los procesadores.

Resumen del Invento

Un esquema mediante el cual una pluralidad de procesadores, por ejemplo, una pluralidad de microprocesadores, diseñado cada uno para funcionar con enlace síncrono de memoria y Acceso a Memoria Externa (EMA), están conectados de diversos modos para multiproceso y para compartir memorias. La pugna relativa a la memoria que se comparte se excluye mediante la adición de un Adaptador de enlace de máquina y explotando dos señales de EMA disponibles (Solicitud de Parada de EMA y Reconocimiento de Parada de EMA), y de la lógica EMA disponible dentro de los procesadores. Se permite que un procesador dado ejecute una instrucción colamente cuando se tiene la seguridad de que dispone de acceso sin discusión a la memoria mientras dure la instrucción. El adaptador de enlace de máquina está previsto para controlar la configuración de multiprocesador y para facilitar el intercambio de mensajes entre los procesadores.

Breve Descripción de los Dibujos

La Fig. 1 es un diagrama de bloques simplificado de una configuración de tres procesadores del presente invento.

Las Figs. 2A y 2B son formas de onda idealizadas de temporización de barra distribuidora de entrada/salida usadas en la realización de la Fig. 1.

La Fig. 3 es un diagrama de bloques simplificado de la parte de registro y memoria intermedia del componente de adaptador de enlace de máquina de la Fig. 1.

Las Figs. 4A y 4B ilustran los detalles de las

líneas de conexión de máquina-memoria representadas en la Fig. 1.

La Fig. 5 es un diagrama de bloques simplificado de la parte de lógica de conmutación de modo del componente de adaptador de enlace de máquina de la Fig. 1.

La Fig. 6 es una tabla de resumen parcial de los sucesivos estados de la lógica de conmutación de modo de la Fig. 5.

Descripción de la Realización Preferida

Con referencia a la Fig. 1, la máquina principal 1 puede dar acceso a su memoria local asociada 2 ó bien puede dar acceso a una de las memorias 3 y 4 asociadas con las máquinas satélites 5 y 6. Cuando la máquina principal 1 funciona juntamente con el volumen de memoria 3, las puertas 7 están condicionadas a acoplar varias señales que son transferidas entre el volumen de memoria 3 y la máquina 1. En este caso, la máquina satélite 5 está condicionada de modo que no da acceso al volumen de memoria 3. De una manera similar, la máquina 1 puede dar acceso al volumen de memoria 4 a través de las puertas 8, mientras que la máquina 6 está condicionada a no dar acceso al volumen de memoria 4. En la memoria descriptiva que sigue, se usan los términos "máquina" y "procesador" de modo intercambiable y se usan también de modo intercambiable los términos "satélite" y "esclavo".

El adaptador de enlace de máquina (EIA) 9 realiza varios conjuntos de funciones. Un conjunto de funciones permite que la máquina 1 cargue una o más baterías de bits de datos en un registro (que se describirá más adelante en relación con la Fig. 3) previsto dentro del EIA

9, y que luego interrumpa ya sea a la máquina 5 ó ya sea a la máquina 6. La máquina subordinada ("esclava") interrumpida 5 ó 6 ejecuta entonces un programa para leer o copiar la información contenida en los registros EIA. Análogamente, las máquinas esclavas 5 y 6 pueden cargar información en los registros EIA, y hacer luego que sea interrumpida la máquina principal 1. La máquina principal ejecuta en este caso un programa para copiar o leer la información contenida en los registros EIA. De esta manera se pueden intercambiar mensajes cortos entre la máquina 1 y cualquiera de los procesadores esclavos 5 ó 6. El EIA 9 funciona también para permitir que la máquina 1 comparta el volumen de memoria 3 con la máquina 5 o bien, alternativamente, comparta el volumen de memoria 4 con la máquina 6.

Más en particular, la función de memoria compartida del EIA 9 proporciona cinco modos diferentes de compartir memoria, como sigue:

Modo 1: Las máquinas 5 y 6 pueden funcionar sin compartir sus respectivos volúmenes de memoria 3 y 4 con la máquina 1.

Modo 2: La máquina 1 puede compartir el volumen 3 con la máquina 5.

Modo 3: La máquina 1 puede coger el volumen 3 y bloquear la máquina 5 impidiendo su acceso al volumen 3.

Modo 4: La máquina 1 puede compartir el volumen 4 con la máquina 6.

Modo 5: La máquina 1 puede coger el volumen 4 y bloquear la máquina 6 impidiendo su acceso al volumen 4.

Los anteriores modos de compartir la memoria vienen determinados por órdenes del "registro de modo de escritura" que son transmitidas por la máquina 1 al EIA 9. Estos mensajes de control establecen y restablecen tres enganches (que se describirán más adelante) en el EIA. Estos enganches se han designado por: COMPARTIR 3, COMPARTIR 4 y COGER.

Antes de seguir adelante con una descripción detallada de los modos de funcionamiento de compartir memoria, se hará una descripción de la manera en que se pueden intercambiar mensajes de datos entre las máquinas 1, 5 y 6, con ayuda del EIA 9. El EIA 9 está conectado a las barras distribuidoras de entrada/salida 10, 11 y 12 de las máquinas 1, 5 y 6, respectivamente. En un caso típico, cada una de las barras distribuidoras facilita la transferencia de 16 bitios (es decir, una semipalabra) de información entre cada máquina y los registros situados dentro del EIA. Cada barra distribuidora de entrada/salida incluye 16 líneas de datos bidireccionales más dos líneas de control (referencia de dirección/orden y referencia de datos) las cuales pueden ser activadas por la respectiva máquina. Además, cada barra distribuidora de entrada/salida incluye una línea de control (VALIDA) la cual puede ser activada por el EIA.

En la Fig. 2A se ilustran las relaciones de señales presentes cuando una máquina escribe datos en los registros EIA. En la Fig. 2B se ilustran las relaciones de señales existentes cuando una máquina lee datos de los registros del EIA. En uno u otro caso, la máquina que interviene transfiere primeramente la información de dirección y de orden al EIA y levanta la referencia de dirección/orden.

Subsiguientemente, la máquina o bien escribe o bien lee una semipalabra de datos, mientras activa la referencia de datos. El adaptador, a su vez, confirma que los datos han sido recibidos de la máquina, levantando para ello la señal de validez.

5 Cuando la referencia de dirección/orden es activa, la máquina sitúa 8 bitios de información de dirección y 8 bitios de información de orden en las líneas de datos de la respectiva barra distribuidora de entrada/salida. Al EIA se le asigna un código de dirección de 8 bitios, el cual diferencia al EIA de todos los demás dispositivos que también están unidos a la barra distribuidora de entrada/salida. Cuando el EIA reconoce su propia dirección en la barra distribuidora, el EIA descodifica el contenido del código de orden de 8 bitios y prepara para ejecutar la orden descodificada. En la siguiente tabla se da un conjunto típico de puntos de código de una batería de bitios de orden:

CODIGO DE

ORDEN.-

SIGNIFICADO

(Hexadecimal)

20	X'02'	Restablecimiento de adaptador.
	X'06'	Registro de Estado Básico de Escribir.
	X'07'	Registro de Estado Básico de Leer.
	X'08'	Registro Intermedio de Destino de Escribir - Impar.
25	X'0A'	Registro Intermedio de Destino de Escribir - Par.
	X'0B'	Registro Intermedio de Entrada de Leer.
	X'0C'	Registro de Modo de Escribir.
30	X'0D'	Registro de Modo de Leer.

Es de hacer notar que los puntos de código de orden X'OA', X'OC' y X'OD' se aplican solamente a la máquina principal 1 y no son aplicables en los casos de las máquinas satélites 5 y 6.

5 El EIA 9 de la Fig. 1 incluye los tres registros de estado básico de 8 bitios (BSR) 13, 14 y 15 de la Fig. 3 y tres registros intermedios de destino de semipalabra 16, 17 y 18. Los registros 13 y 16 están conectados a la barra distribuidora 10 de entrada/salida de la máquina principal, los registros 14 y 17 están conectados a la barra distribuidora 11 de entrada/salida de la máquina satélite, y los registros 15 y 18 están conectados a la barra distribuidora 12 de entrada/salida de máquina satélite. En la siguiente tabla se ilustran las asignaciones de bitios típicas para cada uno de los registros de estado básico 13, 14 y 15:

<u>BITIO</u>	<u>FUNCION</u>
0	Destino Intermedio Lleno - Impar.
1	Destino Intermedio Lleno - Par.
2	Destino Capacitado - Impar.
3	Destino Capacitado - Par.
4	Entrada Dispuesta.
5	Comprobación de Máquina.
6	Interrupción Capacitada.
7	Solicitud de Interrupción.

25 Es de hacer notar que las funciones asociadas con los bitios 1 y 3 son de aplicación solamente a la máquina principal BSR 13. Para las máquinas satélites BSR 14 y 15, no se usan los bitios 1 y 3.

30 Cuando se establece el bitio 6 de un BSR dado en el estado 1 y se establece el bitio 7 en el estado 1, será activada una señal de interrupción dentro de la máquina aso-

ciada. Cada máquina puede controlar el estado del bitio 6 en su BSR asociado, por medio de la orden de registro de estado básico de escribir.

Entre el establecimiento del bitio 6 y los establecimientos de los bitios 2 y 3 de los respectivos BSR existen las siguientes relaciones:

(1) Si el bitio 6 del BSR 13 es establecido en 1, entonces el bitio 2 en los BSR 14 y 15 asociados con las máquinas satélites 5 y 6 es también establecido en 1. Los estados 0 serán también idénticos para esos bitios.

(2) Si el bitio 6 del BSR 14 de la máquina satélite 5 es establecido en 1, entonces el bitio 2 en el BSR de la máquina principal 1 es también establecido en 1. Los estados 0 serán también idénticos para esos bitios.

(3) Si el bitio 6 del BSR 15 de la máquina satélite 6 es establecido en 1, entonces el bitio 3 del BSR de la máquina principal 1 es también establecido en 1. Los estados 0 serán también idénticos para esos bitios.

Con referencia a la Fig. 3, los registros intermedios de destino de semipalabra 16, 17 y 18 almacenan datos que fluyen de salida de las máquinas a través de las barras distribuidoras de entrada/salida. Cuando la máquina principal 1 introduce un mensaje en el registro intermedio de destino 16, la máquina especifica si el mensaje está destinado a la máquina satélite 5 (usando para ello la orden de registro-impar intermedio de destino de escribir) ó si el mensaje está destinado para la máquina satélite 6 (usando la orden de registro-par intermedio de destino de escribir). A continuación de la introducción de un mensaje en el registro intermedio 16, el EIA establece en 1 el

bitio 0 del BSR 16 de la máquina principal 1, si el destino es la máquina satélite 5, y activa la línea 82 que permite que el contenido del registro 16 intermedio de destino sea hecho pasar, a través de la lógica de puertas 80, a la barra distribuidora de entrada/salida 11 durante la ejecución de una orden del registro intermedio de entrada de leer, emitida por la máquina 5. El EIA establece en 1 el bitio 1 del BSR 16 de la máquina principal 1 si el destino es la máquina satélite 6, y activa la línea 83, la cual permite que el contenido del registro intermedio de destino 16 sea pasado, a través de la lógica 81 de puerta, a la barra distribuidora 12 de entrada/salida durante la ejecución de una orden de registro intermedio de entrada de leer emitida por la máquina 6.

15 Cuando la máquina satélite 5 introduce un mensaje en el registro intermedio de destino 17 (usando para ello la orden de registro impar intermedio de escribir) el EIA establece en 1 el bitio 0 del BSR 14 y activa la línea 87, la cual permite que el contenido del registro intermedio de destino 17 sea hecho pasar, a través de la lógica de puertas 85, a la barra distribuidora de entrada/salida 10 durante la ejecución de una orden de registro intermedio de entrada de leer emitida por la máquina 1. Cuando la máquina satélite 6 introduce un mensaje en el registro intermedio de destino 18 (usando para ello la orden de registro impar intermedio de escribir), el EIA establece en 1 el bitio 0 del BSR 15 y activa la línea 86, la cual permite que el contenido del registro intermedio de destino 18 sea hecho pasar a través de la puerta lógica 84 a la barra distribuidora de entrada/salida 10 durante la ejecución de una orden

de registro intermedio de entrada de leer emitida por la máquina 1. Se ha previsto una lógica directa (no ilustrada) para dar a la lógica de puertas 85 prioridad sobre la lógica de puertas 84, cuando las líneas 86 y 87 están ambas activas.

5 Cuando una máquina escribe una semipalabra de información en su registro intermedio de destino asociado, es generada una señal para indicar que ese registro intermedio de destino está en el estado completo o lleno. La
10 señal activa al bitio de entrada dispuesta (bitio 4) del BSR de la máquina de destino. Cuando el bitio 4 del BSR está establecido y el bitio 6 (interrupción capacitada) está también establecido, se envía entonces una señal de solicitud de interrupción a la máquina de destino. La máquina de destino responde a la solicitud de interrupción
15 emitiendo una orden de registro intermedio de entrada de leer y luego lee de salida o copia el contenido del registro intermedio. La señal que representa estado lleno del registro intermedio de destino es restablecida cuando los
20 contenidos de los registros intermedios son copiados o leídos de salida por la máquina de destino y el correspondiente bitio 0 ó bitio 1 del BSR es restablecido a 0.

25 Cuando la máquina que envía es la máquina principal, los bitios de la parte de batería de bitios de orden del mensaje indican cual de las dos máquinas satélites ha de recibir el mensaje o bien si el mensaje es un mensaje de control destinado para solamente el EIA. Cuando una máquina satélite inicia un mensaje, el mismo especifica, usando también bitios de la batería de bitios de orden, si el
30 mensaje está destinado para la máquina principal, o bien

si es un mensaje de control destinado para solamente el EIA. Ambas máquinas satélites pueden transmitir simultáneamente mensajes a la máquina principal. Cuando uno o más de los registros intermedios satélites están llenos, el EIA interrumpe a la máquina principal. Cada máquina puede controlar el bitio 6 de su BSR asociado, de modo que active o desactive la capacidad del EIA para producir una interrupción en la máquina dada. Dos de los bitios (bitios 2 y 3) del BSR de la máquina principal se usan para indicar el estado de los bitios de activado/desactivado en los BSR de las máquinas satélites. Análogamente, uno de los bitios (bitio 2) del BSR de una máquina satélite refleja el estado del bitio activado/desactivado en el BSR de la máquina principal. Ensayando el estado del bitio de activado/desactivado correspondiente a la máquina de destino, una máquina fuente puede determinar si hay impedimento para la transferencia de un mensaje a la máquina de destino.

Uno de los bitios (bitio 0) del BSR de una máquina satélite refleja el estado de lleno/vacío del registro intermedio del satélite. Ensayando ese bitio, el programa satélite puede determinar si ha sido, o no, leído su mensaje previo a la máquina principal por la máquina principal. Dos de los bitios (bitios 0 y 1) del BSR de la máquina principal se usan para indicar si el registro intermedio de la máquina principal está, o no, vacío o lleno y, si está lleno, los bitios identifican la máquina satélite de destino particular. Ensayando esos bitios, la máquina principal puede determinar si su mensaje anterior a una máquina satélite ha sido, o no, leído por esa máquina.

Pasando ahora a la consideración de la función del EIA de controlar la memoria compartida entre las máquinas principal y satélites, es de hacer notar que cada máquina tiene tres líneas de control conectadas a la lógica del EIA. Estas líneas se denominan de solicitud de parada de acceso, a la memoria externo (EMA), reconocimiento de la parada del EMA, y SALIDA. La línea 19 de solicitud de parada del EMA de la Fig. 1 es una línea de control de entrada a la máquina principal 1. Cuando está activa, la línea 19 notifica a la máquina 1 que pare al final de la instrucción actual, de modo que una de las máquinas satélites pueda obtener acceso a la memoria que está compartiendo con la máquina principal. Por ejemplo, en el modo de memoria compartida 2 antes mencionado, la máquina 1 comparte el volumen de memoria 3 con el motor 5, mientras que en el modo 4 la máquina 1 comparte el volumen de memoria 4 con la máquina 6.

La línea 20 de reconocimiento de parada del EMA es activada por la máquina principal 1 cuando la máquina completa su operación de acceso a la memoria actual y está dispuesto para compartir la memoria asociada con una máquina que solicite. En el caso de una máquina satélite, tal como la máquina 5, la señal en la línea 21 de reconocimiento de parada del EMA, cuando está activada, significa que la máquina satélite ha completado su operación de acceso a la memoria actual y que está ahora dispuesta para permitir que la máquina 1 principal que solicita obtenga acceso a su volumen de memoria asociado 3. La señal de reconocimiento de parada del EMA en la línea 22 proporciona una función similar con respecto a la máquina satélite 6. Cada una de

las máquinas satélites 5 y 6 recibe también una señal de solicitud de parada del EMA respectiva del EIA 9 por las líneas 23 y 24, respectivamente. Cada una de las máquinas 1, 5 y 6 proporciona una señal de SALIDA en las líneas respectivas 25, 26 y 27, cuando está en la fase final de completar la ejecución de una instrucción.

En un caso típico, se genera la señal de salida usando un procesador que cuenta con un control microprogramado. En tal procesador, se ejecutan una serie de microinstrucciones, obtenidas en general de una memoria fija, en el curso de la realización de una macroinstrucción. El tiempo del ciclo de la memoria fija controla usualmente el tiempo de ejecución de cada microinstrucción, y se denomina algunas veces el ciclo de la máquina. El intervalo del ciclo de la máquina está dividido en intervalos más pequeños mediante impulsos de temporización. Se usan los bitios de cada microinstrucción para paso discriminado de la lógica de control dentro del procesador. Los bitios pueden usarse de uno en uno, o bien pueden agruparse en campos que luego son descodificados. Como ejemplo, las microinstrucciones finales que aparecen en cada secuencia de microinstrucciones usada para emular una macroinstrucción, pueden tener un campo de cuatro bitios, cuyo patrón está asignado para ser usado como patrón de "salida". Este patrón se aplica a la entrada de un descodificador. La línea de salida activada del descodificador es alimentada a una puerta Y, juntamente con un impulso de temporización, para producir la señal de SALIDA. Antes de pulsar la línea de SALIDA, la máquina respectiva ensaya el estado de sus líneas de interrupción externas y, si la máquina está capacitada para

aceptar las interrupciones, la máquina ajusta los estados de sus registros internos de tal modo que la siguiente instrucción ejecutada será la instrucción exigida por la nueva interrupción.

5

La Fig. 4A ilustra las líneas de enlace de memoria de la máquina principal 1 con el volumen de memoria 2, con mayor detalle que el representado en la Fig. 1. En particular, se intercambian datos entre la máquina 1 y la memoria 2 a través de la barra distribuidora de destino unidireccional 28 y de la barra distribuidora de fuente 29. Alternativamente, estas dos barras distribuidoras podrían ser sustituidas por una sola barra distribuidora de datos bidireccional. En un caso típico, las barras distribuidoras de destino y de fuente son realizadas como barras distribuidoras de 18 hilos conductores, capaces de llevar 16 bits de datos más 2 bits de paridad impar. La barra distribuidora de direcciones 3, por ejemplo, es una barra distribuidora de 16 hilos conductores que permite el acceso de hasta 2^{16} posiciones de memoria en el volumen de memoria 2. Cada una de las líneas de selección de volúmenes 31, 32 y 33 está conectada a uno respectivo de los volúmenes de memoria 2, 3 y 4. Las líneas 32 y 33 están conectadas a los respectivos volúmenes de memoria 3 y 4 a través de puertas de selección asociadas, que se describirán más adelante. En efecto, la línea de selección de volumen suplementa a la barra distribuidora de direcciones. La máquina satélite 5 puede obtener acceso solamente al volumen de memoria 3. En consecuencia, la máquina 5 está equipada con solamente una línea única de selección de volumen. La máquina satélite 6 puede obtener acceso solamente al

10

15

20

25

30

volumen de memoria 4. En correspondencia, la máquina 6 está también equipada con solamente una línea única de selección de volumen. La línea 7^a de control de escritura, cuando está activa, señala a la memoria asociada que está en curso una operación de escritura para la memoria. Cuando la máquina activa a la línea de reconocimiento de parada del EMA, también condiciona sus circuitos de enlace de memoria de modo que proporcione una carga de alta impedancia a las líneas de enlace, lo cual permite que otra máquina, conectada al mismo enlace de memoria, controle los niveles en las diversas líneas de enlace de memoria.

En la Fig. 4B se ilustran las conexiones entre la máquina 1 y el volumen de memoria 3, con mayor detalle que el representado en la Fig. 1. La barra distribuidora fuente, la barra distribuidora de destino, la barra distribuidora de direcciones, la línea de selección y la línea de control de escritura correspondientes de la máquina y del volumen de memoria están conectadas selectivamente entre sí a través de una serie de puertas, designadas colectivamente como puertas 7. Ha de entenderse que se ha previsto una puerta en cada una de las líneas que comprende cada una de las barras distribuidoras. Todas las puertas son activadas simultáneamente por una señal designada por G2, que se describirá más adelante. Excepto por lo que se refiere a la presencia de la puerta 7, las conexiones entre la máquina 1 y el volumen de memoria 3 corresponden a las conexiones entre la máquina 1 y el volumen de memoria 2 representadas en la Fig. 4A. Las conexiones entre la máquina 1 y el volumen de memoria 4 son similares a las ilustradas en la Fig. 4B, excepto en que se aplica una señal G3 (que se

describirá más adelante) a las puertas 8, y excepto en que la línea 33 de selección de volumen esté acoplada a las puert
tas 8 de una manera correspondiente a la de la línea 32 de
selección de volumen, que se ha ilustrado conectada a las
5 puertas 7 en la Fig. 4B. Cada una de las puertas 7 y 8 es
tá caracterizada por una salida de triple estado. Cuando
la línea de entrada G2 ó G3, según sea el caso, está activa,
la puerta acopla el estado de su línea de entrada a su lí-
nea de salida. Cuando la entrada G2 ó G3 está inactiva,
10 la línea de salida es mantenida en un alto valor de impedan-
cia, de modo que el estado de la línea de salida puede ser
determinado por un dispositivo externo que está conectado a
la línea de salida. Por ejemplo, cuando se han hecho inac-
tivas las puertas 7, el estado de cada línea de salida de
15 puerta viene determinado por el estado de la línea respecti-
va conectada a la salida de la máquina satélite 5. A fin
de obtener acceso al volumen de memoria 3, la máquina 1 de-
be activar a la línea 32 de selección del volumen 3 y deben
estar activadas las líneas G2 de entrada de puerta. A fin
20 de obtener acceso al volumen de memoria 4, la máquina 1 de-
be activar a la línea 33 de selección del volumen de memoria
4, y debe también estar activada la línea G3 de entrada de
puerta.

Con referencia ahora a la Fig. 5, en la cual se
25 ilustra la lógica de conmutación de modo del EIA con mayor
detalle, los tres circuitos biestables de control de modo
34 (de COGER), 35 de COMPARTIR 3 y 36 de COMPARTIR 4 pueden
ser establecidos y restablecidos por medio de una orden de
registro del modo de escritura que envía la máquina 1 al EIA
30 9 de la Fig. 9. Hay cinco modos en los cuales los diversos

volúmenes de memoria son acoplados a, y a veces compartidos por, las máquinas respectivas. Las relaciones entre el ajuste de estos tres enganches y el modo correspondiente de compartir memoria se ha ilustrado en la siguiente tabla:

	<u>MODO</u>	<u>COMPARTIR-3</u>	<u>COMPARTIR-4</u>	<u>COGER</u>
5	1	Restablecer	Restablecer	---
	2	Establecer	Restablecer	Restablecer
	3	Establecer	Restablecer	Establecer
	4	Restablecer	Establecer	Restablecer
10	5	Restablecer	Establecer	Establecer

En el modo 1, ni la máquina satélite 5 ni la máquina satélite 6 comparten su volumen de memoria asociado con la máquina 1. Cada una de las líneas 38, 39 y 40 está inactiva en este caso. Por consiguiente, la puerta Y 42 está inactiva y no genera una señal de solicitud de parada en la línea 23. Análogamente, la puerta Y 48 también está inactiva y no se genera señal alguna de solicitud de parada en la línea 24. Por consiguiente, ni la máquina 5 ni la máquina 6 generan una señal de reconocimiento de parada en las líneas 21 y 22, respectivamente. Por consiguiente, G2 y G3 (derivadas de las líneas 21 y 22, respectivamente) están inactivas, impidiendo el acceso por la máquina 1 a los volúmenes de memoria 3 y 4.

En el modo 3, la máquina 1 obtiene acceso al volumen de memoria 3 con exclusión de la máquina satélite 5. Para este modo, el circuito biestable 35 está establecido, el circuito biestable 36 está restablecido y el circuito biestable 34 está establecido. Al ser establecido el circuito biestable 35, la entrada SH-3 (COMPARTIR-3) a la puerta Y 67 está activa, permitiendo que la señal de SALIDA de

la máquina 5 pase a través de la puerta 67 activada. La máquina 5 produce una señal de SALIDA al completarse la ejecución de una instrucción pendiente. La salida activada de la puerta Y 67 está acoplada a través de la puerta O 52 a la línea 53, para restablecer el circuito biestable 54. Cuando se restablece el circuito biestable 54, su salida O establece el circuito biestable 55 para proporcionar una salida "1" la cual es aplicada a través de la línea 56 a la puerta Y 42 para activar la solicitud de parada en la línea 23. La máquina 5, en respuesta, eleva la línea 21 de reconocimiento de parada, haciendo que la señal G2 se haga activa, permitiendo que la máquina 1 obtenga acceso al volumen de memoria 3 a través de la puerta 7, como se ha ilustrado en la Fig. 1.

En el modo 5, la máquina 1 tiene acceso al volumen de memoria 4 para la exclusión de la máquina satélite 6. La operación lógica es análoga a la que se acaba de describir con respecto al modo 3. En el caso del modo 5, el circuito biestable 35 está restablecido, el circuito biestable 36 está establecido y el circuito biestable 34 está establecido.

En el modo 2, la máquina 1 comparte el volumen de memoria 3 con la máquina satélite 5. La máquina 1 y la máquina 5 funcionan alternativamente, adoptando cada máquina el aspecto de un tipo de dispositivo EMA para la otra máquina. Cuando funciona la máquina 1, la misma puede obtener acceso ya sea al volumen de memoria 2 o ya sea al volumen de memoria 3. En el modo 2 el circuito biestable 35 está establecido, el circuito biestable 36 está restablecido y el circuito biestable 34 está restablecido. El fun-

cionamiento de la lógica es como sigue. Se supone que una máquina está inicialmente activa mientras que la máquina asociada está parada. Al completar la máquina activa su instrucción actual, la misma activa su señal de SALIDA.

5 Esta señal dispara una señal de solicitud de parada para la misma máquina. Cuando la misma máquina se hace inactiva y genera una señal de reconocimiento de parada, la máquina asociada se hace activa. Subsiguientemente, la máquina asociada genera una señal de SALIDA para disparar acontecimientos que dan por resultado que la primera máquina se haga también activa de nuevo. Una secuencia similar de acontecimientos tiene lugar en el modo 4 cuando la máquina principal 1 comparte el volumen de memoria 4 con la máquina satélite 6.

15 Las anteriores explicaciones se comprenderán mejor con ayuda de los siguientes ejemplos detallados. Supongamos que la máquina 1 está justamente completando su instrucción actual y activa la señal de SALIDA en la línea 25. Por cuanto el circuito biestable 34 está en la condición de restablecido, la puerta Y 55 deja pasar la señal en la línea 20 25 para restablecer el circuito biestable 56. La salida "0" del circuito biestable 56 pasa a través del circuito 0 57 para establecer el circuito biestable 58. Por cuanto el circuito biestable 35 está establecido, la línea 38 es 25 activada para activar la línea 40 en la salida del circuito 0 59. La activación de la línea 40 condiciona la puerta Y 60 para activar la señal de solicitud de parada en la línea 19, en respuesta a la salida "1" del circuito biestable 58. La máquina 1 queda entonces inactiva y genera una señal de reconocimiento de parada en la línea 20. Antes de

la aparición de la señal de reconocimiento de parada en la línea 20, el circuito biestable 54 fue establecido a través del inversor 65. El establecimiento del circuito biestable 54 proporciona una salida "1" que pasa a través de la puerta Y 63 al tener lugar la señal de reconocimiento de parada en la línea 20. La salida activada de la puerta Y 63 pasa a través del circuito O 64 para restablecer el circuito biestable 55, desactivando la línea 56. Esto hace que la puerta Y 42 desactive la señal de solicitud de parada en la línea 23 para la máquina 5, tras lo cual la máquina 5 se hace activa. Cuando la máquina 5 completa más tarde su instrucción y activa su señal de SALIDA en la línea 26, la puerta Y 67 queda activada para producir la señal en la línea 53 en la salida del circuito O 52. La señal en la línea 53 restablece el circuito biestable 54. El estado "0" de 54 establece el circuito biestable 55, el cual activa la línea 56. La línea 56 hace que la puerta Y 42 produzca una señal de solicitud de parada en la línea 23. La subsiguiente señal de reconocimiento de parada en la línea 21 pasa a través de la puerta Y 68 activada, para proporcionar una salida en la línea 69 (la salida del circuito O 70) para activar la puerta Y 71, para restablecer el circuito biestable 58, y completar el ciclo de funcionamiento. El circuito biestable 56 es establecido, en ausencia de salida en la línea 69, por la acción del inversor 72:

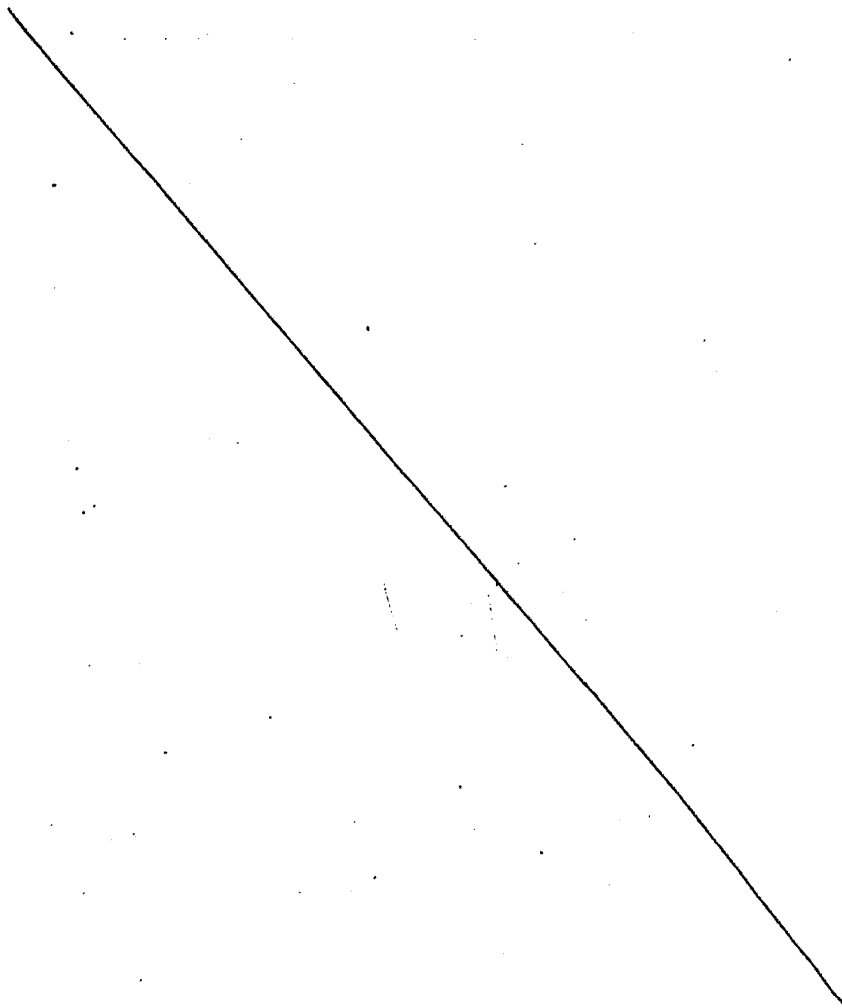
La tabla de la Fig. 6 ilustra una secuencia de estados para la lógica ilustrada en la Fig. 5, para dar un ejemplo más del funcionamiento del presente invento cuando la máquina principal 1 y la máquina satélite 5 comparten el volumen de memoria 3. El signo menos que aparece en la

Tabla representa una condición de señal desactivada, mientras que el signo más representa una condición de señal activada. En el tiempo 0, ambos circuitos biestables, el 35 y el 36, están restablecidos. En estas condiciones, las tres líneas de solicitud de parada 19, 23 y 24 están inactivas. Cada máquina puede entrar simultáneamente en operaciones de memoria con su volumen de memoria asociado, es decir, la máquina 1 puede obtener acceso al volumen de memoria 2, la máquina satélite 5 puede obtener acceso al volumen de memoria 3 y la máquina satélite 6 puede obtener acceso al volumen de memoria 4.

En el tiempo 1, el circuito biestable 35 queda establecido como resultado de una orden de entrada/salida enviada por la máquina 1 al EIA 9. Inicialmente, tanto la máquina 1 como la máquina 5 continúan funcionando. No obstante, la línea de solicitud de parada 19 se hace activa como resultado de la activación de la línea 40 en la salida del circuito 0 59, lo cual hace que la puerta Y 60 active a la línea 19. Antes de que la máquina 1 pueda efectuar una operación de acceso a la memoria, su línea 20 de reconocimiento de parada se hace activa al cabo del tiempo 2. La máquina 1 se hace entonces inactiva, mientras que la máquina 5 continúa siendo activa. A su tiempo, la señal de SALIDA de la máquina 5 se hace activa en la línea 26 (tiempo 3.1). Esto origina los cambios de estado ilustrados para los tiempos 3.1 y 3.2 de la Fig. 6. La máquina 5 permanece activa y la máquina 1 permanece inactiva después de la desactivación del impulso de SALIDA en la línea 26, como se ha ilustrado para el tiempo 3.3. No obstante, la señal de solicitud de parada en la línea 23 ha sido activada para

el tiempo 3.2. Para el tiempo 4.1, la máquina 5 activa su señal de reconocimiento de parada en la línea 21, haciendo que quede desactivada la línea 19 de solicitud de parada. Para el tiempo 4.2 es también desactivada la línea 20 de reconocimiento de parada. Para este tiempo, la máquina 1 se hace activa y la máquina 5 se hace inactiva.

El resto de la Fig. 6 deberá resultar claro de la explicación anterior. Los tiempos 5.1, 5.2 y 5.3 son análogos a los tiempos 3.1, 3.2 y 3.3. También los tiempos 6.1 y 6.2 son análogos a los tiempos 4.1 y 4.2.



- REIVINDICACIONES -

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

16069

1ª.- Un aparato para compartir medios de memoria en un sistema que incluye también una pluralidad de medios de tratamiento de datos, y unos medios de memoria, estando destinados dichos medios de tratamiento de datos o procesadores para operación de acceso a memoria externa, medios para compartir dichos medios de memoria alternando entre dichos procesadores, comprendiendo dichos medios para compartir: una barra distribuidora de entrada-salida respectiva acoplada a cada procesador; y un adaptador de enlace de máquina acoplado a dichas barras distribuidoras de entrada-salida; proporcionando cada uno de dichos procesadores una señal de reconocimiento de parada de acceso a la memoria externa respectiva a dicho adaptador y una señal de salida respectiva a dicho adaptador; proporcionando dicho adaptador una señal de solicitud de parada de acceso a la memoria externa respectiva.

2ª.- Un aparato según la reivindicación 1ª, que incluye medios para proporcionar la señal de solicitud de parada de acceso a la memoria externa a cada procesador, siendo dicho adaptador y dicho procesador sensibles a dichas señales de acceso a la memoria externa y a dichas señales

de salida para hacer que dichos procesadores compartan dichos medios de memoria alternadamente.

5 3^a.- Un aparato según la reivindicación 1^a, que incluye medios para proporcionar la señal de solicitud de parada de acceso a la memoria externa a un procesador dado en respuesta a dicha señal de salida desde dicho procesador dado; haciéndose inactivo un procesador dado y generando dicha señal de reconocimiento de parada de acceso a la memoria externa en respuesta a dicha señal de solicitud de
10 parada de acceso a la memoria externa a dicho procesador dado; haciéndose activo un procesador dado al desactivarse su señal de solicitud de parada de acceso a la memoria externa respectiva y generando subsiguientemente dicha señal de salida; haciéndose inactiva la señal de solicitud de pa-
15 rada de acceso a la memoria externa para una máquina dada al ser activada la señal de reconocimiento de parada de acceso a la memoria externa procedente de otra de dichas máquinas.

20 4^a.- Un aparato según la reivindicación 2^a y que incluye además: unos medios de memoria adicionales y un circuito de puerta, estando conectado directamente uno de dichos procesadores a dichos medios de memoria adicionales y estando acoplado dicho procesador a dichos primeros medios de memoria a través de dicho circuito de puerta.

25 5^a.- Un aparato según la reivindicación 4^a, en el que un segundo de dichos procesadores está conectado directamente a dichos medios de memoria.

30 6^a.- Un aparato según la reivindicación 2^a, en el que dicho adaptador incluye una pluralidad de primeros registros, estando conectado cada uno de dichos primeros

registros a una respectiva de dichas barras distribuidoras de entrada-salida; proporcionando dicho adaptador medios para capacitar a cada procesador para cargar datos en su primer registro respectivo y para interrumpir a otro procesador para el cual estén destinados los datos cargados del primer registro cargado; leyendo de salida el procesador interrumpido dichos datos cargados del primer registro.

7^a.- Un aparato según la reivindicación 6^a, en el que dicho adaptador incluye además una pluralidad de segundos registros, estando conectado cada segundo registro a una respectiva de dichas barras distribuidoras de entrada-salida; almacenando cada uno de dichos segundos registros una palabra de estado que incluye un bitio para controlar la capacidad de dicho adaptador para interrumpir al procesador asociado con dicha palabra de estado.

8^a.- Un aparato según la reivindicación 7^a, en el que cada una de dichas palabras de estado incluye además un bitio que representa la capacidad de dicho adaptador para interrumpir a un procesador distinto al procesador asociado con dicha palabra de estado.

9^a.- Un aparato según la reivindicación 7^a, en el que cada una de dichas palabras de estado incluye además un bitio que representa si el segundo registro asociado con dicha palabra de estado tiene almacenada una palabra en el mismo.

10^a.- Un aparato según la reivindicación 2^a, y que incluye además unos medios de memoria adicionales; y medios en dicho adaptador para excluir selectivamente que dicha memoria se comparta, para permitir que cada procesador tenga acceso solamente a los medios de memoria respec-

30

16069

tivos.

5 11ª.- Un aparato según la reivindicación 2ª, y que incluye además medios en cada uno de dichos adaptadores para excluir selectivamente que dicha memoria se comparta, para permitir que solamente uno de dichos procesadores tenga acceso a unos medios de memoria.

10 12ª.- "UN APARATO PARA COMPARTIR MEDIOS DE MEMORIA EN UN SISTEMA QUE INCLUYE TAMBIEN UNA PLURALIDAD DE MEDIOS DE TRATAMIENTO DE DATOS".

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de veintiséis hojas escritas a máquina por una sola cara.

Madrid, 20 JUN 1979

P.A.

Alberto de Bizaburu
Por orden

Alberto de Elizaburu
Por Poder

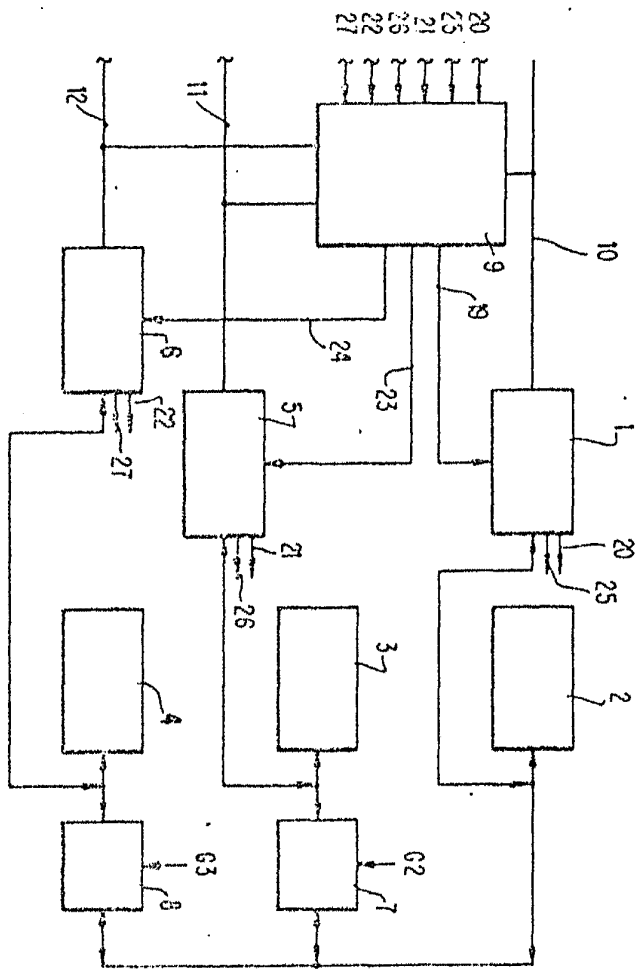


FIG. 1

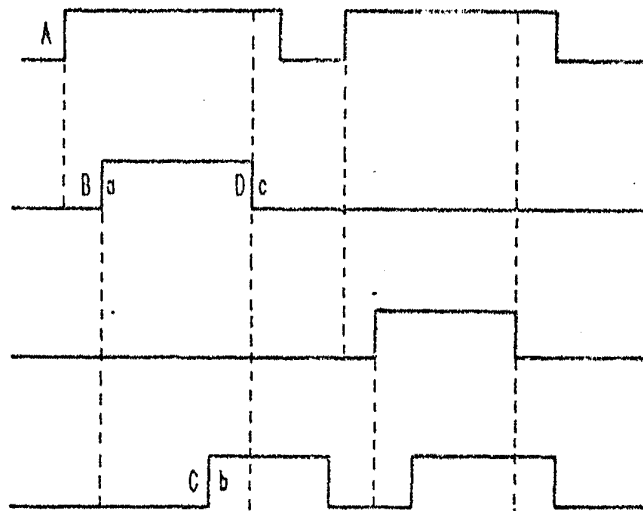


FIG. 2A

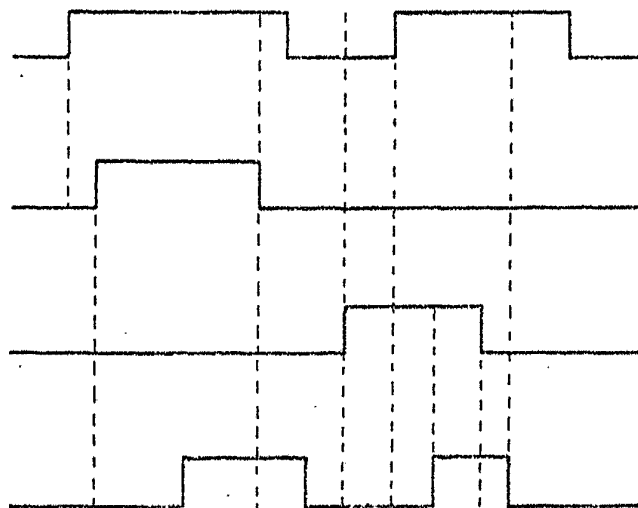


FIG. 2B

Alberto de Lizabury
For record

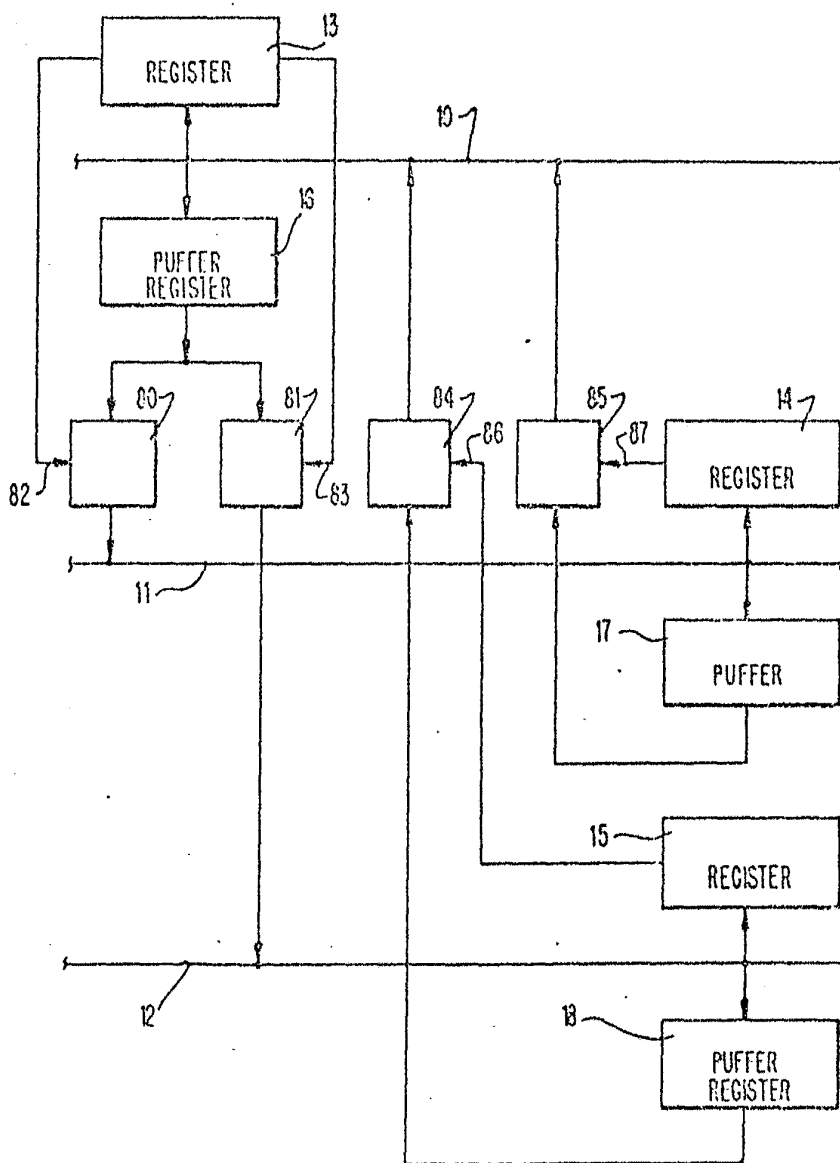


FIG. 3

Alberto de Elizaburu
Alberto de Elizaburu

4/7

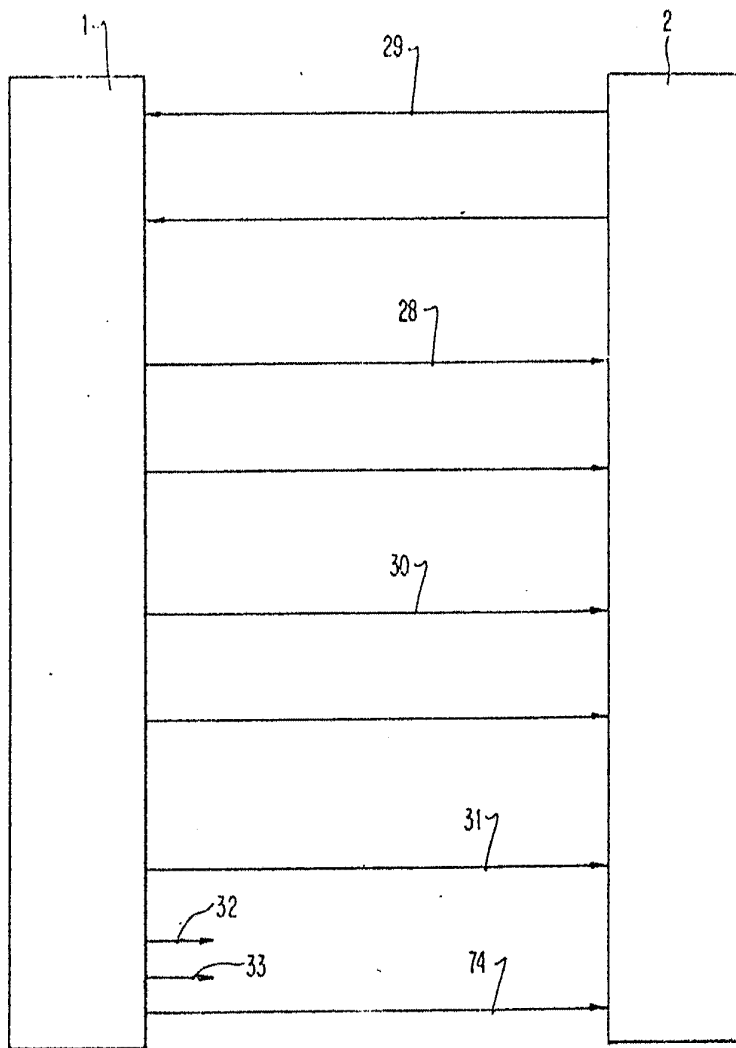


FIG. 4A

Alberto de Lizauris
For Pats.

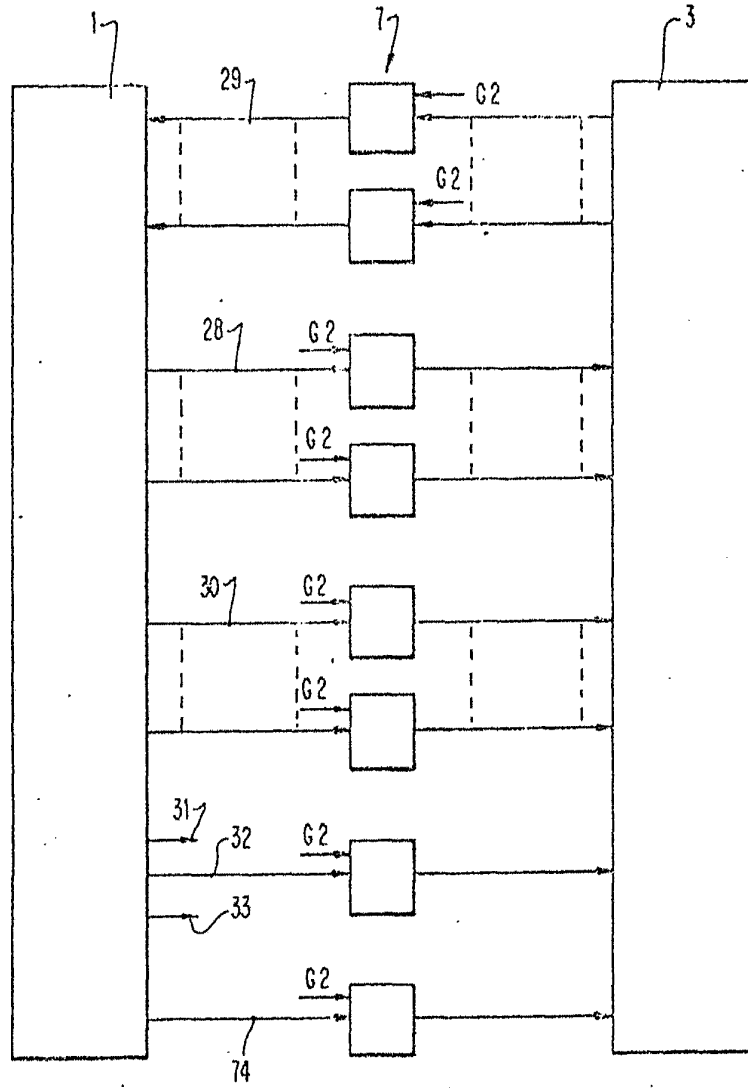


FIG. 4B

Alberto de Elizaburu
Por redar.

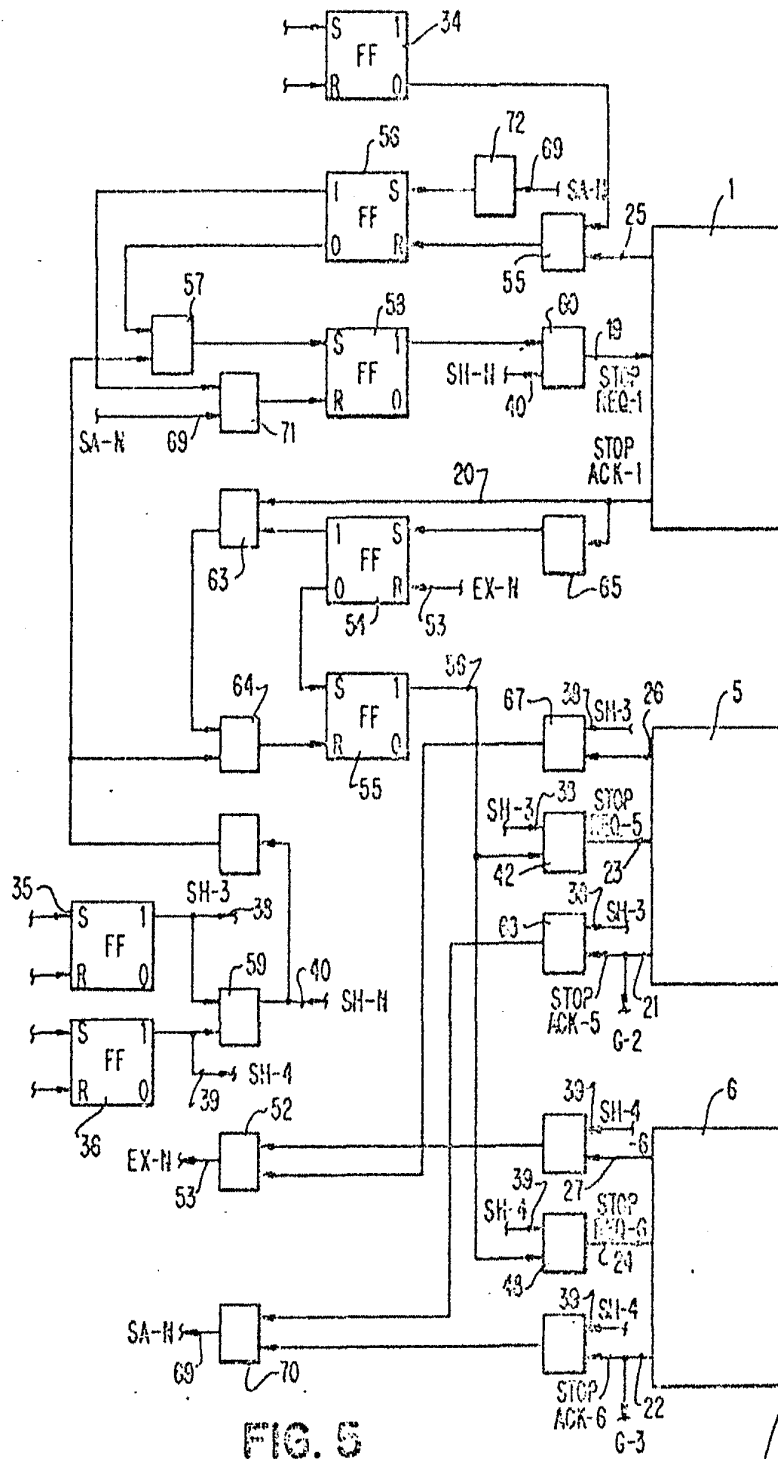


FIG. 5

Alberto de Elizaburu
For Pender

