



ESPAÑA

(19) 50	(11) NUMERO	(10) A1
	480480	
	(21) FECHA DE PUBLICACION	

PATENTE DE INVENCION

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

Pl. 1-2-80

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
906.087	15.Mayo.78	Estados Unidos
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04J 3/00	
(54) TITULO DE LA INVENCION		
"UN DISPOSITIVO DE DISTRIBUCION DE LA SEÑAL DE RELOJ CON TOLERANCIA DE FALLOS"		
(71) SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5.		
(72) INVENTOR (ES)		
Frank Fellingner Santanu Das		
(73) TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
(74) REPRESENTANTE		
D. Eugenio Barroso Espinosa de los Monteros		

El presente invento se refiere a un dispositivo de distribución de la señal de reloj con tolerancia de fallos para diferentes unidades de un equipo. La tolerancia de fallos se consigue enviando en paralelo independientemente las señales de reloj a partir de cada una de un par de fuentes de reloj duplicadas a diferentes unidades receptoras del reloj, cada unidad receptora está asociada con una de las diferentes unidades del equipo e incluye un dispositivo lógico secuencial cuya misión es examinar los dos trenes de señales de reloj enviados en paralelo a la unidad receptora del reloj e ignorar aquel tren de señal cuya fase se retrasa del otro. En el caso en que el generador de reloj que gobierna la fase o su bus de transmisión falle, la otra señal de reloj toma su lugar. Dado que las salidas de los generadores de reloj duplicados están distribuidos en buses separados, cualquier generador puede comprender el reloj de gobierno de fase en cualquier unidad receptora determinada. La diferencia de fase entre las dos salidas del generador de reloj se mantiene lo suficientemente pequeña como para que cualquier irregularidad resultante en la salida de la unidad receptora del reloj cuando falla uno de los dos generadores de reloj o los buses de transmisión, no afecte al funcionamiento normal de las unidades del equipo servidas por el dispositivo de distribución del reloj.

El invento está referido a dispositivos para proporcionar una distribución de la señal de temporización altamente confiable a una pluralidad de unidades de un equipo que funcionan bajo un sistema común de temporización restringido. Más concretamente, el invento se refiere a la distribución con tolerancia de fallos de señales de reloj

duplicadas a una pluralidad de unidades de un equipo de un sistema de comunicaciones.

Muchos sistemas anteriores proporcionan redundancia entre diferentes equipos con la intención de conseguir una elevada confiabilidad. En combinaciones de equipos tales como los sistemas de conmutación electrónica telefónica, por ejemplo, las fuentes de temporización críticas están duplicadas y dispuestas para un funcionamiento con tolerancia de fallos.

Ejemplos de tales fuentes de reloj con tolerancia de fallos se describen en las Patentes Norteamericanas 3.900.741 (Fletcher), 3.965.432 (Denenberg) y 4.025.874 (Abbey). Tales técnicas se refieren a la provisión de mantener una salida de la fuente de reloj en la presencia de un fallo total en una de las fuentes redundantes. En una aproximación, en las Patentes 3.965.432 y 4.025.874 se utiliza un par maestro/esclavo de fuentes de reloj. En otra aproximación, representada por la Patente 3.900.741, se utiliza una cantidad predeterminada de una pluralidad de fuentes de reloj para proporcionar una salida de reloj con tolerancia de fallos.

En sistemas tales como los sistemas de conmutación MIC (modulación por impulsos codificados) múltiple por división de tiempo electrónicos, constituye también un requerimiento importante la distribución confiable de las diferentes señales de temporización. La técnica indicada anteriormente no se dirige a la distribución de la señal con tolerancia de fallos, sino que se ocupa solamente de proporcionar una fuente con tolerancia de fallos de las señales de temporización. Existe por tanto una necesidad en esta

técnica de proporcionar la distribución con tolerancia de fallos, o transmisión paralela, de las señales de reloj del sistema entre una pluralidad de unidades del equipo del sistema.

5 Por tanto un objetivo del presente invento es proporcionar una confiabilidad adicional al sistema introduciendo la tolerancia de fallos en el dispositivo de distribución de reloj del sistema.

10 Como consecuencia, el invento comprende un dispositivo para proporcionar la distribución con tolerancia de fallos de la señales de reloj a una pluralidad de unidades del equipo. Una primera y una segunda fuentes redundantes de cada señal de reloj a ser distribuida se acoplan a cada una de las unidades del equipo servidas a través
15 de los respectivos primeros y segundos elementos de transmisión, tal como pares de cable trenzado. Cada elemento de transmisión para cada señal de reloj distribuida se acopla a cada unidad del equipo a través de una unidad receptora del reloj que incluye un elemento lógico secuencial cuya
20 misión es examinar los dos trenes de señal de reloj enviados por el primero y el segundo elemento de transmisión e ignorar aquel tren de señal de reloj que se retrasa en fase respecto del otro. La señal de reloj que indica la fase pasa entonces a la salida de la unidad receptora del reloj para
25 la distribución apropiada a los puntos dentro de la unidad del equipo asociada.

Debido a que las salidas de las fuentes de reloj duplicadas se distribuyen por medios de transmisión separados, o buses, una característica del invento es que
30 cualquier fuente puede comprender el tren de la señal de

reloj que indica la fse en cualquier unidad receptora determinada.

Una característica del invento es que un fallo en un medio de transmisión no afecta al funcionamiento del elemento de transmisión que transporta la señal de reloj de frecuencia idéntica.

Estos y otros objetivos así como otras características del invento se deducirán mejor de la descripción que sigue de una configuración determinada del mismo, tomada en unión de los dibujos que se acompañan en dónde:

La Fig. 1 describe un diagrama bloque funcional de un sistema de distribución del reloj con tolerancia de fallos dispuesto de acuerdo con los principios del invento.

La Fig. 2 es un diagrama esquemático de una unidad receptora de reloj típica de la Fig. 1, y

Las Figs. 3A, 3B y 3C muestran diagramas de temporización de las señales de nivel lógico que aparecen en puntos de idéntica denominación en el esquemático de la Fig. 2.

Referiéndonos a la Fig. 1, un número entero N de unidades repetidas 140-1 a 140- N constituyen el conjunto a ser alimentado con las señales de temporización procedentes de las fuentes de señal de reloj duplicadas C_M 101 y C_S 102. No se muestran las unidades 140-3 a 140- $(N-1)$. C_M 101 podría constituir un reloj maestro mientras que C_S 102 podría constituir un reloj esclavo del C_M 101.

Las unidades de equipo 140-1 a 140- N podrían, a modo de ejemplo solamente, comprender grupos de conmutación de un sistema de conmutación MIC múltiplex por

división de tiempo, tal como el descrito en la Patente Norteamericana nº 3.912.873 registrada el 14/10/75 y asignada a la misma materia que el presente invento.

En la configuración de la Fig. 1, las
5 señales que tienen las frecuencias de reloj más altas y más bajas se transmiten a las unidades del equipo. Cualquiera otras frecuencias de reloj requeridas se derivan localmente en cada unidad del equipo. El reloj maestro C_M 101 suministra una primera señal de reloj a la frecuencia del sistema
10 más elevada por la vía 110M y una primera señal de reloj a la frecuencia del sistema más baja por la vía 120M. El reloj esclavo C_S 102 suministra una segunda señal de reloj a la frecuencia más alta del sistema por la vía 110S y una segunda señal de reloj a la frecuencia más baja del sistema
15 por la vía 120S. Con preferencia, las vías 110M, 120M, 110S y 120S comprenden pares de cable trenzados y equilibrados en dc. Las tomas del bus 110M-1 a 110M-N de la vía bus 110M se acoplan respectivamente a primeras entradas de las unidades receptoras de reloj 130-1H a 130-NH. Las tomas
20 110S-1 a 110S-N de la vía bus 110S se acoplan respectivamente a segundas entradas de las unidades receptoras de reloj 130-1H a 130-NH. Las tomas 120M-1 a 120M-N de la vía bus 120M se acoplan respectivamente a primeras entradas de las unidades receptoras de reloj 130-1L a 130-NL.
25 Las tomas 120S-1 a 120S-N de la vía bus 120S se acoplan respectivamente a segundas entradas de las unidades receptoras de reloj 130-1L a 130-NL. Como consecuencia, cada unidad receptora de reloj de la Fig. 1 tiene entradas acopladas a primeras y segundas fuentes de las señales de reloj a la
30 frecuencia que interesa.

Las salidas de las unidades receptoras de reloj 1-H a N-H y 1-L a N-L acoplan respectivamente las señales de reloj a las frecuencias de reloj del sistema más alta y más baja a cada una de las unidades del equipo 140-1 a 140-N. Solamente la unidad del equipo 140-1 de la Fig. 1 muestra a modo de ejemplo detalles de los puntos de distribución de la señal del reloj y el equipo de generación de frecuencia auxiliar. El dispositivo que se muestra como bloque A de 140-1 es, en la presente configuración el mismo utilizado, pero que no se muestra en la Fig. 1, para las otras unidades del equipo, 140-2 a 140-N.

Suponiendo, a modo de ejemplo solamente, que las unidades del equipo de la Fig. 1 son los grupos de conmutación digital de un sistema de conmutación MIC tal como el indicado de la patente Norteamericana 3.912.873, se reconocerá por las personas familiarizadas con esta técnica que se requieren diversas frecuencias de reloj para el funcionamiento de una tal malla de conmutación digital. Para simplificar el sistema de distribución de reloj y evitar posibles retardos de tiempo entre las diferentes señales de reloj requeridas, solamente se transmiten las señales de frecuencia de reloj del sistema más alta y más baja a todos los grupos conmutadores a través de una configuración de transmisión paralela por pares trenzados descrito anteriormente y a las unidades receptoras del reloj descritas en la Fig. 1. El reloj de frecuencia más elevada podría por ejemplo, comprender el reloj de malla síncrono, mientras que el reloj de frecuencia más baja podría, por ejemplo, comprender un reloj de cuadro utilizado para temporización de referencia en tanto las funciones de conmutación

MIC se están reconfigurando en cuadros. El resto de las frecuencias de reloj requeridas para el funcionamiento de la malla de conmutación digital se derivarían del reloj de malla síncrono de frecuencia más elevada por medio de división
5 o de cadenas de contadores y técnicas de bucle sincronizado en fase.

Como consecuencia, y a modo de ejemplo, supongamos que la frecuencia de reloj del sistema más elevada es de $666\frac{2}{3}$ Hz. Entonces la señal de 2,048 MHz podría
10 acoplarse como se muestra en la Fig. 1 desde la salida 1-H de la unidad receptora de reloj 130-1H a los puntos de distribución de grupo conmutador y a la cadena contadora 150 a través de la vía 171. La señal de $666\frac{2}{3}$ Hz podría acoplarse, como se muestra en la Fig. 1, desde la salida 1-L de la
15 unidad receptora de reloj 130-1L a los puntos de distribución de grupo conmutador y a una entrada de reposición 150 del contador a través de la vía 172. Las otras frecuencias de reloj requeridas se derivan entonces de la cadena contadora 150. Por ejemplo, podría presentarse a la vía 173 un reloj
20 de 4 KHz para la distribución a los diferentes puntos en el grupo conmutador 140-1. De la misma manera, podría derivarse un reloj de 8 KHz en la vía 174 y acoplado a través de la vía 180 al circuito de bucle sincronizado en fase 160 para la derivación en la vía 175 de una señal de reloj que
25 tenga una frecuencia tal como de 1,544 MHz, la cadencia de bit de transmisión MIC para un formato de transmisión MIC tipo-T1.

La unidad receptora de reloj 130-1H de la fig. 1 se muestra de forma esquemática detallada en la
30 fig. 2. El resto de las unidades receptoras de reloj de la

figura 1 son idénticas en detalle al multicircuito mostrado en la fig. 2.

Como se puede ver en la figura 2, la toma 110M-1 del bus de forma de par de cables trenzados 110M de la figura 1 termina en la unidad receptora de reloj 130-LH de la figura 2 por un amplificador receptor bus de alta impedancia 201 y por la resistencia 241, elegida para disminuir las reflexiones de la señal.

De modo semejante, la toma 110-S del bus es par de cables trenzados 110S termina en un amplificador receptor bus de alta impedancia 202 y la resistencia 242. Utilizando el amplificador receptor bus 201 y 202, un fallo dentro del multicircuito lógico de una unidad receptora de reloj no afectará a ningún bus en par de cables trenzados conectado al mismo. Los amplificadores 201 y 202 podrían por ejemplo, elegirse como del tipo 75107 que está disponible en el mercado, y se describe en el Libro de Referencias TTL para Ingenieros de Diseño-Edición 2 (1976) por Texas Instruments, Inc.

La salida 231 del amplificador receptor bus 201 se acopla a la entrada única de la puerta NAND 211 y a una primera entrada de la puerta NAND 213. La salida 232 del amplificador receptor bus 202 se acopla a la entrada única de la puerta NAND 212 y a una segunda entrada de la puerta NAND 213. Las salidas de las puertas NAND 211 y 212 se acoplan respectivamente a las entradas primera y segunda de la puerta NAND 214. La salida de la puerta NAND 214 se acopla a la primera entrada de la puerta NAND 215 y a la primera entrada de la puerta NAND 218. La salida de la puerta NAND 213 se acopla a la primera entrada de la

puerta NAND 216 y a una primera entrada de la puerta NAND 219. La salida de la puerta NAND 215 se acopla a una segunda entrada de la puerta NAND 216, mientras que la salida 233 de la puerta NAND 216 se acopla a una segunda entrada de la puerta NAND 215 y a la única entrada de la puerta NAND 217. La salida de la puerta NAND 217 se acopla a una segunda entrada de la puerta NAND 218, mientras que la salida de la puerta NAND 218 se acopla a una segunda entrada de la puerta NAND 219. La salida de la puerta 219 se acopla a la salida 1-H de la unidad receptora de reloj 130-1H.

Con los elementos lógicos incorporados como se ha descrito en relación con la Fig. 2, puede mostrarse que se cumplen las siguientes ecuaciones de diseño lógicas secuenciales. Si denominamos f_1 la señal lógica transportada por la vía 233 de la fig. 2, C_M la señal de reloj maestro que aparece en la vía 231 de la fig. 2, C_S la señal de reloj esclavo que aparece en la vía 232 de la Fig. 2 y f_2 la señal lógica que aparece a la salida de la unidad receptora de reloj 1-H de la Fig. 2. Entonces el circuito de la Fig. 2 cumple las siguientes ecuaciones de diseño:

$$F_L = C_M \cdot C_S + f_1 \cdot (C_M + C_S)$$

$$F_2 = C_M \cdot C_S + f_1 \cdot (C_M + C_S)$$

dónde F_1 y F_2 representan los estados lógicos nuevos de f_1 y f_2 siempre que C_M ó C_S cambien los niveles lógicos.

El diagrama de temporización de la Fig. 3A muestra la relación de las formas de onda de nivel lógico en localizaciones determinadas del multicircuito de la unidad receptora de reloj de la Fig. 2 para el caso en que no se encuentren fallos ni en el bus de la fuente de reloj

110M ni en el 110S. Las diferentes formas de onda de la Fig. 3A (y de las Figs. 3B y 3C descritas después) se dan con idénticas designaciones de los puntos en el diagrama de circuito de la Fig. 2 dónde se muestran las formas de onda de temporización de nivel lógico. El tren de impulsos de reloj recibido que aparece en el punto 231 se supone que gobierna en fase el tren de impulsos de reloj que aparece en el punto 232. Bajo esta condición el lógico secuencial de la unidad receptora de reloj, de acuerdo con las ecuaciones de diseño anteriores, fuerza su salida 1-H para seguir el tren de impulsos de reloj de entrada principal.

La Fig. 3B muestra las formas de onda de temporización resultantes para los puntos correspondientes de la Fig. 2 dónde tiene lugar un fallo de persistencia de cero en el bus 110M de la Fig. 2, lo que trae como consecuencia una condición de persistencia de cero en el punto 231 de la Fig. 2. Se supone que el fallo tiene lugar en el punto 301 de la Fig. 3B.

La Fig. 3C representa las formas de onda de temporización resultantes para los puntos correspondientes de la Fig. 2 en dónde tiene lugar el fallo de persistencia de cero en el bus 110M de la Fig. 1. El fallo se supone que tiene lugar en el punto de tiempo 311 de la Fig. 3B.

Para cualquier tipo de fallo, la Fig. 3B o la Fig. 3C, muestra que la desviación máxima de un período de impulsos de reloj normal en el supuesto de un fallo será igual a la diferencia de fase entre las dos fuentes de impulsos de reloj antes de la condición de fallo. Como consecuencia, la desviación puede mantenerse pequeña por diferentes técnicas, todas bien conocidas, para disminuir la

diferencia de fase entre las fuentes de reloj maestro y esclavo.

Nótese finalmente, ya que los relojes maestro y esclavo 101 y 102 de la Fig. 1 tienen las salidas distribuidas por vías de bus separadas, que cualquier reloj puede comprender el reloj que gobierne la fase en cualquier unidad receptora de reloj determinada.

Nótese que el invento descrito se ha ilustrado con referencia a una configuración particular. Muchos detalles utilizados para facilitar la descripción de tal configuración se han elegido solamente por conveniencia y sin que sean limitativos del alcance del invento. Pueden deducirse otras configuraciones por las personas familiarizadas con esta técnica sin apartarse del alcance y finalidad del invento. Com consecuencia, el invento está limitado solamente por el alcance y espíritu de las reivindicaciones que se acompañan.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace solamente a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en USA el día 15 de Mayo de 1978, señalada con el N^o 906.087 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 5 1.- Un dispositivo de distribución de la señal de reloj con tolerancia de fallos, a varias unidades de un equipo que comprende:
- varias unidades receptora de reloj, cada una asociada con una de las unidades de equipo que tienen entradas primera
 - 10 y segunda, una salida acoplada a por lo menos un punto de distribución en la unidad de equipo asociada, incluyendo cada unidad receptora de reloj un elemento lógico secuencial cuya misión es producir en la salida de la unidad receptora de reloj una señal que es en realidad una reproducción de
 - 15 una señal que aparece en la entrada de esta unidad receptora de reloj que controla en fase una señal que aparece en la otra entrada de la unidad receptora de reloj,
 - primera y segunda fuentes de señales de reloj,
 - un primer elemento de transmisión de la señal de reloj para
 - 20 ra acoplar las señales de reloj procedentes de la primera fuente a la primera entrada de cada una de las diferentes unidades receptoras de reloj, y
 - un segundo elemento de transmisión de señal de reloj para acoplar las señales de reloj procedentes de la segunda fuente
 - 25 te a la segunda entrada de cada una de las diferentes unidades receptoras de reloj, y

- 2.- Un dispositivo según la reivindicación 1 en donde el primero y el segundo elementos de transmisión de señal de reloj incluyen respectivamente
- 30 primero y segundo pares de cables trenzados en donde cada

unidad receptora de reloj comprende;

- un elemento para acoplar respectivamente el primero y el segundo pares de cables trenzados a la primera y segunda entrada de la unidad receptora de reloj que incluye primera y segunda impedancias acopladas respectivamente a través del primero y segundo pares de cables para disminuir las reflexiones de señal en ellas, y primero y segundo amplificadores receptores de bus que tienen entradas respectivamente acopladas a través de las impedancias primera y segunda y que tienen impedancias de entrada sustancialmente más elevadas que las impedancias primera y segunda.

3.- Un dispositivo según la reivindicación 2 en donde cada elemento lógico secuencial comprende además;

- primero, segundo y tercer inversores lógicos que tienen cada uno una entrada y una salida,
- primera, segunda, tercera, cuarta, quinta y sexta puertas NAND lógicas que tienen cada una primeras y segundas entradas y una salida,
- las entradas de los inversores primero y segundo se acoplan respectivamente a las salidas de los amplificadores receptores de bus primero y segundo, las salidas de los inversores primero y segundo se acoplan respectivamente a las entradas primera y segunda de la primera puerta NAND,
- la primera y segunda entradas de la segunda puerta NAND se acoplan respectivamente a las salidas de los amplificadores receptores primero y segundo,
- la salida de la tercera puerta NAND se acopla a la primera entrada de la cuarta puerta NAND, la salida de la cuarta puerta NAND se acopla a la primera entrada de la tercera puer-

ta NAND, la segunda entrada de la tercera puerta NAND se acopla a la salida de la primera puerta NAND, la segunda entrada de la cuarta puerta NAND se acopla a la salida de la segunda puerta NAND,

- 5 - la entrada del tercer inversor se acopla a la salida de la cuarta puerta NAND, la salida del tercer inversor se acopla a la primera entrada de la quinta puerta NAND,
- la segunda entrada de la quinta puerta NAND se acopla a la salida de la primera puerta NAND, la salida de la
- 10 quinta puerta NAND se acopla a la primera entrada de la sexta puerta NAND.
- la segunda entrada de la sexta puerta NAND se acopla a la salida de la segunda puerta NAND, y la salida de la sexta puerta NAND se acopla a la salida de la unidad receptora de
- 15 reloj.

4.- Un dispositivo según la reivindicación 3 que comprende:

- varias unidades receptoras de reloj dispuestas en pares, asociado cada par con una diferente de las diversas unidades
- 20 del equipo, incluyendo cada unidad receptora de reloj una primera entrada, una segunda entrada, una salida acoplada a por lo menos un punto de distribución en las unidades del equipo asociadas, y elementos lógicos secuenciales cuya misión es producir en la salida de la unidad receptora
- 25 de reloj una señal que es sustancialmente una reproducción de una señal que aparece en aquella entrada de la unidad receptora de reloj que gobierna en fase a una señal que aparece en la otra entrada de la unidad receptora de reloj,
- primera y segunda fuentes de señales de reloj que tienen
- 30 la frecuencia de reloj del sistema más elevada,

- tercera y cuarta fuentes de señales de reloj que tienen la frecuencia el reloj del sistema más baja,
- un primer elemento de transmisión de la señal del reloj para acoplar la primera fuente de señales de reloj a la primera entrada de la primera unidad receptora de reloj de cada par de unidad receptora,
- un segundo elemento de transmisión de señal del reloj para acoplar la segunda fuente de señales de reloj a la segunda entrada de la primera unidad receptora de reloj de cada par de unidades receptoras,
- un tercer elemento de transmisión de la señal del reloj para acoplar la tercera fuente de señales de reloj a la primera entrada de la segunda unidad receptora del reloj de cada par de unidades receptoras, y
- un cuarto elemento de transmisión de la señal del reloj para acoplar la cuarta fuente de señales de reloj a la segunda entrada de la segunda unidad receptora de reloj de cada par de unidades receptoras.

- 5.- Un dispositivo según la reivindicación 4 en donde el primero, segundo tercero y cuarto elementos de transmisión de la señal del reloj incluye respectivamente un primero, segundo, tercero y cuarto pares de cable trenzado y en donde cada unidad receptora de reloj comprende además;
- elementos para acoplar respectivamente dos pares de cable trenzados a la primera y segunda entradas de la unidad receptora del reloj que incluye una primera y una segunda impedancias respectivamente acopladas a través de dos pares de cables para disminuir las reflexiones de la señal en ellas, y un primero y un segundo amplificadores receptores de bus

- la segunda entrada de la quinta puerta NAND se acopla a la salida de la primera puerta NAND, la salida de la quinta puerta NAND se acopla a la primera entrada de la sexta puerta NAND,
- 5 - la segunda entrada de la sexta puerta NAND se acopla a la salida de la segunda puerta NAND, y la salida de la sexta puerta NAND se acopla a la salida de la unidad receptora de reloj.

7.- Un dispositivo de distribución de la señal de reloj con tolerancia de fallos.

10

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de diecisiete hojas escritas por una sola cara.

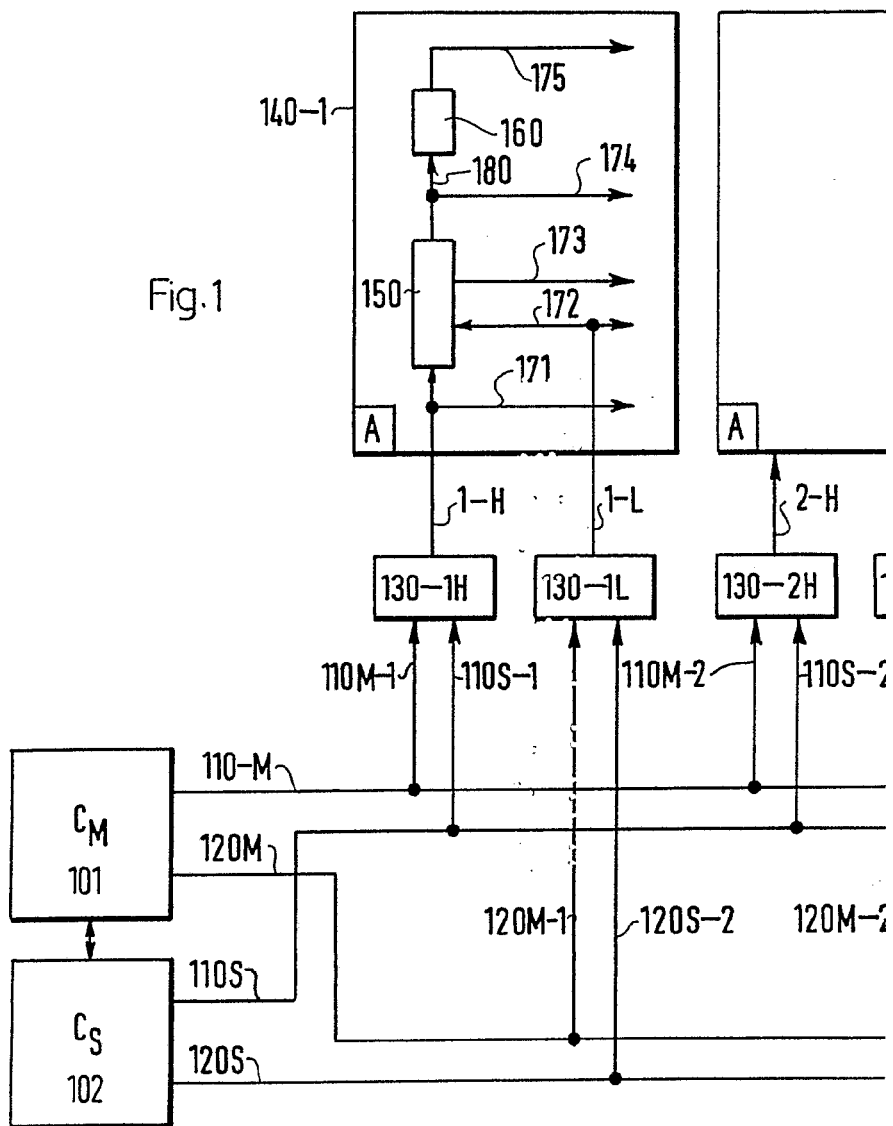
15

Madrid, 12 MAYO 1979



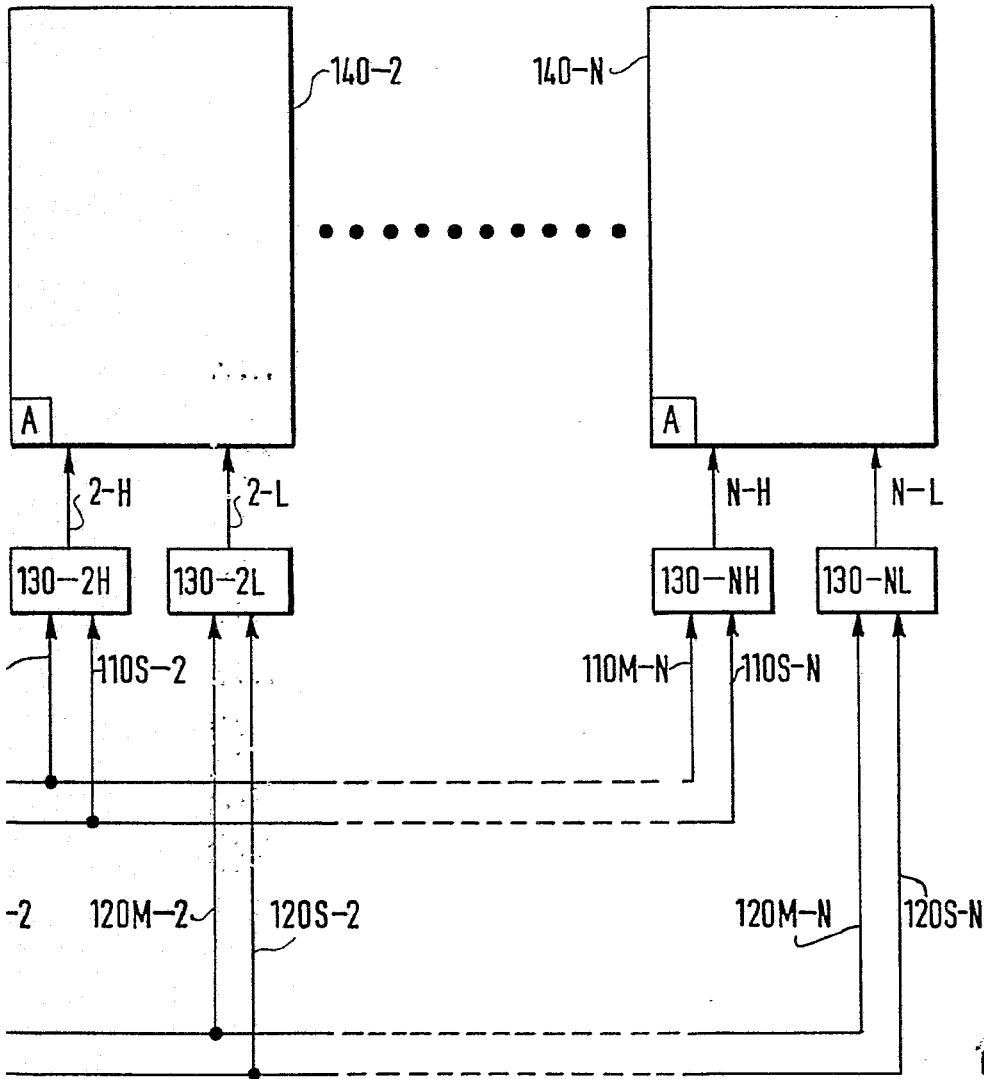
Eugenio Barroso
EUGENIO BARROSO
Secretario General

Fig.1



3//

STANDARD ELECTRICA, S. A.



14 SET. 1979



Eugenio Barroso

EUGENIO BARROSO
Secretario General

3/2

STANDARD ELECTRICA, S. A.

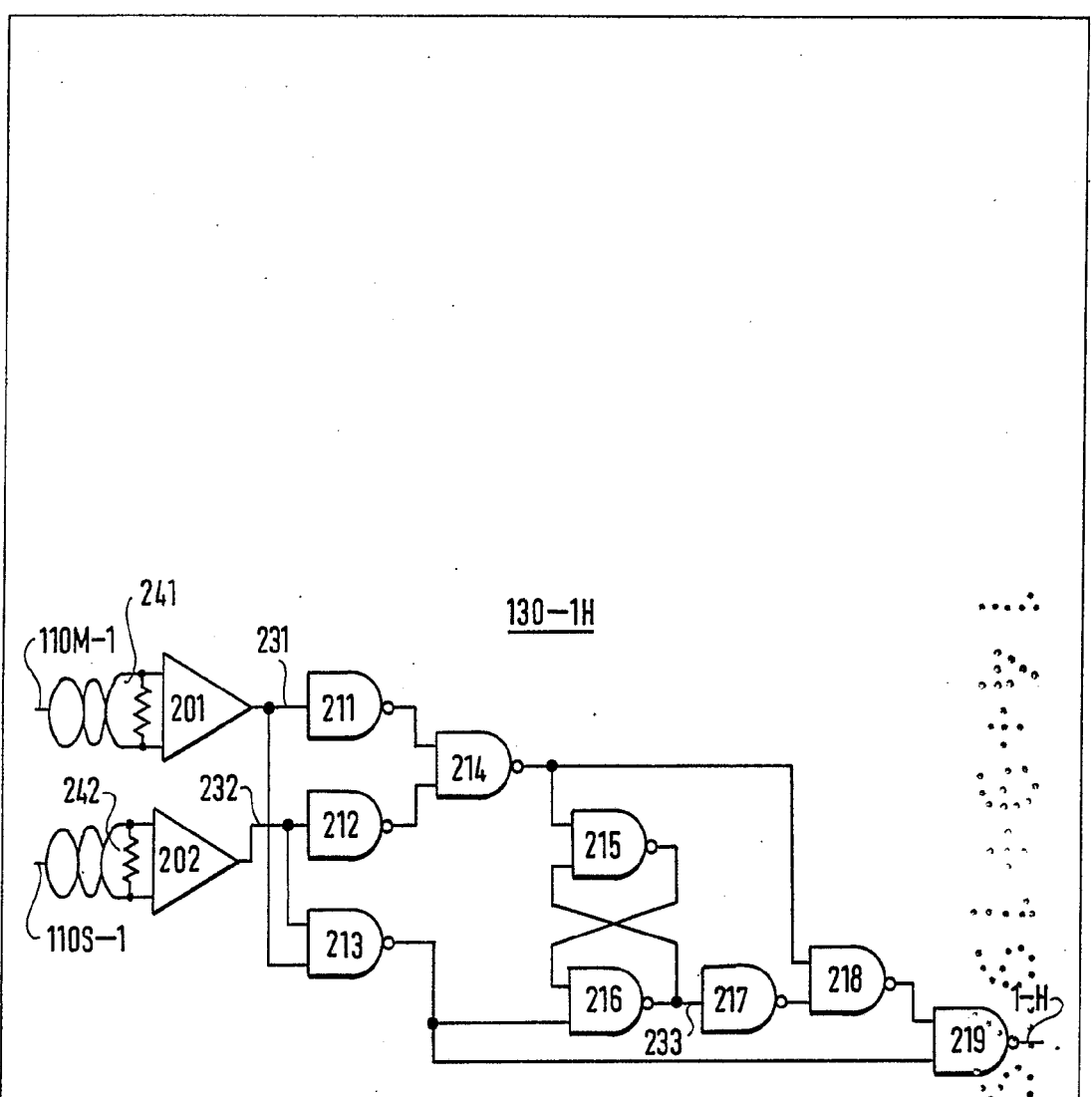


Fig. 2

14 SET. 1979



Eugenio Barroso
EUGENIO BARROSO
Secretario General

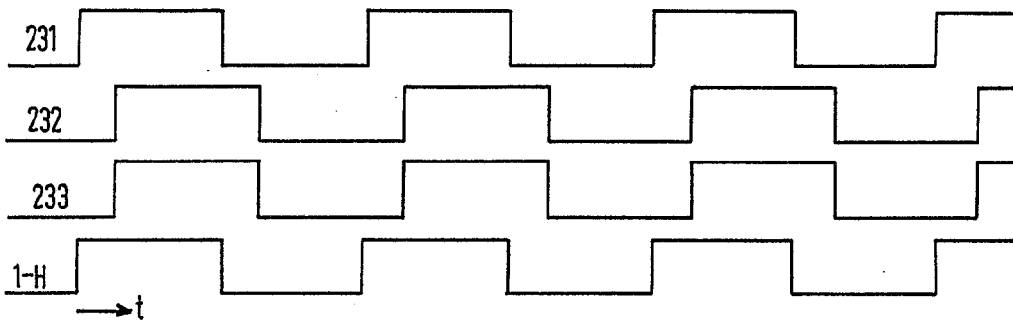


Fig. 3A

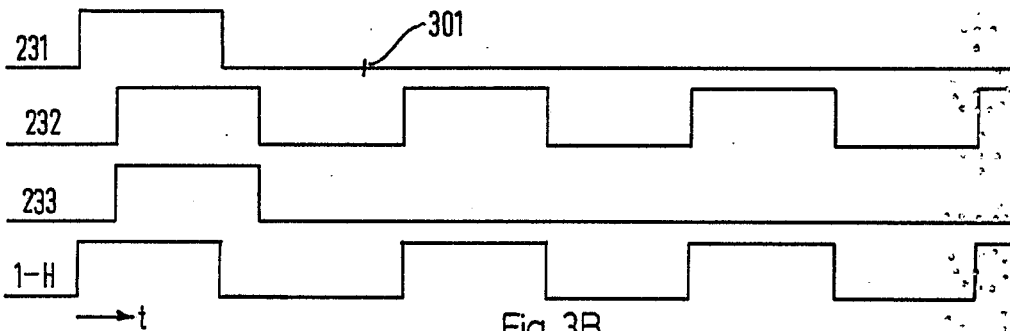


Fig. 3B

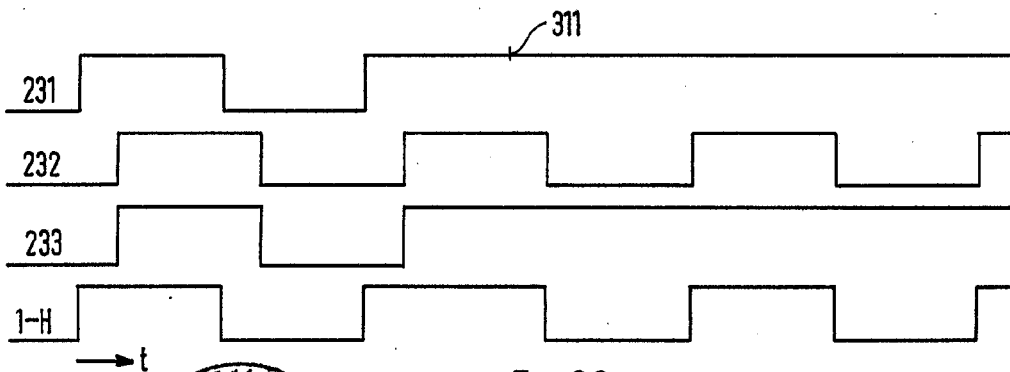


Fig. 3C



14 SET. 1979

Mau
EUGENIO BARROSO
Secretario General