

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

| | | | | | | |
|----|-----------------------|----|--------------|--------|----|----|
| 10 | ES | 21 | NUMERO | 479468 | 10 | A1 |
| 22 | FECHA DE PRESENTACION | | 10 ABR. 1978 | | | |

PATENTE DE INVENCION

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

| | | | | | |
|----|--------------|----|---------------------|----|---------|
| 20 | PRIORIDADES: | | | | |
| 31 | NUMERO | 32 | FECHA | 33 | PAIS |
| | 67782-A/78 | | 10 de Abril de 1978 | | Italia. |

| | | | | | |
|----|---------------------|----|-----------------------------|----|-----------------------------------|
| 47 | FECHA DE PUBLICIDAD | 51 | CLASIFICACION INTERNACIONAL | 62 | PATENTE DE LA QUE ES DIVISIONARIA |
| | | | H04Q 3/64; G06F 9/19 | | |

| | |
|----|---|
| 64 | TITULO DE LA INVENCION |
| | Procedimiento y dispositivo de dirección para una red de conmutaciones conmutada en paquetes. |

| | |
|----|--|
| 71 | SOLICITANTE (S) |
| | CSELT Centro Studi e Laboratori Telecomunicazioni S.p.A. |

| | |
|--|--|
| | DOMICILIO DEL SOLICITANTE |
| | Via Guglielmo Reiss Romoli, 274, 10148 TORINO, Italia. |

| | |
|----|---|
| 72 | INVENTOR (ES) |
| | Giulio BARBERIS, Livio LAMBARELLI, Giorgio MICCA. |

| | |
|----|--------------|
| 73 | TITULAR (ES) |
| | |

| | |
|----|-------------------------------------|
| 74 | REPRESENTANTE |
| | D. Jose Miguel Gómez-Acebo y Pombo. |

**POOR
QUALITY**

La presente invención se refiere a un procedimiento y dispositivo de dirección para una red de comunicaciones conmutada en paquetes y mas ampliamente a transmisión de datos.

5. La red de telecomunicaciones conmutada en paquetes, introducida recientemente en la tecnología de transmisión de datos, presente problemas de dirección debido al hecho de que dicho sistema básicamente consiste en una red de filas de espera.

10. Debido a la variación de tiempo del tráfico con la que se tiene que enfrentar la red, y los posibles fallos con los que también se tienen que enfrentar, deben habilitarse métodos y dispositivos capaces de conducir el tráfico con relación a cada par de nodos de la red en los trayectos más idóneos para la optimización del comportamiento en lo que se refiere al retardo medio de espera de los paquetes en la fila de espera.

15. Se conocen diversos tipos de operaciones de dirección o encauzamiento capaces de resolver los problemas examinados anteriormente, realizando básicamente un análisis del estado del sistema y actuando, por consiguiente, con algunas variaciones en las tablas de itinerario de los nodos únicos que controlan el tráfico de la red.

20. La situación prevista se basa en la simple inspección de la longitud de las filas de espera o, como recientemente se ha sugerido en la literatura técnica, sobre el estimado de la demora incremental en cada fila de espera, con respecto a las variaciones infinitesimales del flujo del tráfico.

25. Las técnicas para emplear las estimaciones obtenidas de este modo pueden ser del tipo centralizado o distribuido; cuando se trata de un tipo centralizado se habilita un nodo de supervisión de la red destinado a actualizar las tablas de direcciones de todos los nodos de la red; cuando se trata del tipo distribui-

30.

do no se habilita una red de supervisión, y dicha actualización se realiza por cada nodo mediante intercambio de información con los nodos adyacentes. Las tablas de dirección pueden predecir que la información enviada hacia un nodo determinado se puede encaminar hacia nodos adyacentes diferentes de acuerdo con porcentajes que dependen cada vez del estado de la fila de espera.

5.

Los inconvenientes que tienen los métodos conocidos para la estimación del retardo incremental se deben básicamente al hecho de que, cuando existen congestión la llegada de cada nuevo paquete inicia una secuencia de operaciones que crecen rápidamente con el aumento de la congestión.

10.

Es precisamente por la resolución de los momentos de congestión por lo que está justificado el uso de los métodos de encauzamiento; por consiguiente, dichos métodos estimados conocidos son completamente insatisfactorios.

15.

Respecto a los métodos de utilizar las estimaciones para alcanzar la optimización de direcciones, los métodos conocidos exigen una complejidad considerable que da por resultado mayores costes de los dispositivos que los realizan y, además, implican la introducción de un tráfico adicional considerable, debido a los paquetes portadores de la información en el estado de la red.

20.

Estos y otros inconvenientes se resuelven gracias al dispositivo de encauzamiento o dirección objeto de la presente invención, que realiza una estimación del retardo incremental empleando fórmulas con un mayor grado de recursividad con respecto a las fórmulas conocidas, permitiendo de este modo un ahorro de cálculo considerable en caso de congestión; de hecho, la llegada de un nuevo paquete comprende, en la mayoría de los casos, la actualización de la estimación que, debio al empleo de las fórmulas, se puede obtener por una operación de adición, sin ninguna comple

25.

30.

alidad debida al estado de congestión.

Además, el dispositivo objeto de la invención utiliza las estimaciones obtenidas por estas fórmulas realizando la optimización de encauzamiento a través de procedimientos simplificados y gracias a un volumen limitado de tráfico adicional.

5.

Un objeto particular de la presente invención es un método de encausamiento para una red de comunicaciones conmutada en paquetes consistente en m nodos controlada por un ordenador, tomando como base la inspección de la longitud de las filas de espera y, de un modo más particular, el estimado de la derivativa del flujo del paquete con respecto al retardo presentado por tales paquetes en las filas de espera donde se obtiene el encauzamiento óptimo de los paquetes por las operaciones de secuencias siguientes:

10.

15.

- actualización de las tablas de direcciones del nodo simple, basada en la estimación del retardo en las filas de espera del nodo, y basa también en la información del estado de la red, almacenado en el ordenador del nodo;

20.

- composición de una información relativa al estado de la red en base de la información de direcciones o encauzamiento definida por el estimado de retardo en las filas de espera del nodo y por dicha información sobre el estado de la red;

25.

- transferencia de la información de direcciones a todos los nodos adyacentes;

- almacenamiento de la información de direcciones procedentes de todos los nodos adyacentes.

30.

En dicho método, el estimado se puede llevar a cabo determinando, mediante el empleo de fórmulas altamente recurvisas, cantidades (c_l^h) que dan el tiempo que el paquete l -th habría ahorrado en la red si no hubiera existido el paquete h -th en base del

tiempo de llegada, del tiempo de partida y del tiempo del proceso del paquete; y, además, en filas de espera consistentes en un paquete por lo menos, la actualización del estimado debido a la llegada de un nuevo paquete se efectúa por una operación de corrimiento y almacenamiento en la memoria.

5.

Otro objeto de la presente invención es que el dispositivo que realiza el método de encauzamiento esté equipado por el dispositivo que realiza el proceso para determinar la estimación actualizada.

10.

Las características del proceso de encauzamiento objeto de la presente invención resultarán más evidentes por la descripción que sigue de una modalidad preferible del mismo, expuesta a título de ejemplo y no en sentido de limitación, tomando como referencia los dibujos adjuntos, en los que:

15.

La figura 1 es una representación esquemática de un nodo de la red de comunicaciones conmutada por paquetes.

La figura 2 es un diagrama de conjuntos del detalle indicado por ST en la figura 1.

20.

La figura 3 es una tabla que representa el contenido de la parte de la memoria indicada por M2 en la figura 2.

La figura 4 es un diagrama de conjuntos del detalle indicado por AG en la figura 1.

La figura 5a es un diagrama de flujo que explica el funcionamiento del diagrama de conjuntos de la figura 2.

25.

La figura 5b es una explicación detallada del criterio de activación de algunos conmutadores representados en el diagrama de la figura 5a.

30.

En la figura 1, la referencia EL indica un procesador, de cualquier tipo conocido, capaz de llevar a cabo operaciones de control de tráfico; cada nodo de la red conmutada en paquetes que

en adelante se denominará simplemente como red, está equipado con uno de dichos procesadores.

5. La referencia BN indica una memoria tampón ordinaria utilizada para el almacenamiento temporal de los paquetes que llegan al nodo; de un modo más particular, BN podría ser una parte efectiva de la memoria de EL.

10. Las referencias B_1, B_2, \dots, B_n indican n memorias tampones del mismo tipo que BN, utilizadas para el almacenamiento temporal de los paquetes encaminados por el mismo número de canales de transición que se dirigen hacia otros nodos.

15. La referencia ST indica un dispositivo que identifica el estado de la fila de espera en el nodo a través de la estación de retardo por incrementos con respecto a variaciones de flujo infinitesimales; el dispositivo ST, que forma una parte esencial de la presente invención, se describirá en adelante con relación a las figuras 2 y 5. El dispositivo ST se conecta de una forma bidireccional al procesador EL a través de la conexión 1.

20. La referencia AG indica un dispositivo de actualización de las tablas de direcciones, que forman con ST el objeto de la presente invención; AG se conecta de una forma bidireccional a EL a través de la conexión 2 y se examinará con detalle con relación a la figura 4.

25. Las operaciones que se han de llevar a cabo con el dispositivo ST para efectuar la estimación por incrementos de retardos con respecto a las variaciones infinitesimales y las efectuadas por AG para actualizar las tablas de direcciones se analizarán más adelante de una forma teórica.

30. Estas consideraciones teóricas son necesarias, de hecho, para comprender la estructura y funcionamiento del dispositivo de estimación y del dispositivo de actualización AG.

La estimación de retardo por incrementos tiene la expresión siguiente:

$$D'f) = \frac{\sum_{i=1}^{B_T} \sum_{h=1}^{N_i} \sum_{l=h}^{N_i} c_l^h}{\sum_{i=1}^{B_T} N_i} \quad (1)$$

5. donde B_T es el número de periodos de servicio ocupados cerca de una fila de espera genérica referida a un intervalo de estimación determinado T ; N_i es el número de paquetes que pertenecen al periodo de ocupación i -th ($i = 1, \dots, B_T$); h y l son periodos ocupados genéricos de los mismos paquetes, y c_l^h es el tiempo total que el paquete l -th se hubiera permitido en el sistema si no existiera el paquete h -th. La técnica examinada tiene la finalidad de determinar las cantidades (c_l^h).

10. El dispositivo ST, además de la fórmula (1) realiza las relaciones siguientes:

$$c_l^h = 0 \quad \text{for } l < h \quad (2a)$$

$$c_l^h = d_h - a_h \quad \text{for } l = h$$

20. if $LC = 2$ we have:

$$c_{h+1}^h = d_h - a_{h+1} \quad (2b)$$

$$c_l^h = mn (c_{l-1}^h, d_{l-1} - a_h) \quad \text{for } l > h+1$$

25. if $LC > 2$ we have:

$$c_{l+1}^h = s_{h-1} \quad (2c)$$

$$c_l^h = c_{l-1}^h \quad \text{for } l > h+1$$

30. Las cantidades a_h, d_l, s_{h-1} son respectivamente: s_h el instante, debidamente normalizado, de la llegada del paquete h -th con relación a un cierto periodo ocupado, d_l el instante en el

cual el paquete l-th sale del nodo, s_{h-1} el tiempo del servicio del paquete de (h-1)th.

5. Las cantidades A_h, d_1 son detectadas por el procesador EI y alimentadas, después de una elaboración apropiada según las relaciones (2), a un dispositivo de estimación ST.

Las operaciones realizadas por el dispositivo de actualización AG, que además de actualizar las tablas de direcciones da lugar a la información de direcciones, se describen por las relaciones siguientes.

10. Para la actualización de la tabla es válida la relación siguiente:

$$K_J = \left\{ n_h + e_J^h = \min (d_s + e_J^s) \right\} \quad (3)$$

15. En (3), d_h, d_s indican las estimaciones del retardo por incrementos relativas a las memorias tampones de los canales B_1, B_2, \dots, B_n ; los índices inferiores h y s varían desde 1 hasta n.

20. Los símbolos e_J^s, e_J^h indican la distancia mínima (en términos de derivativas estimadas) que separa el destino J desde el nodo h-th o s-th adyacente al nodo en consideración; el índice inferior. J varía de $J=1$ a $J=m$, donde m indica el número total de nodos de la red.

n_h es el índice real del nodo h-th adyacente al nodo en consideración por ejemplo, el tercer nodo adyacente ($h=3$), puede tener dentro de la red el número de orden 5 ($n_3=5$).

25. El símbolo (min) indica el mínimo de la cantidad $d_s + e_J^s$ dependiendo de la variación de s.

La tabla de itinerarios consiste en los m valores k_J ; entonces k_J es el índice real del nodo adyacente al cual el paquete de información asignado al nodo J se ha de enviar.

Cada nodo de la red tiene su propia tabla de dirección.

30. Para el origen de la información de dirección que se ha

de enviar a todos los nodos adyacentes, es válida la relación siguiente:

$$f_J = d_k + e_J^k \quad J = 1, \dots \quad (4)$$

donde d, e, k tienen el mismo significado que en la relación

5. (3); f_J $J = 1, \dots, m$ representa la información de encauzamiento que el nodo en consideración envía a todos los nodos adyacentes.

10. A partir de (4) se puede derivar que la información de encauzamiento consiste en el estimado que puede efectuar el nodo, en términos de derivativa, a costa del retardo que tiene que experimentar un paquete de información para alcanzar cada nodo $J = 1, \dots$ de la red.

De hecho:

15. d_k es la estimación de retardo por incrementos efectuada por el propio nodo en la memoria tampón del canal que lo une a su nodo adyacente k_J , que es el nodo al cual se envían paquetes de información asignados a J , según se habrá visto anteriormente.

20. e_J^k es la estimación de coste, en términos de retardo, elaborada anteriormente por el nodo k_J y enviada al nodo en consideración.

25. En la figura 2, algunos de los conjuntos representados son simples y otros (SK, SQ, SM, CN, GI, MI) son múltiples, repetidos $n + 1$ veces, o sea tantas veces como memorias tampones (B_1, B_2, \dots, B_n en la figura 1) del nodo. Para simplificar el dibujo, en la figura 2 se representan solamente las conexiones relativas al primero de los conjuntos múltiples; las conexiones de los conjuntos restantes se repiten ordenadamente como en el primero; todos los segundos conjuntos se interconectan
- 30.

con los conjuntos y todos los terceros conjuntos con los primeros conjuntos.

5. Como cada uno de los conjuntos múltiples $n+1$ se dedica permanentemente a una de las memorias tampones $n+1$ del nodo, cuando se haga referencia en adelante a cualquier de los conjuntos SK, SQ, CN, GI, MI, nos referiremos a todos los demás conjuntos $m+1$ que lo forman, aun cuando la referencia se limite a las primeras conexiones representadas en el dibujo.

10. La referencia CN indica un módulo contador normal 1 que, según se verá más adelante, almacena el valor (que varia con el tiempo) correspondiente al número total de paquetes que forman el periodo ocupado presente. Por periodos ocupado se entiende cada intervalo de tiempo comprendido entre dos liberaciones de servicio, o sea entre dos fases en las cuales no hay paquetes presentes ni en fila de espera ni en progreso.

15. La referencia SM indica un registrador de adición usual capaz de añadir, al final de cada periodo ocupado, el número de paquetes relativo a dicho periodo y para almacenar por consiguiente la suma total de los paquetes procesados en un intervalo de estimación completo. SM se enlaza a CN por la conexión 14.

20. La referencia SQ indica un registrador de adición del mismo tipo que SM capaz de almacenar la información concerniente a la aparición alterna de los paquetes en la memoria tampón (o sea la historia del tráfico) concerniente a SQ, desde el comienzo del periodo ocupado en progreso.

25. La referencia SK indica una unidad aritmética de tipo conocido, capaz de llevar a cabo adiciones y multiplicaciones y de mantener en tiempo real la información relativa a la estimación de la derivativa en progreso; la operación de SK se
30.

examinará con detalle más adelante. SK se conecta a SM y a SQ a través de las conexiones 15 y 16, respectivamente.

5. La referencia G1 indica una puerta lógica capaz de conectarse a la salida de SK, a la cual G1 se conecta por la conexión 3, al procesador EL al cual G1 se conecta por la conexión 4, en base de la orden apropiada que recibe, a través del conductor 55, desde el circuito lógico LS que se describirá más adelante.

10. La referencia M2 indica una memoria ordinaria que es una memoria principalmente de lectura que mantiene almacenadas todas las instrucciones necesarias para el funcionamiento del circuito lógico LS al que se conecta de una forma bidireccional a través de la conexión 13.

15. M2 se divide en cuatro conjuntos principales (a, b, c, a) que contienen instrucciones; el conjunto a se divide, a su vez, en 9 subconjuntos a_1, a_2, \dots, a_9 que contienen las instrucciones dependiendo del estado de las operaciones del proceso en progreso, o sea las instrucciones relativas a todos los estados posibles que pueden ser visitados por cada una de las memorias tampones de $n+1$ nodo $B_N, B_1, B_2, \dots, B_n$ durante el proceso.
- 20.

La organización de bits en el conjunto a de M2 se examinará con detalle más adelante, con relación a la figura 3.

25. La referencia M3 (figura 2) indica una memoria de lectura y escritura ordinaria dividida verticalmente en $n+1$ conjuntos, y horizontalmente en 5 partes de células (indicadas por LL1, LL2, LL3, LL4, LL'4).

30. Cada uno de los $n+1$ conjuntos de M3 se pone en relación con una de las $n+1$ memorias tampón ($B_1, B_2, \dots, B_n; B_N$) de la figura 1 y consiste en 5 células de memoria, cuyo contenido lógico define el estado del proceso en progreso para dicha memo

ria, cuyo contenido lógico define el estado del proceso en progreso para dicha memoria tampón.

M3 se localiza en lectura y escritura por el circuito lógico LS mediante la conexión 12.

5. El contenido de las 5 células (LL1, LL2, LL3, LL4, LL'4) de cada conjunto puede ser leído solamente por el circuito lógico LS, conectado a las mismas a través de las conexiones 6,7,8,9, 10, todas bidireccionales a excepción de la conexión 8; las células LL1, LL2, LL4, LL'4 reciben entradas solamente de LS, mientras que la célula LL3 recibe entrada directamente de EL, a la que se conecta a través de la conexión 11.

10. La referencia LS indica un circuito lógico capaz de recibir ordenes del procesador EL, al que se conecta por medio de la conexión bidireccional 5? capaz también de descodificar las en las instrucciones relativas en base del estado de los procesos en progreso en la memoria M3, y de las instrucciones almacenadas en la memoria M2? finalmente, LS puede llevar a cabo las instrucciones realizando la operación conjuntamente, según se verá, con los bloques ya examinados CN, SM, SQ, SK, a los que se conecta a través de las conexiones 14, 15, 16, 17, respectivamente. La realización de un circuito lógico como el LS no es un problema para el experto en la materia.

15. La referencia M1, indica una memoria de lectura y escritura de tipo conocido que lleva toda la información necesaria para la operación del dispositivo de identificación ST completo. El procesador EL tiene acceso de anotación a la memoria M1 bien directamente a través de las conexiones 18, 19, 20, o a través de la conexión 21, un comparador normal C1 y una conexión 22.

20. El comparador C1 deja que pase la información proceden

30.

te de EL a través de la conexión 21, solamente si excede, según se verá más adelante, de una comparación determinada con la almacenada anteriormente por el mismo Cl, en base de la señal recibida por M1 a través de la conexión 23.

5. La localización de escritura y lectura se suministra a M1 conjuntamente por el contador CN y por el circuito lógico LS, por medio de los conjuntos SH, S1 y P1 que actúan conjuntamente en la forma siguiente.

10. El registrador de corrimiento SH recibe del contador CN, a través de la conexión 22, la configuración de bitios que forman el elemento básico para la localización de M1 y lleva a cabo su escala en una o dos posiciones en base de una señal apropiada procedente de LS a través de la conexión 23.

15. La configuración de bitios presente en la salida de SH se envía, a través de la conexión 24, a un adicionador normal S1.

20. En S1 está última configuración se añade a una configuración de bitios procedente, por la conexión 25, de un indicador normal P1, controlado por LS por medio de una señal presente en la conexión 16. Finalmente, en la salida de S1, en la conexión 27, estará presente la localización real para la memoria M1.

25. M1 se conecta en la salida, a la unidad aritmética SK a través de la conexión 27, al registrador adicionador SQ a través de la conexión 28 y, según se ha visto, al contador Cl a través de la conexión 23.

La memoria M1 se organiza en su funcionamiento, que se describirá más adelante, por medio de ordenes apropiadas procedentes del circuito LS a través de la conexión 277.

30. La tabla de la figura 3, que ilustra, según se ha mencionado, el conjunto a de la memoria M2 de la figura 2, consiste

en nueve columnas, puestas en correspondencia con las 9 instrucciones subordinadas ya vistas a_1, a_2, \dots, a_n , y de cinco filas $L1, L2, L3, L4, L'4$, puestas en correspondencia con las cinco células $LL1, LL2, LL3, LL4, LL'4$ de la memoria $M3$.

5. Las células de memoria, obtenidas como la intersección de las cinco filas y las 9 columnas, pueden estar vacías o identificadas por la letra N o la letra Y que tienen el significado lógico respectivamente de "falso" (N) y "cierto" (Y); el caso de la célula vacía corresponde a la condición lógica de "no importa".

10. Los símbolos N, Y son relativos a las búsquedas apropiadas que debe llevar a cabo el dispositivo de estimación ST para decidir las operaciones que se han de realizar, según se explicara con mayor detalle con relación al diagrama de flujo de la figura 5a.

15. De un modo más particular, los estados lógicos de las cinco células asignadas a cada una de las nueve instrucciones subordinadas a_1, \dots, a_9 , definen en su totalidad un "estado" particular del dispositivo de estimación ST; este "estado" a su vez, corresponde a un conjunto dado de instrucciones que se han de realizar. Dichas instrucciones, de hecho, se pueden obtener por la lectura del diagrama de flujo de la figura 5a, poniendo en correspondencia los estados lógicos de las cinco células con las decisiones tomadas en los rombos $L1, L2, L3, L4, L'4$ indicados como las filas de la figura 3.

20. En la figura 4, $M4$ indica una memoria de lectura y escritura de tipo conocido portadora de información en el estado de congestión de las conexiones hacia uno de los nodos de la red, que comienzan a partir de cada uno de los nodos adyacentes.

25. $M4$ consiste en m páginas iguales de memoria, o sea tan-

tan páginas como nodos existen en la red; cada página se subdivide en n zonas, tantas como nodos. adyacentes a un nodo, y por consiguiente, tantas como memorias tampones B_1, B_2, \dots, B_n (figura 1) en la salida.

5. Desde el procesador EL, a través de la conexión 35, se envían las direcciones o localizaciones necesarias en lectura y escritura a M4; esta dirección o localización se caracteriza tanto por la zona (1, ..., m) y por la página (1, ..., m) de la memoria; siempre desde EL, a través de la conexión 29, el dato que se ha de almacenar se envía a M4.

La salida de M4 se conecta, a través de la conexión 30, a un adicionador S4, que se examinará más adelante.

10. Las ordenes de lectura y escritura se envían a M4, a través de la conexión 31, por un circuito lógico indicado por LA.

15. LA puede recibir de EL, a través de la conexión bidireccional 33, señales de ordenes que pueden ser de tres tipos; a cada una de las mismas corresponden una instrucción determinada que debe ser ejecutada por LA. Las tres instrucciones, indicadas por las letras f, g, w, se almacenan en una memoria M6 para cual LA tiene acceso a través de la conexión bidireccional 34; el significado de estas instrucciones se explicará más adelante.

20. Las referencias C2 y S4 indican un comparador y un adicionador, respectivamente, del mismo tipo que C1 y S1 de la figura 2.

25. La referencia M5 (figura 4) indica una memoria de lectura y escritura normal subdividida en $n+1$ zonas, tantas como tampones ($B_1, B_2, \dots, B_n, B_n$) en el nodo; en cada zona de M5 se almacenan los valores de las derivativas estimadas por ST (figura 1).

30.

M5 (figura 4) recibe de EL, a través de la conexión 44, los datos que se han de almacenar; se conecta en la salida, a través de la conexión 45, al adicionador S4.

5. M5 recibe de EL, a través de la conexión 41, las direcciones o localizaciones necesarias de lectura y escritura, y de LA, a través de la conexión 42, las ordenes relativas de escritura y lectura.

10. En el adicionador S4, ante una orden procedente de LA a través de la conexión 46, los datos se suman procedentes de las memorias M4 y M5 a través de las conexiones 30 y 45, respectivamente. Si la instrucción en progreso es g, el resultado de dicha adición se envía a EL a través de la conexión 47.

15. Si, por el contrario, la instrucción en progreso es f, el circuito lógico LA almacena una secuencia de adiciones y comparaciones, pidiendo la intervención del comparador C2, y de conexiones 48 y 40 para determinar, según se explicará más adelante, el mínimo entre los diversos pares de valores de adiciones efectuadas una vez que se ha hallado el mínimo; la información relativa a cual de los pares ha resultado ser el mínimo, se envía a EL, a través de la conexión 33.

20. La instrucción V no produce efecto alguno en C2, y S4, puesto que es útil para LA solamente para enviar las ordenes de lectura a las memorias M4 y M5, a través de las conexiones 31 y 42, respectivamente. En el diagrama de flujo de la figura 5a, los rombos indicados, de una forma análoga a los rombos de la tabla de la figura 3, por L1, L2, L3, L4, L'4, corresponden a cinco comprobaciones que, según se ha mencionado ya, se han de hacer por medio del dispositivo de estimación ST (figura 2) para decidir la operación que se ha de realizar. Las configuraciones de los valores lógicos (Y,N) supuestas por L1, L2, L3, L4, L'4, de-

25.

30.

finen los diversos estados del dispositivo de identificación ST según la tabla de la figura 3.

Los conjuntos rectangulares 51,52,...67 de la figura 5a representan las diversas operaciones efectuadas por ST, durante la operación.

Dichas operaciones efectuadas por ST durante la operación son las siguientes.

- 5. $51 = SK = SK+K$
- $52 = S_m = S_m+C_n$ siendo $C_n = 0; S_q = 0$
- 10. $53 = C_i = C_{i+1}$ siendo $i = 1; C_{n-2}$
- $54 = m_{l_{cm}} = r$
- $55 = SK = SK + m_{l_{cm}}$
- $56 = SK = SK + m_{l_{cm-1}}$
- $57 = SK = SK+ S_q$
- 15. $58 = S_q = S_q+ m_{l_{cm-2}}$
- $59 = S_q = \sum_{i=1}^{cn-2} m_{l_i}$
- $60 = m_{l_i} = \min (m_{l_i} \dots t_s)$ siendo $i = 1; cn-2$
- $61 = cm = cm+1$
- 20. $62 = m_{l_{cm}} = r$
- $63 = m_{l_{cm-1}} = S_l$
- $64 = m_{l_{cn-1}} = t_s$
- $65 = S_m = S_m + c_n; s_n = SK/s_m$
- $66 = \text{Computo SK}$
- 25. $67 = S_m = 0$
- $C_n = 0$
- $SK = 0$
- $S_q = 0$

La referencia SA, representa el estado de espera de ST, que queda cuando una de las instrucciones (a, a', b, c) almacena

30.

das en la memoria M2 de la figura 2, se deben realizar; el comienzo de dichas instrucciones se ha representado por los cuatro conmutadores lógicos también indicados por a, a', b, c.

5. Un quinto conmutador indicado por d, conectado al conjunto 67, lleva a cabo la puesta a cero inicial del dispositivo de estimación ST.

10. La figura 5b representa esquemáticamente el criterio de activación de los conmutadores dados a, a', b, c, d en los que ha actuado el EL (figura 2). Los conmutadores d, c (figura 5b) se activan en la fase de "inicialización 68" y en la de "fin de computo 69", respectivamente.

15. Los rombos indicados por L5, L6, corresponden, de una forma análoga a los rombos L1, L'4 de la figura 5a, las dos comprobaciones llevadas a cabo por el EL (figura 2) para decidir la estimación que se ha de realizar, siendo por tanto

$$L5 = LC \quad LC \text{ may}$$

$$L6 = LC = 0$$

20. Los símbolos descritos dentro de los conjuntos de las figuras 5a, 5b, tienen el mismo significado, con relación a los conjuntos de la figura 2:

K = constante real;

sk = contenido del registrador SK;

sq = contenido del registrador SQ;

cn = contenido del contador CN;

25. sm = contenido del registrador SM;

M = valor máximo de capacidad de la memoria M1;

ml_i = posición efectiva i-th de la memoria M1;

ml_{cm} = posición efectiva cn-th de la memoria M1 correspondiente a la posición 0 de SH. Las posiciones ml_{cn-1} y ml_{cn-2} se deben a la posición del registrador SH en -1 y -2, respectivamente;

30.

LC = longitud de la fila de espera en una de las memorias tampones, suministrada por EL;

LC_{max} = longitud máxima, suministrada por EL, de que la fila de espera puede asumirse en una de las memorias tampones;

5. r, sl, ts = constantes reales suministradas por EL con el significado siguiente;

r = tiempo necesario para completar el servicio del paquete que se está procesando más el tiempo necesario para dar servicio a todos los paquetes en la fila de espera;

10. sl = tiempo de servicio del paquete recibido;

ts = tiempo necesario para realizar el servicio del paquete que se está procesando.

15. En la figura 5b, la fase de llegada de un nuevo paquete en el nodo hace que el EL active el conmutador a o a', de acuerdo con el hecho de que el paquete que ha llegado haya encontrado un lugar o no en la fila de espera, o sea, de acuerdo con que sea falso (n) o cierto (Y) que $LC > LC_{max}$.

20. En la fase de "partida" de un paquete desde el nodo, el conmutador b se active solamente en el caso de que una "partida" salga de la memoria tampón relativa completamente vacío, LC = 0, que corresponde a tener el servicio desocupado.

25. La lectura del diagrama de flujo de la figura 5a no es un problema al experto en la materia, por consiguiente, todos los posibles trayectos para los diferentes casos no se describirán con detalle.

30. En cualquier caso, a título de ejemplo, se considerará el caso en el cual se lleva a cabo una instrucción de la clase a (puerta a cerrada) por ST; en este caso, los estados lógicos en cuestión adoptan la configuración siguiente:

L1 = N L2 = N L3 = Y

$L_4 = N$

$L'_4 = \text{no importa}$

Según se verá por la tabla de la figura 3, de acuerdo con esta configuración, la instrucción a realizar es la indicada por a_4 .

5. La instrucción a_4 se active o se cumplan las condiciones siguientes:

- llegada de un nuevo paquete que ha encontrado lugar en la fila de espera ($LC \leq LC_{\max}$);

- este paquete, tan pronto como ha llegado, pasa a ser el $(cn+1)$ -th de un periodo ocupado dado;

10.

- dicho número $(cn + 1)$ llega a ser inferior que la capacidad máxima de la memoria (M) de la memoria M1 de la figura 2;

- el número $cn + 1$, además, llega a ser diferente que 1 y 2;

- finalmente, la longitud de la fila de espera es mayor que 2 ($LC > 2$).

15.

Las siete operaciones siguientes, representadas por los conjuntos rectangulares de la figura 5a se ejecutan ordenadamente por ST;

- conjunto 61: el contacto CN (figura 2) aumenta en una unidad;

20.

- conjunto 62: la constante r, proporcionada por EL a través de la conexión 20, se almacena en un área de memoria M1, en la localización proporcionada por CN a través de la conexión 22; dicha localización, después del proceso en bloques SH, S1, P1 da por resultado la localización real presente en la conexión 27;

25.

- conjunto 63: en un modo perfectamente análogo a la operación del conjunto 62, la constante S1 suministrada por EL a través de la conexión 19 se almacena en M1 en la localización presente en la conexión 27.

30.

Se especifica ahora que la localización presente en la

- conexión 27, (figura 2) se actualiza cada vez que se almacenan los datos en la memoria M1 y/o se extraen de la misma; dicha localización se da siempre por los valores alcanzados en dicho instante por el contador CN y el indicado P1, en base del lugar del registrador SH controlado por el circuito lógico LS;
5. - conjunto 58: en el registrador SQ el contenido previamente almacenado se añade al valor leído en el área de memoria de M1 que se localiza por la configuración de bitios presentes en la conexión 27, en la salida del adicionador S1 (con colocación de SH en - 2);
10. -conjunto 57: el valor almacenado en el registrador SQ se añade en el registrador SK al contenido almacenado previamente;
- conjunto 56: en el registrador SK, el contenido previamente almacenado se añade al valor leído en el área de memoria M1, localizada por la configuración del bitio presente en la conexión 27 (con colocación de SH en -1)
15. -conjunto 55: se realizan las mismas operaciones que el conjunto 56 con la única variante de que el registrador SH se sitúa esta vez en 0.
20. El dispositivo de actualización AG de la figura 4, lleva a cabo básicamente tres tipos de operaciones indicadas en la memoria M6 por letras, w,g,f, correspondientes, respectivamente, a las operaciones siguientes: lectura, actualización de tablá, origen de la información de itinerarios.
25. La operación de escritura w consiste en la actualización periódica de los datos almacenados en las memorias M4 y M5 dependiendo de los datos procedentes de EL a través de las conexiones 29 y 44, y de las localizaciones, proporcionadas por EL a través de las conexiones 35 y 41; el orden de escritura se proporciona por el circuito lógico LA a las memorias M4 y M5 a
- 30.

través de conductores 31 y 42, respectivamente.

La operación de actualización de la tabla g consiste en:

- 5. - operación de adición, en el adicionador S4, de pares de datos leído en las áreas de memoria de M4 y M5 en las localizaciones especificadas por el circuito lógico LA, que forman parte esencial de la instrucción g; dichos datos llegan a S4 a través de las conexiones 30 y 45, respectivamente;
- 10. - determinación, por medio del comparador C2, de las localizaciones correspondientes al mínimo valor de la suma de los pares examinados; esta operación, descrita en la fórmula (3) se lleva a cabo un número de veces igual a n, que es igual al número de memorias tampones del nodo.

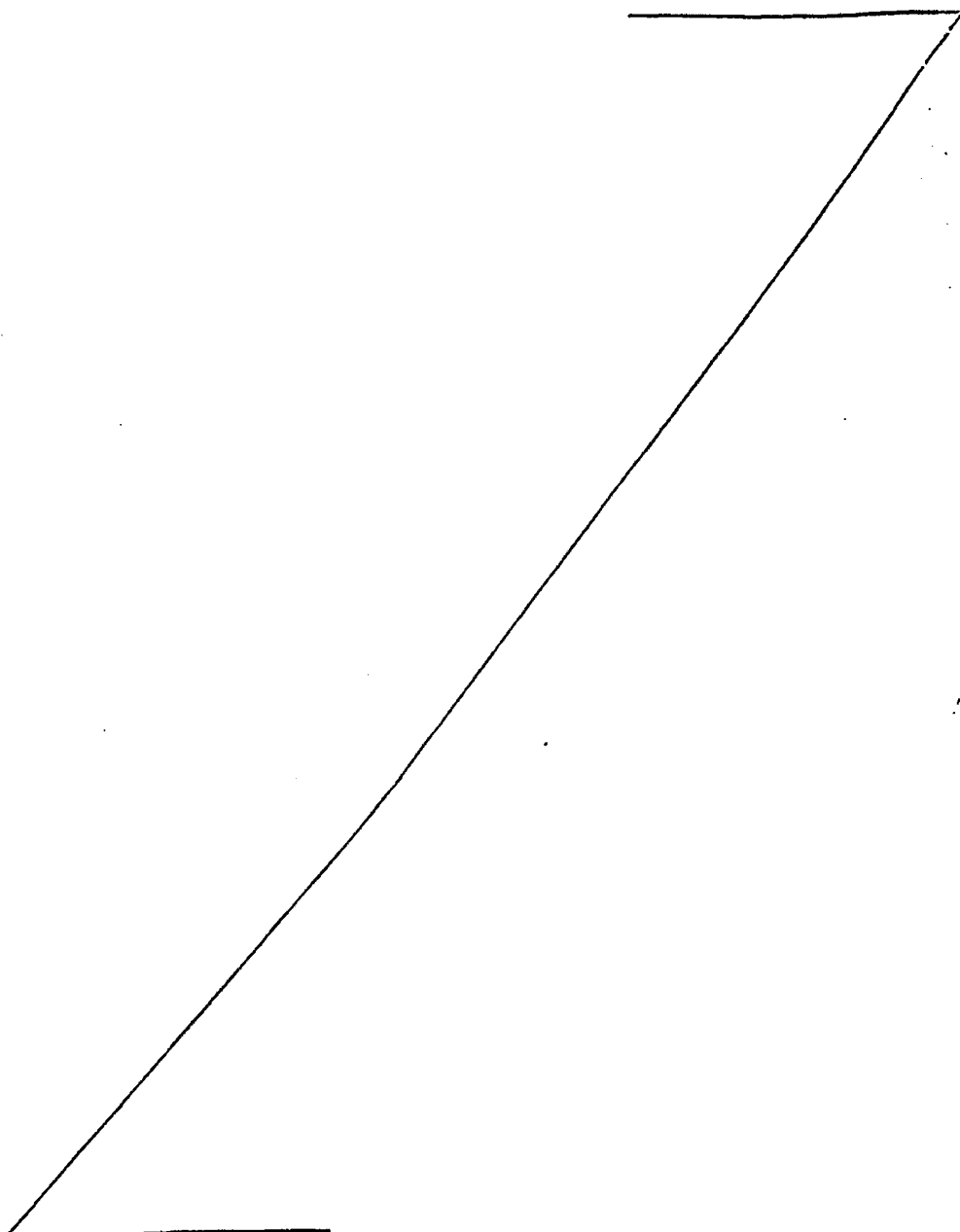
- 15. De éste modo, se obtienen n nuevos valores obtenidos de la tabla de actualización en el nodo, contenida en el procesador EL y no representada en la figura 4. La operación de actualización tiene lugar cada vez que se ha efectuado cualquier operación de escritura de nuevos datos en las memorias M4 y M5.

- 20. La operación f que dá lugar a la información de itinerario consiste en la composición de m datos, tantos como nodos existen en el total de la red, y en la transferencia de los datos a EL.

- 25. La composición de dichos m datos se realiza en el adicionador S4 a través de la adición de pares de datos, procedentes de las memorias M4 y M5 a través de conexiones 30 y 45, respectivamente; dichos datos se leen en M4 y M5 en las localizaciones suministradas al circuito lógico LA conjuntamente por los datos almacenados en la tabla de itinerario de EL, enviados a LA a través de la conexión 33, y por las localizaciones que forman
- 30. parte esencial de la instrucción f.

La información de itinerario se controla por la relación (4) ya examinada.

5. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.



REIVINDICACIONES

5. 1.- Procedimiento y dispositivo de dirección para una red de comunicaciones conmutada en paquetes, consistente en m nodos controlados por un ordenador, en base de la inspección de la longitud de las filas de espera y, de un modo más particular de la estimación derivativa de un flujo de paquetes con respecto al retardo presentado por dichos paquetes en las filas de espera, caracterizado el procedimiento porque el encauzamiento o dirección óptimo de los paquetes se obtiene por las operaciones siguiente en secuencia: -actualización de las tablas de itinerarios del nodo simple, en base de la estimación de retardo (d_n, d_s) en las n+1 filas de espera del nodo, y en base también de la información (e_J^h, e_J^s) en el estado de la red, almacenada en el ordenador de dicho nodo, procesándose las magnitudes de acuerdo con la fórmula(3):

$$k_J = \left\{ n_h : d_h + e_J^h = \min_s (d_s + e_J^s) \right\}$$

20. en la cual; el índice inferior J varia en el campo (1...m), los índices inferiores h, s varian en el campo (1 ... n), n_h es el símbolo efectivo del nodo adyacente th h-th y k_J es el símbolo real del nodo adyacente al que se envia la información asignada por paquete al nodo J - th;

25. -composición de la información relativa al estado de la red en base de la información de itinerarios (f_J) definida por la estimación de retardo (d_{kJ}) en las filas de espera del nodo y por dicha información en el estado de la red (e_J^s); procesándose dichas magnitudes de acuerdo con la fórmula (4):

$$\left\{ f_J = d_{kJ} + e_J^k \right\}$$

30. -transferencia de toda la información de itinerarios a todos

los nodos adyacentes;

-almacenamiento de la información de itinerarios procedentes de todos los nodos adyacentes..

5. 2.- Procedimiento según la reivindicación 1, caracterizado porque la estimación se lleva a cabo determinando, a través de fórmulas altamente recursivas, las magnitudes $\left\{ c_l^h \right\}$; suministrando todo el tiempo que el paquete l-th habría empleado en la red si el paquete h-th no hubiera existido, en base de los tiempos de llegada (a_h), partida (d_l) y proceso (s_{n-1}) de los paquetes; caracterizado también porque, para las filas de espera consistente en un paquete, al menos la actualización de la estimación consiguiente a la llegada de un nuevo paquete, se efectúa a través de una única operación de corrimiento y carga en la memoria.
- 10.
15. 3.- Dispositivo para la realización del procedimiento según las reivindicaciones 1 y 2, caracterizado porque se disponen los medios siguientes:
- m memorias de lectura y escritura capaces de almacenar la información de los estados de congestión de los trayectos hacia todos los nodos de la red;
 - 20. -una primera memoria en su mayoría de lectura capaz de almacenar tres instrucciones relativas a la actualización de las tablas de itinerarios;
 - un primer circuito lógico, conectado a la primera memoria, capaz de elegir, por una orden procedente del procesador de la red, una de las tres instrucciones almacenadas en la primera memoria y ejecutarle;
 - 25. - una segunda memoria de lectura y escritura, capaz de almacenar los n+1 valores de las derivativas estimadas en las filas de espera del nodo;
 - 30.

- un primer adicionador capaz de añadir, en base de la información de un primer comparador, la información procedente de las m memorias a las procedentes de la segunda memoria; y de enviar el resultado de ésta adición al primer circuito lógico.
5. 4.- Dispositivo según la reivindicación 2, caracterizado porque en cada nodo de la red, considerado con $n+1$ filas de espera, se habilitan los medios siguientes:
- $n+1$ contadores con módulo 1, capaces de almacenar el número total de paquetes que forman un periodo ocupado;
10. - $n+1$ primeros registradores capaces de almacenar la adición total de los paquetes procesados en un intervalo de estimación;
- $n+1$ segundos registradores capaces de almacenar la información relativa al último comportamiento del tráfico de paquetes en las filas de espera del nodo.
15. - $n+1$ unidades aritméticas (S_k) conectadas al primer y segundo registradores, capaces de llevar a cabo operaciones de adición y división, y capaces también de almacenar en tiempo real estimaciones derivativas;
20. $n+1$ puertas lógicas capaces de conectar la unidad aritmética al procesador de la red;
- una tercera memoria en su mayoría de lectura capaz de almacenar, todas las instrucciones necesarias para determinar la estimación;
25. - una carta memoria de lectura y escritura consistente en $n+1$ bloques de cinco partes de células, capaces de definir el tiempo real del estado del dispositivo de estimación;
- un segundo circuito lógico capaz de recibir ordenes del procesador de la red, para buscar en la cuarta memoria el estado
30. del dispositivo de estimación, para elegir en consecuencia una

de las instrucciones almacenadas en la tercera memoria y para llevarla a cabo;

- 5. - $n+1$ memorias de lectura y escritura, capaces de almacenar la información en el último comportamiento de tráfico de los paquetes en las filas de espera del nodo;
- un segundo comparador capaz de elegir la información procedente del procesador de la red transferida hacia las $n+1$ memorias;
- 10. - un registrador de corrimiento, un segundo adicionador y un indicador capaces de funcionar conjuntamente para determinar las localizaciones reales en la lectura y escritura para las $n+1$ memorias.

- 15. 5.- Dispositivo según la reivindicación 4, caracterizado porque en la cuarta, la tercera, de las cinco partes de células se escribe directamente por el procesador de la red, mientras que las otras cuatro partes de células se escriben exclusivamente por el segundo circuito lógico.

- 20. 6.- Dispositivo según las reivindicaciones 4 y 5, caracterizado porque las cinco partes de células de la cuarta memoria se leen solamente por el segundo circuito lógico.

7.- Procedimiento y dispositivo de dirección para una red de conmutaciones conmutada en paquetes, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos .

5. Esta Memoria consta de veintisiete hojas, escritas a máquina por una sola cara.

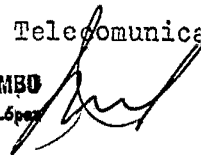
Madrid,

10 ABR. 1978

CSELT Centro Studi e Laboratori Telecomunicazioni

S.p.A.

J. M. GONZÁLEZ ACEBO Y POMBO
p.p. Firmado: Alejandro Calle López



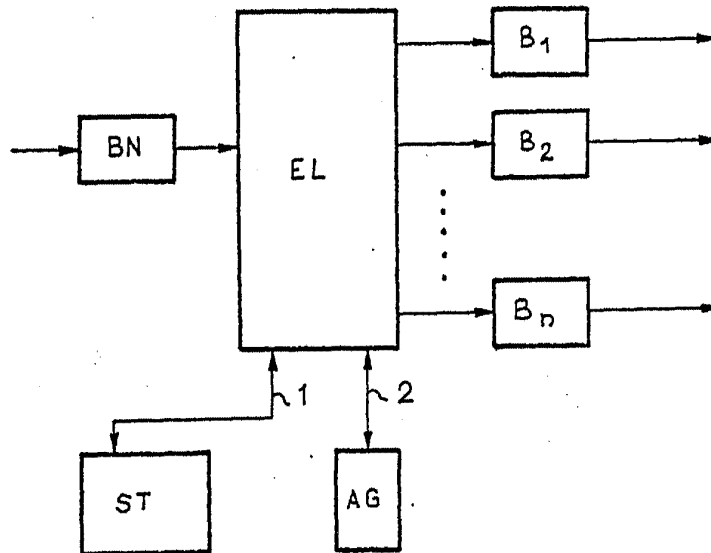


FIG. 1

| | a_1 | a_2 | a_3 | a_4 | a_5 | a_6 | a_7 | a_8 | a_9 |
|-----|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| L1 | N | Y | Y | N | N | Y | N | Y | N |
| L2 | Y | | | N | N | | N | | N |
| L3 | | Y | Y | Y | Y | N | N | N | N |
| L4 | | N | Y | N | Y | | | | |
| L'4 | | | | | | N | N | Y | Y |

FIG. 3

Madrid

[Handwritten signature]

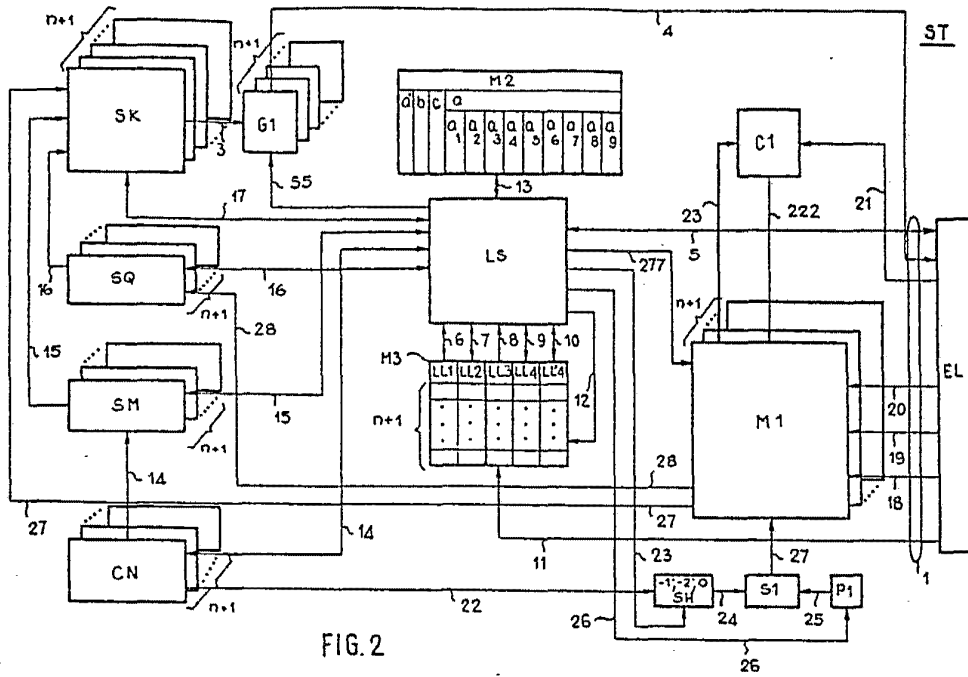


FIG. 2

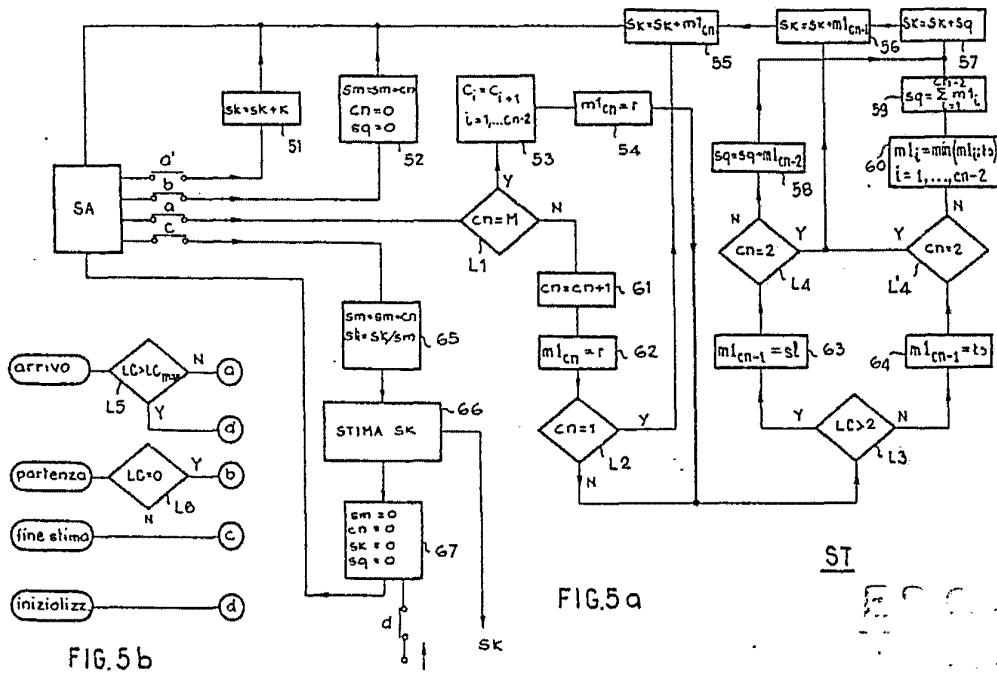


FIG. 5a

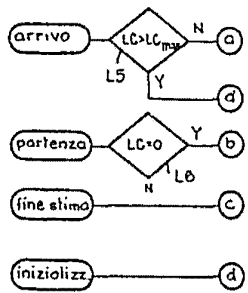


FIG. 5b

Madrid

9 APR 1979

J. N. *[Signature]*
 p.p. Firmador: Alejandro Calle Lopez

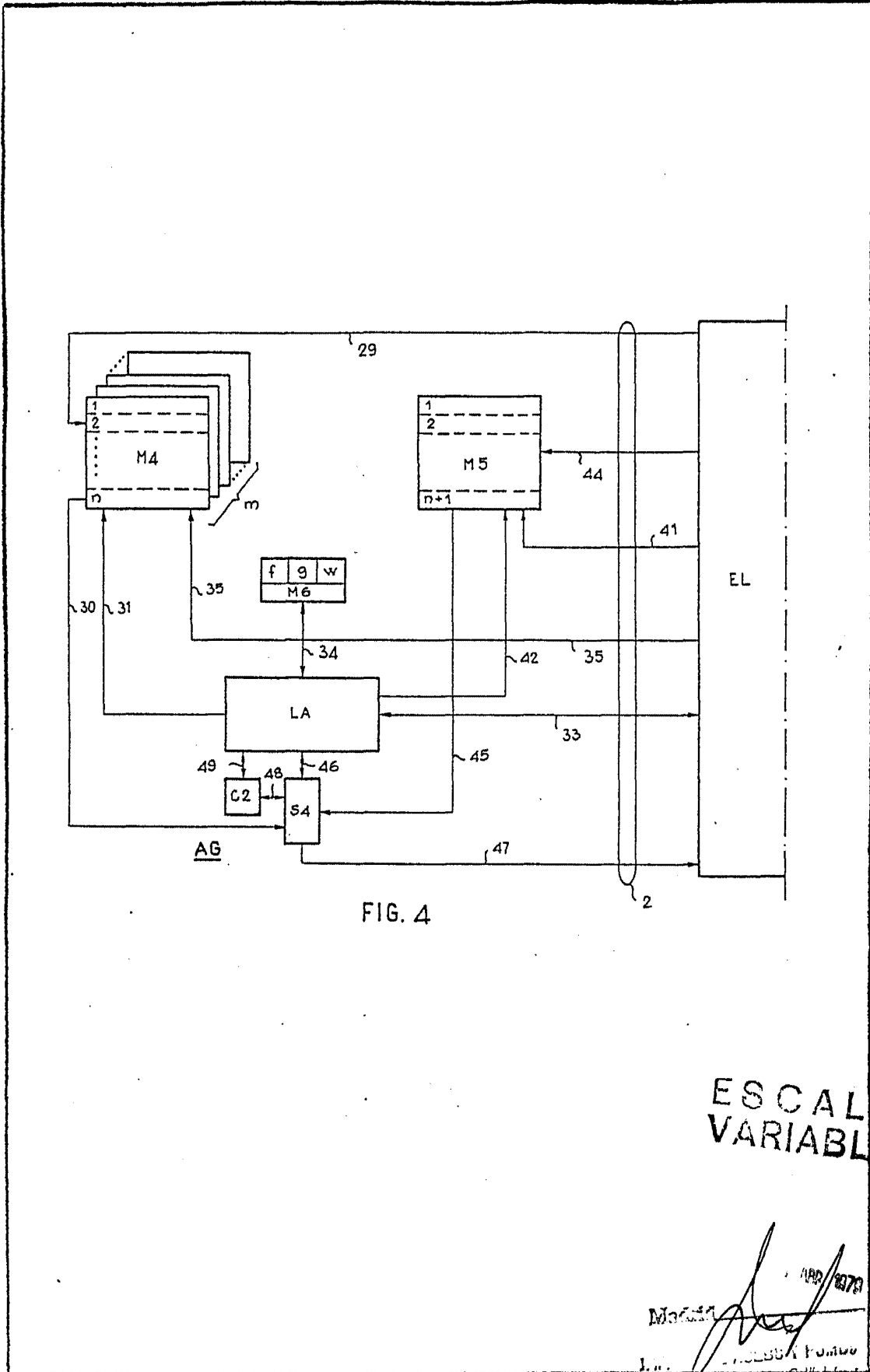


FIG. 4

ESCALA VARIABLE

MAR 1978
MAGGI
p. p. Formador/Alojando G...
p. p. Formador/Alojando G...