

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

19 ES	21	NÚMERO	478927	20 A1
		23	FECHA DE PRESENTACION	
			23-3-79	

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NÚMERO	32 FECHA	33 PAIS
P 28 13 079.2	25.Marzo.78	Alemania
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G 06 F 15/16; G 06 F 13/06	
64 TITULO DE LA INVENCION		
"UN SISTEMA MULTICOMPUTADOR CONFIABLE CON UNA ELEVADA VELOCIDAD DE PROCESAMIENTO"		
71 SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5.		
72 INVENTOR (ES)		
Hekmut Ubel Wolfgang Jakob		
73 TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
74 REPRESENTANTE		
D. Eugenio Barroso Espinosa de los Monteros.		

POOR
QUALITY

El presente invento se refiere a un sistema multicomputador confiable con una elevada velocidad de proceso, según se indica en la reivindicación 1.

5 Un sistema computado del tipo indicado se propone, por ejemplo, en la solicitud alemana de Patente Nº P 27 25 922.9. Allí, el desplazamiento de tiempo en la ejecución de los programas del computador se provoca deliberadamente a fin de reducir la probabilidad de errores del mismo tipo.

10 Para hacer una comparación y una decisión mayoritaria, las salidas del computador deben estar sincronizadas. Esto significa que en cada punto en que deba hacerse una comparación, los computadores deben esperarse uno al otro. Estos tiempos de espera son una desventaja y la razón por
15 la que los puntos de comprobación dentro de los programas, en dónde tienen que hacerse una comparación y una decisión mayoritaria, no pueden ponerse tan cerca uno del otro como sería necesario para conseguir el grado de confiabilidad deseado.

20 El objetivo del presente invento es eliminar los tiempos de espera necesarios para la sincronización de los computadores, haciendo así posible comparar resultados y hacer decisiones mayoritarias a intervalos mucho más cortos.

25 Este objetivo se consigue según se describe en la parte de caracterización de la reivindicación 1.

De esta manera se hace posible una separación entre la ejecución del programa por el sistema computador y la comprobación de los errores de procesamiento. Los computadores introducen sus resultados en la memoria intermedia
30 e inmediatamente continúan sus computaciones sin esperar el

resultado de la comparación y de la decisión mayoritaria.

La comparación no se hace hasta que los resultados correspondientes de todos los computadores están presentes en la memoria intermedia. Ya que los resultados se envían no directamente por los computadores sino por la memoria intermedia después de la comparación y la decisión mayoritaria, se asegura que no sale un resultado sin comprobar. La pérdida total de tiempo durante el procesamiento de información debida a las operaciones de sincronización y comparación, es aquí $T = (t_s + t_v) \cdot n$, donde t_s es el desplazamiento de tiempo entre el computador que arrancó primero y el que lo hizo el último, t_v es el tiempo requerido para la comparación, y n es el número de comparaciones en el programa, el cual puede reducirse a $T_1 = t_s + t_v$ y hacerse independiente del número de comparaciones en el programa.

Otro desarrollo del sistema computador del invento está caracterizado porque la memoria intermedia es una memoria multietapa. Esto hace posible almacenar y comparar los resultados intermedios que siguen unos a otros en muy rápida sucesión dado que durante la comparación puede introducirse ya un nuevo resultado en la primera etapa de la memoria intermedia.

Describiremos seguidamente una configuración del sistema computador del invento refiriéndonos a los dibujos que se acompañan, en los cuales:

Las Figs. 1 y 2 muestran la secuencia de tiempo de la ejecución del programa en la técnica anterior (Fig. 1) y en el sistema computador del presente invento (Fig. 2), y

La Fig. 3 es un diagrama bloque del sistema computador del invento.

En las Figs. 1 y 2 se muestran mediante trazos gruesos las fases de trabajo de tres computadores R1, R2 y R3 y de un circuito comparador y de mayoría VMS.

5 La Fig. 1 se refiere a un sistema multicomputador de una técnica anterior, y la Fig. 2 a un sistema computador según el presente invento.

El programa a realizar por los computadores se divide en segmentos de aproximadamente igual longitud, cuya ejecución requiere un tiempo t_a . Para obtener el desplazamiento de tiempo entre los computadores, se aplica la señal de arranque solamente a un computador en el instante ST, y a los otros dos computadores con un retardo de $t_s/2$ y t_s , respectivamente. Habiendo ejecutado un segmento después del tiempo t_s , el primer computador en la Fig. 1 debe esperar hasta que el segundo computador, activado después, y el tercer computador, activado aún más tarde, hayan completado sus segmentos después de los tiempos $t_s/2$ y t_s , respectivamente. Solamente entonces puede hacerse la comparación y si es necesario la decisión mayoritaria durante un período t_v .
15 Solamente después de que se haya encontrado un resultado correcto se transfiere a la salida en el instante EA y el sistema computador queda listo para ejecutar el siguiente segmento.
20

En el sistema computador del invento, mostrado en la Fig. 2, los computadores se arrancan como en la técnica anterior. Sin embargo, habiendo ejecutado un segmento después del tiempo t_a , un computador no espera, sino que transfiere sus resultados a una memoria intermedia e inmediatamente empieza a ejecutar el siguiente segmento. La comparación de los resultados y la transferencia a un buffer de salida AP
30

de un resultado correcto no tiene lugar hasta que todos los resultados o una mayoría de los resultados de un segmento están presentes en la memoria intermedia.

De esta manera; el retardo t_s , requerido para
5 obtener el desplazamiento de tiempo, y el tiempo t_v , requerido para la comparación, entran en el tiempo de computación solamente una vez, sin importar el número de segmentos necesarios para producir un resultado. Se requiere un corto tiempo
10 t_z en el sistema del invento para introducir los resultados en la memoria intermedia, pero esto puede también ocurrir durante la ejecución del siguiente segmento y, como consecuencia, no es necesario tenerlo en cuenta en la secuencia de tiempo.

Si una comparación muestra que un computador
15 está suministrando resultados incorrectos, se impedirá cualquier participación posterior de este computador en la computación de los resultados. Es posible una nueva puesta en marcha de este computador sin influenciar el tiempo de computación de todo el sistema.

La Fig. 3 muestra un sistema de tres computadores
20 R_1 , R_2 y R_3 con un circuito de salida AS. Por medio de un impulso de arranque que se aplica en un punto ST al computador R_1 directamente, al computador R_2 con un retardo $t_s/2$ proporcionado por un circuito de retardo VZ_1 , y al
25 computador R_3 con un retardo de t_s proporcionado por las líneas de retardo VZ_1 y VZ_2 , se ponen en marcha los computadores. Todos los computadores están conectados a una memoria intermedia ZS a través de un bus. Cada computador introduce su resultado en la memoria intermedia al alcanzar un punto
30 en el programa en dónde deben compararse los resultados.

8 Luego continúa inmediatamente su computación sin esperar el resultado de la comparación. Un circuito comparador y de mayoría VMS que tiene acceso a la memoria intermedia realiza la comparación, y hace que un dispositivo conmutador DS
5 transfiera los resultados almacenados a un buffer de salida AP cuando se ha completado la comparación y, si es necesario, la decisión de mayoría.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de
10 ejemplo y no debe ser considerada como limitación de su alcance.

Esta memoria corresponde a una solicitud de patente formulada en Alemania el día 25 de Marzo de 1978, señalada con el N^o P 28 13 079.2 y se acoge por tanto a
15 los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un sistema multicomputador confiable con una elevada velocidad de procesamiento, en donde todos los computadores se alimentan con la misma información y procesan esta información en un modo de tiempo-desplazado de la operación y en donde los resultados de los computadores se

10 aplican a un circuito de comparación y mayoría para comprobarlos de errores de procesamiento, particularmente para controlar los vehículos sobre railes, caracterizado porque las salidas de los computadores (R1, R2...R3) están conectados a un circuito de salida (AS) que comprende al menos una memoria

15 intermedia (ZS) para almacenar los resultados de los computadores, un dispositivo de conmutación (DS), y un buffer de salida (AP), porque el circuito comparador y de mayoría (VMS) está conectado a la memoria intermedia y alimentado con los resultados almacenados en la memoria intermedia y

20 porque un resultado almacenado en la memoria intermedia se conmuta hacia el buffer de salida solamente si se encuentra correcto por una comparación y, si es necesario, por una decisión de mayoría.

25 2.- Un sistema multicomputador, según la reivindicación 1, caracterizada porque la memoria intermedia (ZS) es una memoria multietapa.

 3.- Un sistema multicomputador confiable con una elevada velocidad de procesamiento.

7.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

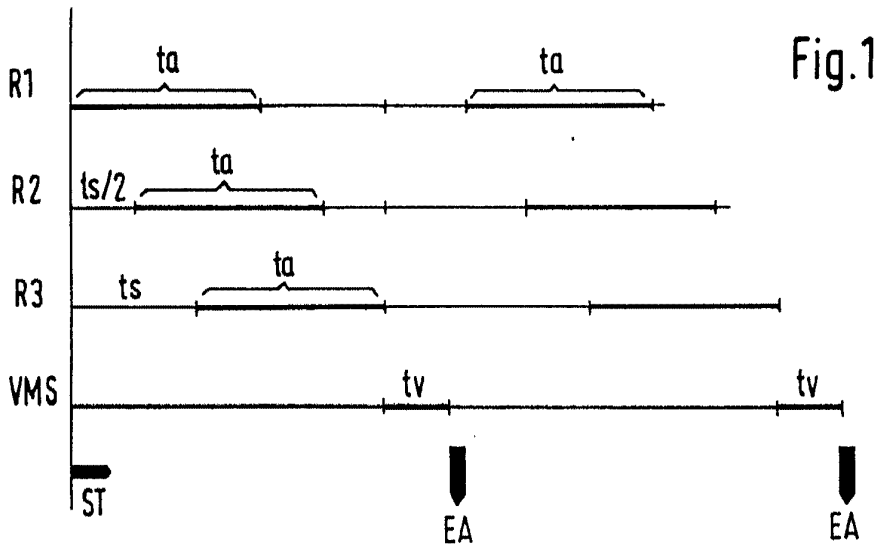
5 Esta memoria consta de siete hojas escritas por una sola cara.

Madrid, 23 MAR. 1979



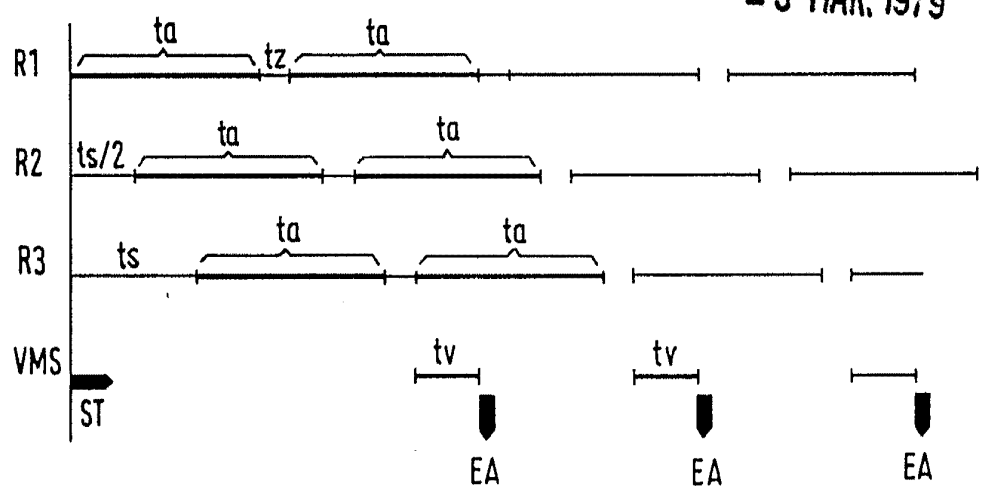
Eugenio Barroso
EUGENIO BARROSO
Secretario General

2/1



23 MAR. 1979

23 MAR. 1979



Eugenio Barroso
EUGENIO BARROSO
Secretario General

Fig. 2

