

MINISTERIO DE INDUSTRIA Y ENERGIA  
Registro de la Propiedad Industrial



ESPAÑA

Se concede el Registro de la Propiedad Industrial con los datos que figura en la presente descripción y según el contenido de la Memoria adjunta.

NUMERO	476008 A1
FECHA DE PRESENTACION	14 DIC. 1978

**PATENTE DE INVENCION**

50 PRIORIDADES: 51 NUMERO	52 FECHA	53 PAIS
860.339	14 de Diciembre de 1.977	Norteamerica.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	52 PATENTE DE LA QUE ES DIVISIONARIA
	H03K	

54 TITULO DE LA INVENCION
Perfeccionamientos en circuitos lógicos de etapas múltiples.

71 SOLICITANTE (ES)
WESTERN ELECTRIC COMPANY, INCORPORATED

DOMICILIO DEL SOLICITANTE
222 Broadway, New York, New York 10038, EE.UU. de A.

72 INVENTOR (ES)
JAMES ALBERT COOPER, JR. ROBERT HAROLD KRAMBECK.

73 TITULAR (ES)

74 REPRESENTANTE
D. Jose Miguel Gómez-Acebo y Pombo.

Esta invención se refiere a un circuito lógico de etapas múltiples provisto por lo menos de una primera etapa ( $S_1$ ) y una segunda etapa ( $S_2$ ) conectadas en serie, en el orden indicado, comprendiendo cada una de las etapas lo siguiente: un nodo de salida conectado entre una tensión de alimentación  $V_{DD}$  y una tensión de referencia y adaptado para alimentar una señal de salida a una etapa consecutiva siguiente; una red lógica que responde a las señales de entrada para conectar de un modo selectivo el nodo de salida a la tensión de referencia por un conmutador, y un elemento de carga conectado entre el nodo y la tensión de alimentación.

5.  
10.

Un circuito semiconductor normal como, por ejemplo, un circuito lógico integrado, comprende un nodo de salida que se activa a un estado alto y un estado bajo frecuentemente durante el funcionamiento. El nodo se conecta a un potencial de referencia, normalmente tierra, por una red lógica, que comprende un grupo de transistores conmutadores interconectados de una forma lógica, y un elemento activo. La red funciona para poner a tierra el nodo (v.g., producir una transición de tensión alta a tensión baja) en respuesta a las entradas lógicas cuando se activa el elemento activo. El nodo se conecta también por medio de un dispositivo de carga a una tensión de alimentación para elevar el nivel del nodo cuando se desactiva el conmutador.

15.  
20.

Normalmente se emplea una carga pasiva en el circuito de alimentación y fluye una corriente a través de la carga cuando el elemento activo conmuta a su estado de conexión (acceso). Si el dispositivo de carga es pasivo (una impedancia o un elemento activo no conmutado), la carga debe ser un conductor más débil que la red lógica y el elemento activo, para conseguir la transición de tensión alta a tensión baja y, por lo tanto, la velocidad del circuito se limita durante la transición de alta a baja por la

25.  
30.

baja conductividad del dispositivo de carga según se comprenderá.

- Una forma de enfocar el problema, que frecuentemente se utiliza para aumentar la velocidad del circuito, consiste en el empleo de una carga activa conmutada en oposición al elemento activo. Como el nodo de salida se conecta a la tensión de alimentación (v.g., entra en actuación en su nivel alto) por la carga activa mientras no se tiene acceso al circuito, las únicas transiciones de salida que se han de hacer cuando se tiene acceso al circuito son alto a bajo, que son más rápidas debido a la elevada conductividad de la red lógica y el elemento activo. Un inconveniente de este último circuito es que los circuitos de etapas múltiples exigen señales de cronometración separadas a las etapas individuales, por lo que estas etapas no se activan hasta que las primeras etapas han completado sus operaciones lógicas, v.g., su transición de alto a bajo o transición sin tensión. De otro modo podrían ocurrir transiciones falsas de alta a baja de las últimas etapas aun cuando no debieran ocurrir debido a la salida lógica de la etapa precedente. Las exigencias de cronometración introducen componentes extra y dan por resultado un funcionamiento del circuito algo más lento. El problema al que se refiere la invención consiste en conseguir un circuito de etapas múltiples en el cual se eliminan las actuaciones del periodo de acceso por el empleo de elementos de carga activos pero sin necesidad de señales de cronometración separadas a las etapas individuales.
5. Esto se consigue, según esta invención por un circuito lógico de etapas múltiples caracterizado por un dispositivo de señal para cerrar el conmutador asociado en cada una de las etapas en respuesta a la misma señal, y un dispositivo de retardo para evitar la conexión prematura y, por lo tanto, no selectiva, del nodo de salida de la segunda etapa ( $S_2$ ) al potencial de refe
- 10.
- 15.
- 20.
- 25.
- 30.

rencia antes de la conexión o no conexión selectivas del nodo de salida de la primera etapa ( $S_1$ ) al potencial de referencia.

- En general, según la presente invención, se emplean inversores y/o elementos de retardo entre las diversas etapas de un circuito de etapas múltiples, por lo que se puede emplear un solo impulso de cronometración para activar todos los elementos activos de todas las etapas, de modo que las etapas ulteriores no se activen involuntariamente. Las actuaciones de los nodos de salida de cada etapa tienen lugar durante intervalos sin acceso del circuito empleando, por ejemplo dispositivos de carga de conmutación que funcionan en oposición de fase a los elementos activos. Es un factor de importancia el que un circuito lógico de etapas múltiples según esta invención responde a un solo impulso de cronometración aprovechando la velocidad de funcionamiento mejorada que permite la eliminación de las actuaciones durante el acceso.

- Como cada uno de los nodos de salida en dicho circuito lógico tiene siempre una capacitancia parásita asociada, dicha capacitancia se emplea ventajosamente para mantener el nodo de salida a un nivel de tensión alta durante el acceso a menos que el nodo de salida se lleve de alta a baja a través de la red lógica y el elemento activo. Por consiguiente, un circuito lógico en este caso comprende un nodo de salida conectado a una tensión de alimentación por una carga activa y a un potencial de referencia por un elemento activo a través de una red lógica. El primero se conecta antes de la activación del elemento activo. El nodo de salida pasa a estado alto, y se mantiene alto por la capacitancia parásita, antes de que se active el elemento activo. Por consiguiente, el elemento activo, la red lógica y la capacitancia de carga determinan la velocidad de acceso que responde a un solo

- impulso de cronometración. Como no es necesaria una transición de baja a alta del nodo de salida, se consiguen mayores velocidades. Un aspecto importante de esta invención es que la elevada velocidad que el circuito puede conseguir se obtiene organizando un dispositivo de etapas múltiples en el cual todos los elementos activos se conmutan simultáneamente en lugar de hacerlo por una secuencia de impulsos de cronometración. Cada una de dichas etapas comprende un inversor o un circuito de retardo para evitar las transiciones prematuras del nodo de tensión alta a tensión baja en la etapa siguiente sucesiva antes de completarse la operación lógica de la etapa precedente.

La figura 1 es un diagrama de circuito de un dispositivo lógico de combinación de etapas múltiples según esta invención.

- La figura 2 es un diagrama de circuito de una parte del dispositivo de la figura 1.

- La figura 1 ilustra un circuito integrado lógico en secuencia, que sirve de ilustración, y que está definido por una pastilla semiconductor 10. El circuito comprende una pluralidad de etapas  $S_1, S_2, \dots$ , cada una de las cuales comprende una red lógica de canal N y un elemento de carga conectado eléctricamente en serie entre la salida de un dispositivo de canal N 15 y una fuente de voltaje  $V_{DD}$ . La red y el elemento de carga están indicados por las referencias 12 y 13, respectivamente, para la etapa  $S_1$ . La fuente del dispositivo 15 se conecta a tierra y la puerta se conecta a una fuente de impulsos de cronometración 16.

- La etapa  $S_2$  comprende un inversor 20. El inversor comprende un dispositivo de canal P 21 y un dispositivo de canal N 22, cuya salida se conecta a la salida del primero. La fuente del dispositivo 21 se conecta a la fuente de tensión  $V_{DD}$ . La fuente del dispositivo 22 se conecta a una tensión de referencia, conve

5. nientemente tierra. Las puertas de los dispositivos 21 y 22 se conectan al nodo 23. Las salidas de los dispositivos 21 y 22 se conectan a una entrada de una red de canal N 25 de la etapa  $S_2$ . La red de canal N 25 se conecta a la salida del dispositivo de canal N 15 y está eléctricamente en serie con la carga activa 26, a título ilustrativo. La carga 26 es un dispositivo de canal P con su fuente conectada a una fuente de tensión de señal ( $V_{DD}$ ).

10. Las puertas de los elementos 13 y 26 se conectan a la puerta del elemento 15. De este modo, el mismo impulso de cronometración único de la fuente 16 conmuta los elementos de canal P 13 y 26 en oposición al elemento de canal N 15.

15. La figura 2 ilustra un aparato 40 de la figura 1 que representa los detalles de las redes de canal N 12 o 25. Cada una de dichas redes (12 o 25) comprenden trayectos (42 y 43 o 44 y 45, respectivamente) dispuestos eléctricamente en paralelo entre la salida del dispositivo de canal P 13 (o 26) y la salida del dispositivo del canal N 15. El trayecto 42 comprende dos dispositivos de canal N 47 y 48, conectandose la fuente del primero a la salida del último. De un modo similar, los trayectos 43, 44 y 45 comprenden dispositivos 50 y 51, 52 y 53, y 54 y 55, respectivamente. Las entradas se ilustran conectadas a las puertas de cada uno de los dispositivos 47, 48, 50, 51, 52, 53, 54 y 55.

20. Consideremos el funcionamiento del circuito de las figuras 1 y 2. Supondremos un estado inicial en el cual el dispositivo 15 está desconectado y los dispositivos 13 y 26 han estado conectados para cargar los nodos 23 y 61 a  $V_{DD}$  junto con sus capacitancias parásitas asociadas. Estando los dispositivos 13 y 26 desconectados no fluye corriente y los nodos 23 y 61 permanecen altos. Como el nodo 23 es alto, el inversor 20 pone el no

25.

30.

do 36 bajo. Cuando se activa el dispositivo 15, se desconectan los dispositivos de carga 13 y 26.

5. Se alimentan señales de entrada a las entradas (puertas) de los dispositivos de la red de canal N, algunas desde fuentes externas (no ilustradas); otras de etapas anteriores, según resultará evidente por la figura, durante el funcionamiento normal. Supondremos que el dispositivo 15 se conecta en un instante mientras que se alimenta la señales de entrada y los dispositivos de las redes de canal N se activan o no dependiendo de las señales de entrada. La conexión del dispositivo 15 activa la red. A través de la red de canal N 12 existe un trayecto eléctrico a tierra o no. Si no existe, el nodo 23 permanece alto, el nodo 36 permanece bajo y el dispositivo 52 permanece desconectado. Si existe un trayecto, el nodo 23 pasa a estado bajo, el nodo 23 pasa a estado bajo, el nodo 36 pasa a estado alto y el dispositivo 52 se conecta. Si el dispositivo 53 está conectado en dicho instante, por otras entradas, y los dispositivos 54 y 55 están desconectados, la salida 61 pasa a estado bajo, pero solamente en respuesta al funcionamiento de la etapa precedente por el inversor 20. En ausencia del inversor, la salida 61 habrá pasado a estado bajo inmediatamente en respuesta a la conexión del dispositivo 15. Los circuitos de etapas múltiples de las figuras 1 y 2, según se verá, responden a un solo impulso de cronometración para producir una salida en un instante determinado por la velocidad del paso a estado bajo en lugar de hacerlo por los elementos de carga activos relativamente lentos o por la frecuencia de una secuencia de impulsos de cronometración.
- 10.
- 15.
- 20.
- 25.

30. Se observará que la figura 1 ilustra una etapa  $S_3$  similar a las etapas  $S_1$  y  $S_2$ , que comprende una red de canal N 79 y un elemento de carga de canal P 80. La etapa  $S_3$  comprende también

un circuito de retardo 81. El circuito de retardo se emplea en aquellos casos en que un inversor, por ejemplo 20, no se puede utilizar debido a ciertas exigencias de circuito o de elaboración. La puerta del elemento de carga 80 se conecta a la puerta del elemento 15' para asegurar la conmutación en oposición a la misma. El circuito funciona para activar el elemento activo 15' que corresponde a 15, para hacer funcionar la etapa  $S_3$  después de un retardo, suficientemente largo para la realización de las operaciones lógicas de la etapa precedente.

10. Los circuitos según esta invención se pueden configurar con inversores, circuitos de retardo o ambos (según se ilustra). Lógicamente, si se emplean solamente inversores entre las etapas de un dispositivo de etapas múltiples según esta invención, solo se ha de utilizar un elemento 15. Se emplea un elemento 15' por cada etapa que exija retardo.

15. La invención se ha descrito en una construcción de circuito integrado, Se comprenderá que no siempre ha de ser así. La invención se puede poner en práctica con tecnologías de PMOS, NMOS, CMOS, PNMOS, bipolares, relés o aun lámparas de vacío.

20. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

5. 1.- Perfeccionamientos en circuitos lógicos de etapas múltiples, provistos por lo menos de una primera etapa y una segunda etapa, conectadas en serie en el orden citado, cada una de las cuales comprende un nodo de salida conectado entre una tensión de suministro y una tensión de referencia y destinado a alimentar una señal de salida a una etapa consecutiva siguiente; una red lógica que responde a señales de entrada para conectar de un modo selectivo el nodo de salida a la tensión de referencia por un conmutador; y un elemento de carga conectado entre el nodo y la tensión de alimentación; caracterizados porque se dota a cada circuito de un dispositivo de señal para cerrar el conmutador asociado con cada una de las etapas en respuesta a la misma señal y un dispositivo de retardo para evitar la conexión prematura y, por lo tanto, no selectiva, del nodo de salida de la segunda etapa a la tensión de referencia antes de la conexión o no conexión selectivas del nodo de salida de la primera etapa al potencial de referencia.
- 10.
- 15.
20. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada una de las redes lógicas se puede conectar a la tensión de referencia por el mismo conmutador, por lo que todas las redes se activan simultáneamente por la señal, y porque el dispositivo de retardo comprende un inversor de señal que conecta el nodo de salida de la primera etapa a una entrada de la red lógica de la segunda etapa.
- 25.
30. 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada etapa tiene un conmutador diferente asociado con la misma, y porque el dispositivo de retardo es eficaz para retardar la señal en su llegada al conmutador de la segunda

etapa, hasta después de completarse la operación lógica realizada por la primera etapa.

- 4.- Perfeccionamientos en circuitos lógicos de etapas múltiples, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.
- 5.

Esta Memoria consta de nueve hojas escritas a máquina por una sola cara.

Madrid,

~~14 DIC. 1978~~

WESTERN ELECTRIC COMPANY, INCORPORATED.

J. M. GOMEZ ACEBO Y PUMBU

o. c. Firmado: J. Suarez Diaz



FIG. 1

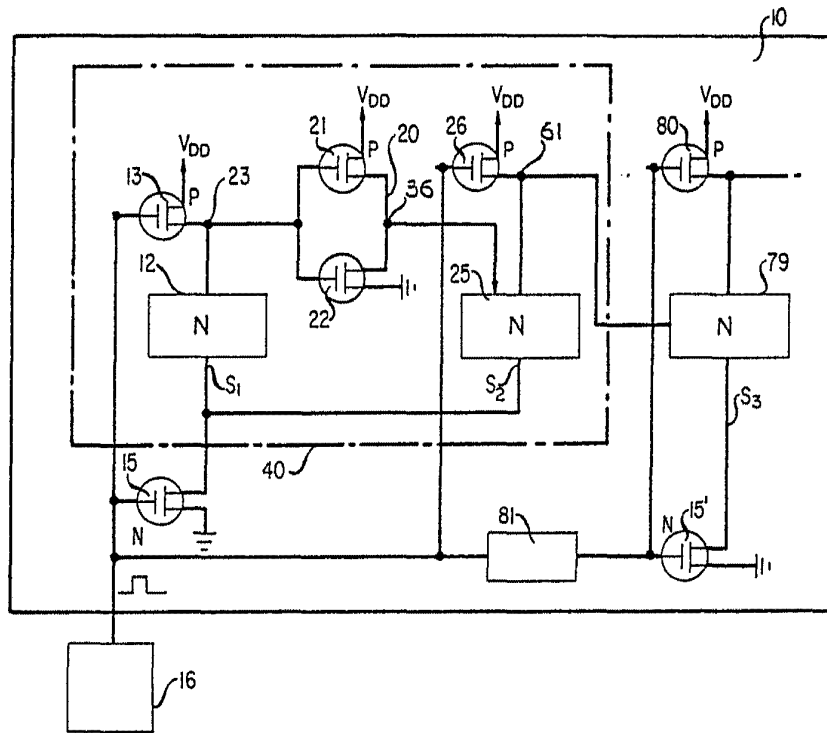
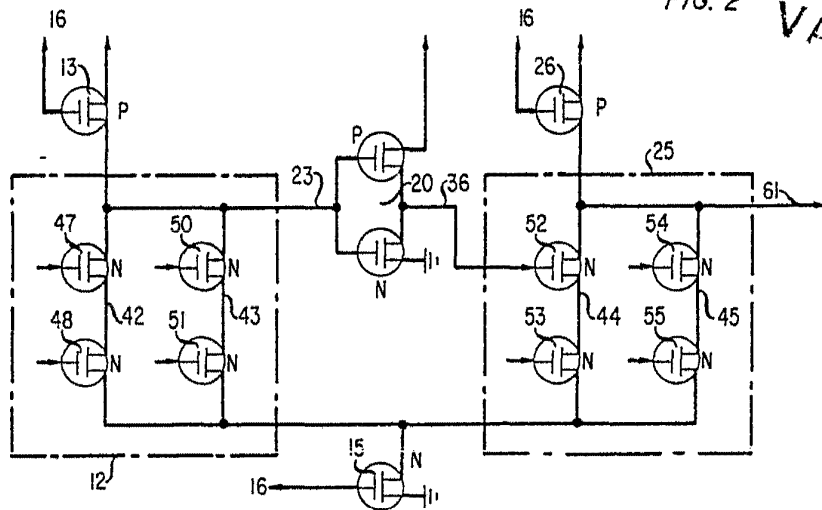


FIG. 2

ESCALA VARIABLE



Madrid 13 DIC. 1970

J. M. GARCIA LÓPEZ Y FUJIMORI

P. P. E. 1. 1. 1.