

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

19 ES	11 NUMERO	10 A1
21	475012	
22	FECHA DE PRESENTACION	
	12.12.78	

5 MAR. 1979

PATENTE DE INVENCION

60 PRIORIDADES:		
61 NUMERO	62 FECHA	63 PAIS
861.755	19.12.77	EE.UU.
64 FECHA DE PUBLICIDAD	61 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K	
64 TITULO DE LA INVENCION		
"UN APARATO GENERADOR DE IMPULSOS DE SINCRONISMO PARA UN SISTEMA DE COMPUTADOR"		
61 SOLICITANTE (S)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		
DOMICILIO DEL SOLICITANTE		
Armonk, N.Y. 10504, Estados Unidos de América		
62 INVENTOR (ES)		
Leland Delmar Howe Jr., Albert Edward Paniccia y Vincent Anthony Scotto		
63 TITULAR (ES)		
64 REPRESENTANTE		
D. ALBERTO DE ELZABURU MARQUEZ		(P.- 70.258)

Este invento se refiere a un aparato de generación de impulsos de reloj o sincronismo y, más particularmente, a un aparato generador de impulsos de sincronismo para sistemas de computador con retardo de impulsos selectivo (desviación) y control de ancho de impulso. El requerimiento para ajustar el ancho de impulso y la desviación se acentúa en sistemas de computador construidos mediante circuitos integrados en gran escala, (LSI). Esto es debido a que los circuitos LSI tienen tolerancias más amplias que otras tecnologías de circuito en lo que se refiere a parámetros de dispositivo. Adicionalmente, debido al número masivo de circuitos que pueden alojarse en una plaquita única, puede estar contenida en la plaquita única una vía de transmisión lógica completa. De este modo, una determinada vía de transmisión puede ser lenta en una plaquita y rápida en otra plaquita, o la vía de datos puede contraer un impulso en una plaquita y ampliar el impulso en otra. Adicionalmente, existen retardos de propagación de impulsos, debido a longitudes de conductor y de cable diferentes y variaciones de ancho de impulso debido a retardos de circuito. Por tanto, incorporando el presente invento en un sistema de computador, se aumenta en alto grado la facilidad de fabricación de dicho sistema. Esto se debe a la necesidad de sintonizar cada sistema de computador como operación en el proceso de fabricación y, el presente invento, facilita enormemente este ajuste. También, después que ha estado en uso el sistema de computador, puede ser necesario reajustarlo, y el presente invento facilita este reajuste.

Descripción de la Técnica Anterior

El ajuste de retardo de impulso y de ancho de impulso es bien conocido en la técnica anterior. Adicionalmente, la técnica anterior ilustra sobre aparatos para seleccionar el grado de retardo. Por ejemplo, el IBM Technical Disclosure Bulletin, volumen 15, número 1, fechado en junio de 1972, páginas 252-254, expone un sistema de sincronismo de computador ajustable electrónicamente donde es seleccionable la magnitud del retardo de impulso.

Esta técnica anterior, sin embargo, no ilustra sobre el control de ancho de impulso seleccionable, con lo cual puede ajustarse automáticamente la desviación y ancho de impulso. La Patente Norteamericana 3.440.546, de 22 de abril de 1969, titulada "Variable Period and Pulse Width Delay Lined Pulse Generating System", expone un sistema de control de ancho de impulso. Sin embargo, tal sistema de control de ancho de impulso funciona de un modo diferente, es decir, el control se realiza sobre la entrada al elemento de retardo. Es así diferente el modo de variar selectivamente el ancho de impulso. En el presente invento, el ancho de impulso es controlado mediante la utilización de elementos lógicos y un registro de control, mientras que en la Patente 3.440.546 el ancho de impulso se controla por la conmutación de un dispositivo biestable de un estado a otro estado. En esta disposición, la resolución en ancho de impulso no puede ser tan exacta como en el presente invento, porque el tiempo de conmutación del dispositivo biestable tiene un efecto sobre el ancho de impulso.

En general, existen otros sistemas de sintonía

de impulsos de sincronismo, tales como el expuesto en el IBM Technical Disclosure Bulletin, volumen 18, número 6, de noviembre de 1975, páginas 1912-1913 titulado "Computer Clock Distribution System With Programmable Delay and Automatic Adjustment". Sin embargo, el sistema no tiene ajuste de ancho de impulso selectivo. En el presente invento, se seleccionan diferentes impulsos del elemento de retardo, y los impulsos seleccionados son combinados por circuitos lógicos para proporcionar ajuste de desviación y ancho de impulso.

RESUMEN DEL INVENTO

Los principales objetos del invento son crear un aparato mejorado de generación de impulsos que: (a) tiene control selectivo de ancho de impulso y retardo de impulso, (b) utiliza una parte de circuito común ajustable selectivamente para comportarse ya sea como una unidad de ajuste de retardo y ancho de impulso aproximado o poco precisa o muy precisa o fino (c) incluye circuitos de control de modo de impulso en la unidad de ajuste poco preciso de retardo de impulso y ancho de impulso, (d) permite el ajuste dinámico del ancho de impulso y retardo de impulso, sin modificar físicamente conexiones de circuito, y (e) proporciona ajuste de desviación y ancho de impulso con un alto grado de resolución.

Estos objetos se consiguen aplicando impulsos procedentes de un oscilador de oscilación libre a un elemento de retardo, tal como una línea de retardo. Los impulsos que aparecen en diversas tomas de la línea de retardo se aplican a elementos lógicos para ajuste de retardo de impulso y ajuste de ancho de impulso. Estos ele

mentos lógicos están condicionados por las salidas de decodificadores alimentados por los contenidos de registros que están ajustados con valores predeterminados. Las salidas de los elementos lógicos para el ajuste de retardo de impulso y ancho de impulso están combinadas lógicamente para originar un impulso que tiene el ajuste deseado de desviación y ancho de impulso. Los valores contenidos en los registros pueden ajustarse en ellos bajo control de programa, o mediante dispositivos de entrada manuales, tales como un teclado, conmutadores, etc. Un sistema de computador puede requerir un conjunto de valores en los registros para su ajuste de desviación y ancho de impulso, mientras que otro sistema de computador podría requerir un conjunto diferente de valores para ajuste de desviación y ancho de impulso durante la sintonía del sistema de computador. Los registros pueden ampliarse a fin de incluir una posición para controlar si una unidad de ajuste ha de ser una unidad de ajuste poco preciso o una unidad de ajuste preciso. Si la unidad de ajuste de retardo de impulso y ancho de impulso esté controlada como unidad de ajuste preciso, no se habilita el circuito de control de modo de impulso. De este modo, puede utilizarse una unidad única o tipo comercial como unidad de ajuste poco preciso o de ajuste preciso. La razón básica para tener unidades de ajuste preciso y poco preciso es que la unidad de ajuste poco preciso proporciona capacidad de excitación adicional al oscilador.

DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama de bloques que ilustra el invento realizado para incluir una unidad úni-

ca de ajuste aproximado o poco preciso y una pluralidad de unidades de ajuste fino o preciso que tienen salidas controladas por puertos,

5 La figura 2 es un diagrama que ilustra detalles de la unidad de ajuste poco preciso de la figura 1,

La figura 3 es un diagrama que ilustra los detalles de la unidad de ajuste preciso de la figura 1,

10 La figura 4 es un diagrama de sincronismo que representa impulsos en los diferentes puntos de la figura 1,

La figura 5 es un diagrama lógico que ilustra detalles del circuito de control de modo de impulso dentro de la unidad de ajuste poco preciso de la figura 2,

15 La figura 6 es un diagrama de bloques que ilustra el invento para generar impulsos en fase o en oposición de fase, o impulsos pares e impares, junto con los circuitos de control para generar señales de control de transmisión de memoria y canal en la unidad central de tratamiento,

20 La figura 7 es un diagrama de bloques que ilustra el invento incorporado en una plaquita LSI, en donde están situados fuera de la plaquita el oscilador y la líneas de retardo, y

25 La figura 8 es un diagrama de sincronismo que ilustra cómo puede ajustarse un impulso de sincronismo mediante el presente invento para diferentes unidades funcionales dentro de un sistema de computador.

DESCRIPCION DEL INVENTO

30 Con referencia a los dibujos, y en particular a la figura 1, se ilustra el invento a modo de ejemplo in

cluyendo un oscilador 10, que proporciona impulsos que se producen secuencialmente a una frecuencia predeterminada. Está ilustrado un impulso de oscilador por la forma de onda A en la figura 4. Los impulsos de oscilador son aplicados sobre la línea 11 a una unidad 15 de ajuste poco preciso. La función de la unidad 15 de ajuste poco preciso es proporcionar ajuste general de desviación y ancho para los impulsos que proceden del oscilador 10. La unidad 15 de ajuste poco preciso no modifica el régimen de repetición o frecuencias de los impulsos que proceden del oscilador 10.

Los impulsos de sincronismo procedentes de la unidad 15 de ajuste poco preciso son aplicados, a través de la línea 37, a unidades 55 de ajuste preciso y a un generador 80 de señales de puerta de sincronismo. El presente invento no requiere ambas unidades de ajuste poco preciso y de ajuste preciso, ni requiere una pluralidad de unidades de ajuste preciso. La utilización de ambas unidades de ajuste poco preciso y de ajuste preciso proporciona, sin embargo, una capacidad de excitación adicional para el oscilador. Aunque pueden no ser necesarias una pluralidad de unidades de ajuste preciso, es usualmente deseable tener diferentes unidades de ajuste preciso para diferentes unidades funcionales dentro de un sistema de computador. Por ejemplo, una unidad de ajuste preciso proporcionaría impulsos de sincronismo para la unidad central de tratamiento, mientras que otra unidad de ajuste preciso proporcionaría impulsos de sincronismo para la memoria, y aún otra unidad de ajuste preciso proporcionaría impulsos de sincronismo para el canal de transmisión.

El generador 80 de impulsos de puerta de sincronismo utiliza los impulsos de sincronismo procedentes de la unidad 15 de ajuste poco preciso para generar impulsos de puerta, que son aplicados, a través de la línea general 81, a las unidades 55 de ajuste preciso. Generalmente, en un sistema de computador, es deseable proporcionar impulsos de sincronismo de control de puerta a las diversas unidades funcionales dentro del sistema de computador. Normalmente, la oscilación libre del sistema de sincronismo del computador está controlada por una señal de oscilación libre de sincronismo. La señal de oscilación libre de sincronismo procede normalmente de circuitos de control incluidos en el sistema de computador y es aplicada al generador 80 de señales de puerta de sincronismo a través del terminal 82 de entrada. El generador 80 de señales de puerta de sincronismo puede consistir en circuitos de retención o circuitos de retención de polaridad conectados en configuración de anillo y en donde la salida del último circuito de retención o circuito de retención de polaridad está realimentada para condicionar el primer circuito de retención o circuito de retención de polaridad en la configuración de anillo. La señal de oscilación libre de sincronismo tiene una duración adecuada para condicionar el ajuste de estado del primer circuito de retención o circuito de retención de polaridad, pero finaliza antes de que llegue el siguiente impulso para ajustar el estado del siguiente o segundo circuito de retención del anillo de retención. Los impulsos para ajustar sucesivamente los estados de los circuitos de retención o circuitos de retención de polaridad del generador

80 de señales de puerta de sincronismo están representados como procedentes de la unidad 15 de ajuste poco preciso. Estos impulsos, por supuesto, podrían proceder de cualquiera de las unidades 55 de ajuste preciso si se deseara una señal de control de puerta de sincronismo más precisa.

Los terminales 12 y 13 de exploración y desplazamiento son utilizados para ajustar valores de datos en las unidades 15 y 55 de ajuste poco preciso y ajuste preciso de un modo que se describiré en breve. Los impulsos pueden también ser generados en un modo de ciclo único. Como se verá posteriormente, en relación con la descripción de la figura 5, siempre que esté aplicada una tensión de nivel negativo al terminal 91 se inhibe el sincronismo. Es decir los impulsos de sincronismo son bloqueados en cuanto a su transmisión desde la unidad 15 de ajuste poco preciso. El funcionamiento de ciclo único está controlado por el accionamiento del conmutador 92 de ciclo único. El funcionamiento del conmutador de ciclo único se describiré con detalle posteriormente.

La unidad 15 de ajuste poco preciso (figura 2) incluye una línea 16 de retardo que, en este ejemplo, tiene diez tomas de salida. Los impulsos procedentes del oscilador 10 son aplicados a la entrada de la línea 16 de retardo a través de la línea 11. Las tomas intermedias de salida de la línea 16 de retardo proporciona impulsos separados entre sí un intervalo predeterminado. Por ejemplo, una línea de retardo de 22 nanosegundos dividida en diez tomas proporciona un retardo entre impulsos de 2,2 nanosegundos por toma. Las salidas de la línea 16 de retardo y los impulsos de la línea 11 son aplicados, a

través de la línea general 17, a selectores 20 y 23 de retardo de impulso y ancho de impulso. Los selectores 20 y 23, en este ejemplo, incluyen once circuitos "Y", que están condicionados selectivamente por salidas procedentes de los descodificadores 19 y 22, respectivamente. Los descodificadores 19 y 22 tienen entradas procedentes de anillos 18 y 21 de retención, respectivamente. Los anillos 18 y 21 de retención pueden estar contruidos a partir de circuitos de retención convencionales o circuitos de retención expuestos en la Patente Norteamericana 3.806.821, con fecha 23 de abril de 1974, de Eichelberger y otros, titulada "Logic Circuit for Scan In Scan/OUT". Los anillos 18 y 21 de retención estén esencialmente conectados como registro de desplazamiento largo, en donde la salida del último circuito de retención del anillo 18 esté conectada a la entrada del primer circuito de retención en el anillo 21. La salida del último circuito de retención del anillo 21 esté conectada a la línea de salida de exploración. La pauta de datos a ingresar en los anillos 18 a 21 de retención es aplicada en serie al terminal 12 de entrada, y son aplicados al terminal 13 impulsos de desplazamiento para desplazar los datos en los anillos de retención. Los circuitos de retención que constituyen los anillos 18 y 21 de retención pueden funcionar indistintamente en modo de registro de desplazamiento y modo de registro sin desplazamiento.

Normalmente, en un sistema de computador, el valor predeterminado a ingresar en los anillos 18 y 21 de retención habría de ser explorado en estos anillos de retención durante la carga de programa inicial del siste-

ma de computador. Los valores a ajustar en ellos, por supuesto, se obtienen comprobando diferentes puntos de los circuitos de computador, por ejemplo por medio de un osciloscopio, para determinar el grado de ajuste requerido. Una vez conocido el grado de ajuste requerido, pueden calcularse los valores para producir el ajuste requerido.

Cada uno de los selectores 20 y 23 de ancho de impulso y retardo de impulso incluye, en este ejemplo particular, once circuitos "Y" que tienen entradas procedentes de las once tomas intermedias de la línea 16 de retardo, y que están condicionados por las once salidas de los descodificadores 19 y 22, respectivamente. Los valores establecidos en los anillos 18 y 21 de retención determinarán cuál de los circuitos "Y" en los selectores 20 y 23 están condicionados. Las salidas de los circuitos "Y" incluidos en los selectores 20 y 23 alimentan circuitos "O" que proporcionan salidas sobre las líneas 24 y 25, respectivamente. Los impulsos de salida que aparecen en las líneas 24 y 25 están representados por las formas de onda B y C, respectivamente, en la figura 4. Deberá observarse que las formas de onda B y C son solamente representativas (y sus apariciones en el tiempo dependen) de los valores establecidos en los anillos 18 y 21 de retención, respectivamente.

El impulso procedente del selector 20 de retardo de impulso es aplicado a los circuitos "Y" 26 y 27 a través de la línea 24. De un modo similar, la salida del selector 23 de ancho de impulso es aplicada a circuitos "Y" 30 y 31 a través de la línea 25. Los circuitos "Y" 26 y 30 alimentan directamente el circuito "O" inversor 34, mientras que los circuitos "Y" 27 y 31 alimentan el circuito 34 "O" inversor a través de elementos 29 y 33 de

retardo de pequeña oscilación. Estos elementos de retardo de pequeña oscilación tienen un retardo de un nanosegundo. el último circuito de retención incluido en los anillos 18 y 21 de retención determine si serán transmitidos o no a través de los elementos 29 y 33 de retardo de pequeña oscilación, respectivamente, los impulsos procedentes de los selectores 20 y 23. La salida de último circuito de retención del anillo 18 es aplicada directamente al circuito "Y" 27, y es aplicada, a través del inversor 28, al circuito "Y" 26. Por tanto, si este circuito de retención está puesto en el estado "cero", se condiciona el circuito "Y" 26 y, si está ajustado al estado "1", se condiciona el circuito "Y" 27. De un modo similar, la salida del último circuito de retención en el anillo 21 de retención es aplicada al circuito "Y" 30 a través del inversor 32 y directamente al circuito "Y" 31.

El circuito "O" inversor 34 funciona para combinar lógicamente los dos impulsos de entrada que recibe. En este ejemplo particular, los impulsos de entrada son impulsos de excursión negativa, y de este modo de salida del circuito "O" inversor 34 es un impulso de excursión positiva en la línea 35, como se indica por la forma de onda D en la figura 4. Este impulso de excursión positiva tiene un ancho CW de impulso que es igual al intervalo de tiempo durante el cual los dos impulsos de entrada son negativos. El retardo CD poco preciso y el ancho CW de impulso poco preciso, para ajustar sin precisión los impulsos de salida, están dados por las expresiones siguientes:

$$CD = CH \times \Delta D$$

$$CW = \frac{P}{2} - \Delta D (CH - CL)$$

Donde:

CD = retardo de ajuste poco preciso

CH = Número de toma intermedia de la toma de líneas de retardo seleccionada más alta

ΔD = retardo entre tomas intermedias de líneas de retardo adyacentes

CW = ancho de impulso poco preciso

P/2 = 1/2 del período de oscilador

CL = número de toma intermedia de la toma intermedia de la línea de retardo seleccionada más baja.

En la figura 2, el selector 20 selecciona la toma intermedia de orden superior de la línea 16 de retardo, y el selector 23 selecciona la toma de orden inferior de esa línea de retardo. Por tanto, el selector 20 se denomina selector de retardo de impulso y el selector 23 es el selector de ancho de impulso. Por supuesto, las funciones de los selectores 20 y 23 podrían invertirse sin afectar a la salida de la unidad 15 de ajuste poco preciso. La unidad 15 de ajuste poco preciso funciona para dividir los impulsos de sincronismo más de lo necesario a fin de proporcionar separación de impulsos de sincronismo. Como se verá en breve, las unidades 55 de ajuste preciso amplían los impulsos procedentes de la unidad 15 de ajuste poco preciso para proporcionar impulsos de sincronismo con el ajuste de desviación y ancho de impulso deseados.

El impulso procedente del circuito "0" inversor 34 se aplica, a través de la línea 35, al circuito 36 de control de modo de impulso, que permite indistintamente

el funcionamiento normal o el funcionamiento en modo de impulso. Para funcionamiento normal, el circuito 36 de control de modo de impulso deja pasar impulsos repetitivos que aparecen en la línea 35 a la línea 37 de salida. El funcionamiento normal se controla dejando establecido el terminal 38 de modo de impulso en un nivel positivo. Cuando el terminal 38 se mantiene en un nivel negativo, tiene lugar el funcionamiento en modo de impulso. El funcionamiento de modo de impulso es utilizado para fines de diagnóstico. El circuito 36 de control de modo de impulso, cuando funciona en el modo de impulso, permite que se transmita a la línea 37 un impulso único presente en la línea 35, aunque sean aplicados impulsos repetitivos a través de la línea 35 al circuito 36 de control de modo de impulso. Por tanto, cuando el terminal 38 es desplazado a un nivel negativo, el circuito 36 de control de modo de impulso bloquea los impulsos en cuanto a su transferencia de la línea 35 a la línea 37. Puede ser transferido un impulso único desde la línea 35 hasta la línea 37 por accionamiento del conmutador 39 de ciclo único. Con el fin de que pase un impulso de la línea 35 a la línea 37, puede accionarse y liberarse el conmutador 39 de ciclo único, que es un conmutador del tipo de pulsador.

Los detalles del circuito 36 de control de modo de impulso están representados en la figura 5. Como se ha indicado anteriormente, el nivel de tensión del terminal 38 está mantenido en un valor positivo para funcionamiento normal. El nivel del terminal 38, por supuesto, puede ser controlado por un conmutador o un bitio de programa; es decir cuando el bitio de programa está en el estado

"1", el terminal 38 estaría a un nivel positivo y, cuando esté en el estado cero, el terminal 38 estaría en un nivel negativo, o viceversa, siendo criterio de elección los estados del bitio de programa. En este ejemplo particular, el circuito 35 de modo de impulso contiene un terminal de selección de plaquita, el cual, como se verá posteriormente, permite que sea utilizada una parte común tanto para la unidad de ajuste poco preciso como para la unidad de ajuste preciso. El terminal selector 40 de plaquita está controlado por una posición de anillo de exploración adicional, que se describirá en la figura 7. Debido a que la unidad 15 de ajuste de impulso de la figura 2 está diseñada como unidad de ajuste poco preciso, la posición de anillo de exploración de selección de plaquita no está representada, o no se requiere. En este caso, el terminal 40 de selección de plaquita estaría conectado a un nivel negativo.

El terminal 40 de selección de plaquita alimenta el circuito "0" inversor 41 y los circuitos "0" 42 y 43, como lo hace el terminal 38 de modo de impulso. El conmutador 39 de ciclo único, que está indistintamente a un nivel positivo o negativo, alimenta el circuito "0" inversor 41 y el circuito "0" 42. Los impulsos presentes en la línea 35 son aplicados al inversor 44 y al circuito "0" inversor 45. La salida del inversor 44 cambia repetitivamente con los impulsos repetitivos presentes en la línea 35, y está aplicada al circuito "0" inversor 46 que constituye un circuito de retención con los circuitos "0" inversores 47 y 48. La salida del circuito "0" inversor 48, además de estar conectada en realimentación al cir-

5 cuito "0" inversor 47, alimenta el circuito "0" inversor 45, que tiene también una entrada procedente del circuito "0" inversor 49. El circuito "0" inversor 49 recibe entrada de los circuitos "0" 42 y 43. El circuito "0" inversor 41 alimenta los circuitos "0" inversores 46, 47 y el circuito "0" inversor 50 que constituye un circuito de retención con el circuito "0" inversor 51. El circuito "0" inversor 50 tiene también una entrada procedente del circuito "0" 43. El circuito "0" inversor 51, además de recibir una entrada procedente del circuito "0" inversor 50, tiene una entrada que procede del circuito "0" inversor 45, y la salida del circuito "0" inversor 51 está conectada en realidad a una entrada del circuito "0" inversor 50. La salida del circuito "0" inversor 50 es aplicada también a la entrada de los circuitos "0" inversores 46 y 47.

10 Cuando en el modo normal o de oscilación libre, el terminal 38 de modo de impulso esté a un nivel de tensión positiva, el conmutador 39 de ciclo único está sometido a un nivel de tensión positivo y el terminal 40 de selección de plaquita esté a un nivel de tensión negativo. De este modo, la salida del circuito "0" inversor 41 está a un nivel negativo y las salidas de los circuitos "0" 42 y 43 están a niveles positivos. La salida de los circuitos "0" inversores 49 y 50 están a niveles negativos. La salida del circuito "0" inversor 46 está a un nivel positivo cuando esté presente el impulso de entrada, es decir la salida del inversor 44 está a un nivel negativo y las otras entradas de los circuitos "0" inversores 41 y 50 estén ambas a un nivel negativo. La salida del circuito "0" inversor 48 estará a un nivel negativo, y se-

15

20

25

30

rá mantenida en este nivel negativo por la vía de transmisión de retorno de retención al circuito "0" inversor 47, porque la salida del circuito "0" inversor 47 está a un nivel positivo, por cuanto todas sus entradas están a niveles negativos. De este modo, el circuito "0" inversor 45 tendrá sus entradas procedentes de los circuitos "0" inversores 48 y 49 a niveles negativos, y la entrada procedente de la línea 35 hará cambiar los niveles de acuerdo con los impulsos que aparecen sobre ella. De este modo, la salida del circuito "0" inversor 45 estará a nivel negativo cuando esté presente el impulso, y en un nivel positivo cuando esté ausente el impulso. La salida del circuito "0" inversor 51 es indiferente durante el funcionamiento en modo normal.

Cuando el funcionamiento tiene lugar en el modo de ciclo único, el terminal 38 de modo de impulso y el terminal 40 de selección están a nivel negativo. Adicionalmente, suponiendo que no está accionado el conmutador 39 de ciclo único, la salida del circuito "0" inversor 41 está a un nivel negativo. La salida del circuito "0" 42 está a un nivel positivo; sin embargo, la salida del circuito "0" 43 está a un nivel negativo. De este modo, la salida del circuito "0" inversor 49 está a un nivel negativo. El circuito "0" inversor 50 tiene una salida positiva, y de este modo están a un nivel negativo las salidas de los circuitos "0" inversores 46 y 47.

Cuando cae el nivel del impulso en la línea 35, la salida del circuito "0" inversor 48 se mantiene con nivel positivo, y la salida de los circuitos "0" inversores 45 y 51 se mantiene con nivel negativo. Por consiguiente,

el circuito de retención formado por los circuitos "0" inversores 50 y 51 permanece en el mismo estado. Entonces, la salida de la línea 37 permanece en el nivel negativo. Cuando está accionado el conmutador SCS 39, la salida del circuito "0" inversor 41 cambia a un nivel positivo, y el nivel de salida del circuito "0" 42 toma nivel negativo. De este modo, la salida del circuito "0" inversor 49 toma nivel positivo y la salida del circuito "0" inversor 50 toma un nivel negativo. La salida del circuito "0" inversor 45 se conserva en el nivel negativo, y por tanto, aun que la salida del circuito "0" inversor 51 cambie a un nivel positivo, no es transmitido ningún impulso a la línea 37 porque el circuito "0" inversor 45 permanece en el nivel negativo.

La salida del circuito "0" inversor 48 tiene nivel positivo. Entonces, al producirse la liberación del conmutador SCS 39, la salida del circuito "0" inversor 41 toma un nivel negativo y la salida del circuito "0" 42 vuelva al nivel positivo. La salida del circuito "0" 43 permanece en el nivel negativo. La salida del circuito "0" inversor 49 toma un nivel negativo y la salida del circuito "0" inversor 50 permanece en el nivel negativo. La salida del circuito "0" inversor 46 depende del nivel transmitido por el inversor 44. Cuando el impulso presente en la línea 35 tiene un nivel positivo, la salida del circuito "0" inversor 46 toma nivel positivo. Esto hace que la salida del circuito "0" inversor 48 tome un nivel negativo. La salida del circuito "0" inversor 45 permanece en el nivel negativo, pero cuando toma nivel negativo el impulso de la línea 35, la salida del circuito "0" inversor 45 to

me un nivel positivo. La salida del circuito "0" inversor 51 toma un nivel negativo y la salida del circuito "0" inversor 50 toma un nivel positivo. De este modo, es transmitido un impulso de sincronismo único en la línea 35 hasta la línea 37 de salida mediante el accionamiento y liberación del conmutador 39 de ciclo único cuando el terminal 38 está a un nivel negativo para funcionamiento en modo de impulso.

Los impulsos que aparecen en la línea 37 son aplicados a las unidades 55 de ajuste preciso. En este caso particular, la unidad 15 de ajuste poco preciso tiene quince salidas excitadoras y por tanto es capaz de excitar quince unidades 55 de ajuste preciso. Los impulsos que aparecen en la línea 37 son aplicados a la línea 56 de retardo en cada unidad 55 de ajuste preciso que tiene circuitos lógicos detallados, como se ilustra en la figura 3. la línea 56 de retardo es similar a la línea 16 de retardo de la unidad 15 de ajuste poco preciso, y tiene diez tomas intermedias que, junto con una derivación tomada de la línea 37, constituye la línea general 57 que alimenta el selector 60 de retardo de impulsos y el selector 64 de ancho de impulso. Los selectores 60 y 64 de retardo de impulso y de ancho de impulso tienen once circuitos "Y" cada uno, los cuales tienen entradas procedentes de tomas intermedias en la línea 56 de retardo y están condicionados por salidas de los descodificadores 59 y 63, respectivamente. Los descodificadores 59 y 63 están alimentados por salidas de los anillos 58 y 62 de exploración. Los anillos 58 y 62 de exploración son similares a los anillos 18 y 21 de exploración y pueden ser activados con valores

del mismo modo que se ha descrito anteriormente en relación con los anillos 18 y 21 de exploración.

5 La última posición del anillo 58 de exploración alimenta el inversor 66 y el circuito "Y" 68. La salida del selector 67 de retardo de impulso alimenta los circuitos "Y" 67 y 68. La salida del circuito "Y" 67 alimenta directamente el circuito "O" inversor 74, mientras que la salida del circuito "Y" 68 alimenta el circuito "O" inversor 74 a través de un circuito 69 de retardo de pequeña oscilación. El impulso que aparece en la salida del selector 60 en la línea 61 está representado por la forma de onda E en la figura 4.

10

15 El selector 64 de ancho de impulso tiene once circuitos "Y", que son alimentados a través de la línea general 57, y estos circuitos "Y" están condicionados por las salidas del descodificador 63. El descodificador 63 es alimentado por salidas del anillo 62 de exploración. El selector 64 de ancho de impulso transmite un impulso por la línea 65, que está representado por la forma de onda F en la figura 4. Los impulsos transmitidos por el selector 64 de ancho de impulso en la línea 65 son aplicados a los circuitos "Y" 71 y 72, que están condicionados por la última posición del anillo 62 de exploración. La salida del circuito "Y" 71 alimenta el circuito "O" inversor 74, y la salida del circuito "Y" 72 alimenta el circuito "O" inversor 71 a través de la unidad 73 de retardo de pequeña oscilación.

20

25

30 Deberá observarse que los impulsos representados por las formas de onda E y F son impulsos de excursión positiva y, por tanto, el circuito "O" inversor 74

transmite un impulso de excursión negativa, como se representa por la forma de onda G en la figura 4. La salida del circuito "0" inversor 74 tiene un nivel negativo durante el tiempo en que cualquiera de los impulsos presentes en las líneas 61 ó 65 estén en un nivel positivo. Se ve así que el impulso representado por la forma de onda G tiene un ancho mayor que el impulso que es aplicado por la línea 37 a la unidad 55 de ajuste preciso. Excluyendo el efecto de los circuitos 69 y 73 de retardo de pequeña oscilación, el grado de ajuste de retardo preciso (FD) y ancho de impulso preciso (FW) proporcionado por la unidad 55 de ajuste preciso está dado por las siguientes expresiones:

$$FD = FL \times \Delta D$$

$$FW = CW + \Delta D (FH - FL)$$

Donde:

FD = retardo de ajuste preciso

FL = número de tomas intermedia de la toma de líneas de retardo seleccionado de orden inferior

ΔD = retardo entre tomas intermedias adyacentes de líneas de retardo

FW = ancho de impulso preciso

FH = número de tomas intermedia de la toma de líneas de retardo seleccionada de orden superior.

De este modo, cualquier diferencia en las tomas de la líneas de retardo seleccionadas por los selectores 60 y 64 tiene como función aumentar el ancho del impulso que aparece en la salida del circuito "0" inversor 74.

El retardo adicional, que puede ser proporcionado por cada uno de los circuitos 69 y 73 de retardo de pequeña oscilación, es igual a la mitad de ΔD . En este ejemplo particular, el retardo de pequeña oscilación adicional es igual a un nanosegundo. De este modo, el retardo de ajuste preciso o el ancho de ajuste preciso pueden ser ajustados adicionalmente en un nanosegundo.

La salida del circuito "0" inversor 74 alimenta los circuitos "Y" 75, 76, 77 y 78 de lógica negativa. Estos circuitos "Y" de lógica negativa están condicionados por las señales G0, G1, G2 y G3 de puerta de sincronismo, respectivamente. Las señales G0, G1, G2 y G3 de puerta de sincronismo están proporcionadas por el generador 80 de señales de puerta de sincronismo de la figura 1. Los circuitos "Y" 75, 76, 77 y 78 de lógica negativa proporcionan impulsos T0, T1, T2 y T3 de sincronismo, respectivamente, donde el impulso T0 de sincronismo está ilustrado por la forma de onda I, y está presente cuando el circuito "Y" 75 de lógica negativa está condicionado por la señal G0 de puerta de sincronismo, representada por la forma de onda H en la figura 4. El ancho de la señal G0 de puerta de sincronismo está seleccionado de modo que condicione el circuito "Y" 75 de lógica negativa asociado para el campo de variación de diferentes posiciones posibles retardadas de los impulsos transmitidos por el circuito "0" inversor 74. Las señales G0-G3 de puerta de sincronismo, ambas inclusive, se producen secuencialmente, y por tanto se producen secuencialmente los impulsos T0-T3 de sincronismo.

En algunos sistemas de computador, es deseable tener un generador de impulsos de sincronismo de dos fases,

como se expone en la figura 6. El oscilador 10 representado en la figura 6 alimenta los circuitos 100a y 100b de retardo. Los circuitos 100a y 100b de retardo funcionan para ajustar retardos debidos a diferencias de distancia de cableado. Las unidades 100a y 100b de retardo alimentan las unidades 15a y 15b de ajuste par e impar poco preciso, respectivamente. Las unidades 15a y 15b de ajuste poco preciso par e impar tienen dos conjuntos de salida. Uno de los conjuntos de salida incluye dos excitadores que alimentan la línea general 110. El otro conjunto de salidas incluye catorce excitadores que alimentan la línea general 111. La línea general 110 alimenta dos elementos de retardo representados por la unidad 112 de retardo, y estos dos elementos de retardo alimentan dos unidades 55a y 55b de ajuste preciso. Las unidades 15a y 15b de ajuste poco preciso y las unidades 55a y 55b de ajuste preciso tienen las estructuras de la unidad 15 de ajuste poco preciso y la unidad 55 de ajuste preciso ilustradas en las figuras 2 y 3, respectivamente. Las dos etapas excitadoras en las unidades 15a y 15b de ajuste poco preciso que alimentan la línea general 110 proporcionan, sin embargo, impulsos de ajuste solamente en el modo de funcionamiento normal y no en el modo de impulso, porque los impulsos procedentes de las unidades 55a y 55b de ajuste preciso proporcionan impulsos de sincronismo de renovación de datos de memoria. Los impulsos de sincronismo de renovación de memoria deben producirse continuamente. Las unidades 55a y 55b de ajuste preciso par e impar están controladas en su salida por impulsos de puerta de sincronismo procedentes del anillo 116 de renovación de memoria, que está

controlado por los circuitos 115 de control de renovación de memoria.

5 Los catorce excitadores que alimentan la línea general 111, que alimenta doce elementos de retardo representados por la unidad 113 de retardo, pueden transmitir impulsos de ajuste poco preciso ya sea en el modo normal o en el modo de impulso. Los elementos 112 y 113 de retardo funcionan para ajustar diferencias de distancia de conexión y retardos debidos a diferencias de características de plaquita en el ajuste preciso. Las unidades 113

10 de retardo alimentan las unidades 55c de ajuste preciso par y ajuste preciso impar. Estas unidades de ajuste preciso impar y ajuste preciso par estén controladas por señales de puerta procedentes de la unidad 120 de puerta.

15 La unidad 120 de puerta tiene tres tipos de entradas de puerta. El generador 124 de señales de puerta de sincronismo proporciona las señales T0, T1, etc de puerta de unidad central de tratamiento a través de la unidad 121 de control de puerta de unidad central de tratamiento y

20 las señales S0, S1, etc de puerta de memoria a través del circuito 122 de control de puerta de memoria. El generador 125 de puerta de sincronismo proporciona las señales C0, C1, etc de puerta de canal a través del circuito 123 de puerta de canal. El contador 124 de anillo de sincronismo de unidad central de tratamiento recibe impulsos im-

25 par y par (modo de impulso) procedentes de las salidas de la unidad 55c de ajuste preciso par y ajuste preciso impar. El contador de anillo de sincronismo 124 de unidad central de tratamiento tiene también una entrada procedente de las unidades 130 de control de sincronismo. Deberá

30

observarse que las unidades 130 de control de sincronismo proporcionen la señal de modo de impulso que es aplicada a las unidades 15a y 15b de ajuste poco preciso par y ajuste poco preciso impar que alimentan la línea general 111. Estas unidades particulares de ajuste poco preciso par e impar pueden funcionar en el modo de impulsos. Las unidades 130 de control de sincronismo proporcionan también una señal de control para el contador 125 de anillo de sincronismo de canal. Las unidades 130 de control de sincronismo tienen entradas de control adicionales que no son pertinentes para el presente invento. Estas entradas adicionales se denominen "otros controles". Las unidades 130 de control de sincronismo reciben también impulsos de sincronismo de renovación de memoria en la línea 131 para fines de sincronización.

El presente invento puede ser ejecutado físicamente en tecnología de integración en gran escala (LSI). Está representada en la figura 7 incorporada en una única plaqueta LSI una unidad de ajuste de retardo de impulso y ancho de impulso. Esta plaqueta de ajuste de retardo de impulso y ancho de impulso tiene anillos 150 y 151 de exploración de retardo de impulso y ancho de impulso. Estos anillos de exploración tienen la misma función que los anillos de exploración descritos en relación con la unidad 15 de ajuste poco preciso de la figura 2 y la unidad 55 de ajuste preciso de la figura 3. El oscilador y líneas de retardo están situadas fuera de la plaqueta y de este modo no están representadas en la figura 7. Las once señales procedentes del oscilador y líneas de retardo, no representadas, son transmitidas a través de la línea 152 al

circuito 153 descodificador de retardo de impulso y selector, y al circuito 154 selector y descodificador de ancho de impulso. Los circuitos 153 y 154 selectores y descodificadores de ancho de impulso y de retardo de impulso contienen circuitos "Y" que tienen entradas procedentes de la línea general 152 y entradas procedentes de los anillos 150 y 151 de exploración. En otras palabras, el circuito 153 selector y descodificador de retardo de impulso realiza la misma función que el descodificador 19 y el selector 20 de retardo de impulso de la figura 2, y el descodificador 59 y el selector 60 de retardo de impulso de la figura 3. Similarmente, el circuito 154 selector y descodificador de ancho de impulso realiza la misma función que el descodificador 22 y el selector 23 de ancho de impulso de la figura 2, y el descodificador 63 y el selector 64 de ancho de impulso de la figura 3. La salida del circuito 153 selector y descodificador de retardo de impulso es aplicada a circuitos "0" inversores 155 y 157. El circuito "0" inversor 55 está condicionado por la posición de bitio "cero" del anillo 151 de exploración, y el circuito "0" inversor 157 está condicionado por esta posición de bitio a través del inversor 156. El circuito "0" inversor 157 alimenta el circuito 158 de retardo de pequeña oscilación y la salida del circuito 158 de retardo de pequeña oscilación está aplicada, junto con la salida del circuito "0" inversor 155, a una conexión DOT OR 159.

La salida del circuito 154 selector y descodificador de ancho de impulso está aplicada a circuitos "0" inversores 160 y 161. El circuito "0" inversor 160 está condicionado por la posición de bitio cero del anillo 150

de exploración, y el circuito "C" inversor 161 está condicionado por esta posición de bitio del anillo 150 de exploración a través del inversor 162. La salida del circuito "C" inversor 161 alimenta el circuito 163 de retardo de pequeña oscilación. La salida del circuito 163 de retardo de pequeña oscilación está aplicada, junto con la salida del circuito "C" inversor 160, a la conexión DOT OR 159. La conexión DOT OR 159 alimenta la unidad 165 de retardo de impulso y el circuito 170 de control de modo de impulso.

El circuito 170 de control de modo de impulso funciona del mismo modo que el circuito 36 de control de modo de impulso de la figura 2. El circuito 170 de control de modo de impulso se hace inoperante, sin embargo, si la unidad de ajuste ha de ser una unidad de ajuste preciso. El circuito 171 de retención está conectado a la última posición del anillo 151 de exploración, y su salida determina el funcionamiento del circuito 170 de control de modo de impulso. La salida del circuito 171 de retención está conectada a un terminal, no representado, en el circuito 170 de control de modo de impulso, que tiene la misma función que el terminal 40 de la figura 5. Por tanto, si el circuito 171 de retención está activado al estado "1", el circuito 170 de control de modo de impulso funcionará en el modo de impulso, y la plaquita de ajuste de retardo de impulso y ancho de impulso se convierte en una unidad de ajuste preciso. Por el contrario, si el circuito 171 de retención está activado al estado "cero", el circuito 170 de control de modo de impulso puede funcionar en el modo de impulso, y la unidad de ajuste de

retardo de impulso y ancho de impulso se convierte en una unidad de ajuste poco preciso. El estado del circuito 171 de retención, por supuesto, es ajustable por programa, como lo son los estados de los anillos 150 y 151 de retención. Se utiliza una operación de exploración de entrada, como se ha descrito anteriormente, para ajustar los estados de los anillos 150 y 151 de retención y el estado del circuito 171 de retención. El circuito 165 de retardo de impulso funciona de un modo similar a los circuitos 112 de retardo de la figura 6.

La salida del circuito 165 de retardo de impulso está aplicada a los circuitos "Y" 175 y 177. Estos circuitos "Y" están condicionados por la salida del circuito 171 de retención. Por tanto, estará presente una salida de los circuitos "Y" 175 y 177 solamente cuando el circuito 171 de retención esté activado en el estado "1". Deberá observarse también que los circuitos 175 y 177 de retención están condicionados por impulsos de puerta aplicados por la línea general 166. La salida del circuito 170 de control de modo de impulso está aplicada a los circuitos "Y" 176 y 178, y a grupos de circuitos "Y" 180, 185, 190 y 195. Los circuitos "Y" 176 y 178 están condicionados por la salida del circuito 171 de retención a través del inversor 172. Por tanto, los circuitos "Y" 176 y 178 transmiten impulsos procedentes del circuito 170 de control de modo de impulso cuando el circuito 171 de retención está activado en el estado cero. Los circuitos "Y" 176 y 178, así como los grupos de circuitos "Y" 180, 185, 190 y 195, están condicionados por las señales de control de puerta transmitidas a través de la línea general 166. En este

ejemplo particular, los circuitos "Y" 175, 176, 177 y 178 están condicionados por una señal G5 de puerta. Los grupos de circuitos "Y" 180, 185, 190 y 195 están condicionados por las señales G4, G3, G2 y G0 de puerta, respectivamente.

5

La figure 8 ilustra la formación de un impulso de sincronismo que ha sido ajustado con poca precisión por un impulso de retardo de valor cero y un ancho de impulso de valor 5, y ha sido ajustado con precisión con un retardo de impulso de valor 9 y un ancho de impulso de valor 7, más un retardo de pequeña oscilación. El impulso de sincronismo está ilustrado ajustado para la unidad central de tratamiento, en contraste con un impulso de sincronismo ajustado para memoria. El impulso de sincronismo ajustado para memoria tiene el mismo ajuste poco preciso que el impulso para la unidad central de tratamiento, pero tiene un ajuste preciso con un retardo de valor 3.

10

15

Por lo precedente, se ve que el invento crea un aparato mejorado de generación de impulsos que tiene control selectivo de retardo de impulso y ancho de impulso. Adicionalmente, se ve que el invento hace posible el ajuste dinámico de retardo de impulso y ancho de impulso sin modificar físicamente conexiones de circuito. Se ve también que el invento proporciona ajuste de desviación y ancho de impulso con un alto grado de resolución. El invento incluye control de modo de impulso en la unidad de ajuste poco preciso de ancho de impulso y retardo de impulso. Se ve también que el invento puede utilizar una parte de circuito común ajustable selectivamente para ser indistintamente una unidad de ajuste de ancho de impulso y retar-

20

25

30

do de impulso poco precisa o una unidad de ajuste preciso de dichos parámetros.

5

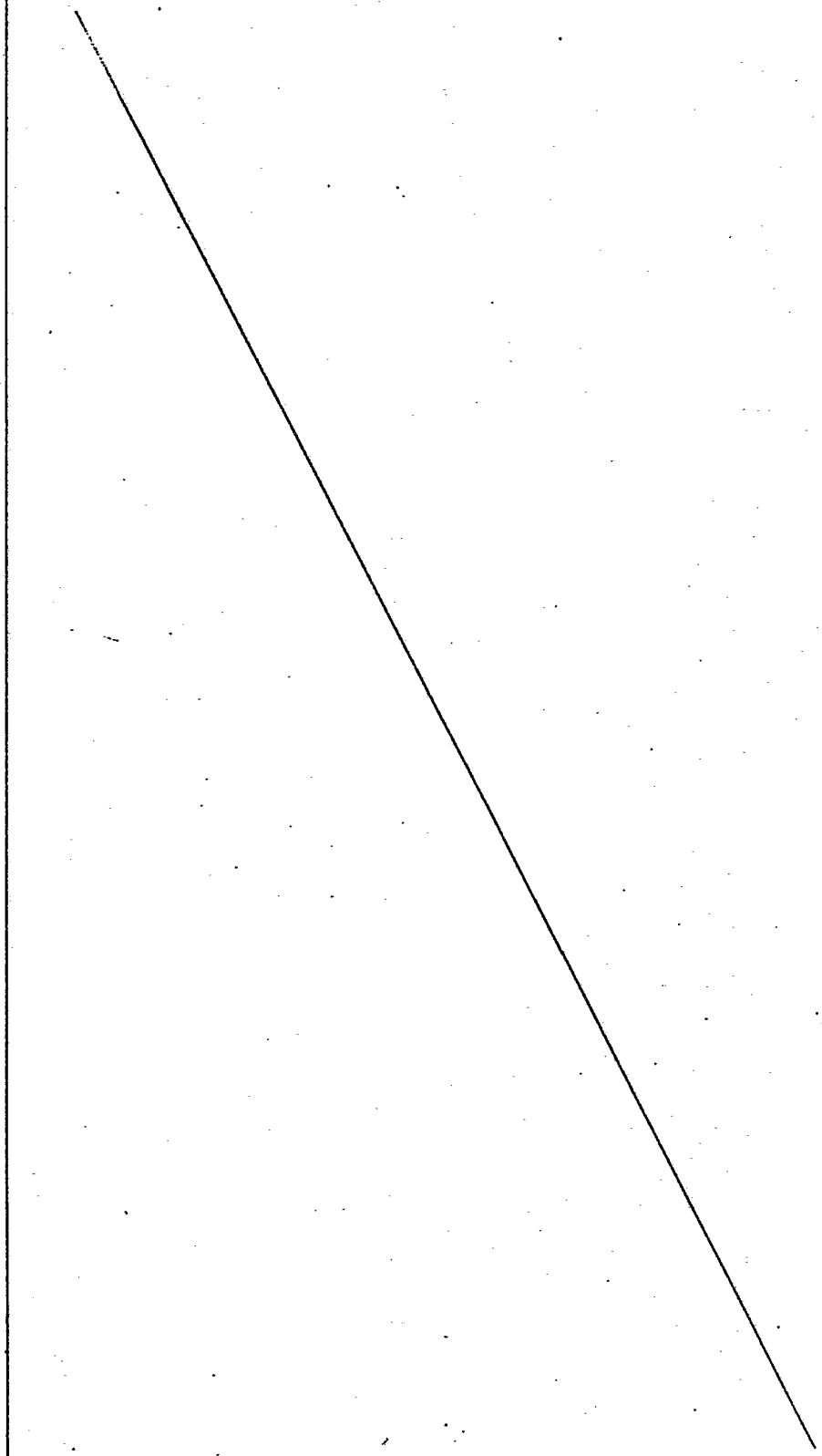
10

15

20

25

30



REIVINDICACIONES

5 Los puntos de invención propia y nueva, que se
presentan para que sean objeto de esta solicitud de Patente
de Invención en España, por VEINTE años, son los que
se recogen en las reivindicaciones siguientes:

10 1ª.- Un aparato generador de impulsos de sincro-
nismo para un sistema de computador, que incluye medios
para producir una serie de impulsos de sincronismo repe-
titivos, caracterizado por: medios de circuito de retardo
para proporcionar un conjunto de impulsos retardados a
partir de cada impulso de dicha serie de impulsos repeti-
15 tivos, primeros medios selectores para selección de retar-
do de impulso conectados a dichos medios de circuito de
retardo para recibir dicho conjunto de impulsos retardados,
y que tienen un número de elementos de control accionables
selectivamente, teniendo cada elemento de control una en-
20 trada para recibir un impulso retardado de dicho conjunto
de impulsos retardados, una salida, y una entrada de con-
trol que, al estar excitada, deja pasar dicho impulso re-
tardado a dicha salida, segundos medios selectores para
selección de ancho de impulso conectados a dichos medios
25 de circuito de retardo para recibir dicho conjunto de im-
pulsos retardados y que tiene un número de elementos de
control accionables selectivamente, teniendo cada elemen-
to de control una entrada conectada para recibir un impul-
so retardado de dicho conjunto de impulsos retardados,
30 una salida, y una entrada de control que al ser excitada

deje pasar dicho impulso retardado a dicha salida, medios de circuito lógico para generar impulsos formados a partir de impulsos procedentes de dichos primeros y segundos medios selectores y medios ajustables selectivamente para excitar la entrada de un elemento de control de dichos primeros medios selectores y la entrada de un elemento de control de dichos segundos medios selectores, con lo cual los impulsos generados por dichos medios de circuito lógico dependen de qué elementos de control de dichos primeros y segundos medios selectores que estén excitados.

2^a.- El aparato generador de impulsos de sincronismo de la reivindicación 1^a, en donde el impulso generado por dichos medios de circuito lógico tiene un ancho de impulso inferior al ancho de impulso de los impulsos procedentes de dichos primeros y segundos medios selectores.

3^a.- El aparato generador de impulsos de sincronismo de la reivindicación 1^a, en donde los impulsos generados por dichos medios de circuito lógico tienen un ancho de impulso superior al ancho de impulso de los impulsos procedentes de dichos primeros y segundos medios selectores.

4^a.- El aparato generador de impulsos de sincronismo de la reivindicación 1^a, que comprende adicionalmente: medios de control de modo de impulso conectados a dichos medios de circuito lógico y que funcionan selectivamente en un modo para transmitir impulsos repetitivos generados por dichos medios de circuito lógico y capaces de funcionar selectivamente en otro modo para transmitir solamente un impulso único de dichos impulsos repetitivos generados por dichos medios de circuito lógico, y medios

para controlar el funcionamiento selectivo de dichos medios de control de modo en dichos uno y otro modos.

5 5ª.- El aparato generador de impulsos de sincronismo de la reivindicación 4ª, en donde dichos medios para controlar el funcionamiento selectivo de dichos medios de control de modo consisten en un elemento binario selectivamente ajustable.

10 6ª.- El aparato generador de impulsos de sincronismo de la reivindicación 1ª, que comprende adicionalmente: primeros medios de circuito de retardo de pequeña oscilación para retardar impulsos procedentes de dichos primeros medios selectores en un grado inferior al retardo entre impulsos de dicho conjunto de impulsos retardados antes de que dichos impulsos procedentes de dichos primeros medios selectores sean aplicados a dichos medios de circuito lógico, y medios accionables selectivamente para aplicar selectivamente impulsos retardados procedentes de dichos primeros medios selectores a dichos primeros medios de retardo de pequeña oscilación y para bloquear impulsos en cuanto a su transmisión directa desde dichos primeros medios selectores a dichos medios de circuito lógico.

15 7ª.- El aparato generador de impulsos de sincronismo de la reivindicación 6ª, que comprende adicionalmente: segundos medios de circuito de retardo de pequeña oscilación para retardar impulsos procedentes de dichos segundos medios selectores en un grado inferior al retardo entre impulsos de dicho conjunto de impulsos retardados antes de que dichos impulsos procedentes de dichos segundos medios selectores sean aplicados a dichos medios ló-

20

30

gicos, y medios accionables selectivamente para aplicar selectivamente impulsos retardados procedentes de dichos segundos medios selectores a dichos segundos medios de retardo de pequeña oscilación y para bloquear impulsos en cuanto a su transmisión directa desde dichos primeros medios selectores a dichos medios de circuito lógico.

8ª.- El aparato generador de impulsos de sincronismo de acuerdo con la reivindicación 1ª, caracterizado porque comprende medios de determinación de retardo de impulso y medios de determinación de ancho de impulso independientes para ajustar con poca precisión el retardo de impulso y ancho de impulso, así como para ajustar con precisión el retardo de impulso y ancho de impulso.

9ª.- "UN APARATO GENERADOR DE IMPULSOS DE SINCRONISMO PARA UN SISTEMA DE COMPUTADOR".

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y tres hojas escritas a máquina por una sola cara.

Madrid, 12 DIC. 1978

P.A.

Alberto de Hualde
Perforador

25

30
2.12.78
JMM/.

70258

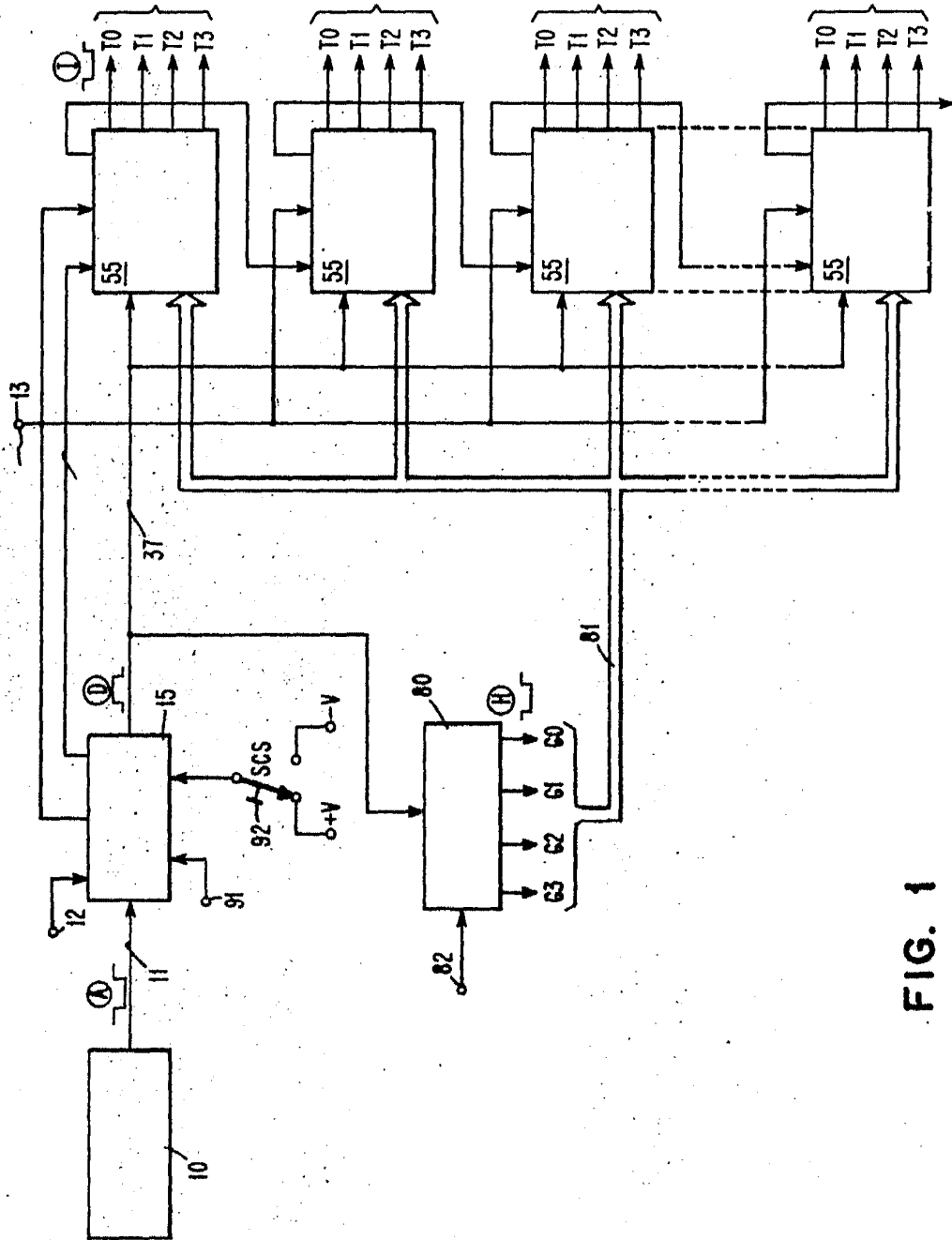


FIG. 1

Alberto G. Szobry
 For Patent



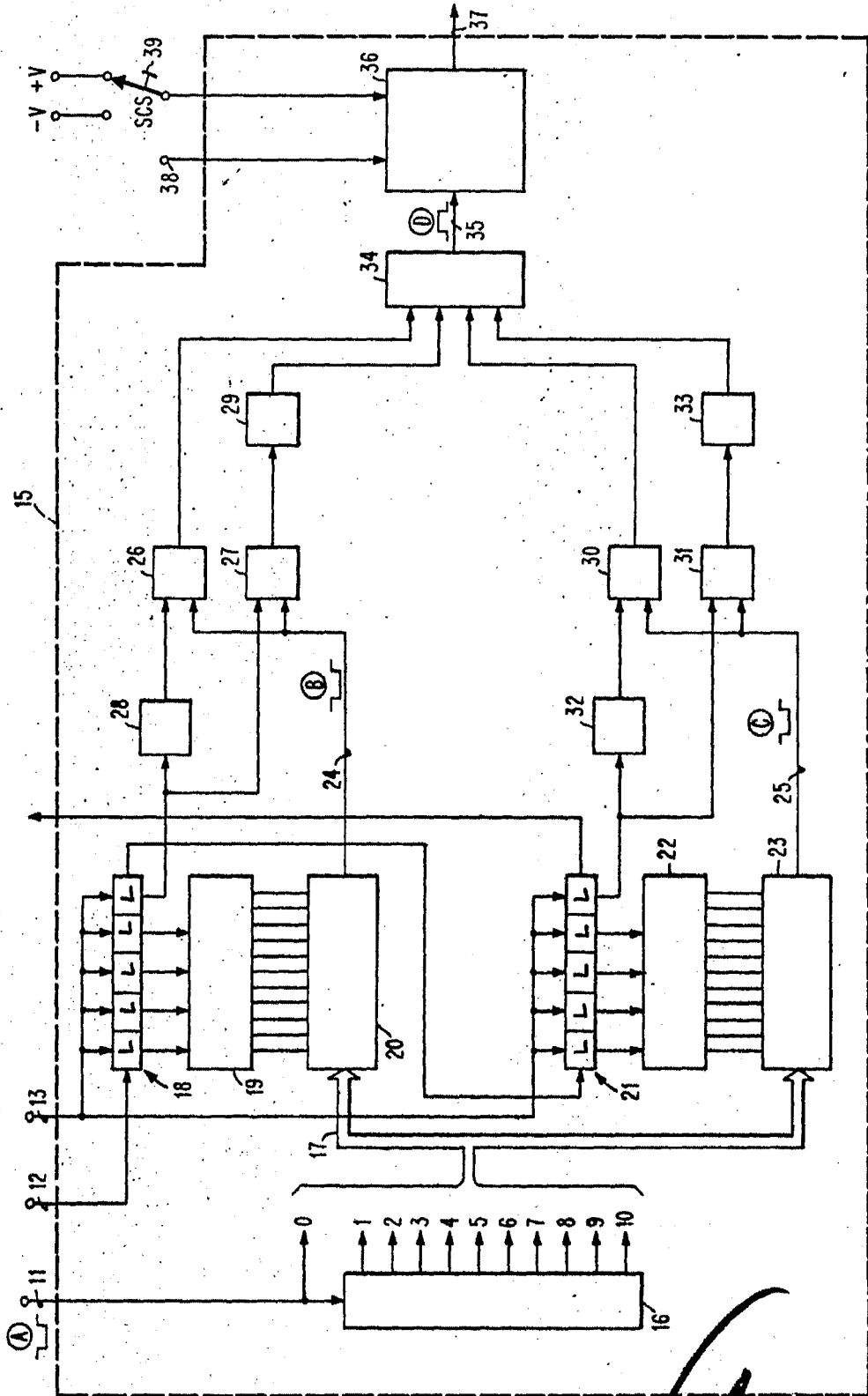


FIG. 2

Alberto de S. Labruna
 Ing. Poder.

70258

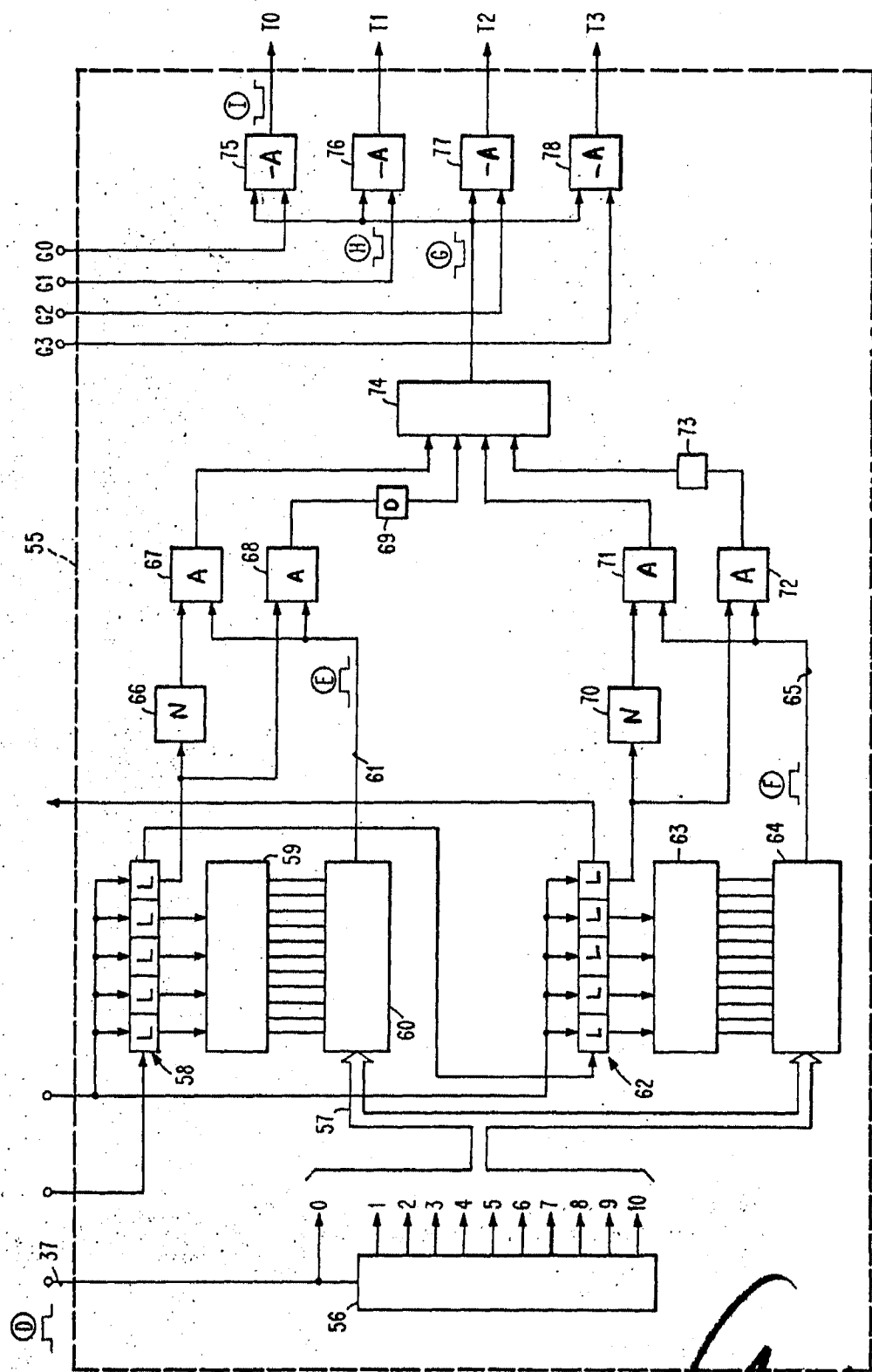


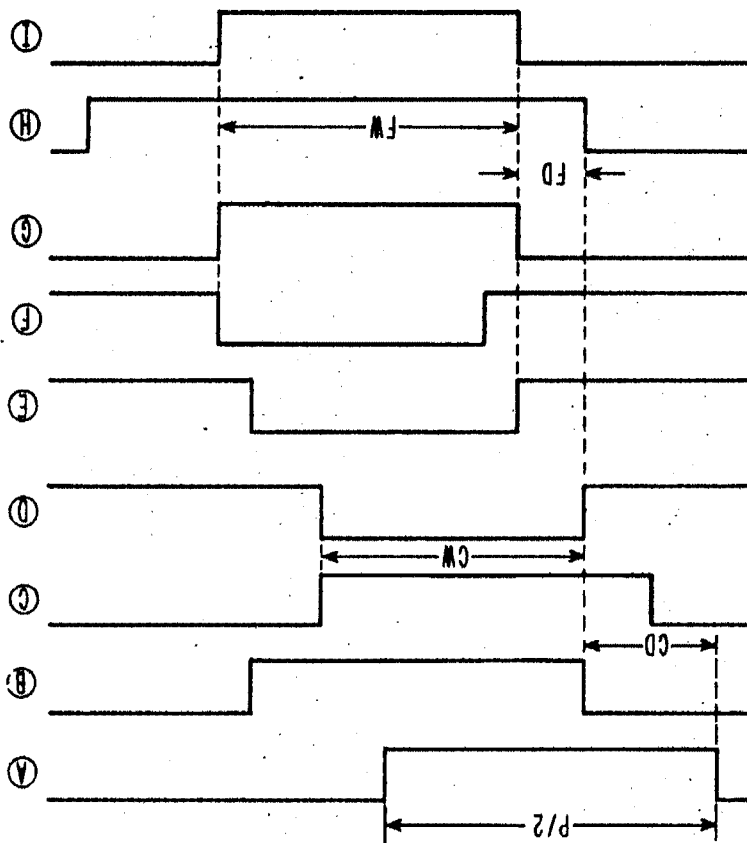
FIG. 3

Approved for Release
 by NSA on 05-08-2014 pursuant to E.O. 13526
 For Podes, *[Signature]*

Alberto de Eizobarta
Pat. 1928

BM-EN 977 004

FIG. 4



70253

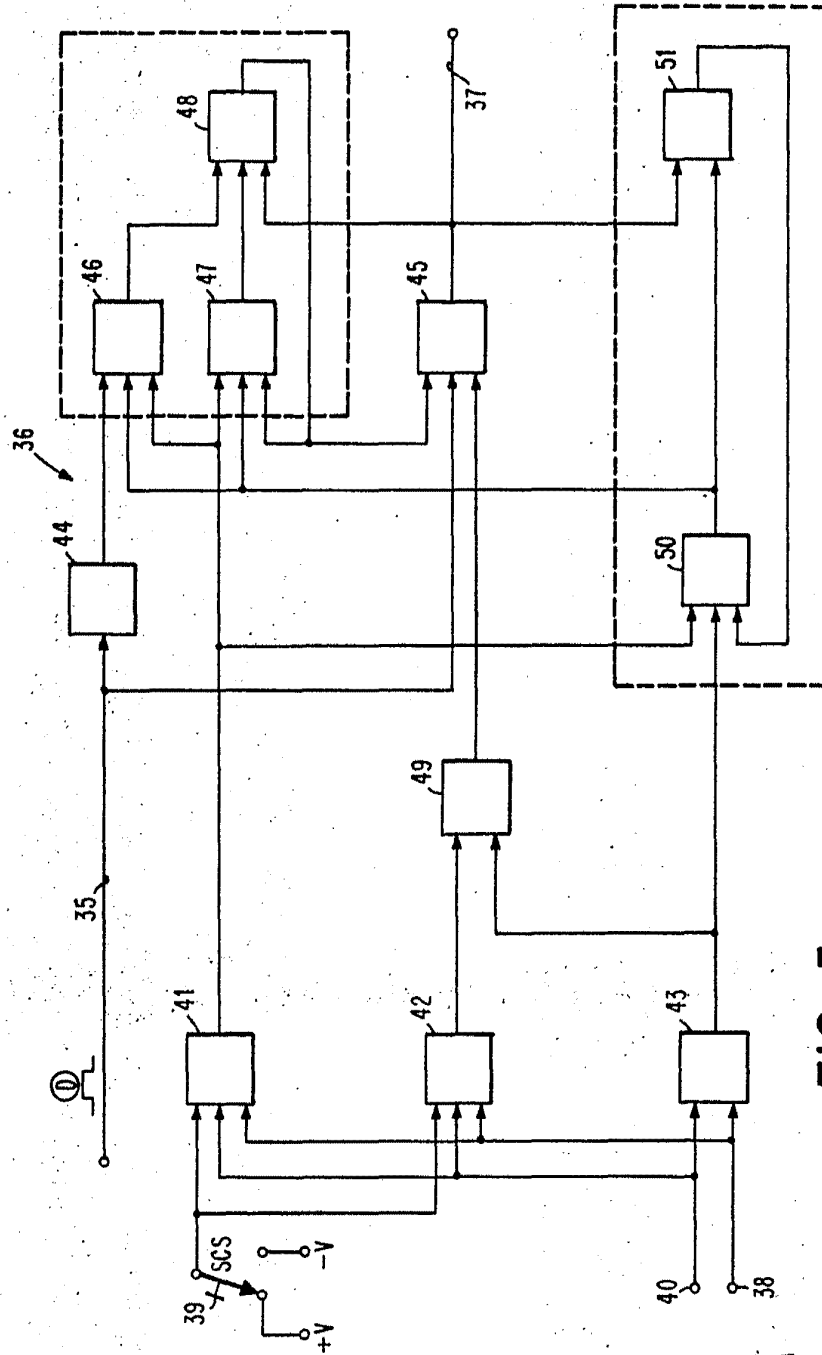


FIG. 5

Alberto de Izaburo
Por Poderes

70258

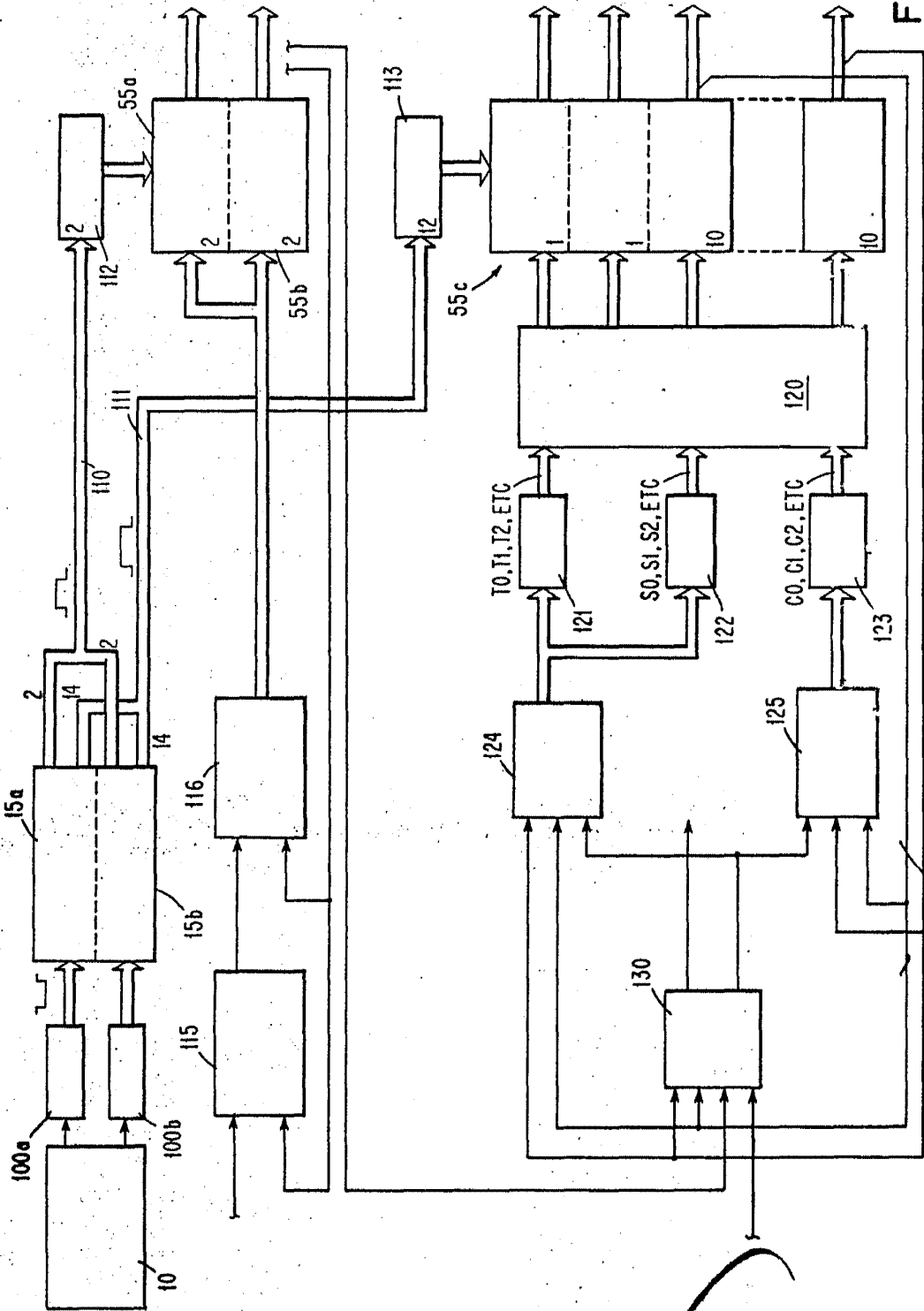


FIG. 6


 Alberto de Azaburu
 For/Prod.

70258

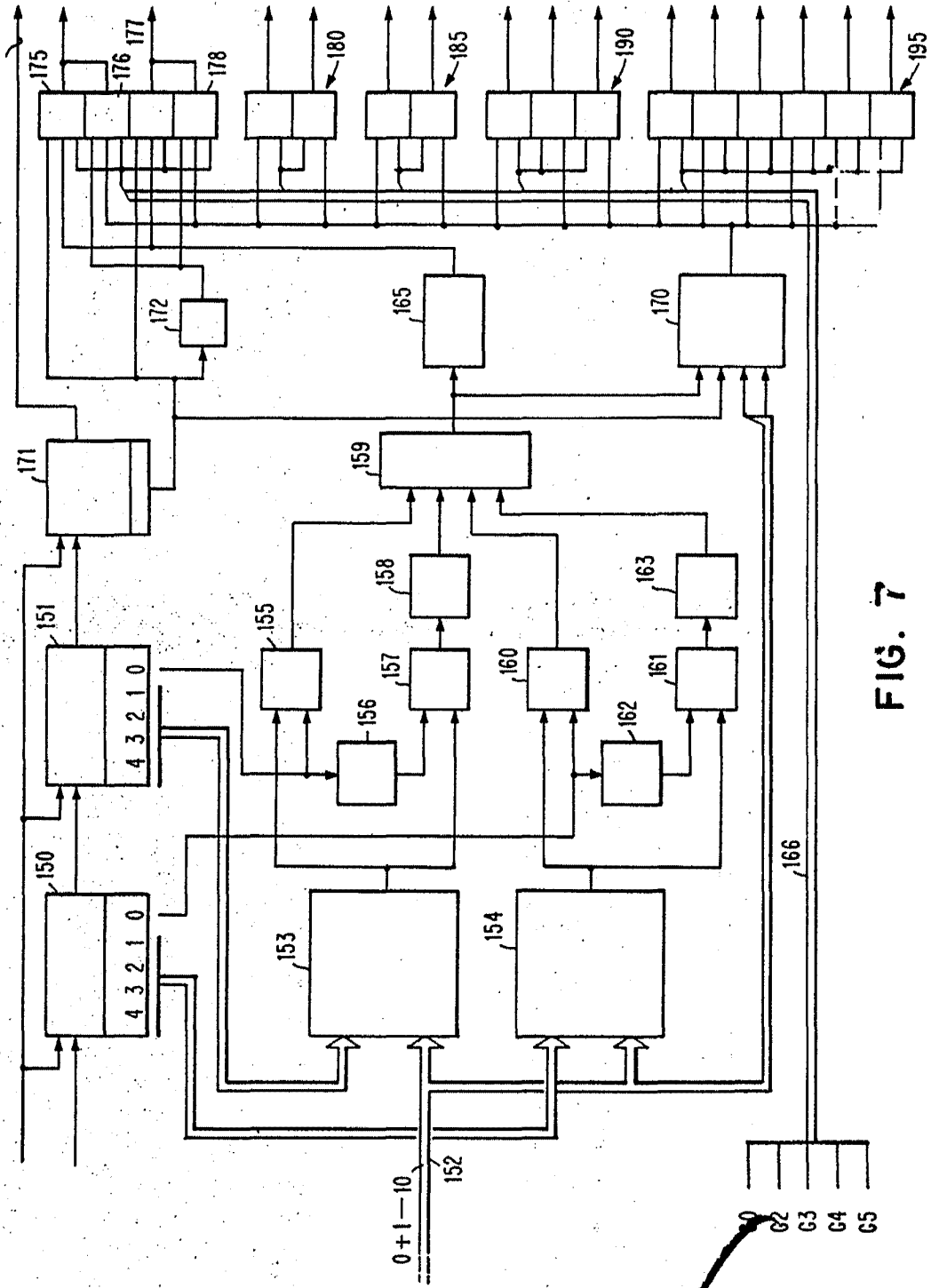
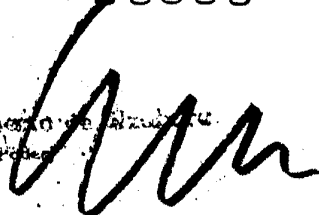


FIG. 7

Alfredo de Alzola
 Por Poder



70258

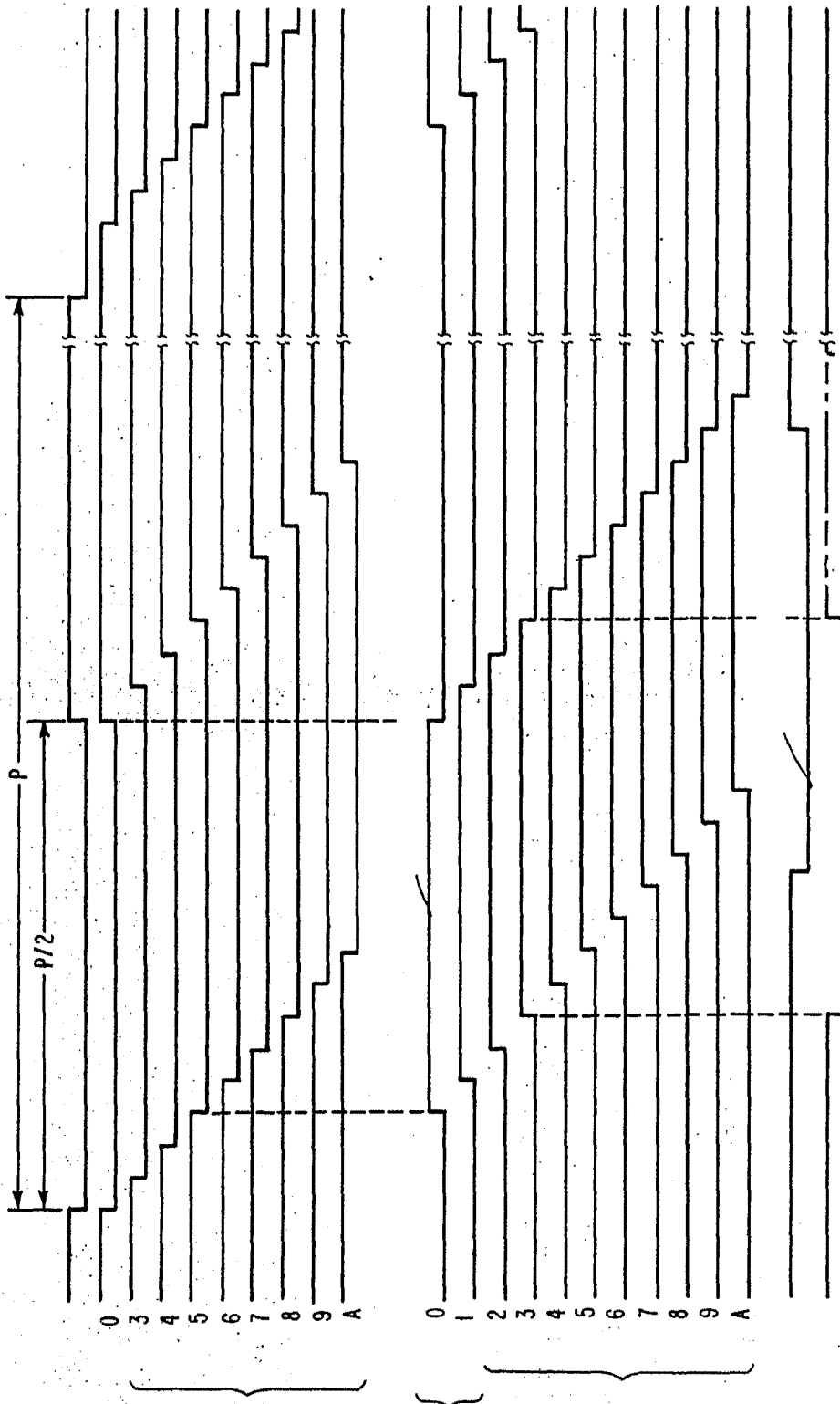


FIG. 8

Handwritten signature
Approved for Release
Date Indefinite