

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

ES

11

21

22

NUMERO
<b>475616</b>
FECHA DE PRESENTACION
1-Diciembre-1.978

A1

20 FEB. 1979

<b>30</b> PRIORIDADES:	<b>32</b> FECHA	<b>33</b> PAIS
<b>31</b> NUMERO		
P 27 54 890.9	9-12-77	R.F.A.

<b>47</b> FECHA DE PUBLICIDAD	<b>51</b> CLASIFICACION INTERNACIONAL	<b>52</b> PATENTE DE LA QUE ES DIVISIONARIA
	G 06 F	

**54** TITULO DE LA INVENCION

"UNA DISPOSICION PARA INTERRUPCION DE PROGRAMA Y PARA CONTROLAR LA CONMUTACION DE NIVEL DE PROGRAMA DEPENDIENTE DE PRIORIDAD EN UN SISTEMA ELECTRICO DE TRATAMIENTO DE DATOS"

**71** SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION (GE9-76-023)

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

**72** INVENTOR (ES)

Walter F. Beismann, Hans H. Lampe y Werner H. Pohle

**73** TITULAR (ES)

**74** REPRESENTANTE

DON FERNANDO DE ELZABURU MARQUEZ (P.-70.199)

Este invento se refiere a una disposición para interrupción de programa y para controlar la conmutación de nivel de programa dependiente de prioridad en un sistema electrónico de tratamiento de datos.

5 Para la ejecución de interrupciones de programa y control de conmutación de nivel de programa dependiente de prioridad, los sistemas de tratamiento de datos conocidos utilizan esencialmente dos principios:

10 1. la comprobación periódica de secuencias de tratamiento externas asíncronas de ordenador para intervención de operador, si es necesario, y

2. la intervención directa de las secuencias de tratamientos externas asíncronas en la secuencia de ordenador (control mediante máscaras y control de prioridad).

15 El primer principio es utilizado principalmente en ordenadores que solamente tienen un nivel de programa (es decir solamente con un registro de dirección de instrucción, solamente un registro de código de estado y solamente una memoria local) de modo que, si es necesario, es decir  
20 en el caso de una solicitud asíncrona exterior, puede efectuarse una conmutación a los programas dispuestos para funcionamiento exterior.

En contraste con esto, los ordenadores que funcionan de acuerdo con el segundo principio están sujetos a  
25 condiciones particulares inherentes a su estructura de circuitos:

- circuitos de prioridad para determinar en cada caso la prioridad de solicitud mas alta cuando varias solicitudes se encuentran  
30 simultáneamente, y

- los registros de dirección de instrucción, los registros de código de condición, y las memorias locales asociadas con los niveles de prioridad individuales.

5 La descripción siguiente está basada en un funcionamiento de ordenador de acuerdo con el segundo principio. Se supone que este ordenador tiene ocho niveles de interrupción con los pertinentes registros de dirección de instrucción, registros de código de condición y memorias  
10 locales. Estos ocho niveles de interrupción están designados como 0 - 7, estando asignado el nivel de prioridad más alto al nivel 0 y el más bajo al nivel 7.

Para controlar los ocho niveles de interrupción o, como se describirá posteriormente, los ocho niveles  
15 de programa, el ordenador está provisto de los circuitos de prioridad necesarios así como de máscaras diferentes para mantener el control de los circuitos de control dentro de límites definidos.

En sistemas conocidos de tratamiento de datos  
20 de este tipo los ocho niveles de programa están asociados con diferentes microprogramas dispuestos para el funcionamiento de los sistemas de tratamiento exteriores. La figura 3 muestra las funciones que pueden asociarse con los niveles de programa individuales si el ordenador sirve esencialmente  
25 para desempeñar tareas de servicio. Tal ordenador de servicio está en general encargado de las tareas de carga de programa inicial, detección de error y diagnóstico, activación de componentes de sistema particulares, tales como la consola con teclado y la unidad de visualización y, en el caso  
30 de sistemas de tratamiento de datos más sofisticados, es res

ponsable de la reestructuración del sistema. Las tareas mencionadas anteriormente que han de realizar tales ordenadores de servicio no son de ningún modo exhaustivas sino que simplemente son un extracto de una lista de tareas que pueden ser encargadas a ordenadores de servicio.

En el ejemplo de la figura 3, el nivel 0 de programa con prioridad más alta aloja todos los microprogramas para analizar y tratar errores de ordenador (EA) detectados por circuitos de comprobación de error.

El nivel 1 de programa que puede ser activado por errores (PSF) en la fuente de alimentación interna sirve para la desconexión de las diferentes unidades de alimentación interiores, siguiendo una secuencia particular.

El nivel 2 de programa aloja el microprograma asociado con un terminal remoto de servicio (RS) por medio del cual el ordenador de servicio dispuesto en una estación de servicio puede ser conectado para fines de servicio, a través de moduladores-desmoduladores o adaptadores de comunicación similares, a otros ordenadores correspondientes que pueden estar interconectados en disposición de estrella al ordenador central de servicio.

El nivel 3 de programa contiene, por ejemplo, los microprogramas para accionamiento del teclado y el dispositivo de visualización (DISPL) de la consola del ordenador.

El nivel 4 de programa contiene el microprograma de un adaptador de línea general (BBA), a través del cual está conectado el ordenador de servicio al sistema restante.

El microprograma para el funcionamiento, por

ejemplo, de una unidad de diskette (DISK) para recoger datos de error para fines de diagnóstico y mantenimiento, está asignado al nivel 5 de programa, como se representa en la figura 3.

5                    Los microprogramas para comprobación del estado de sistema (SYST) y para la medida de tensiones de funcionamiento internas ocupan el nivel 6 de programa.

                    Finalmente, todos los microprogramas de transitorios (TRANS) están alojados en el nivel 7 más bajo.

10                   Las diversas tareas, que se mencionan aquí solo brevemente, pueden ser ejecutadas en paralelo, es decir asíncronamente, de modo que sus solicitudes a los microprogramas pueden hacerse activas de un modo igualmente asíncrono para el respectivo microprograma que se está ejecutando.

15                   La solicitud con prioridad más alta se identifica como solicitud que interrumpe un programa de prioridad inferior en el espacio comprendido entre dos microinstrucciones. La siguiente microdirección secuencial y el último código de estado válido, así como el contenido de memoria local relacionado, se retienen sin alteración hasta que se reanuda el programa interrumpido.

20                   Generalmente, esto significa que al producirse una nueva solicitud asíncrona exterior y después que ha sido atendido un nivel de programa, se realiza una comprobación de prioridad renovada para decidir qué solicitud tiene la prioridad más alta, de modo que puede asignarse el control del ordenador a la solicitud interesada.

25                   De este modo, los microprogramas sobre los diferentes niveles de programa pueden asumir mutuamente el

control del ordenador. El método que se utiliza generalmente para ordenadores que funcionan de acuerdo con el segundo principio, es decir ordenadores controlados por interrupción, tiene tres desventajas importantes:

5                   - Es altamente susceptible a averías y defectos, puesto que las solicitudes asíncronas defectuosas que pueden ser originadas por circuitos defectuosos pueden conducir a que sean conmutados programas en curso de acuerdo con su prioridad, de modo que se producen efectos secundarios por programas erróneamente requeridos.

10                   - Un "estado estacionario" es difícil predecir, o no puede ser predicho en absoluto, de modo que este método conduce a "estados de excedencia" imprevisibles.

15                   - Los errores originados por circuitos o microprogramas son muy difíciles de analizar en esta disposición "incontrolada" y requieren una cantidad de tiempo considerable.

20                   Por consiguiente, el objeto del invento es eliminar las desventajas anteriormente mencionadas. Las interrupciones de solicitudes exteriores ya no conducirán a cambios o interrupciones de programas asíncronos, es decir incontroladas. En el caso de interrupciones (cambios de programa), solamente han de modificarse los bloques de control particulares y no los microprogramas correctos. Adicionalmente, los

25                   bloques de control en el caso de un lenguaje de más alto nivel determinan los tipos de instrucción y zonas de almacenamiento admisibles para el respectivo nivel de programa.

30                   De acuerdo con el invento, este problema se resuelve por medio de las características especiales descritas en la reivindicación principal.

Pueden verse por las reivindicaciones secundarias realizaciones ventajosas adicionales, desarrollos adicionales y características del tema objeto del invento.

Por medio del invento, se obtienen esencialmente dos ventajas:

1. Las interrupciones asíncronas de programa y cambios, respectivamente, que tienen su origen en solicitudes de interrupción exteriores asíncronas, por ejemplo por las unidades de entrada-salida, se evitan durante la ejecución de programas.
2. La conmutación sincronizada de los bloques de control asociados con los niveles individuales de programa se efectúa en un paso particular y predeterminado en la fase de interpretación de una instrucción.

Se describirá el invento con detalle posteriormente por medio de una realización ilustrada en los dibujos.

La figura 1 es un diagrama de bloques de la disposición de interrupción de nivel de programa y también de su conexión al complejo principal de tratamiento de datos,

La figura 2 es el diagrama de bloques de un diagrama de flujo que ilustra las funciones de control necesarias durante la fase de interpretación y ejecución para poner en práctica o suprimir una conmutación de nivel de programa,

La figura 3 es una representación típica de niveles de programa posibles y su asignación de nivel de prioridad,

La figura 4 es el diagrama de bloques del generador 203 de señal de control representado en la figura

1,

La figura 5 es un diagrama de tiempos que ilustra el funcionamiento de la disposición representada en la figura 1.

5 Las figuras 6 (6A a 6D) son diagramas de bloques de la unidad 202 de control para el sistema de conmutación de nivel de programa ilustrado en la figura 1,

La figura 7 es el diagrama de bloques del conmutador 201 de nivel de programa representado en la figura 1.

10 La figura 8 es un diagrama en función del tiempo que ilustra el funcionamiento del conmutador 201 de nivel de programa durante la conmutación de nivel de programa, y

15 la figura 9 es el diagrama de bloques de la unidad 204 de control de secuencia representada en la figura 1.

20 La figura 1 es el diagrama de bloques de una disposición para interrupción de programa y control de conmutación de programa dependiente de prioridad. La disposición ilustrada consiste en un conmutador (PL-SW 201) de nivel de programa, una unidad (PL-SW-C) 202 de control para dicho conmutador de nivel de programa, un generador (CSG) 203 de señal de control, así como una unidad (SC) 204 de control de secuencia conectada al complejo principal 200 de tratamiento de datos (MDC).

25 El núcleo real de esta disposición es el conmutador 201 de nivel de programa que, como se describirá con mayor detalle en relación con la figura 2, efectúa la  
30 operación de conmutación asíncrona de nivel de programa en

el caso de solicitudes asíncronas.

Para este fin, el control 202 para el conmutador de nivel de programa genera una serie de señales ST-PL0 a ST-PL7 de control así como señales LV-PL0 a LV-PL7. Adicionalmente, el conmutador 201 de nivel de programa recibe las dos señales T1 y T2 de control de tiempo que se describirán con mayor detalle en relación con la descripción detallada del conmutador de nivel de programa.

Como se representa también en la figura 1, la unidad 202 de control para el conmutador de nivel de programa requiere también una serie de señales de entrada que son aplicadas a dicho conmutador parcialmente a través de un cable 20 procedente del complejo principal de tratamiento de datos y parcialmente a través del generador 203 de señal de control. La finalidad de este generador de señal de control es aplicar a la unidad 202 de control para el conmutador de nivel de programa señales PIRRO A PIRR7, CMO a CM7 y HMS de control adecuadas. Estas señales de control son generadas a partir de las señales 0 a 7 de bitio, las señales S0 a S3 de control y también a partir de las señales T1 y T2 de sincronismo que son suministradas por la unidad 204 de control de secuencia. Esta unidad de control de secuencia genera las últimas señales para instrucciones que se transfieren, a través de la línea 205 de control, desde el complejo 200 principal de tratamiento de datos a la unidad 204 de control de secuencia.

La generación de estas señales de control primario, que aparecen como señales de salida de dicha unidad 204 de control de secuencia representada en la figura 1, se describirán con detalle en relación con la figura 9.

La figura 2 representa una sección del programa intérprete que, como es el caso en general, controla el ciclo de programa en una secuencia de fases de interpretación y ejecución, estando seguida cada fase I-Ø de interpretación por una fase E-Ø de ejecución. En la parte superior de la figura 2, está representada una operación en 4, por medio de la cual se activa una máscara HM principal que puede transferir el control de la máquina a los niveles 0 a 7 de programa, como se representa en la figura 3. El programa al cual se asigna finalmente el control de máquina en un instante particular depende de las interrupciones de programa exteriores encontradas, así como de las interrupciones de programa programadas y de condiciones especiales que están aún por describir con detalle.

Las diferentes solicitudes de interrupción, con las cuales están asociados los niveles de programa mencionados anteriormente, son atendidas solamente en un punto del intérprete, el cual, como se ha indicado anteriormente, está especificado bajo la operación 4 en la figura 2. En este caso están interesadas dos microinstrucciones directamente "adyacentes", por medio de las cuales la máscara principal (HM) del ordenador utilizado se activa en la duración de una microinstrucción y después se desactiva. Con la ayuda de esta máscara principal puede suprimirse y permitirse, respectivamente, el efecto de las diversas solicitudes de interrupción, es decir la conmutación de los programas. De este modo, se obtiene una sincronización del tratamiento que es en sí asíncrono por cuanto la máscara principal se activa solamente en el punto que corresponde a la duración de una microinstrucción. Las diferentes tareas EA a TRANS de

los ocho niveles de programa son efectuadas por el mismo intérprete. Para obtener esto, se ofrecen al programa intérprete las correspondientes direcciones de instrucción por medio de las palabras PSW de estado de programa asociadas con los diferentes niveles de programa.

Las solicitudes de interrupción pueden ser solicitudes procedentes de unidades periféricas conectadas exteriormente (las denominadas unidades de entrada-salida), así como solicitudes que son activadas por programas.

En el presente ejemplo se supone que existe un programa de vigilancia interna sobre el nivel PL6 de programa, que va a iniciarse automáticamente después de un número particular de pasadas del intérprete. Para conseguir esto, la última instrucción del nivel de programa en curso condiciona un contador de intervalo que es decrementado con cada "pasada" del intérprete (véase la operación ilustrada en 16, 17 y 1).

Después de cada operación de decremento de este contador de intervalo, representada como operación 1 en la figura 2, se comprueba si ha sido alcanzado el valor 0 (véase la operación 2 de la figura 2). Si ha sido alcanzado, es reclamada la solicitud para nivel PL6 de programa por medio de una solicitud PIRR de interrupción programada. Esta función está representada como operación 3.

Con independencia de este proceso, se activa la máscara HM principal, para efectuar, como se ha mencionado anteriormente, una conmutación de nivel de programa solamente en este punto del intérprete. Esto está indicado por la operación 4 en la figura 2.

Si el nivel de programa normalmente activo tie

ne una prioridad inferior a la de una nueva solicitud de interrupción que puede originarse, entonces la palabra LFD-PSW de estado de programa del nivel de programa en curso es almacenada, de modo que puede asumirse la palabra de estado de programa del nuevo nivel de programa (véanse las operaciones 5 y 6 en la figura 2).

Como muestran las operaciones 7 a 10, el nuevo nivel de programa es tratado de acuerdo con su prioridad, estando asociada la prioridad más alta con el nivel 0 de programa (PL0) y estando asociada la prioridad más baja con el nivel 7 de programa (PL7).

Después que ha sido comprobado el nivel de prioridad de las solicitudes de interrupción, se desactiva nuevamente la máscara HM principal, como se representa bajo la operación 11 en la figura 2. De este modo, después de la desactivación de la máscara principal, puede proseguir el tratamiento normal de instrucciones de por sí conocido el cual, como se representa bajo la operación 12, comienza con la descodificación de la instrucción. Esta operación está seguida por las diferentes fases E-Ø1, E-Ø2, E-Ø3 ... de ejecución (véase las operaciones 13 a 15).

Como se ha mencionado anteriormente, el contador de intervalo es establecido en la última fase de ejecución de una instrucción, y entonces se retorna al nivel de programa en curso (véanse las operaciones 16 a 17).

Se verá por el diagrama de flujo que después de la desactivación de la máscara principal la subsiguiente ejecución de una instrucción de interpretación prosigue sin interrupciones. Solamente después que se ha ejecutado totalmente una instrucción de interpretación, puede efectuarse

una nueva conmutación de nivel de programa en la fase I sub  
siguiente.

Una característica especial de la secuencia  
es que en la fase de ejecución de la última instrucción de  
5 interpretación de cada nivel de programa el nivel de programa  
en curso es desactivado (operación 17) borrando su solicitud  
de interrupción (IR o PIRR).

En la fase de ejecución de su última instrucción de interpretación,  
10 el nivel PI6 de programa, como se ha mencionado anteriormente,  
repone el contador de intervalo a su valor inicial (operación 16).

Esta secuencia especial que evita interrupciones  
15 asíncronas de programa y conmutaciones de nivel de programa  
asíncronas, respectivamente, durante la interpretación de  
programa y que permite la conmutación sincrónica de bloques  
de control asociados con los niveles individuales en un punto  
designado en la denominada fase I del programa intérprete,  
está controlada por las disposiciones representadas en las  
figuras 4, 6A a 6D, 7 y 9. Estas disposiciones son necesarias  
20 además de los circuitos existentes en el sistema de tratamiento  
de datos utilizado.

Inicialmente, la figura 4 representa la generación de las  
diferentes señales PIRRO a PIRR7 de control así como las  
señales CMO a CM7 que sirven como señales de entrada para  
25 el circuito de control representado en las figuras 6A a 6D,  
que efectúa la conmutación sincrónica de los diferentes niveles  
de programa.

Las fuentes IS de interrupción de programa existentes en el  
sistema de tratamiento de datos y que por medio de sus  
30 señales IRO a IR7 de solicitud de interrupción hacen

que la secuencia de programa sea cambiada continuamente, están representadas como bloque 21 en la figura 1. A través de líneas individuales del cable 20 transfieren sus señales IRO a IR7 de solicitud de interrupción a la disposición de control representada en las figuras 6A a 6D.

El primer grupo de señales IRO a IR7 de solicitud de interrupción pueden ser generadas por circuitos adaptadores especiales que no están representados con detalle. Como se ilustrará por medio de realizaciones posteriores, estas señales IRO a IR7 de solicitud de interrupción pueden también ser repuestas por el control de secuencia.

El segundo grupo de señales de control, cuya generación está representada en la figura 4, son las señales PIRRO a PIRR7 de control que pueden ser activadas y también repuestas por la disposición de control de secuencia. La señal S0 de control en relación con las puertas "Y" 22a a 22h sirve para activar el registro 1 (23) en el cual se almacenan transitoriamente los bitios 0 a 7 transferidos a la unidad 204 de control de secuencia junto con las órdenes de control procedentes del sistema 200 principal de tratamiento de datos. Estos bitios 0 a 7, junto con la señal S1 de control, que es generada por la unidad de control de secuencia, del mismo modo que la señal S0 de control, sirven para activar los circuitos biestables 0 a 7 (PIRR) que están designados como 25a a 25h y que generan las mencionadas señales PIRRO a PIRR7 de control.

Con la ayuda de la señal S0 de control, son almacenados transitoriamente los bitios 0 a 7 en el registro 23 a través de las puertas "Y" 22a a 22h. Por medio de la señal S1 de control, que constituye siempre una señal de en

trada para todas las puertas "Y" 24a a 24h, los bitios 0 a 7 almacenados transitoriamente en el registro 1 (23) son transferidos a los circuitos 0 a 7 (25a a 25h) biestables PIRR a través de la otra entrada respectiva de las puertas "Y" 24a a 24h, siendo esto equivalente a la activación de estos circuitos biestables. Esto significa también que solamente los circuitos biestables activados del conjunto PIRR generaran la señal de control deseada (PIRRO a PIRR7) sobre su salida.

10 Finalmente, se requiere un tercer grupo de señales CMO a CM7 de control cuya generación es tratada por una disposición idénticamente diseñada.

15 Esta disposición consiste nuevamente en las puertas "Y" 26a a 26h así como en un registro 2 (27) conectado. La señal S0 de control que, como se ha mencionado anteriormente, es generada por la unidad de control de secuencia en los instantes representados en la figura 5, permite que los bitios 0 a 7 ingresen en el registro 2 (27) a través de las puertas "Y" 26a.

20 Por medio de la señal S2 de control es transferido el contenido de dicho registro a circuitos CM-FLO a CM-FL7 (29a a 29h) de retención individuales a través de una disposición de puertas "Y" 28a a 28h. En este caso las señales de salida de los mencionados circuitos biestables constituyen las señales CMO a CM7 de control que asumen una importante función de control en el circuito de control real de acuerdo con las figuras 6A a 6D.

25 Finalmente, la figura 4 muestra que, con la ayuda de la señal S3 de control que es generada también por la unidad 204 de control de secuencia (en un instante de

30

acuerdo con la figura 5), se activa un circuito biestable 30 de máscara principal (HM-PL) que en el estado de activación genera la señal HMS de salida.

El efecto de las señales IRO a IR7, PIRRO a  
5 PIRR7 de control así como el efecto de las señales CMO a CM7  
y HMS, se describirá con mayor detalle en relación con las  
figuras 5 y 6A a 6D.

Se pondrá de manifiesto nuevamente que las  
solicitudes de interrupción recibidas asincrónamente, que  
10 están caracterizadas por las señales IRO a IR7, se sincroni-  
zan por medio de la máscara HM principal en la denominada  
fase I del intérprete por cuanto se activa la máscara HM  
principiapl durante un corto período de tiempo solamente en  
este punto.

15 Las figuras 6A a 6D representan la disposición  
de circuito dispuesta para selección de programa. En esta  
disposición de circuito las solicitudes de interrupción re-  
cibidas asincrónamente están sometidas al control de la más-  
cara principiapl y están dispuestas de acuerdo con su priori-  
20 dad con una máscara principal activada. La solicitud de in-  
terrupción con el nivel de prioridad más alto genera en ca-  
da caso una señal ST-PLi de iniciación que asigna al progra-  
ma Pli asociado con el nivel de programa de acuerdo con la  
figura 7, el control del sistema de tratamiento de datos du-  
25 rante un período particular de tiempo, como se describirá  
con mayor detalle posteriormente.

Un conmutador de programa desde un programa  
con un nivel de prioridad más bajo a un nivel de prioridad  
más alto, requiere una disposición de circuito que haga que  
30 el programa normalmente en funcionamiento de una prioridad

particular detenga su funcionamiento y conserve su última palabra LFD-PSW de estado de programa válida en el registro PSWi-R de palabra de estado de programa de su nivel de programa concerniente. Esta disposición de circuito está representada también en las figuras 6A a 6D; la disposición genera las señales LV-PL0 a LV-PL7 de control.

Para explicar el funcionamiento de las mencionadas disposiciones de circuito es muy adecuado el siguiente ejemplo. En este ejemplo se supone en primer lugar que el nivel PL4 de programa está activo, y en segundo lugar que está activada la máscara común para el nivel PL2 de programa. La figura 8, que representa un diagrama de tiempos de un desplazamiento de nivel de programa, ilustra en la segunda línea desde la parte más alta el hecho de producirse asíncronamente una solicitud de interrupción con la cual está asociada la señal IR2 de solicitud de interrupción. Como se representa en la figura 8, esta solicitud de interrupción no lleva a un cambio de nivel de programa a pesar de su prioridad que es dos niveles superior a la del nivel PL4 de programa con la prioridad 4, porque la máscara HM principal no está activada en este paso.

En la siguiente fase I del intérprete se activa la máscara HM principal, generando la señal HMS (descrita anteriormente en relación con la figura 4), con el fin de hacer posible un cambio de nivel de programa, si lo hay.

La disposición de circuito para seleccionar en cada caso el nivel de programa activo, que está representada en las figuras 6A a 6D, consiste ante todo en un conjunto de puertas "O" 60a a 60h, un primer conjunto de puertas "Y" 70a a 70h, un segundo conjunto de puertas "Y" 80a a 80g,

un tercer conjunto de puertas "Y" 90a a 90h, un conjunto de circuitos 100a a 100h, biestables, un cuarto conjunto de puerta "Y" 110a a 110h, y también una puerta "O" 87.

5 Las puertas "Y" 70a y 80a a 80g generan las señales ST-PLO a ST-PL7 de iniciación de nivel de programa cuando se cumplen sus condiciones de entrada. Como la puerta "Y" 70a está asociada con el nivel PLO de programa más alto, genera la señal ST-PLO tan pronto como están presentes las señales IRO o PIRRO y CMO de entrada, puesto que  
10 las "señales de inhibición" como resultado de comprobación del nivel de prioridad asociado de una puerta "Y" con un nivel de prioridad aún más alto, no están presentes en este paso. Debido a esta comprobación de nivel de prioridad, las puertas "Y" 70b a 70h no pueden generar directamente las se  
15 ñales ST-PL1 a ST-PL7 de iniciación de nivel de programa. Por consiguiente, dichas puertas "Y" están seguidas por puertas "Y" 80a a 80g adicionales que generan dichas señales ST-PL1 a ST-PL7 de iniciación de nivel de programa cuando, en primer lugar, no está presente una señal de salida de su  
20 puerta "Y" asociada del grupo 70b a 70h y en segundo lugar no está presente una "señal de inhibición" de una puerta "Y" con nivel de prioridad más alto del grupo 70a. Los términos "señal de inhibición" significan en este contexto la señal de salida inversa de las puertas "Y" 70a a 70h, que es un  
25 "1" binario cuando está abierta la puerta "Y" asociada y es un cero binario cuando está cerrada. Se hace referencia en general a estas señales como ST-PLO a ST-PL7.

Son también necesarias para un cambio de nivel de programa las señales LV-PLO a LV-PL7 de control para  
30 abandonar el nivel de programa en curso, que son generadas por el cuarto conjunto de puertas "Y" 110a a 110h. Son tam-

bién importantes para la generación de las últimas señales los circuitos 100a a 100h biestables que están condicionados por las señales ST-PL0 a ST-PL7 de control para iniciar el nuevo nivel de programa. Estos circuitos biestables se repop  
5 nen a través del tercer conjunto de puertas "Y" 90a a 90h en el intervalo de la señal T2 de sincronismo.

La figura 5, en combinación con las figuras 6A a 6D, representan un ejemplo adicional que sirve para explicar un ciclo de funcionamiento de los componentes indivi  
10 duales de las disposiciones de circuito.

Como se representa en la figura 5, se supone en este ejemplo que están activados los bitios CM0 a CM7 de la máscara común y también el bitio PIRR7, lo cual corresponde a un nivel PL7 de programa activo. Las diversas señales generadas por el circuito de control corresponden así  
15 a la configuración representada en el intervalo CL1 de sincronismo en la figura 5.

Dentro del período ilustrado del intervalo CL1 a CL27 de reloj la señal HMS de máscara principal selecciona aquellos puntos importantes en el tiempo en los cuales  
20 pueden tener lugar cambios de nivel de programa, dependiendo de las condiciones internas o externas. Se hará referencia posteriormente en relación con el primer ejemplo anteriormente mencionado (figura 8) a la secuencia temporal detallada durante un cambio de nivel de programa.  
25

Podría tener lugar un primer cambio de nivel de programa posible en el intervalo CL2 de reloj. Como no existen, sin embargo, solicitudes de interrupción adicionales, lo cual está indicado por el hecho de que no están siendo generadas las señales IRO a IR7, estando solamente pre-  
30

sente la señal PIRR7, el nivel PL7 de programa, es decir el nivel de programa con la prioridad más baja, continúa controlando el sistema de tratamiento de datos, de modo que el nivel PL7 de programa no será interrumpido en este intervalo.

5                   En el intervalo CL3 de reloj es activada una solicitud de interrupción por una de las fuentes 21 de interrupción por cuanto genera su señal IR5 de solicitud de interrupción.

10                   Durante el intervalo CL4 de reloj no puede tener lugar ningún cambio de nivel de programa adicional puesto que la máscara principal, como se representa en la segunda línea a partir de la parte superior (señal HMS ausente), no está activada en este intervalo.

15                   La máscara principal se activa solamente en el intervalo CL5 de reloj cuando la señal HMS de máscara principal es generada por la señal S3 de control que condiciona el circuito 30 de báscula de máscara principal en la duración del intervalo de reloj. Este circuito 30 de báscula de máscara principal puede ser, por ejemplo, un multivibrador monoestable, cuya fase inestable corresponde aproximadamente a la duración de un intervalo de reloj. La figura 5 muestra que se activan también en este intervalo los bitios CMO a CM7 de la máscara común. Como el bitio CM5 se activa de igual modo, puede efectuarse un cambio de nivel de programa del nivel PL7 de programa al nivel PL5.

25                   En la disposición de circuito de acuerdo con las figuras 6A a 6D estos procesos tienen lugar del modo siguiente. Inicialmente, es decir al comenzar el intervalo CL1 de reloj, tiene lugar una selección de nivel de programa, por medio de la cual la palabra PSW7 de estado de programa

30

se convierte en la palabra PSW en curso. Entonces, el sistema de tratamiento de datos es controlado por instrucciones de nivel PL7 de programa. Por medio de la disposición de circuito representada en la figura 4, es generado el bitio  
5 PIRR7 como señal de salida del circuito 7 de báscula PIRR (25h). Esta señal está aplicada a la puerta "Y" 60h en la figura 6B. Adicionalmente, el bitio CM7 de control de la máscara común está aplicado a la puerta "Y" 70h. La siguiente señal de máscara principal en el intervalo CL2 de reloj hace que dicha puerta "Y" 70h se abra en la duración del intervalo CL2 de reloj. Dicha puerta "Y" 70h, al igual que  
10 las diversas puertas "Y" 70a a 70h del primer conjunto de puertas "Y", tiene dos salidas, de las cuales la salida izquierda (satisfecha la condición lógica "Y") genera siempre  
15 la señal ST-PLi para iniciar el nuevo nivel de programa. La salida derecha genera simultáneamente la señal ST-PLi inversa.

La puerta "Y" 80g dispuesta a continuación de la puerta "Y" 70h tiene entradas adicionales que conectan  
20 dicha puerta a las respectivas salidas de la derecha de las puertas "Y" 70a a 70g. Como en el mismo intervalo CL2 de reloj durante el cual se activa la máscara principal no se conmuta ninguna puerta "Y" 70a a 70g adicional, únicamente se satisface en ese paso la condición lógica "Y" para la  
25 puerta "Y" 80g del segundo conjunto de puertas "Y" 80a a 80g, de modo que solamente dicha puerta "Y" 80g puede generar una señal de salida. En la disposición de circuito de las figuras 6A a 6D, en la cual se generan las señales LV-  
-PLO a LV-PL7 para abandonar el nivel de programa en curso,  
30 solamente el circuito 100h biestable que, junto con la puer

ta "Y" 110h conectada, genera la señal LV-PL7, puede ser condicionado en ese paso. Como resultado de esto, la palabra PSW7 de estado de programa del nivel PL7 de programa se convierte nuevamente en la palabra LFD-PSW de estado de programa en curso, como se describirá con detalle en relación con las figuras 7 y 8.

De este modo, no existen cambios de nivel de programa, permaneciendo el nivel PL7 de programa como nivel de programa en curso. En el intervalo CL3 de reloj es emitida la señal IR5 de solicitud de interrupción que a partir de ese momento en adelante está disponible en la puerta "O" 60f. En este paso no está aún activado el bitio PIRR5. El bitio CM5, al igual que los bitios restantes de la máscara común, está activado. De este modo, la puerta "Y" 70f está condicionada al estado de apertura, que solamente es posible al producirse la siguiente señal HMS de máscara principal. En el intervalo CL4 de reloj como se representa también en la figura 5, no hay cambios de estado. Se genera solamente la señal HMS de máscara principal en el intervalo CL5 de sincronismo por intermedio de la señal S3 de control, correspondiendo la duración de la primera señal a la duración de activación de la máscara principal HM. Este es el momento en que se abre la puerta "Y" 70f. Como, por una parte, se satisface la condición lógica "Y" para la puerta "Y" 80e y, por otra parte, deja de satisfacerse la condición lógica "Y" para la puerta "Y" 80g, se genera la nueva señal ST-PL5, mientras que se omite en este paso la generación de la señal ST-PL7. De este modo, el circuito biestable 100f es activado en vez del circuito 100h biestable. Se genera así la señal LV-PL5 por intermedio de la puerta "Y" 110f.

Como se ilustra en la figura 7, esto hace que la palabra LFD-PSW de estado de programa en curso que pertenece al nivel PL7 de programa sea transferida en retorno a su registro 130h asociado, y la palabra PSW5 de estado de programa del nivel PL5 de programa precedente del correspondiente registro 130f se convierte en la palabra de estado de programa en curso mediante su transferencia al registro 130i asociado para la palabra de estado de programa en curso. Esto significa que más o menos desde el centro del intervalo CL5 de reloj las instrucciones del nivel PL5 de programa habrán asumido el control de máquina.

El cambio de nivel de programa fué posible porque la activación de la puerta "Y" 70f hizo que fuese desactivada la señal ST-PL5 de control, de modo que esta señal de entrada ausente dió lugar al cierre de la puerta "Y" 80g. Por consiguiente, ya no fué posible activar el circuito 100h biestable.

Después del cambio de nivel de programa, como se representa en la figura 5, se hace activo el nivel PL5 de programa desde aproximadamente el centro del intervalo CL5 de reloj. En el intervalo CL6 de reloj se activa la señal S0 de control, por medio de la cual los bitios 0 a 7 transferidos por la unidad 204 de control de secuencia son ingresados en el registro 23 a través de las puertas "Y" 22a a 22h. En el intervalo CL7 de reloj subsiguiente es generada la señal S1 de control, la cual, junto con el bitio 5 transferido al registro 23 en el impulso de sincronismo precedente, activa el circuito 25f biestable a través de la puerta "Y" 24f. El circuito 25f biestable genera el bitio PIRR5. Como se representa en la figura 5, dicho bitio PIRR5

está disponible brevemente después de la iniciación del intervalo CL7 de sincronismo.

5 En el curso del intervalo CL8 de sincronismo es nuevamente desactivada la señal IR5 de solicitud de interrupción procedente de la fuente 21 de interrupción asociada ya que la parte de sistema asociada con dicha fuente de interrupción ya no requiere atención especial por parte de la máquina.

10 En vez de esto, dicha fuente 21 de interrupción envía una solicitud de interrupción en el intervalo CL9 de reloj por generación de la señal IR6. Inicialmente, la última señal permanece inefectiva, porque es posible un cambio de nivel de programa solamente la vez siguiente a la activación de la máscara HM principal. De acuerdo con la figura 5, el intervalo más próximo para esto es el intervalo 15 CL10 de reloj en el cual es nuevamente generada la señal HMS de control (véase p.3.; figura 5). Aunque en este paso la señal IR5 de solicitud de interrupción ya no está presente, no puede efectuarse un cambio de nivel de programa al siguiente 20 nivel PL6 de programa de prioridad inferior, puesto que el bitio PIRR5 fué activado en el intervalo CL7 de reloj y asume subsiguientemente la función de la señal IR5 de control. De este modo, en el intervalo CL10 de reloj no existe cambio de nivel de programa ni tampoco existen cambios en el 25 intervalo CL11 de reloj, como se representa en la figura 5. En el intervalo CL12 de reloj la fuente 21 de interrupción genera una nueva señal de solicitud de interrupción (la señal IR3) que indica la solicitud de una fuente de interrupción que tiene la prioridad activada más alta en este paso.

30 En el intervalo CL13 de reloj, la máscara prin

5 cipal, que es el único medio de efectuar un cambio de nivel de programa, se activa nuevamente. En dicho intervalo de reloj están activas las siguientes señales: HMS, IR3, IR6, S3, PIRR5, PIRR7, así como los bitios de la máscara común CMO a CM7.

Brevemente después de la activación de la máscara principal, el nivel de prioridad más alto de la fuente asociada con la señal IR3 de solicitud de interrupción asume el control, desactivando el nivel PL5 de programa.

10 En la disposición de circuito de las figuras 6A a 6D esta situación se presenta del modo siguiente:

15 Al producirse la señal HMS de máscara principal permanece inicialmente satisfecha la condición lógica "Y" para la puerta "Y" 70f incluso con una señal IR5 de solicitud de interrupción desactivada, puesto que en ese momento el bitio PIRR5 en su posición "1" está aplicado a la puerta "O" 60f. De este modo, en el momento en que se activa la máscara principal HM, se satisface la condición lógica "Y" para la puerta "Y" 80e, ya que ninguna de las puertas 20 "Y" 70a a 70e precedentes está activa. Por consiguiente, no puede tener lugar un cambio de programa.

25 En el intervalo CL12 de reloj es emitida la señal IR3 de solicitud de interrupción la cual está aplicada a una de las entradas de la puerta "Y" 70d a través de la puerta "O" 60d. El bitio CM3, que está en su posición "1", está también aplicado a dicha puerta "Y". En consecuencia, al producirse la señal de máscara principal en el intervalo CL13 de reloj, se conmuta la puerta "Y" 70d, produciendo la apertura de la puerta "Y" 80c conectada que genera entonces la señal ST-PL3. Se efectúa del modo descrito anterior- 30

mente un cambio de nivel de programa por intermedio del circuito biestable 100f y la puerta "Y" 110f, así como mediante el circuito biestable 100d y la puerta "Y" 110d.

5 En el intervalo CL14 de reloj se genera nuevamente la señal S0 de control. Con la ayuda de dicha señal de control son cargados nuevamente los bitios 0 a 7 en el registro 23. Como resultado de la señal S1 subsiguiente, se activa el circuito biestable 25d seleccionado en el intervalo CL15 de reloj, generando dicho circuito biestable seleccionado subsiguientemente el bitio PIRR3.

10 Se describirá posteriormente una secuencia de funcionamiento muy ventajosa de la disposición de circuito representada en las figuras 4, 6A a 6D.

15 Como se ha mencionado anteriormente en relación con la figura 5, tiene lugar en el intervalo CL13 de reloj un cambio de nivel de programa de PL5 a PL3. Como el programa del nivel PL3 de programa no "desea" ser interrumpido por solicitudes de interrupción procedentes de una fuente de interrupción controlada, por ejemplo, por un programa de nivel PL2 de programa, el programa de nivel PL3 al iniciarse el intervalo CL15 de reloj hasta la iniciación del intervalo CL18 de reloj desactiva el bitio CM2 de la máscara común, que está asociado con el nivel PL2 de programa.

25 En la disposición de circuito de acuerdo con las figuras 6A a 6D se representa que una señal IR2 de solicitud de interrupción aplicada a la puerta "Y" 70c a través de la puerta "O" 60c es inefectiva la siguiente vez que se produce la señal HMS de máscara principal, ya que no se satisface la tercera condición lógica para la puerta "Y" 70c, por  
30 que está ausente la señal CM2. De este modo, el nivel PL3

de programa se autoprotege contra el hecho de ser interrumpido por una solicitud de interrupción procedente de dicha fuente de interrupción durante el período de tiempo indicado.

5                   Al iniciarse el intervalo CL18 de reloj son ingresados los nuevos bits 0 a 7 en los registros 23 y 27 con la ayuda de la señal S0. En el intervalo S0 de reloj se activa el circuito biestable 29c de la figura 4 porque el bitio 2 fué ingresado también en el registro 27. Dicho circuito biestable 29c genera entonces la señal CM2, como se  
10                   ha descrito anteriormente. Esto significa que la siguiente vez que se activa la máscara principal, asume el control la señal IR2 de solicitud de interrupción, iniciando un cambio de nivel de programa. Esto se efectúa finalmente en el intervalo CL20 de reloj en el cual tiene lugar el cambio de  
15                   nivel de programa desde el nivel PL3 de programa al nivel PL2.

                  Con la ayuda de las señales S0 y S1 de control se genera nuevamente la señal PIRR2, que mantiene inicialmente el funcionamiento sobre dicho nivel de programa incluso  
20                   cuando está desactivada la señal IR2 de solicitud de interrupción.

                  Como se representa también en el diagrama de la figura 5, el bitio PIRR2 es nuevamente desactivado por  
25                   la señal S1 de control al iniciarse el intervalo CL24 de reloj.

                  Como el bitio PIRR5 al iniciarse el intervalo CL7 de reloj continúa estando activado, la solicitud de interrupción emitida en el intervalo CL9 de reloj por la fuente de interrupción que genera la señal IR6 de solicitud de  
30

interrupción, no puede asumir el control, es decir iniciar tal cambio de nivel de programa, de modo que quedaría activo el nivel PL6 de programa en vez del nivel PL2 de programa, en el intervalo CL25 de reloj la siguiente vez que se  
5 activase la máscara principal. Es más bien la señal PIRR5 la que toma el control, asegurando que se asigna el control de máquina a un programa de su nivel, es decir el nivel PL5 de programa. Este control se mantiene hasta el final del intervalo CL27 de reloj, con lo cual finaliza la descripción  
10 de estas realizaciones.

Se describirán posteriormente con mayor detalle la permutación de palabras PSO a PSW7 de estado de programa y la disposición de circuito necesaria para este fin, que está ilustrada en la figura 7. La figura 8 representa,  
15 a modo de diagrama de tiempos, una realización que supone que está activo el nivel PL4 de programa y el bitio CM2 de la máscara común está en un estado binario "1".

La segunda línea a partir de la parte superior de la figura 8 muestra que partiendo de un instante  $t_1$ , la  
20 señal IR2 de solicitud de interrupción toma su valor de nivel superior, de modo que está activa desde ese momento en adelante.

En la tercera línea, se ilustra el bitio CM2 de máscara común que se supone activado.

25 En el instante  $t_2$  se genera la señal HMS que es indicativa de la activación de la máscara principal HM. Esta señal se desactiva en el instante  $t_{12}$ . Como se ha mencionado anteriormente, un cambio de programa es posible solamente durante el tiempo de permanencia de la señal HMS.

30 Las señales T1 y T2 de control representadas

en las líneas 5 y 6, son generadas por el circuito 204 de control de secuencia relativo a la señal HMS. La señal T1, por ejemplo, comienza en el instante t3 que está ligeramente retardado con relación al instante t2 y dura hasta el instante t6.

La señal T2 de control es generada en el instante t8, permaneciendo hasta el instante t11. Se verá también que la señal T2 de control es generada después de la señal T1 de control pero antes del final de la señal HMS de máscara principal. Los instantes t3 y t8, que indican la iniciación de las señales T1 y T2 de control están separadas entre sí, para asegurar que el registro (LFD-PSW-R) 1301, que contiene también la palabra LFD-PSW de estado de programa en curso, es borrado antes de que sea transferida al mismo una palabra PSWi nueva de estado de programa.

Como las diversas condiciones de la puerta "Y" 70c representada en la figura 6A para un cambio de nivel de programa del nivel PL4 de programa en curso al nivel PL2 se satisfacen cuando se recibe la señal HMS de máscara principal, es generada la señal ST-PL2 por intermedio de la puerta "Y" 80b del modo descrito anteriormente. En la séptima línea de la figura 8, este instante está designado como t2, el mismo instante en el cual comienza la señal de máscara principal. Ambas señales desaparecen en el mismo instante t12 porque la desaparición de la señal de máscara principal elimina la condición lógica "Y" de la puerta "Y" 72.

Simultáneamente con las dos señales HMS y ST-PL2, se genera en el instante t2 la señal LV-PL4. Dicha señal indica que el nivel de programa en curso puede ser abandonado y es generada, como se ha descrito anteriormente en

relación con las figuras 6A a 6D, por el circuito biestable 100e y esta señal es emitida sobre la salida de dicho circuito biestable a través de la puerta "Y" 110e.

El circuito biestable 100e puede ser activado, puesto que en el momento en que se activa la máscara HM principal ya no se satisface la condición lógica "Y" para la puerta "Y" 70e y la puerta "Y" 80d debido a ligeros retardos. Una vez que se ha activado el circuito 100e, permanece activado hasta que es repuesto por el flanco anterior de la señal T2 de control a través de la puerta "Y" 90e. Estas condiciones están representadas en la figura 8 en la octava línea desde arriba. El instante  $t_8$  para el final de la señal LV-PL4, excepto en lo que se refiere a ligeros retardos, corresponde al instante  $t_8$  del flanco anterior de la señal T2 de control.

Como se representa en la figura 7, las señales ST-PL0 a ST-PL7, LV-PL0 a LV-PL7, así como a las señales T1 a T2, juegan un papel importante en la ejecución de un cambio de nivel de programa. El elemento central de la disposición de circuito de acuerdo con la figura 7 es el conjunto de registros (PSW0-R) 130a a (LFD-PSW-R) 130i en donde se almacenan transitoriamente las palabras de estado de programa del respectivo nivel de programa. Dichos registros se cargan a través de un conjunto de puertas "Y" 120a a 120i y son leídos a través de un conjunto de puertas "Y" 140a a 140i.

En el caso del ejemplo supuesto, el sistema de tratamiento de datos está controlado inicialmente por instrucciones procedentes del nivel PL4 de programa. De este modo, la palabra de estado de programa en curso está en

el registro 130i. Un cambio de nivel de programa desde el nivel PL4 de programa al nivel PL2 de programa hace que sean generadas inicialmente las señales LV-PL4 de control y también ST-PL4. Subsiguientemente, como se representa en la figura 8, se genera la señal T1 de control. Con la ayuda de la señal LV-PL4 se condiciona en primer lugar la puerta 120e "Y" de entrada para una operación de transferencia en el registro 130e. Al recibirse la señal T1 de control, la puerta "Y" 140i de salida del registro 130i para la palabra de estado de programa en curso se abre, de modo que dicha palabra de estado de programa puede llegar al registro 120e de palabra de estado de programa. De este modo, el registro 130i queda disponible para la palabra de estado de programa en curso y para la nueva palabra de estado de programa. Por medio de la señal T2 de control subsiguiente, la palabra PSW2 de estado de programa es ingresada en el registro 130i para la palabra de estado de programa en curso a través de la puerta "Y" 140c de salida que continúa abierta como resultado de la señal ST-PL2 y que pertenece al registro 130c de palabra de estado de programa para el nivel PL2 de programa, y a través de la puerta "Y" 120i de entrada abierta por la señal T2 de control. De este modo, las instrucciones del nivel PL2 de programa controlan el sistema de tratamiento de datos.

Como se representa en la figura 8, el nivel PL4 de programa se desactivó en el instante  $t_5$ , y se activó el nivel PL2 de programa en el instante  $t_{10}$ . Como se representa también en esta figura, la transferencia del contenido del registro 130i de palabra de estado de programa en curso al registro 130e de palabra de estado de programa se ini-

cia en el instante t4 y se completa en el instante t7.

La transferencia del contenido del registro 130c de palabra de estado de programa al registro 130i comienza en el instante t9 posterior y se completa en el instante t11.

La señal HMS de máscara principal y la señal ST-PI2 se desactivan en el instante t12, como se representa en la figura 8.

Como muchos sistemas electrónicos de tratamiento de datos tienen también niveles de programa que son incapaces de solicitar un cambio de nivel de programa por medio de señales IRI de solicitud de interrupción, han de adoptarse medidas especiales para asegurar que tales niveles de programa puedan ejecutar su programa al menos ocasionalmente.

En la anterior descripción se destacó repetidamente la importancia de los bitios PIRRI. Dichos bitios mantienen una solicitud de interrupción de una fuente de interrupción mucho después que se ha desactivado su señal de solicitud de interrupción.

Para asegurar que tales programas son ejecutados y prosiguen satisfactoriamente, su iniciación debe ser hecha posible independientemente de todas las demás secuencias de programa. Esto se consigue por cuanto, como se ha mencionado anteriormente, se activa una instrucción de un contador de intervalos para este tipo de programas en la fase de interpretación decrementado un valor inicial de dicho contador activado en la fase de ejecución de una instrucción anteriormente tratada.

Como se representa en la figura 2, se comprue

ba en el bloque 2 funcional en la fase de interpretación de una instrucción si el contador de intervalos ha alcanzado un cómputo de 0. Si lo ha alcanzado, se activa el bitio PIRR6 para el nivel TL6 de programa, como se representa por el bloque 3 funcional de la figura 2. Esto asegura que después que han estado transitoriamente inactivos los niveles PL0 a PL5 de programa, se activa el nivel PL6 de programa antes del nivel PL7 de programa.

La disposición para interrupción de nivel de programa descrita anteriormente permite la elección de (o la preferencia dada a) niveles de programa particulares para su adaptación sin dificultades a las respectivas condiciones que prevalecen en un sistema de tratamiento de datos particular o a las tareas particulares a tratar en el mismo. Esta adaptación se hace posible indistintamente por órdenes programables o bien por circuitos de control especiales. Para este fin, las órdenes o señales de control generadas por el sistema de control automático actúan sobre la unidad 204 de control de secuencia de la figura 1, que está representada con mayor detalle en la figura 9.

En atención a una mayor simplicidad, se tratarán posteriormente las órdenes programables, que son transferidas continuamente a través de la línea general 205 desde el complejo 200 principal de tratamiento de datos de la figura 1 a la unidad 204 de control de secuencia. En sistemas diseñados con criterio de medios mínimos bastan tres tipos de órdenes que pueden ampliarse para adecuación a estructuras más complejas tanto en lo que respecta al sistema de tratamiento de datos como a los problemas a resolver.

Las órdenes tienen el siguiente formato:

TIPO I

01 (01234567) S0 S1 S2 x x x

TIPO II

10 x x x x x x x x x x x x x x

5 TIPO III

11 T1/T2 x x x x x x x x x x x x

(x puede escogerse aleatoriamente, ya que esta posición no se considera).

10 Para permitir la distinción entre T1 y T2, T1 está asociado con un "1" binario y T2 con un "0" binario.

La anterior ilustración de los diferentes tipos de órdenes muestra que los primeros dos bits de cada tipo de orden pueden considerarse como código de operación. El tipo I está definido por el código 01 de operación, el 15 tipo II por el código 10 de operación, y el tipo III por el código 11 de operación.

20 Son transferidas órdenes de los tres tipos en la secuencia necesaria desde el complejo principal del tratamiento de datos a la unidad 204 de control de secuencia a través de la línea general 205. La línea general 205 de control, que en el caso más simple es una línea de conductores múltiples, está conectada con sus dos primeras líneas que transfieren el denominado código de operación a un descodificador 300 de orden (COM-DEC), sobre cuyas salidas I, II, 25 III se genera un "1" binario siempre que esté aplicado el correspondiente código de operación a la entrada del descodificador 300 de órdenes.

30 Las 14 siguientes líneas generales de control, de las cuales las últimas tres pueden ser portadoras de señales aleatorias en el caso del tipo I, ya que tales señales

ya no son evaluadas por la disposición, están conectadas a una disposición de puertas "Y" consistente en 11 puertas "Y" / 301a a 301k, una de cuyas entradas está conectada en cada caso a uno de los 11 conductores, y cuya otra entrada está conectada a la salida del descodificador 300 de órdenes. La salida I indica que está presente una orden del tipo I. Dependiendo de la presencia de señales binarias de entrada sobre los once conductores, con lo cual el primer conductor está asociado con la tercera posición de bitio, el segundo con el dductor con la cuarta posición, y finalmente el undécimo con el dductor con la cuarta posición anterior al último bitio de la orden, son emitidas las señales 0 a 7 de salida y también las señales S0, S1 y S2 sobre la salida de la disposición de puertas "Y" 301a a 301k. La descodificación del código de operación de una orden del tipo II produce sobre la salida II del descodificador 300 de órdenes una señal de salida que corresponde a un "1" binario y que representa directamente la señal S3 de control.

Cuando tiene lugar la descodificación del código de operación de una orden del tipo III, basta evaluar solamente la tercera posición de bitio de la orden, que está definida subsiguientemente como señal T1 de reloj, si contiene un "1" binario o está definida como señal T2 de reloj si contiene un "0" binario. La disposición de circuito consistente en las puertas "Y" 302 y 303, así como el circuito 304 de negación, toma esta decisión generando la puerta "Y" 302 sobre su salida la señal T1 de reloj y generando la puerta "Y" 303 sobre su salida la señal T2 de reloj.

Las señales de control que se acaban de mencionar se aplican al generador 203 de señal de control representada

tado en la figura 4 donde son almacenadas transitoriamente durante un período de tiempo exactamente definido en los registros 23 y 27, respectivamente, y en las memorias 25a a 25h y 29a a 29h biestables, respectivamente. En los registros y circuitos biestables, estas señales de control, junto con las señales S1 a S3, sirven para generar las señales PIRRO a PIRR7, CMO a CM7 de control, así como la señal HMS, que se requieren para la conmutación de nivel de programa.

REIVINDICACIONES

5 Los puntos de invención propia y nueva que se  
presentan para que sean objeto de esta solicitud de Patente  
de Invención en España, por VEINTE años, son los que se re-  
cogen en las reivindicaciones siguientes:

10 1ª.- Una disposición para interrupción de  
programa y para controlar la conmutación de nivel de progra-  
ma dependiente de prioridad en un sistema electrónico de  
tratamiento de datos, caracterizada porque para convertir  
solicitudes de interrupción que se presentan asíncronamente  
en asignaciones síncronas de programa, está dispuesto un  
15 conmutador de nivel de programa que es activado por un cir-  
cuito de control que comprueba las solicitudes de interrup-  
ción que llegan asíncronamente en cuanto a su prioridad, y,  
si es necesario, en cuanto a condiciones adicionales en un  
intervalo de tiempo particular en la fase de interpretación  
de una instrucción, que es aún anterior a la descodificación  
20 del código de operación de dicha instrucción, y que en el  
caso de una prioridad más alta y en caso de satisfacerse las  
condiciones adicionales, activa un cambio de nivel de pro-  
grama mediante transferencias de señales de control corres-  
pondientes para abandonar el nivel de programa en curso y  
25 señales de control para iniciar el nuevo nivel de programa  
al conmutador de nivel de programa que permuta la palabra  
de estado de programa en curso con la nueva palabra de esta-  
do de programa.

30 2ª.- Una disposición de acuerdo con la reivin-  
dicación 1ª, caracterizada por una unidad de control de se-

cuencia que convierte órdenes de control recibidas de un complejo principal de tratamiento de datos por medio de un descodificador de órdenes y un circuito lógico consistente en puertas "Y" así como un circuito de negación, en señales de control de tal modo que un primer grupo de puertas "Y" al cual pueden estar aplicadas señales de bitio, señales de control y una señal de salida del descodificador de órdenes, transfiere las mencionadas señales de bitio y señales de control a un generador de señal de control, de tal modo que adicionalmente una segunda puerta "Y" a la cual pueden estar aplicadas señales de reloj y otra señal de salida del descodificador de órdenes transfiere una primera señal de reloj al conmutador de nivel de programa, y de tal modo que finalmente una tercera puerta "Y" a la cual pueden también ser aplicadas las señales de reloj y, a través de un circuito de negación, la otra señal de salida del descodificador de órdenes, transfiere una segunda señal de sincronismo al conmutador de nivel de programa y a la unidad de control del conmutador de nivel de programa, transfiriendo finalmente una última salida del descodificador de órdenes una señal de control adicional al generador de señal de control.

3ª.- Una disposición de acuerdo con la reivindicación 1ª y (o) la reivindicación 2ª, caracterizada porque para la conmutación garantizada a un nivel de programa de una prioridad inferior a la prioridad más alta, está dispuesto un contador de intervalos que, por medio de una de las últimas operaciones de una fase de ejecución de instrucción, puede ser conmutado simultáneamente a un valor predeterminado, puede ser decrementado en una unidad por medio de la primera operación después de cada fase de interpretación, y pue

de ser comprobado subsiguientemente en cuanto a su valor ce  
ro, con lo cual cuando se ha alcanzado dicho valor cero se  
genera un bitio de control que permite la conmutación de  
nivel de programa del conmutador de nivel de programa.

5                   4ª.- Una disposición de acuerdo con una o va  
rias de las reivindicaciones 1ª a 3ª, caracterizada porque  
en la secuencia de funcionamiento la comprobación de presen  
cia de la condición para conmutación de nivel de programa y  
la conmutación de nivel de programa que puede requerirse  
10 se inicia activando una máscara principal y se finaliza  
inactivando dicha máscara.

                  5ª.- Una disposición de acuerdo con una o va  
rias de las reivindicaciones 1ª a 4ª, caracterizada porque pri  
meras señales de control activan el control del conmutador  
15 de nivel de programa de tal modo que el último mantiene ac  
tivo un nivel de programa asociado incluso después de que se  
haya desactivado la señal de solicitud de interrupción asocia  
da.

                  6ª.- Una disposición de acuerdo con una o va  
20 rias de las reivindicaciones 1ª a 5ª, caracterizada porque  
segundas señales de control activan el conmutador de nivel  
de programa de tal modo que el último suprime la conmutación  
de un nivel de programa de prioridad inferior a un nivel  
de programa de prioridad superior predeterminada hasta que  
25 se han hecho inactivas dichas segundas señales de control.

                  7ª.- Una disposición de acuerdo con una o va  
rias de las reivindicaciones 1ª a 6ª, caracterizada porque  
el generador de señal de control para la generación de las  
primeras señales de control está provisto de puertas "Y" a  
30 las cuales están aplicadas las mencionadas señales de bitio

y una señal de control procedente de la unidad de control de secuencia y que en la duración de la señal de control transfieren la combinación de señales de bitio aplicadas a un registro para almacenamiento transitorio, porque adicionalmente está dispuesto un conjunto de circuitos de retención que están precedidos por un conjunto de puertas "Y", estando asociada cada posición de bitio en el registro con un circuito de retención, de modo que, a través de las puertas "Y", en la duración de otra señal de control, los circuitos de retención están condicionados de acuerdo con el contenido de información de la posición de bitios de registro asociada, emitiendo cada circuito de retención condicionado una señal particular de las primeras señales de control.

8ª.- Una disposición de acuerdo con una o varias de las reivindicaciones 1ª a 7ª, caracterizada porque el generador de señal de control para la generación de las segundas señales de control está provisto de puertas "Y" a las cuales están aplicadas las mencionadas señales de bitio y una señal de control procedente de la unidad de control de secuencia y que en la duración de la señal de control transfieren la combinación aplicada de señales de bitio a un registro para almacenamiento transitorio, porque adicionalmente está dispuesto un conjunto de circuitos de retención a los cuales están conectadas un conjunto de puertas "Y", estando asociada cada una de las posiciones de bitio en el registro con un circuito de retención, de modo que a través de dichas puertas "Y" en la duración de otra señal de control los circuitos de retención están condicionados de acuerdo con el contenido de información de la posición de bitio de registro asociada, emitiendo cada circuito de

retención condicionado una señal particular de las segundas señales de control.

5 9ª.- Una disposición de acuerdo con una o varias de las reivindicaciones 1ª a 8ª, caracterizada porque la señal de máscara principal para activar la máscara principal es generada por un circuito de retención adicional cuando dicho circuito de retención está condicionado por una señal de control adicional.

10 10ª.- Una disposición de acuerdo con una o varias de las reivindicaciones 1ª a 9ª, caracterizada porque la unidad de control del conmutador de nivel de programa consiste en una disposición para comprobar la presencia de solicitudes de interrupción y condiciones adicionales, y una disposición para comprobar el nivel de prioridad de las solicitudes de interrupción, generando la primera disposición señales de iniciación para un conmutador de nivel de programa, y generando la segunda disposición señales para salir del nivel de programa en curso para permutar palabras de estado de programa en relación con un conmutador de nivel de programa.

20 11ª.- Una disposición de acuerdo con una o varias de las reivindicaciones 1ª a 10ª, caracterizada porque el conmutador de nivel de programa consiste en un registro de palabra de estado de programa para cada nivel de programa, así como un registro de palabra de estado de programa para el nivel de programa en curso, estando precedidos cada uno de dichos registros de palabra de estado de programa por una puerta "Y" y estando seguidos por una puerta "Y" de tal modo que el registro de palabra de estado de programa del nivel de programa en curso está conectado en

la forma de un anillo a todos los registros restantes de palabra de estado de programa conectados en paralelo, porque adicionalmente en el caso de un cambio de nivel de programa inicialmente en un primer intervalo de sincronismo y al producirse una señal de control para abandonar el nivel de programa en curso, la palabra de estado de programa en curso es transferida desde su registro de palabra de estado de programa al registro de palabra de estado de programa del nivel de programa a abandonar, y porque subsiguientemente en un segundo intervalo de sincronismo y al producirse una señal de control para iniciar el nuevo nivel de programa, la nueva palabra de estado de programa es transferida desde el registro de palabra de estado de programa concerniente al registro de palabra de estado de programa para la palabra de estado de programa en curso de donde asume el control de máquina a través de una línea general de control.

12ª.- Una disposición para interrupción de programa y para controlar la conmutación de nivel de programa dependiente de prioridad en un sistema electrónico de tratamiento de datos.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y para los fines que se han especificado.

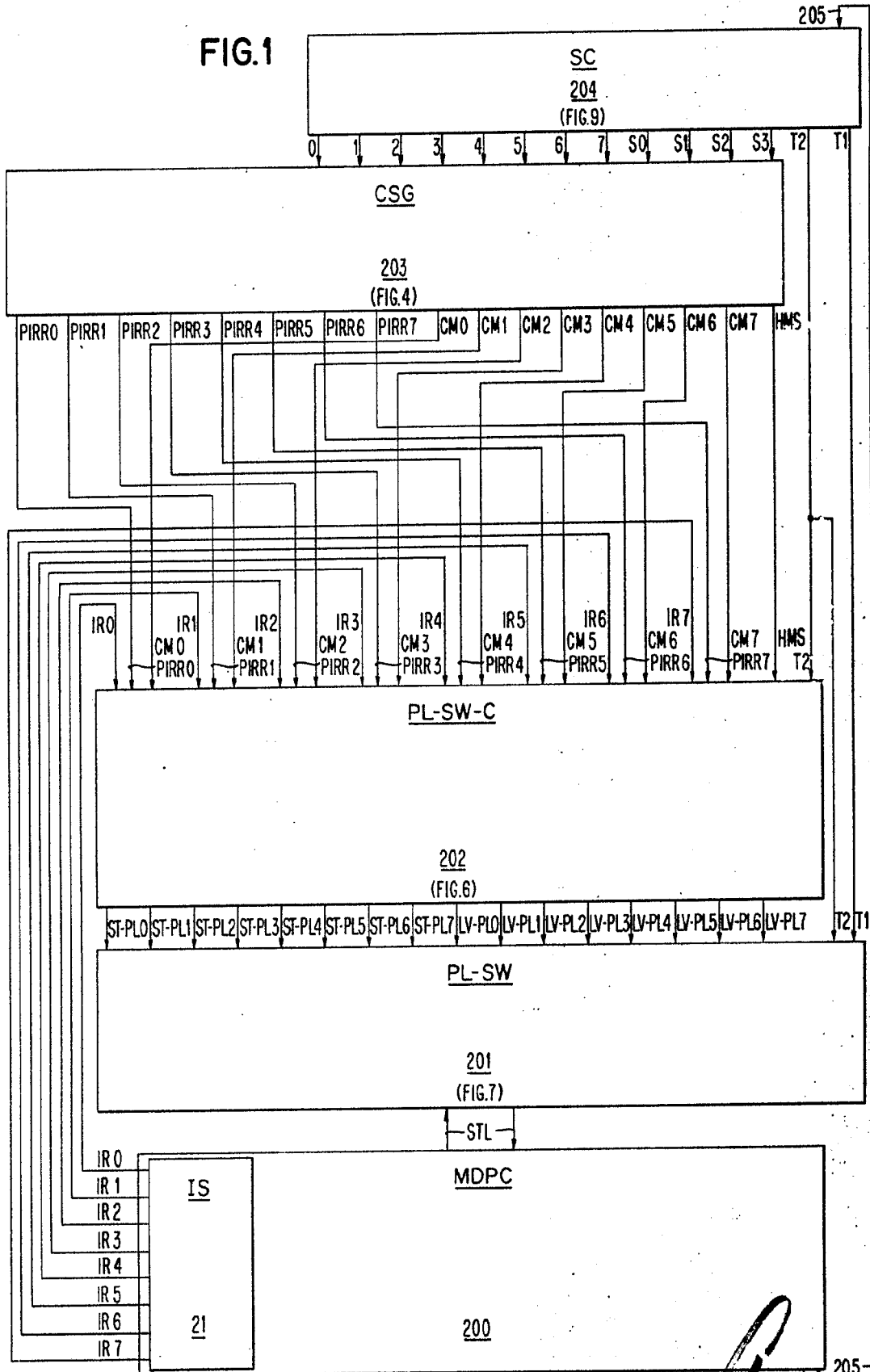
Esta Memoria consta de cuarenta y una hojas escritas a máquina por una sola cara.

Madrid, 01.DIC.1978

P.A.

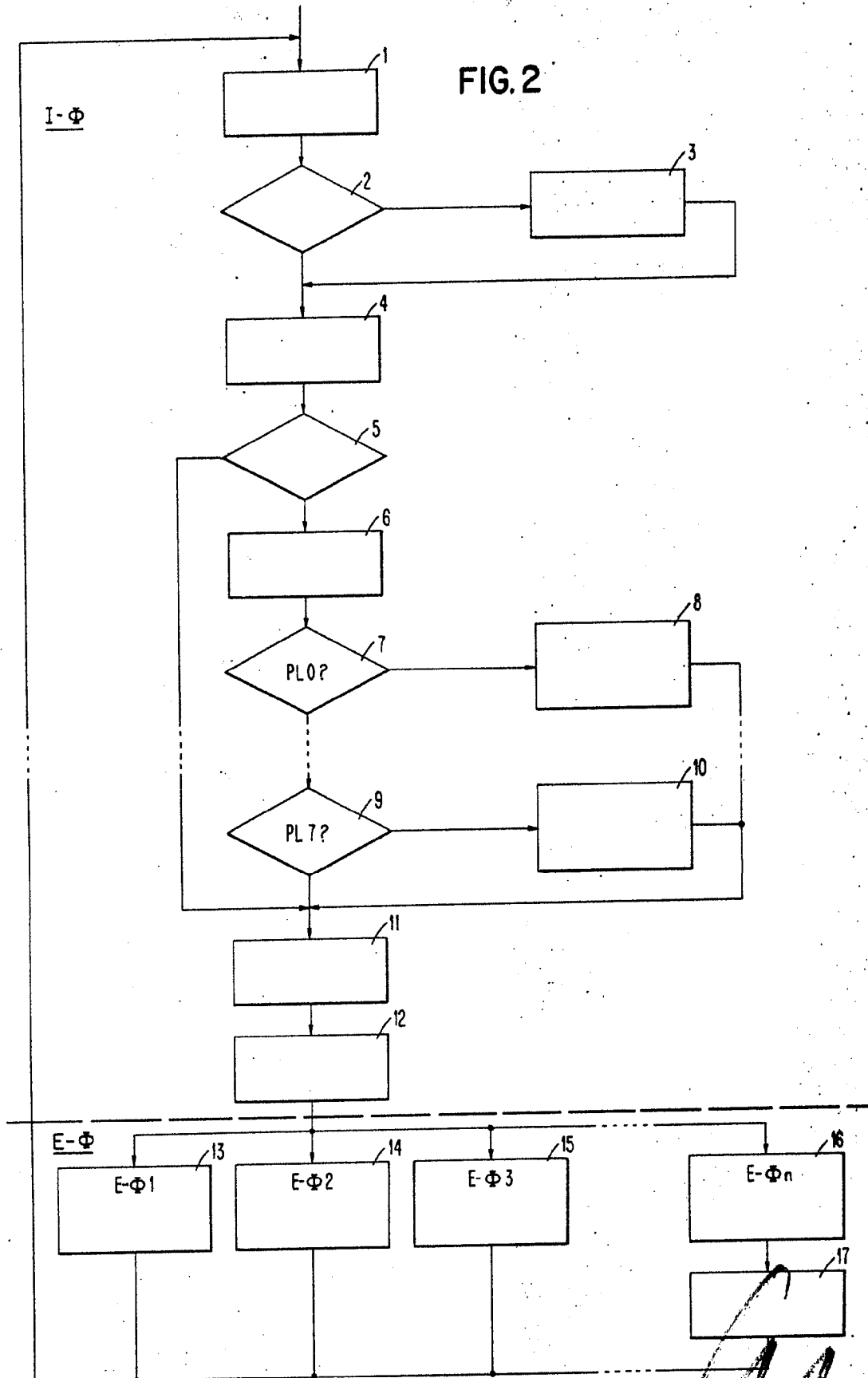
Fernando de Elzaburu  
Por Poder

FIG. 1



*Fernando de Elizalde*  
 Por Poderes

FIG. 2



20199

FIG. 3

0	1	2	3	4	5	6	7
EA	PSF	RS	DISPL	BBA	DISK	SYST	TRANS

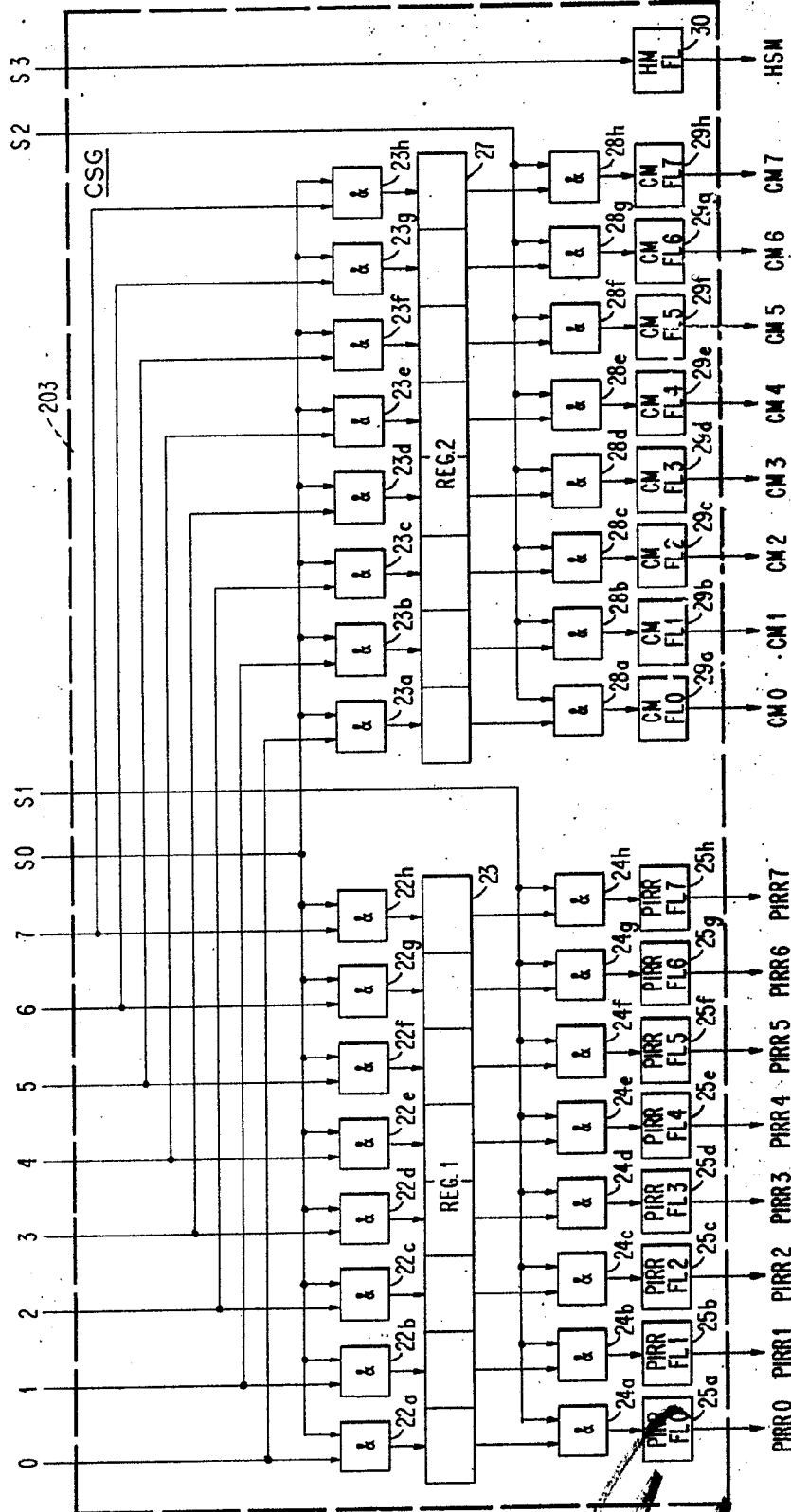


FIG. 4

Fernando Elizaburu

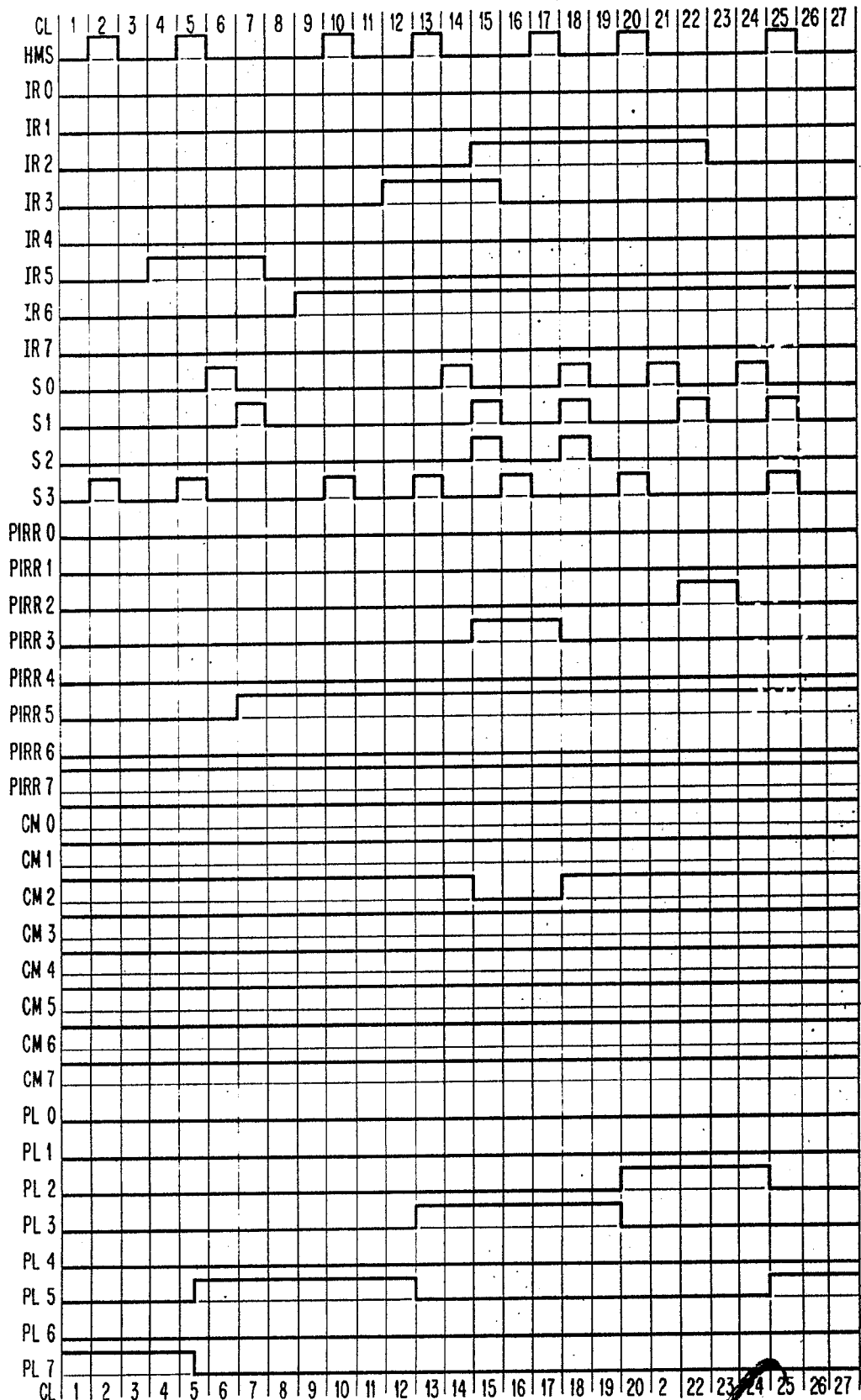


FIG. 5

V/X

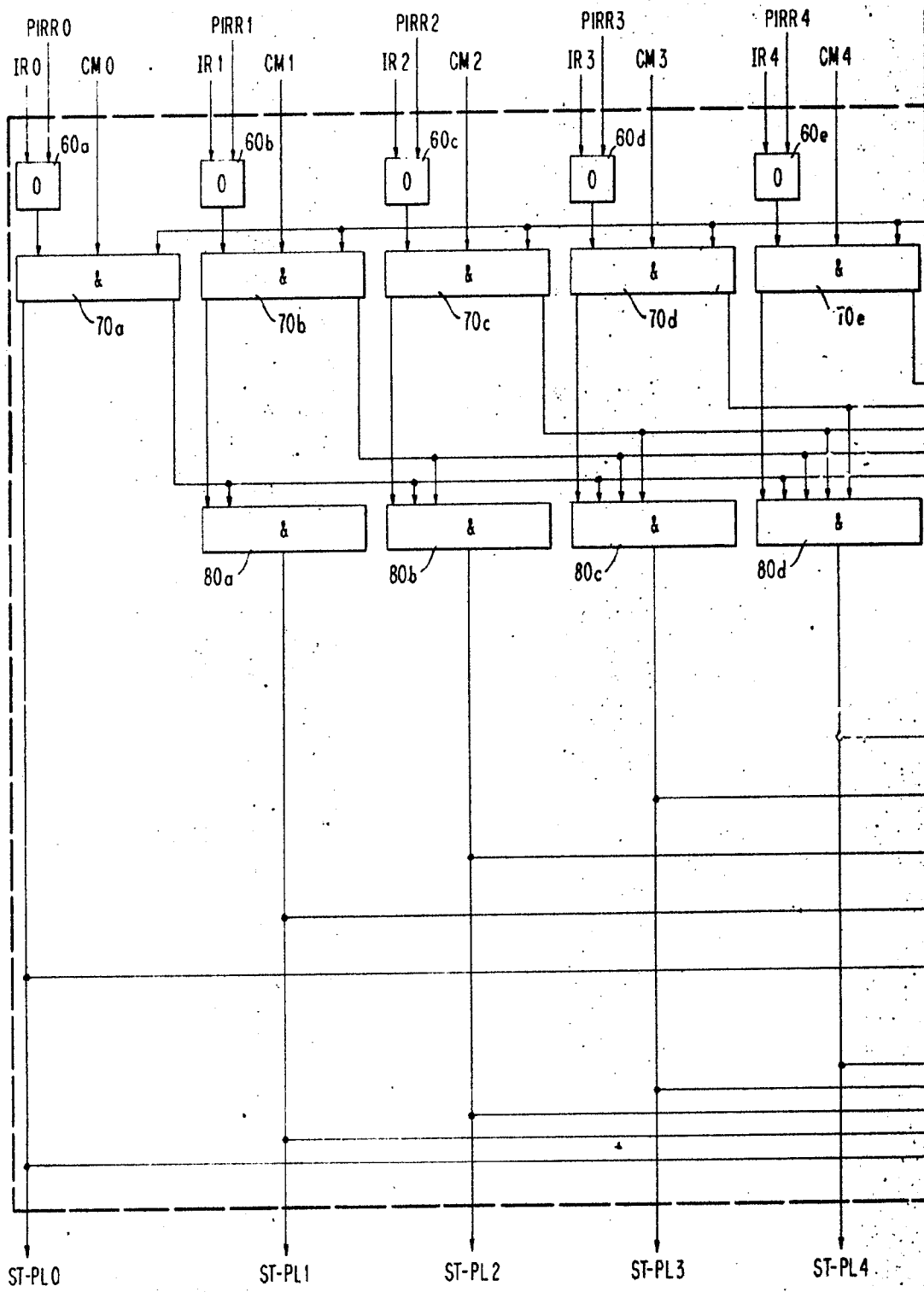


FIG. 6A

FIG. 6

FIG. 6A	FIG. 6B	FIG. 6C	FIG. 6D
---------	---------	---------	---------

Fernando de Elizaburu  
Per Fides

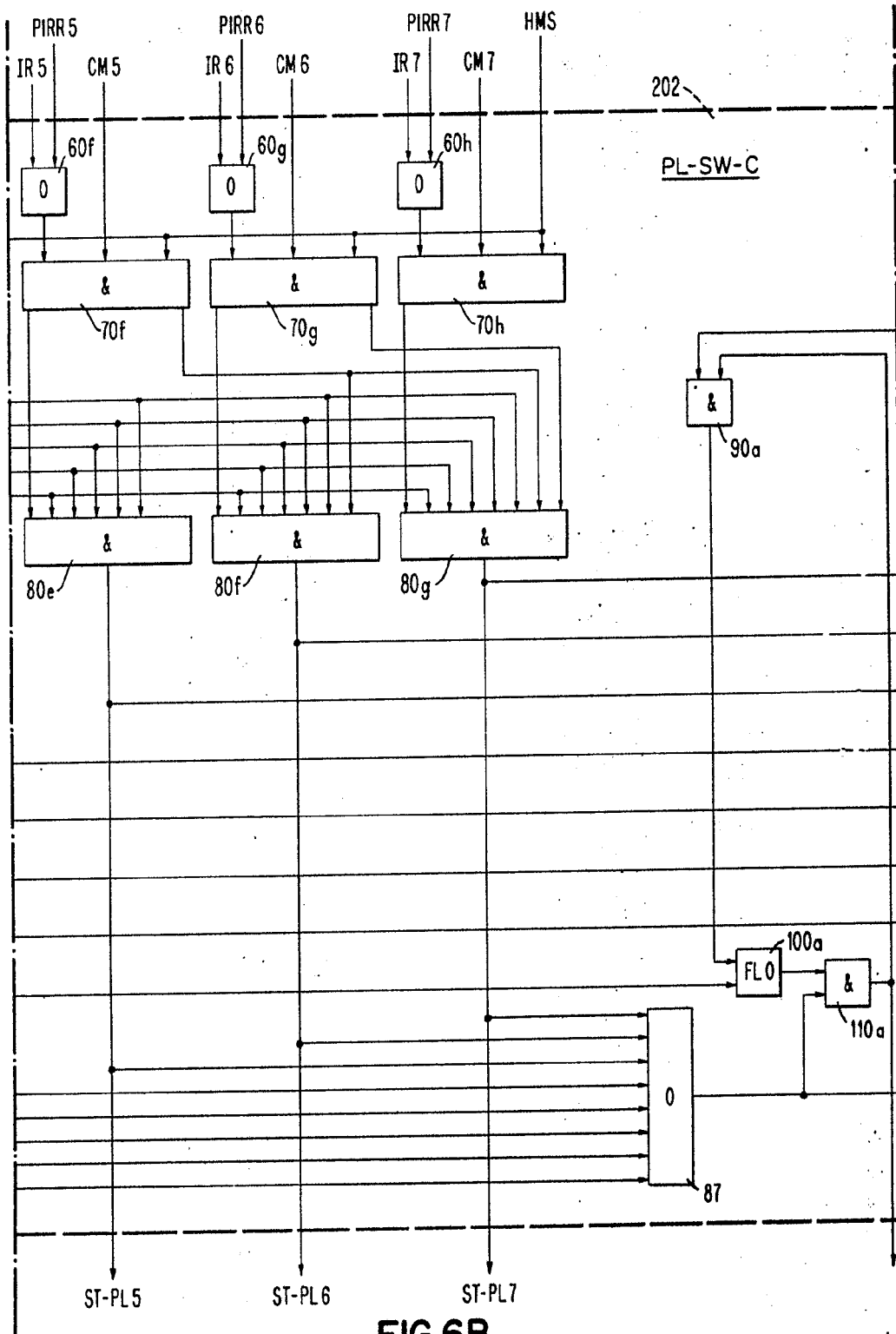


FIG. 6B

Fernando de Elizabeta  
Por Poderes

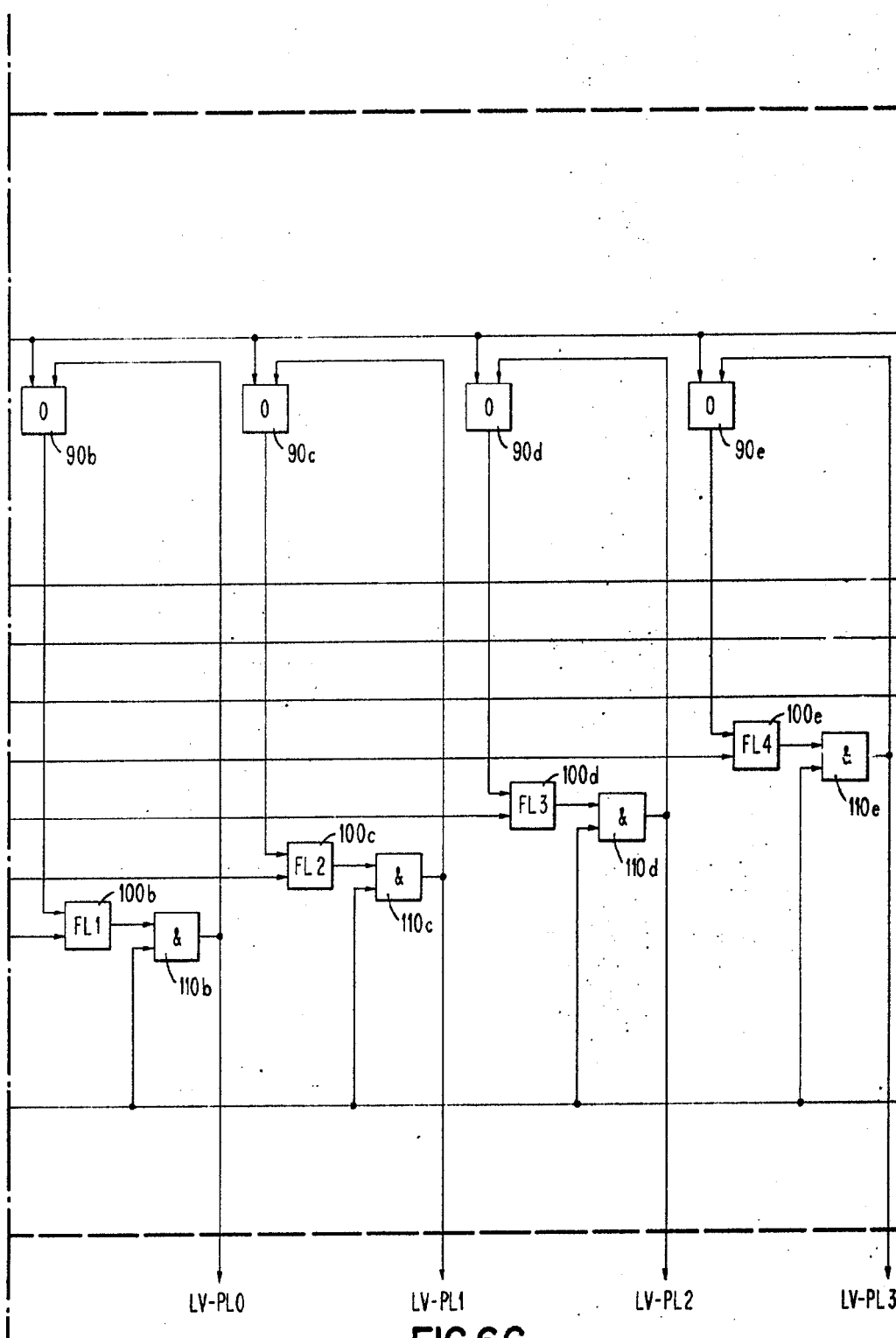


FIG.6C

Fernando da Silva  
Ferreira

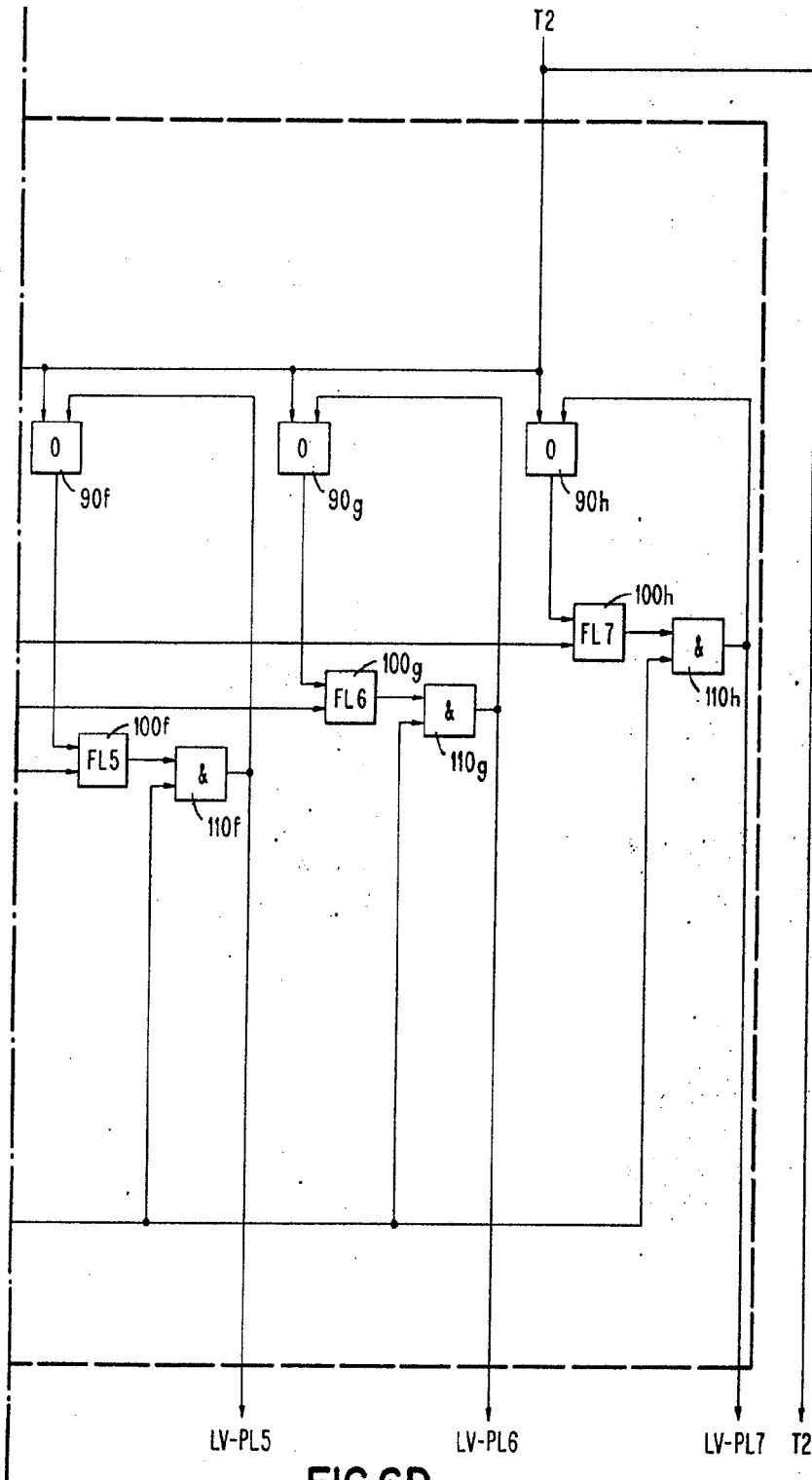
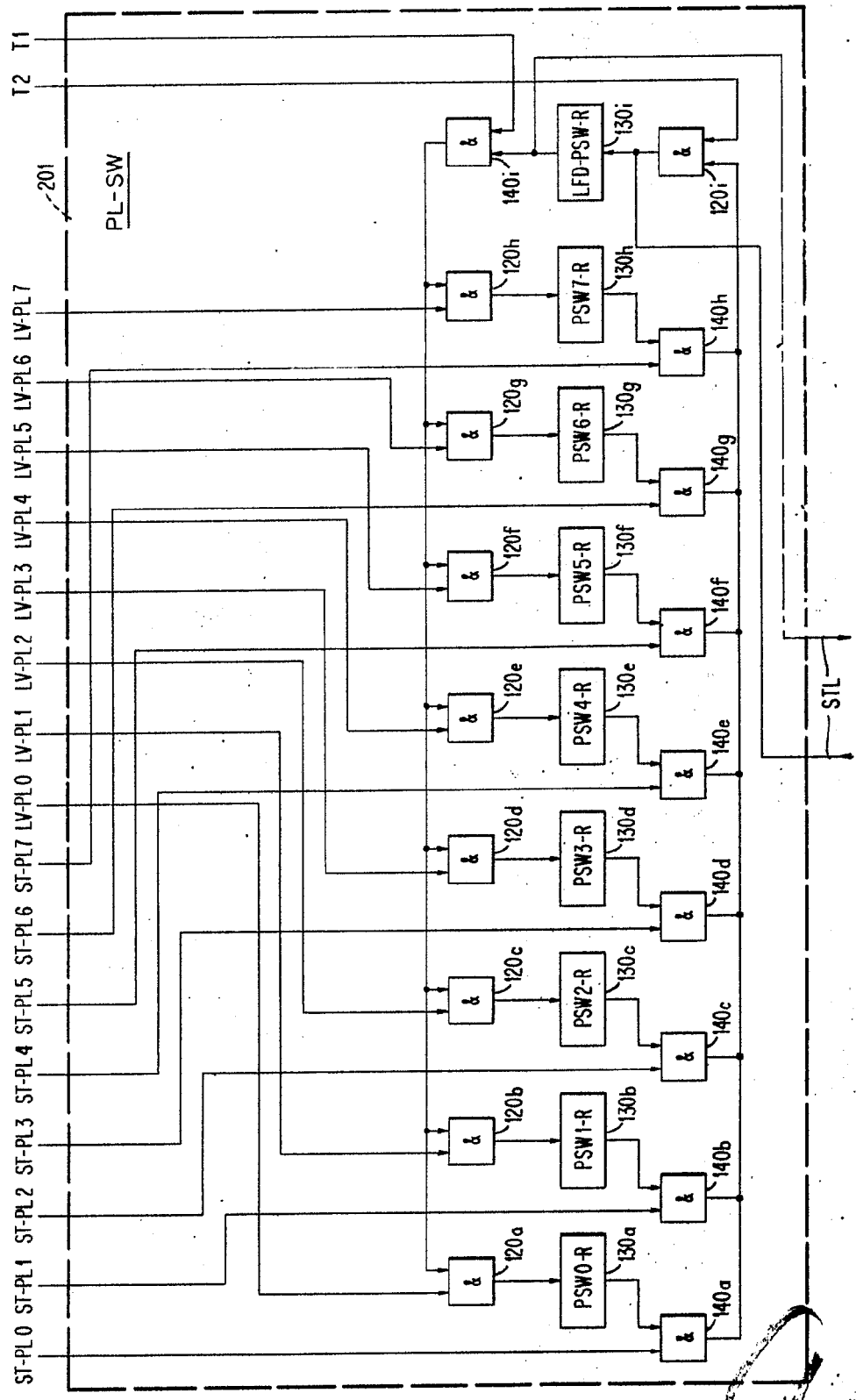


FIG.6D

Fernando de Elizaburu  
For Files

FIG. 7



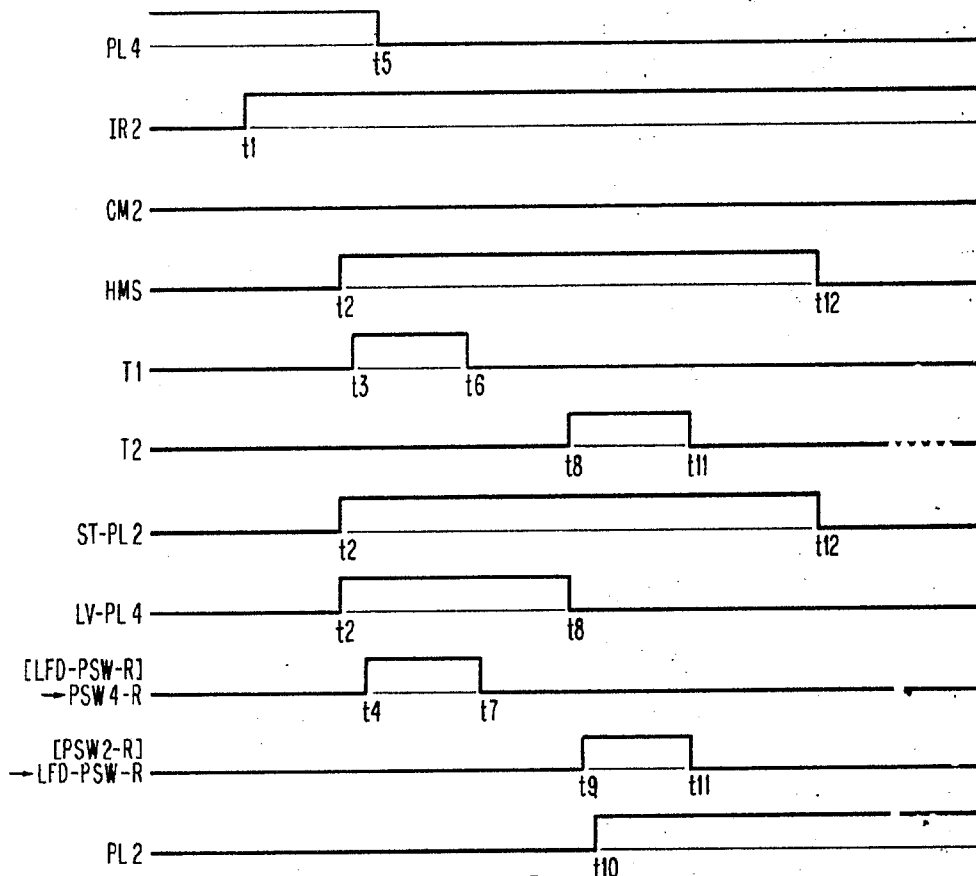


FIG. 8

I: 0	1	0	1	2	3	4	5	6	7	S0	S1	S2	X	X	X
II: 1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X
III: 1	1	TV/T2	X	X	X	X	X	X	X	X	X	X	X	X	X

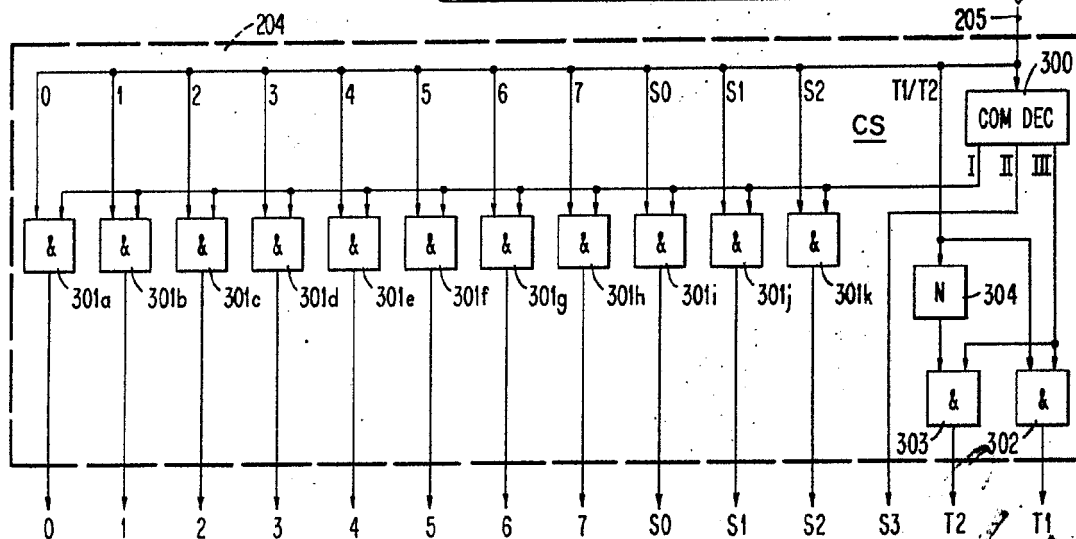


FIG. 9