

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

ES	(11) NÚMERO	475180	(10) A1
	(22) FECHA DE PRESENTACION		

PATENTE DE INVENCION

(30) PRIORIDADES:		
(31) NÚMERO	(32) FECHA	(33) PAIS
77 34742	18. Nov. 77	Francia
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04G	
(64) TITULO DE LA INVENCION		
"UN DISPOSITIVO DE SUPERVISION DE VIA ASOCIADO CON UNA RED DE CONEXION CON CONMUTACION POR DIVISION DE TIEMPO Y SEÑAL CODIFICADA".		
(71) SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5		
(72) INVENTOR (ES)		
Michel André Robert Henrion		
(73) TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
(74) REPRESENTANTE		
D. Manuel Gómez Santamaría.		

El presente invento se refiere a un dispositivo de supervisión de vía asociado con una red de conexión con conmutación por división de tiempo y señal codificada. El mismo tiene aplicación a redes de conexión con conmutación por división de tiempo tales como las de un centro de conmutación telefónico y, concretamente, de un centro de conmutación de señal que utilice la modulación por impulsos codificados.

En las entradas de tales centrales, las señales que llegan de las líneas se muestrean cada 125 μ s y la amplitud de cada muestra se expresa por una combinación codificada de una señal de 8 binarios. Estas muestras se transmiten entonces por un canal de división de tiempo del grupo múltiplex. El grupo múltiplex comprende 32 canales por división de tiempo, por ejemplo, estando dividido el período de 125 μ s en 32 aberturas de tiempo de, aproximadamente, 4 μ s. Un grupo múltiplex de entrada encamina así las señales que llegan de 30 ó 31 líneas por 30 ó 31 de los 32 canales de entrada. Los restantes canales sirven para otros fines (concretamente la sincronización y la señalización. Un múltiplex de salida similar encamina las señales destinadas a estas mismas líneas.

Dentro de una central, es necesario que una combinación codificada que aparece por un canal por división de tiempo del grupo múltiplex pueda retransmitirse por un canal por división de tiempo de cualquier grupo múltiplex. Esto implica operaciones de división de espacio (conexión grupo a grupo) y división de tiempo (conexión canal a canal). Esto se realizará por medio de una malla que incluirá conmutadores por división de espacio y memorias. Esta malla puede

ser, por ejemplo, del tipo denominado tiempo-espacio-tiempo. Estas unidades de conmutación así como las unidades que las controlan están constituidas por un gran número de componentes electrónicos y, como consecuencia, ofrecen un riesgo de fallo no despreciable. Como consecuencia, se realiza generalmente una prueba de continuidad. La experiencia demuestra que la mayoría de las llamadas telefónicas son cortas y el componente de riesgo de fallo durante la llamada es muy bajo. Además, un tal fallo a menudo trae como consecuencia un deterioro en la calidad de la llamada y finalmente una degradación en la calidad del servicio. No es por tanto necesario utilizar un equipo que es normalmente complicado y costoso para supervisar tales conexiones. No ocurre lo mismo para el establecimiento de llamadas especiales (conexiones especializadas, canal semáforo) durante largos períodos, que no pueden dejarse sin supervisión.

En una malla que comprende diversas centrales por división de tiempo, cada central está conectada a la central próxima por grupos múltiplex del tipo descrito. A la salida de una central, el grupo múltiplex de salida está preparado por un reloj local que delimita los cuadros, las aberturas de tiempo de canal, así como los ocho intervalos de bit de cada abertura de tiempo.

En la entrada de una de las centrales, no puede usarse el reloj local para procesar las señales del grupo múltiplex de entrada dado que no están necesariamente en sincronismo de frecuencia ni en sincronismo de fase con las de la central remota, como podría parecer a través del medio de transmisión. Por tanto es necesario reconstruir el reloj remoto a fin de detectar e identificar las señales recibidas

Las operaciones de conmutación mencionadas anteriormente se refieren principalmente a grupos múltiplex sincronos, por razones obvias de simplificación. Se ha visto que los grupos de entrada que llegan de las centrales remotas
5 están asociados con un reloj reconstruido cuya frecuencia y fase son diferentes de las del reloj local y diferentes entre sí. Como consecuencia es aconsejable realizar una re-sincronización que resultará en un cambio de tiempo de las señales y, según la dirección del cambio de frecuencia, en
10 una duplicación o supresión periódica de las señales de llegada. La solución a este conocido problema está en almacenar las combinaciones de entrada a la cadencia del reloj remoto, asignándose un área de memoria a cada canal, y luego leer las combinaciones a la cadencia del reloj local.

15 Es evidente que se hace necesario controlar esta compleja operación.

Debe tenerse también en cuenta que el reloj remoto reconstruido puede tener variaciones de fase alternativas, o inestabilidad (jitter), respecto al reloj local,
20 estando los relojes, en otros aspectos, en cuasi-sincronismo, las combinaciones de un canal de llegada se escriben en momentos localizados antes y después de la correspondiente operación de lectura. Cuando la escritura pasa de "antes" a "después" de la lectura, la memoria suministra la combinación
25 registrada anteriormente dos veces en sucesión, por el canal en cuestión. Por otra parte, cuando la escritura pasa de "después" a "antes", la combinación recibida anteriormente se sustituye por una nueva combinación antes de haber sido leída.

30 Cuando son frecuentes los saltos y retrocesos de cuadros como resultado de estas variaciones de fase al-

ternativas, pueden perturbar seriamente las llamadas. Entonces se aconsejable contar con medios apropiados para detectar tales anomalías.

5 Por tanto es necesario realizar diferentes pruebas para asegurar un funcionamiento de la red sin alteraciones, por ejemplo, comprobar la continuidad de las vías establecidas temporalmente para las diferentes llamadas.

10 El problema ha sido ya considerado. En el caso de llamadas telefónicas, esta comprobación se realiza antes del establecimiento de la llamada. Por ejemplo, el equipo de la ruta de llegada y el equipo de la ruta de salida transmiten cíclicamente a través de la red un cierto número de caracteres especiales. Cada equipo de ruta recibe los caracteres emitidos por el otro equipo de ruta, los identifica
15 y transmite la señalización correspondiente. La existencia de estas dos señalizaciones muestra la continuidad del enlace probado y se realiza la conexión requerida.

Este procedimiento se ejecuta sistemáticamente. Una vez que se establece la llamada, e independientemente
20 de la comprobación precedente, es necesario, como se ha visto anteriormente, contar con elementos para mantener la calidad de los tipos de llamada semi-permanentes.

Ségún un principio conocido ya descrito en la solicitud de patente francesa Nº 75 09618 registrada el 27
25 de Marzo de 1975, un tal control consiste en direccionar un canal de llegada, leer la combinación codificada y almacenarla. El canal de salida correspondiente se direcciona de la misma manera, varias combinaciones codificadas se leen y comparan con la combinación almacenada y codificada. Depen-
30 diendo de si ó no se encuentren idénticas las combinaciones

codificadas, se deduce que la transmisión es o no es buena y el resultado de la comparación se transmite a la unidad central. Se comprueba entonces otro canal. Existen algunas desventajas en tal prueba sistemática y secuencial. Por supuesto que además de resultar en una sobrecarga para la unidad central, esta prueba es demasiado somera y no permite una definición de la calidad de la llamada.

Com consecuencia, el presente invento tiene como objeto un dispositivo de supervisión que corresponda mejor a las necesidades específicas de la supervisión de una vía de conexión en centros de conmutación por división de tiempo.

El invento se refiere a un dispositivo de supervisión de vía asociado con una red de conexión con conmutación por división de tiempo y señal codificada., que comprende elementos para establecer la dirección de una canal de llegada de dicha red, elementos de selección para la conexión a dicho canal de llegada, elementos de almacenaje para la recepción de las combinaciones codificadas sucesivas encaminadas por este canal de llegada a través de dichos elementos de selección, elementos para establecer la dirección de un canal de salida de la red, elementos de selección para la conexión a dicho canal de salida, elementos de almacenaje para la recepción de las sucesivas combinaciones codificadas encaminadas por este canal de salida a través de dichos elementos de selección, así como elementos de correlación dispuestos para leer las combinaciones codificadas contenidas en dichos elementos de almacenaje y para detectar la identidad entre una o más combinaciones que llegan desde el canal de salida, caracterizado porque comprende, además, en dichos elementos de correlación, elementos de evaluación

~~para detectar el canal~~

para definir el cambio de tiempo entre combinaciones idénticas de los canales de llegada y salida, elementos de acceso controlados según dicho cambio en tiempo, para leer combinaciones de entrada y salida sucesivas separadas por este cambio en tiempo, elementos de comparación que reciben las combinaciones suministradas por los elementos de acceso a la cadencia de una combinación de entrada y una de salida por cuadro y suministrando una señal de fallo cuando las combinaciones suministradas son diferentes entre sí en una o más ocasiones, y elementos de almacenaje dispuestos para almacenar dicho cambio en tiempo y dicha señal de fallo en un orden cronológico.

Seguidamente describiremos, a modo de ejemplo no limitativo, los diferentes objetivos y características del presente invento, refiriéndonos a los dibujos que se acompañan, en los cuales:

La Fig. 1 muestra el diagrama general de un centro de conmutación por división de tiempo equipado con el dispositivo de supervisión del presente invento;

La Fig. 2 muestra el diagrama general de un ejemplo de configuración del invento con el dispositivo de acceso a las rutas de un centro de conmutación por división de tiempo;

La Fig. 3 es el diagrama detallado de un ejemplo de configuración del dispositivo de supervisión del invento,

La Fig. 4 es una carta de flujo que resume el funcionamiento del dispositivo de supervisión del presente invento.

Describiremos seguidamente, refiriéndonos a la

Fig. 1, el diagrama general de un centro de conmutación por división de tiempo equipado con el dispositivo de supervisión de vía del invento.

Las rutas MIC (modulación por impulsos codificados) están conectadas a este centro el cual establece las llamadas entre los canales por división de tiempo contenidos en las rutas. Cada ruta jm_{el},.....jm_{ep} comprende un canal de transmisión digital para cada dirección de transmisión. Este se conecta en el centro de conmutación un equipo de ruta individual JEL,.....JEp que resuelve los problemas de transmisión de tal manera que, en el nivel del equipo JE, aparecen dos canales de transmisión, de llegada y de salida, como sincronizados en un cuadro de referencia local.

Un circuito de control de ruta CJ conectado por un enlace cje a una unidad central UC, está asociado con el equipo de ruta tal como el JEp. La unidad central UC directa o indirectamente controla todas las operaciones realizadas en el centro, si conciernen al establecimiento, retención, reposición de llamadas, intercambios de señalización o todas las funciones accesorias. De hecho, es un procesador digital de programa almacenado. Puede considerarse que el circuito CJ es una sub-unidad periférica de la unidad central UC que sirve para dar acceso a la unidad central a las rutas MIC (modulación por impulsos codificados).

Cada equipo JEL.....JEp se conecta por una ruta interna de doble vía jm_{il},.....jm_{ip} a la malla de conexión RCX. Otras rutas interiores tales como la jm_i están conectadas a la malla RCX. Esta malla está controlada por la unidad central UC a través del enlace cre. Según las órdenes que recibe de la unidad central UC, la malla establece co-

nexiones de dos vías entre los canales por división de tiempo de estas diferentes rutas.

Para supervisar estas conexiones el invento prevé una unidad de control pasiva PCU. Esta unidad, controlada por la unidad central UC, muestrea las combinaciones codificadas de un canal por división de tiempo de llegada de la ruta jmel....jemp y las combinaciones codificadas del correspondiente canal por división de tiempo de salida, esto es, el canal al cual este canal de llegada se conecta en la malla RCX, por medio de elementos de acceso conocidos por los conmutadores de entrada COE y los conmutadores de salida COS. Estos conmutadores están dirigidos con respecto a las direcciones del canal de llegada y el canal de salida transmitidos por la unidad central UC por el enlace adc:

Las combinaciones codificadas muestreadas de esta manera a la cadencia de una combinación de entrada y una combinación de salida por cuadro se almacenan en una memoria MEC. Cuando un número suficientemente elevado m de pares de combinaciones codificadas se han almacenado, se dispara un dispositivo de comparación DCS. Este dispositivo compara sucesivamente cada combinación de salida, por ejemplo, con cada una de las m combinaciones de entrada, a fin de determinar el cambio de fase, en número de cuadros, existente entre la entrada y la salida de una combinación codificada. Este cambio de fase se transmite a una unidad lógica ULE que realiza entonces la respectiva comparación de combinaciones codificadas de entrada sucesivas con las combinaciones codificadas de salida cambiadas respecto a las combinaciones precedentes en el número de cuadros definido por dicho cambio de fase.

La unidad lógica ULE asegura así la buena transmisión de las combinaciones de entrada a través del centro de conmutación. Según el procedimiento utilizado, esta unidad lógica puede que no tenga en cuenta ciertas anomalías tales como un error de un dígito binario o un error transitorio de una combinación completa. Normalmente un error persistente da lugar a escribir en la memoria MER de señalización especificando principalmente el tipo de error observado, el tiempo de aparición de este error (en forma, por ejemplo, del número de cuadro) y la amplitud del cambio de fase.

Después el dispositivo de comparación DCS se dispara de nuevo a fin de investigar entre un grupo de m combinaciones de entrada y salida almacenadas en la memoria MEC, la identidad de la combinación de salida que sea idéntica a una de estas m combinaciones de entrada. El resultado de esta investigación se transmite a la unidad lógica ULE. Si este resultado es positivo, la unidad lógica ULE, que recibe el cambio de fase expresado como el número de cuadros existentes entre la entrada y la salida de una combinación codificada a través de la malla de conexión RCX, realiza, como ya hemos visto, una comparación respectiva de las combinaciones de entrada sucesivas con las combinaciones codificadas de salida cambiadas en dicho número de cuadros. El funcionamiento de la unidad de control PCU continúa como se ha descrito durante un período que puede fijarse o determinarse por la unidad central y que se extiende desde algunas fracciones de un segundo (por ejemplo, para un diagnóstico) a varios días (control de la calidad de la transmisión). Al final de este período, los diferentes datos que

conciernen al enlace probado almacenados en la memoria MER se transmiten por el enlace rdc a la unidad central UC.

Si el resultado de la búsqueda realizada por el dispositivo de comparación DCS es negativo, esto es, si ninguna de las m combinaciones de salida es idéntica a una de las m combinaciones de entrada, pueden realizarse uno o más intentos, dependiendo del procedimiento utilizado. Si el resultado de la búsqueda permanece negativo, se registra una señal apropiada en la memoria MER antes de su retransmisión a la unidad central UC. Se termina el control del enlace probado y dicho enlace se considera en fallo.

Así, durante el control que hemos descrito, los saltos y repeticiones del cuadro identifican y señalizan como tales. Todos los incidentes y fallos se identifican y dan lugar a una señalización específica almacenada en una memoria resultante con vistas a una posterior retransmisión a la unidad central. El procesamiento de estos resultados puede realizarse antes de su transferencia a la unidad central.

El centro de conmutación de la Fig. 1 comprende también un generador TON (tonos, frecuencia de control, etc) que suministra un tono o una señal de control, bien directamente a la malla de conexión RCX por medio de un enlace yy, o a los equipos de ruta JEl....JEp, por medio de los enlaces xxl.....xxp. Existe un enlace zz que conecta la salida de este generador a una entrada del conmutador de entrada COE. Así, por medio de la unidad de control PCU, también se controla la transmisión de las señales de tono o de control.

Describiremos seguidamente, refiriéndonos a la Fig. 2 el diagrama general de un ejemplo de configuración del acceso del dispositivo de supervisión del invento a las

rutas de un centro de conmutación por división de tiempo.

En este diagrama, cada canal de llegada de los equipos de ruta individuales JE10 a JE17 se conecta respectivamente a una entrada 0 a 7 de un multiplexor ME1 controlado por una señal ace, estando conectado cada canal de salida de estos equipos respectivamente a un multiplexor MO1 controlado por una señal aco. Estos dos multiplexores forman una unidad de concentración AC1. Para todos los equipos de ruta individuales del centro en cuestión, se prevén N unidades de concentración idénticas AC1 a ACN, estando N entre 1 y 256. Las salidas de los N multiplexores ME1 a MEN, cuyas entradas están conectadas respectivamente a los canales de llegada de los 8N equipos de ruta individuales JE10 a JEN7, están conectadas respectivamente a las N entradas 1 a N de un multiplexor MUL. De la misma manera, las salidas de los N multiplexores MO1 a MON, cuyas entradas están conectadas respectivamente a los canales de salida de los 8N equipos de ruta individuales, están conectadas respectivamente a las N entradas 1 a N de un multiplexor MU2.

Los multiplexores ME1 a MEN están controlados por un registro de dirección RCO que transmite la señal aco a los mismos.

El multiplexor MUL está controlado por un registro de dirección AJE que transmite al mismo la dirección codificada de 8 dígitos binarios del canal de llegada por el que se desea muestrear las combinaciones. Las combinaciones codificadas del canal seleccionado de esta manera se suministran a un dispositivo de resincronización SYN.

Se ha visto anteriormente (Fig. 1) que los equipos de ruta JE resuelven los problemas de sincronización de

que,

tal manera que, al nivel del equipo JE, los dos canales de transmisión, el canal de llegada y el canal de salida, aparecen sincronizados en un cuadro de referencia local. Si se desea controlar la transmisión y esta sincronización, es por tanto necesario muestrear los combinaciones codificadas en la entrada del equipo de ruta. El reloj remoto debe reconstruirse y realizarse la resincronización en el reloj local. Si se desea, el dispositivo de resincronización SYN puede realizar estas dos operaciones. También es posible muestrear el reloj remoto reconstruido en el equipo de ruta a la salida de este equipo por medio de un enlace suplementario no representado.

El dispositivo de resincronización SYN puede ser, por ejemplo, el dispositivo descrito en la Solicitud de Patente Francesa Nº 75 23460 registrada el 28 de Julio de 1975.

El objeto de esta solicitud de patente es un método de sincronización para un cuadro repetitivo de abertura de tiempo estructurado como dato de entrada que constituye los canales por división de tiempo transportando cada uno una combinación codificada, a fin de suministrar los datos de salida que tengan la misma estructura con la ayuda de un reloj remoto reconstruido a partir de la estructura de datos de entrada y un reloj local que determina la estructura de los datos de salida. Según este método los datos de entrada se almacenan en una memoria de ruta, a la cadencia del reloj remoto, esto es, una operación de escritura por combinación de entrada, luego los datos de salida se leen en la memoria de ruta, a la cadencia del reloj local, esto es, una operación de lectura por combinación de salida y, de esta manera, las operaciones de escritura y lectura nunca

serán simultáneas, una de estas operaciones estará cambiada en tiempo en una duración predeterminada en caso de riesgo de colisión, esto es, cuando la abertura de tiempo entre las mismas sea menor que un valor predeterminado. Para este propósito, una de estas operaciones de escritura o lectura puede realizarse en uno de dos instantes predeterminados dentro de cada abertura de tiempo. El cambio de la operación se obtiene de este modo cambiando el instante. Además, este cambio se realiza desde el comienzo de un cuadro y en los que duran un número completo de cuadros. Cuando se pone en funcionamiento este método, existe un circuito de exclusión principalmente para detectar la aproximación de una simultaneidad entre escritura y lectura, ello comprende elementos para crear una señal de pre-colisión que delimita el espacio de un tiempo de cuadro una de las operaciones (escritura o lectura) y elementos para detectar la coincidencia de esta señal de pre-colisión y de una señal que controla la ejecución de la otra de dichas operaciones (lectura ó escritura) y produciendo así un señal que anuncia una colisión.

Las combinaciones codificadas se retransmiten entonces a un registro de entrada CCE controlado por una señal de comparación que llega de un comparador de entrada CPE cuya entrada recibe los impulsos LC del reloj local y la otra entrada del cual recibe, en forma de una combinación codificada de 5 dígitos binarios suministrada por un registro de dirección ACE, la identidad del canal seleccionado, esto es, el número del 0 al 31 de la abertura de tiempo de canal durante la cual se transmiten las combinaciones codificadas a ser muestreadas.

Quando el comparador de entrada CPE suministra

una señal de comparación al registro de entrada CCE, los ocho dígitos binarios de la combinación codificada de abertura de tiempo de canal identificada se almacenan en este registro.

5 De la misma manera, el multiplexor MU2 está controlado por un registro de dirección AJS que transmite al misma la dirección codificada de ocho dígitos del canal de salida por el que deben normalmente transmitirse las combinaciones de entrada muestreadas anteriormente. Las diferen-
10 tes combinaciones retransmitidas por este canal se suministran a una entrada de un registro de salida CCS controlado por una señal de comparación que llega de un comparador de salida CPS. Este comparador recibe, por una parte, impulsos LS del reloj local, por otra parte los cinco dígitos binarios
15 de una combinación codificada suministrada por un registro de dirección ACS y que identifica la abertura de tiempo de canal durante la cual se retransmiten las combinaciones codificadas de entrada muestreadas previamente.

20 Cuando el procesador de salida CPS suministra una señal de comparación al registro CCS, los ocho dígitos binarios de la combinación codificada de abertura de tiempo se almacenan en este registro.

El diagrama detallado de una configuración del dispositivo de supervisión del invento lo describiremos con
25 referencia a la Fig. 3.

El diapositivo de supervisión ULC de la Fig. 3, controlado por un procesador central UC comprende una memoria MEC constituida por dos áreas en las que se almacenan respectivamente las combinaciones de entrada SCCi 0 a SCCi n
30 y las combinaciones de salida SCCo 0 a SCCo n transmitidas

respectivamente por el canal de llegada y el canal de salida del enlace a ser probado, cuya dirección se suministra por el procesador UC a la unidad de control lógica ULE. La dirección del canal de llegada y la dirección del canal de salida de este enlace se almacenan respectivamente por el procesador UC en un registro de dirección de entrada RAE y un registro de dirección de salida RAS de la unidad lógica ULE. Estos registros controlan o incluso pueden sustituir a los registros ACE, ACS, AJE, RCE, y RCO de la Fig. 2.

Esta unidad comprende también un reloj local HG que suministra los impulsos de reloj hg correspondientes a la frecuencia de cuadro, un contador de cuadro CT controlado por los impulsos hg y que suministra una señal nf de nivel lógico 1 tan pronto como alcanza una posición predeterminada, un contador de prueba CE que suministra una señal ce que pasa del nivel lógico 0 al nivel lógico 1 cuando alcanza una posición predeterminada que representa el número máximo de búsquedas infructuosas realizadas para identificar una combinación de salida de entre las m idénticas a cualquier otra de las m combinaciones de entrada y un secuenciador SQ. Este secuenciador es por ejemplo, una cadena de flip-flops que funcionan uno tras de otro en un orden establecido. A cada flip-flop corresponde una función durante la cual se completan operaciones determinadas.

La unidad lógica ULE comprende también un contador de lectura CI que suministra una dirección de lectura adj de una combinación de entrada SCC SCC i almacenada en la memoria MEC, y un contador de lectura CO que suministra una dirección de lectura ado de una combinación de salida SCCo almacenada en esta memoria.

Además de la unidad lógica ULE comprende un flip-flop de error y un contador de duración de la prueba DTT. Al comienzo de cada control requerido por el procesador UC. El tiempo máximo asignado a este control y transmitido por el procesador UC o almacenado en la unidad lógica ULE se escribe en este contador. Este último controlado, por ejemplo, por los impulsos de reloj hg retorna a cero. Cuando ha alcanzado el cero, el contador DTT suministra un final de la señal de prueba ft.

El dispositivo de supervisión ULC de la figura 3 comprende también un comparador COP y un correlator COR. El comparador COP recibe en sus entradas una combinación de entrada SCCi y una combinación de salida SCCo almacenadas en la memoria MEC en las direcciones respectivas adi y ado. Está controlado por la unidad lógica ULE a la que suministra una señal de comparación cp. El correlator COR, que puede estar constituido por registros de conversión y circuitos lógicos semejantes al dispositivo de comparación descrito en la patente francesa mencionada anteriormente N^o 75 09 618, recibe m combinaciones de entrada y m combinaciones de salida que llegan de la memoria MEC y bajo el control de la unidad lógica ULE. Este control se muestra por dos puertas AND pt1 y pt2 controladas por la señal nf suministrada por el contador de cuadro CT. Este correlator compara sucesivamente cada combinación de entrada recibida con cada una de las m combinaciones de salida. Cuando una combinación de salida de rango j es idéntica a una combinación de entrada de rango K, el correlator comprueba que la combinación de salida de rango J + 1 es idéntica a la combinación de entrada de rango K + 1. Entonces transmite a la unidad lógica ULE el cambio de fase

K - j introducido por la malla de conexión RCX de la figura 1.

El dispositivo de supervisión ULC comprende además una memoria de resultado MER en donde la unidad lógica de control ULE registra todos los resultados de las operaciones realizadas por el correlator y el comparador y concretamente, el cambio de fase determinado anteriormente k-j.

En el dispositivo de la fig. 3 no se han mostrado algunos enlaces existentes entre las diferentes unidades constituyentes ni, por ejemplo, los circuitos de acceso a la memoria. Se sobreentiende que estos circuitos se determinan fácilmente a partir de la carta de flujo de la figura 4. Nótese que todos estos circuitos pueden sustituirse además ventajosamente por un microprocesador equipado con una memoria apropiada.

Un ejemplo de funcionamiento detallado del dispositivo de supervisión de la fig. 3 lo describiremos seguidamente refiriéndonos a la carta de flujo de la fig. 4.

Cuando un enlace requiere una comprobación, el procesador central UC transmite al dispositivo de supervisión del invento una orden de control así como la dirección del canal por división de tiempo de salida y la de la división de tiempo de entrada de la ruta a ser probada; Después de la reposición general de registros y contadores, estas direcciones se almacenan respectivamente en el registro de dirección de entrada RAE y el registro de dirección de salida RAS. Estas operaciones se muestran en la carta de flujo de la fig. 4 por un rectángulo IEA. El procesador CPU transmite, si es necesario, la duración máxima del control que debe realizarse. Esta duración, que puede expresarse, por ejemplo, en número de cuadros, se escribe en el contador DTT.

El secuencial SQ pasa entonces a la posición PH2 y el dispositivo de supervisión comienza una segunda fase de operaciones, al comienzo del siguiente cuadro.

Las combinaciones codificadas de entrada y salida del enlace a ser probado han sido almacenadas respectivamente durante el cuadro en los registros CCE y CCS (fig.2). Al final del cuadro, un impulso hg que llega del reloj HG ordena su escritura en la memoria MEC en una dirección definida por el contador de cuadro CT.

10 Cuando el contenido de este contador alcanza un valor mínimo, 6 por ejemplo, esto es, cuando la memoria MEC contiene seis combinaciones de entrada y seis de salida, suministra una señal nf de nivel lógico 1 (punto de decisión D1 de la carta de flujo de la figura 4). Las puertas pt1 y
15 pt2 no están bloqueadas y las seis combinaciones de entrada y salida escritas en la memoria MEC se suministran al correlator COR. Este último compara sucesivamente cada combinación de entrada con las seis combinaciones de salida (rectángulo RIC de la fig. 4).

20 Se supone que el resultado de esta comparación es positivo, por ejemplo, que las combinaciones codificadas de salida de rangos 3 y 4 son respectivamente idénticas a las combinaciones de entrada de rangos 1 y 2 (salida ric del punto de decisión D2). El corelator COR evalúa entonces
25 el cambio de fase introducido por la malla de conexión (rectángulo IDC de la figura 4), que es, según el ejemplo elegido, igual a 2 cuadros. Este cambio de fase así como el rango de la última combinación de salida comparada, 4 según el ejemplo elegido, se transmiten a la unidad de control lógica UIE con
30 una visión a su escritura en la memoria de resultados MER.

El contador de lectura de la combinación de entrada CI y el contador de lectura de la combinación de salida CO se sitúan entonces respectivamente en la posición 2 y en la 4 (rectángulo ICC de la Fig. 4).

5 El secuencial SQ pasa entonces a la posición PH3 y el dispositivo de supervisión ULC comienza una tercera fase de la operación durante la cual controlará que cada combinación de entrada del cuadro p que se encuentre se retransmita sin error en la abertura de tiempo del canal correspondiente del cuadro p + 2.

10 Suponiendo que el tiempo asignado al control en curso no se alcanza, esto es, que el contador DTT sin estar repuesto suministra un final de la señal de prueba ft que tenga un nivel lógico 0 (punto de decisión D3), la unidad de control lógica asegura que al menos una combinación codificada de entrada y una combinación codificada de salida están disponibles. Para hacer esto, compara el contenido del contador de cuadro CT y el del contador de lectura de la combinación de entrada CI. Si el contenido del contador de cuadro CT es mayor que el contenido del contador CI, al menos una combinación de entrada está disponible. De la misma manera, por comparación del contenido del contador CT y el del contador CO, se asegura la disponibilidad de al menos una combinación de salida (punto de decisión D4).

25 Los contadores de lectura CI y CO se incrementan en una unidad y pasan respectivamente, según el ejemplo elegido, a la posición 3 y 5 (rectángulo + 1 \rightarrow CI, CO de la carta de flujo de la figura 4).

30 Las combinaciones de entrada y salida almacenadas en la memoria MEC en las direcciones adi y ado que llegan

respectivamente de los contadores CI y CO se suministran entonces a las entradas del comparador COP. Este comprueba, dígito binario a dígito binario, que estas dos combinaciones son idénticas (punto de decisión D5).

5 Como las dos combinaciones son idénticas, el comparador COP suministra una señal de comparación cp de nivel lógico 1 a la unidad de control lógica ULE. Esta señal se aplica a la entrada de establecimiento de la posición 0 del flip-flop de error BE (rectángulo REE de la carta de flujo de la fig. 4). Como este flip-flop está ya en la posición
10 de la fig. 4). Como este flip-flop está ya en la posición 0, la señal cp queda sin efecto.

 Volvamos ahora al comienzo de la fase 3 y, como el tiempo asignado al control no ha terminado, el funcionamiento del dispositivo ULC mostrado por la parte de la carta de flujo de la fig. 4 entre los puntos de decisión D3 y D5
15 continúa como se describió anteriormente si al menos una combinación de entrada y una combinación de salida están disponibles (punto de decisión D4). Si este no es el caso, el dispositivo pasa a la fase de escritura, mostrada por el enlace de retorno de bucle, punto de decisión D4 - punto de decisión
20 D3 de la carta de flujo de la fig. 4.

 Se supone ahora que la combinación de salida suministrada a una entrada del comparador COP es diferente de la combinación de entrada suministrada a su otra entrada
25 (punto de decisión D5). El comparador COP suministra, en respuesta, una señal de comparación cp de nivel lógico 0 a la unidad de control ULE.

 La unidad de control ULE que recibe una señal de comparación cp de nivel lógico 0 escribe en la memoria
30 de resultados MER los datos codificados referentes principal-

mente a la posición de los contadores CI y CO (rectángulo WIE de la figura 4). La unidad de control ULE controla entonces la posición del flip-flop de error BE. Como este flip-flop está en la posición 0, el error que justo se ha detectado es el primer error (punto de decisión D6). Este flip-flop se pone en la posición 1 (rectángulo SBE) y se vuelve al comienzo de la fase 3.

Como el tiempo asignado al control no ha terminado, continua la operación del dispositivo ULC como se describió anteriormente y se muestra en la parte de la carta de flujo de la fig. 4 entre los puntos de decisión D3 y D5.

Supondremos nuevamente que, a combinación de salida y la combinación de entrada suministradas en las salidas del comparador COP no son idénticas. Como anteriormente, la unidad de control lógica ULE que recibe una señal de comparación cp de nivel lógico 0 escribe en la memoria de resultados MER los datos codificados que trasladan concretamente la posición de los contadores CI y CO (rectángulo WIE). La unidad de control ULE controla entonces la posición del flip-flop de error BE. Como este flip-flop está en la posición 1 el error que justo se ha detectado es el segundo error consecutivo (punto de decisión D6).

La unidad lógica ULE escribe en la memoria de resultados MER los datos codificados que trasladan concretamente la pérdida de continuidad y la posición de los contadores CI y CO y repone los contadores CT, CI, CO y el flip-flop BE (rectángulo WPC). El secuencial SQ vuelve a la posición PH2.

Se vuelve por tanto al comienzo de la fase 2, como se muestra por el enlace entre el rectángulo WPC y el

punto de decisión D1 de la carta de flujo de la fig. 4.

La operación continúa como se describió anteriormente y se muestra en la parte de la carta de flujo de la Fig. 4 entre los puntos de decisión D1 y D2.

5 Se supone entonces que cada una de las combinaciones de salida suministrada al correlator COR es diferente a las 6 combinaciones de entrada suministradas a este correlator (salida ric del punto de decisión D2). Se realiza entonces una prueba del contador de prueba CE (punto de decisión D7). Este contador de prueba CE, que está en la fase
10 inicial, pasa a la posición 1 (rectángulo + 1 → CE de la figura 4). El contador de cuadro CT así como los diferentes registros que constituyen el correlator COR se reponen (REO) y se vuelve al comienzo de la fase 2 (enlace entre el rec-
15 tángulo REO y el punto de decisión D1).

Después de un cierto número de pruebas sin éxito durante las cuales el contador de prueba CE se incrementa en una unidad, este contador de prueba alcanza la posición correspondiente al número máximo de pruebas sin éxito toleradas (salida ce del punto de decisión D7). El contador CE
20 transmite entonces una señal ce a la unidad lógica ULE que ordena la escritura en la memoria de resultados MER de los datos codificados referidos a la pérdida de continuidad del enlace probado (rectángulo WRN de la carta de flujo), y el
25 paso del secuencial SQ a la posición PH4.

El dispositivo de control ULC de la figura 3 empieza entonces una cuarta fase de operaciones durante las cuales analizará los diferentes resultados de las pruebas previas almacenadas en la memoria MER a fin de transmitir
30 a la unidad de control central UC una situación estadística

que muestre la calidad del enlace probado, La salida ft del punto de decisión D3 de la carta de flujo de la fig. 4 muestra que este paso en la fase 4 también es causado por el paso al nivel lógico 1 de la señal de salida ft del contador de longitud de prueba DTT que está en cero.

5 Durante esta cuarta fase, la unidad de control lógica ULE lee los dos primeros cambios de fase expresados en números de cuadros en la memoria de resultados MER (rectángulo RTP). Se comparan estos dos cambios de fase (rectángulo CTP). La desviación entre estos dos cambios de fase se supone que es diferente de la unidad (salida $\neq 1$ del punto de decisión D8).

15 La unidad lógica ULE lee entonces los datos escritos en la siguiente célula de la memoria MER (rectángulo + 1 \rightarrow MER). Esta célula contiene los datos que expresan el tercer cambio de fase evaluado anteriormente (salida fm del punto de decisión D9). Este cambio de fase se compara con el cambio de fase anterior (rectángulo CTP). La desviación entre estos dos cambios de fase es igual a 1 (salida = 1 del punto de decisión D8). La unidad lógica ULE analiza entonces el resultado registrado inmediatamente después en la memoria MER a fin de decidir si esta variación del cambio de fase en una unidad (un cuadro) es o no debida al salto o duplicación de cuadro causados por el dispositivo de sincronización de la fig. 2 consecutivamente a la diferencia en frecuencia entre el reloj local y el reloj remoto como se vió anteriormente. En el caso afirmativo (salida Y del punto de decisión D10) la unidad lógica ULE escribe en la memoria MER los datos codificados a fin de indicar que ha habido salto o doblamiento de cuadro y no un fallo en el

20

25

30

enlace probado (rectángulo WSF). Las señales de error escritas después de la detección de esta variación del cambio de fase se borran (rectángulo REF).

La unidad de control lógica ULE lee la siguiente
5 línea de la memoria MER (+ 1 → MER). Esta línea no contiene datos: han sido leídos todos los resultados escritos en la memoria (salida fm del punto de decisión D9). Se interpretan entonces los resultados (rectángulo IRR) y se transmite un estado estadístico de errores detectados a la unidad de control
10 central UC (rectángulo ERR).

Están ahora finalizadas las operaciones de control y el dispositivo de supervisión ULC del presente invento queda libre, y puede, bajo las órdenes de la unidad de control, controlar otro enlace (o el mismo).

15 Ha de quedar entendido que la anterior descripción de una forma determina del invento se hace a modo de ejemplo y no puede considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud
20 de patente formulada en Francia el día 18 de Noviembre de 1977, señalada con el N^o 77 34742 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son lls siguientes:

- 5 1.- Un dispositivo de supervisión de vía asociado con una red de conexión con conmutación por división de tiempo y señal codificada, que comprende elementos para establecer la dirección de un canal de llegada de dicha red, elementos de selección para la conexión al mencionado canal
- 10 de llegada, elementos de almacenaje para la recepción de combinaciones codificadas sucesivas encaminadas por este canal de llegada a través de dichos elementos de selección, elementos de selección para la conexión a dicho canal de salida, elementos de almacenaje para la recepción de combi-
- 15 naciones codificadas sucesivas encaminadas por este canal de salida a través de dichos elementos de selección, así como elementos de correlación dispuestos para leer las combinaciones codificadas contenidas en dichos elementos de registro y para detectar la identidad entre una o más combina-
- 20 ciones que llegan desde el canal de llegada y una o más combinaciones que llegan del canal de salida, caracterizado porque comprende además, en dichos elementos de correlación elementos de evaluación para definir el cambio en tiempo entre combinaciones idénticas del canal de llegada y del
- 25 canal de salida, elementos de acceso controlados según dicho cambio en tiempo, elementos de comparación que reciben las combinaciones suministradas por los elementos de acceso a la cadencia de una combinación de llegada y una combinación de salida por cuadro y suministrando una señal de fallo cuando
- 30 do las combinaciones suministradas son diferentes una de

otra en una o en más ocasiones, y elementos de almacenaje dispuestos para almacenar dicho cambio en el tiempo y dicha señal de fallo en un orden cronológico.

2.- Un dispositivo de supervisión de vía, según
5 la reivindicación 1 en donde los elementos de correlación
leen un primer lote de combinaciones compuestas de un primer
número predeterminado de combinaciones que llegan por el
canal de llegada y un segundo número predeterminado de com-
binaciones que llegan del canal de salida a fin de detectar
10 la identidad entre una o más combinaciones que llegan por
el canal de llegada y una o más combinaciones que llegan
del canal de salida, caracterizado porque comprende elementos
para controlar en el caso de no identidad, elementos de co-
rrelación que realizan entonces otros intentos para buscar
15 la identidad entre una o más combinaciones que llegan por
el canal de llegada y una o más combinaciones que llegan por
el canal de salida de lotes de combinaciones sucesivas,
así como elementos que ordenan detener la búsqueda de iden-
tidad después de un número determinado de sucesivos intentos
20 infructuosos.

3.- Un dispositivo de supervisión de vía, se-
gún la reivindicación 1, caracterizado porque comprende ele-
mentos para definir la duración máxima de la supervisión
de una vía dada.

25 4.- Un dispositivo de supervisión de vía, se-
gún la reivindicación 1, caracterizado porque comprende
también elementos para analizar los cambios en tiempo suce-
sivos almacenados en los elementos de almacenaje a fin de
distinguir la señalización de fallo causada por la apari-
30 ción de un fallo en la vía probada a partir de una señali-
zación.

zación de fallo causada por un salto de cuadro.

5.- Un dispositivo de supervisión de vía, según la reivindicación 1, caracterizado porque comprende elementos suplementarios de acceso para el control de la transmisión de la señal de tono o control suministrada a dicha malla de conexión.

6.- Un dispositivo de supervisión de vía asociado con una red de conexión con conmutación por división de tiempo y señal codificada.

10 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de veintisiete hojas escritas por una sola cara.

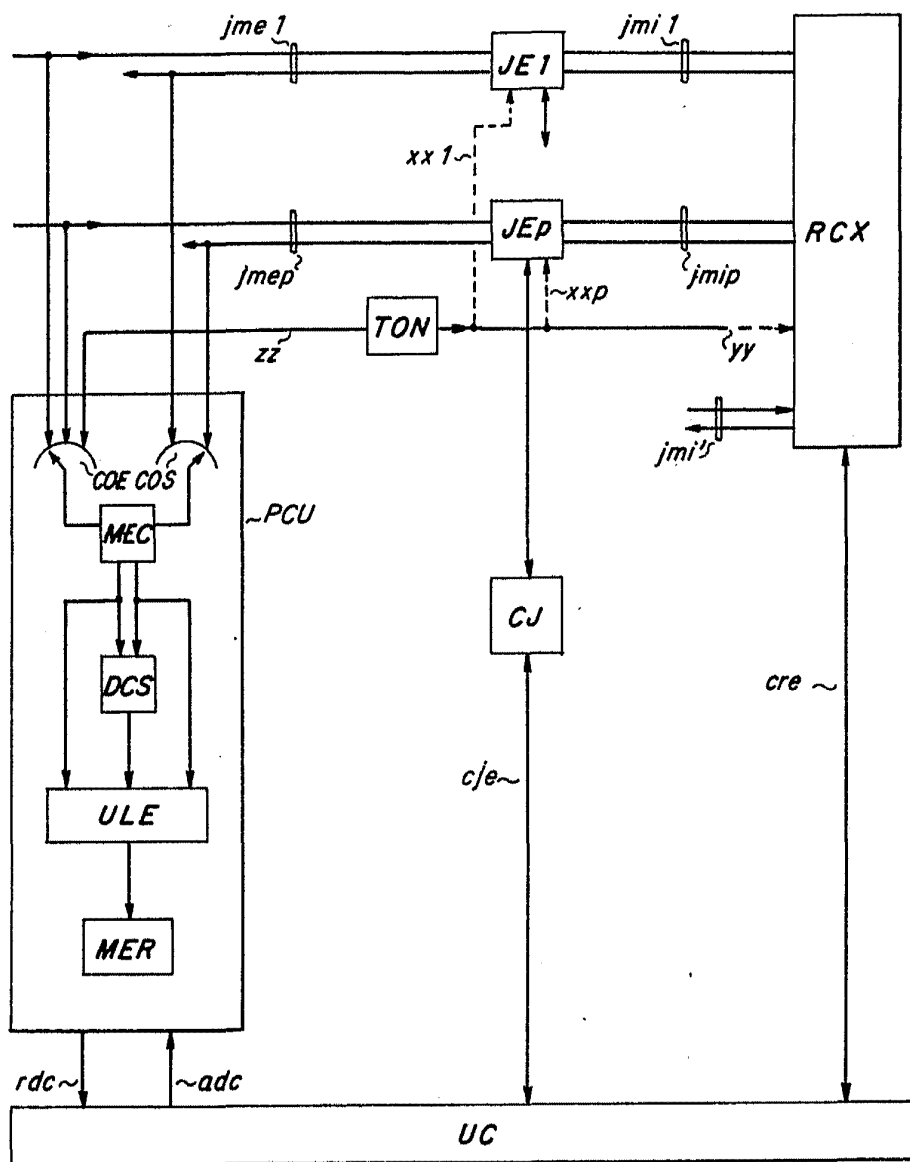
Madrid, 17 NOV. 1978



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

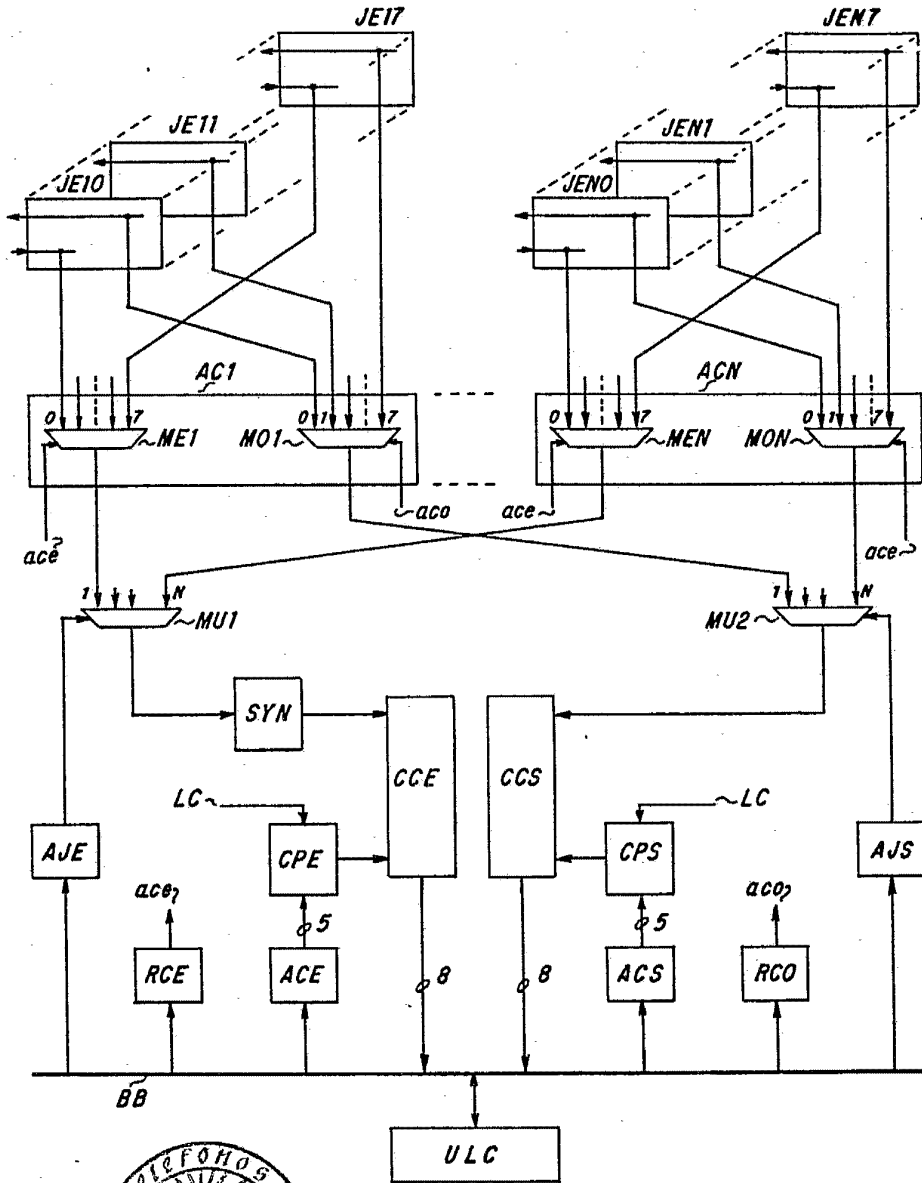
4/1

Fig-1



97 700 100 *M. G. Santamaria*
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

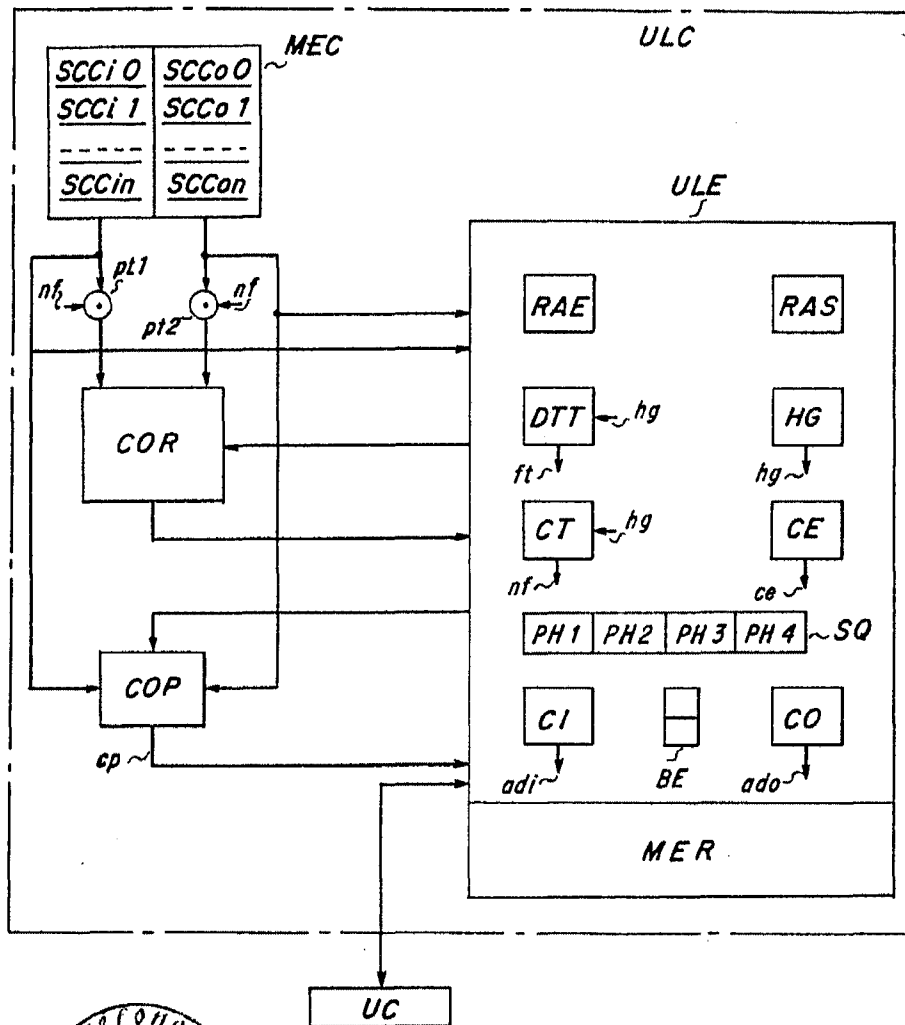
Fig. 2



17 NOV. 1978

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

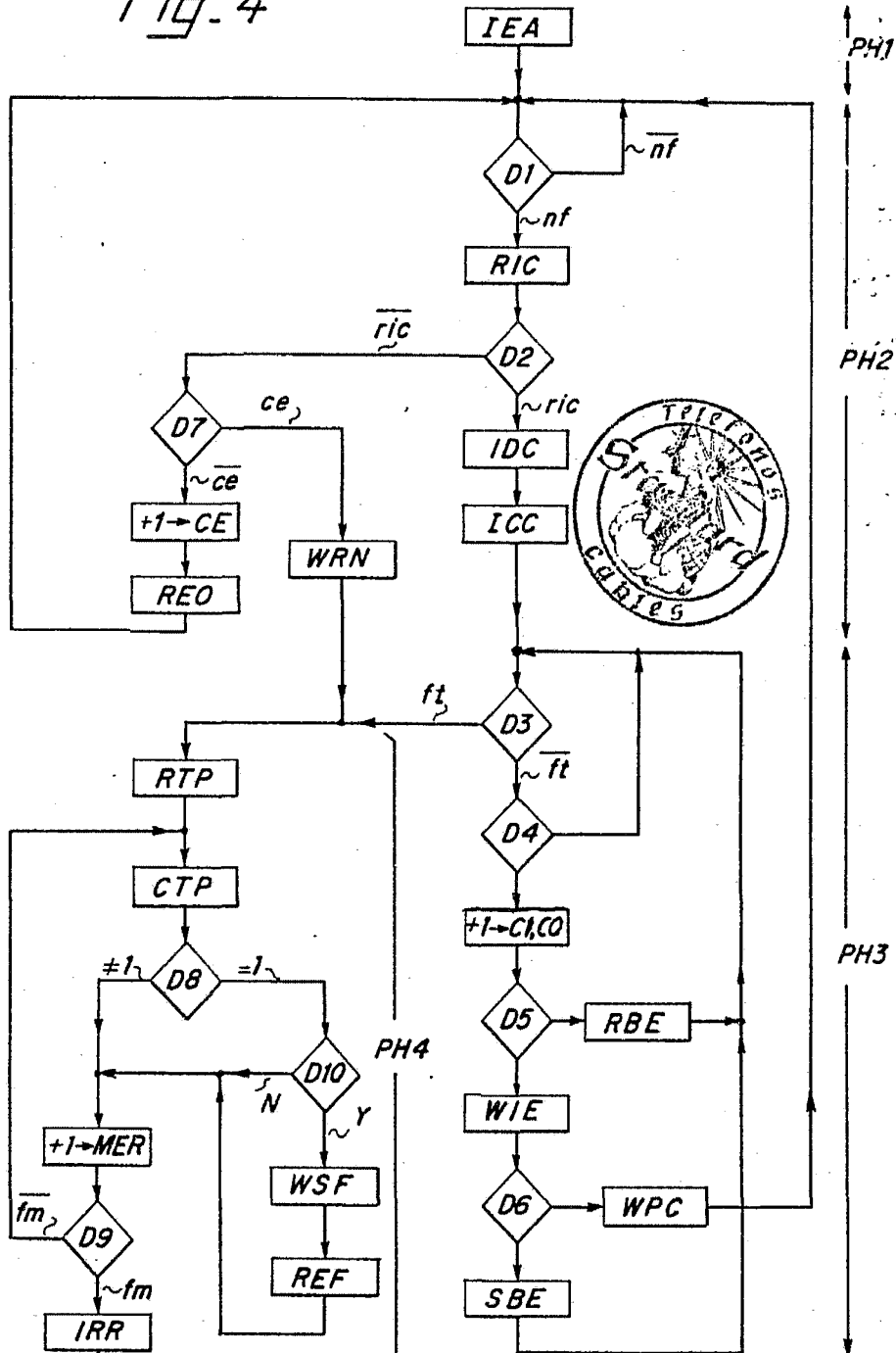
Fig. 3



17 NOV. 1978

M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

Fig. 4



17 NOV. 1978

M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL