

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



10 ES	11 NUMERO 475.105	10 A1
	21	
	22 FECHA DE PRESENTACION 15-11-1978	

PATENTE DE INVENCION

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

21 FEB 1979

30 PRIORIDADES: 31 NUMERO	32 FECHA	33 PAIS
77/12649 78/00407	17-11-1977 13-1-1978	Holanda "

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL H01L	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

54 TITULO DE LA INVENCION
"UN CIRCUITO LOGICO INTEGRADO"

71 SOLICITANTE (S)
N.V. PHILIPS'GLOEILAMPENFABRIEKEN (PHN 9006 Spain - HK/TS)

DOMICILIO DEL SOLICITANTE
29-Emmasingel, Eindhoven, Holanda

72 INVENTOR (ES)
Jan LOHSTROH

73 TITULAR (ES)

74 REPRESENTANTE
DCN FERNANDO DE ELZABURU MARQUEZ (P.-70.396)

POOR QUALITY

1 El invento se refiere a un circuito lógico integrado que tiene una entrada de señal que está formada por una base de un transistor bipolar y que tiene varias salidas de señal que están acopladas cada una, a través de un diodo, al colector del transistor bipolar, comprendiendo

5 la entrada de señal medios para suministrar corriente y comprendiendo el circuito integrado un cuerpo semiconductor que tiene una superficie principal a la cual son contiguas varias regiones de superficie de un primer tipo de conductividad que están situadas sobre una región de sustrato común de un segundo tipo de conductividad opuesto al

10 primero, perteneciendo al menos una de las mencionadas regiones de superficie a una región de colector del primer tipo de conductividad que forma parte del transistor bipolar, teniendo dicha región de colector una parte de alta resistividad y una parte de baja resistividad, extendiéndose

15 se la parte de baja resistividad en y a lo largo de la interzona entre la región de colector y la región de sustrato, comprendiendo además el transistor bipolar una zona de emisor contigua a la superficie principal del primer tipo de conductividad que en el cuerpo semiconductor está separada de la región de colector por una zona de base del segundo tipo de conductividad que se extiende hasta la superficie principal, estando presente una capa eléctricamente

20 aislante sobre la superficie principal y que tiene una primera abertura que se sitúa sobre la zona de emisor, una segunda abertura que está situada junto a la zona de emisor por encima de la zona de base y varias terceras aberturas que están situadas junto a la zona de base sobre la región de colector, separando la capa aislante pistas conductoras

1 del cuerpo semiconductor que se extienden dentro de la pri
mera, segunda y terceras aberturas para conexión eléctrica,
estando acopladas las pistas conductoras que se extienden
en el interior de las terceras aberturas a la región de co
lector a través de una unión rectificadora que es contigua
5 a la región de colector, formando dichas uniones rectifica
doras los mencionados diodos, estando rodeado el transistor
bipolar en la superficie principal por una zona de aisla
miento por medio de la cual está aislado eléctricamente el
transistor bipolar, al menos durante el funcionamiento, de
10 regiones de superficie adyacentes del primer tipo de conduc
tividad.

Dicho circuito es conocido por la publicación
"1975 IEEE International Solid State Circuits Conference".
Digest of Technical Papers, febrero de 1975, páginas 168 y
15 169 y se describe como muy atractivo para integración en
gran escala (tecnología SLI). La celda básica es una puer
ta "Y" inversora en la cual están dispuestos los diodos de
acoplamiento en las salidas de señal como diodos Schottky.
Adicionalmente, la celda comprende también un diodo - -
20 Schottky que está conectado en paralelo con la unión colec
tor-base del transistor. Dicho diodo Schottky (diodo de fi
jación de nivel) tiene una caída de tensión en sentido di
recto de diodo superior a la de los diodos de acoplamiento.
La oscilación de la señal lógica, es decir la diferencia de
25 tensión entre las señales que representan un 1 lógico y un
0 lógico, respectivamente, es igual a la diferencia en la
caída de tensión de diodo en sentido directo de los dos ti
pos de diodos Schottky mutuamente diferentes. Como resulta
30 do, dicha oscilación puede ser relativamente pequeña, lo

1 cual mejora la velocidad de conmutación de la celda. El re-
tarde mínimo de la celda es comparable al de la versión de
tecnología TTL con diodo Schottky y baja disipación, a la
cual se hace referencia algunas veces con la abreviatura
5 LS-TTL. Adicionalmente, la celda es particularmente compac-
ta y el producto de tiempo de retardo por disipación de po-
tencia es también atractivamente bajo.

Aunque dicha tecnología LSI de propiedades atrac-
tivas fué anunciada hace casi tres años, no ha dado como
resultado hasta ahora productos comerciales que hayan en-
10 contrado aceptación en el mercado, al menos en lo que co-
noce el inventor.

El objeto del presente invento es crear medidas
para conseguir una modificación en el circuito integrado
descrito, partiendo de dicha tecnología lógica LSI, cuya
15 modificación puede ser introducida en la fabricación de un
modo más simple y menos costoso, mientras que al mismo tiem-
po se conservan en su mayor parte las propiedades eléctri-
cas atractivas y la alta densidad de agrupación de compo-
nentes deseada para integración.

20 Se ha encontrado sorprendentemente en experimen-
tos realizados en relación con el invento que, por medio
de medidas especiales en la estructura semiconductor que
no requieren operaciones adicionales durante la fabrica-
ción, puede conseguirse un transistor auxiliar acoplado al
25 transistor bipolar de conmutación, lo cual hace posible
omitir el diodo de fijación de nivel sin que se aumente
inadmisiblemente el tiempo de conmutación de la celda.

De acuerdo con el invento, un circuito lógico
30 integrado del tipo descrito en la introducción está carac-

1 terizado porque está incorporada una zona de superficie
adicional del primer tipo de conductividad en la estructu-
ra semiconductor del transistor bipolar y está separada
de la mencionada región de colector por la zona de base y
tiene una conexión eléctrica, sirviendo la región de colec-
5 tor, la zona de base y la zona de superficie adicional del
primer tipo de conductividad como emisor, base y colector,
respectivamente, de un transistor auxiliar, de modo que,
si se sobreexcita el transistor bipolar, una parte consi-
derable de la corriente que fluye a través de la conexión
10 de base del transistor bipolar puede ser disipada en el
transistor auxiliar y puede reducirse considerablemente el
efecto de almacenamiento de portadores de carga móviles en
el transistor sobreexcitado.

15 La corriente disipada por el transistor auxiliar
reduce la corriente que fluye a través de la conexión de
base, de modo que la corriente de base disponible para el
verdadero transistor inversor se reduce.

20 El circuito lógico integrado propuesto con un
transistor inversor que tiene diodos de acoplamiento inte-
grados sobre o en la región de colector y un transistor
auxiliar efectivo incorporado, hace posible que las velo-
cidades de conmutación sean iguales o superiores a las de
los circuitos de tecnología LS-TTL, mientras que la poten-
cia disipada es considerablemente inferior. Adicionalmente,
25 la densidad de agrupación de componentes es con facilidad
de dos a seis veces mayor que la de la tecnología LS-TTL.
La conexión eléctrica de la zona de superficie adicional
de un primer tipo de conductividad está formada preferible-
30 mente por la pista conductora que se extiende en el inte-

1 rior de la segunda abertura situada sobre la zona de base
del transistor bipolar. En la superficie principal no es
necesario espacio adicional sustancialmente para la zona
de superficie adicional del primer tipo de conductividad
cuando está dispuesta bajo el contacto de base, de tal mo-
5 do que la unión p-n formada entre dicha zona adicional y
la zona de base en la segunda abertura se extiende hasta
la superficie principal y está cortocircuitada en esa zona
por la conexión eléctrica de la zona de base.

10 En una realización preferida importante las zonas
de aislamiento comprenden zonas de material aislante que se
extienden desde la superficie principal hasta una profundi-
dad mayor en el cuerpo semiconductor que la zona de base
del transistor bipolar y en donde la zona de base es con-
tigua al material aislante al menos en una parte conside-
15 rable de su periferia. De este modo pueden obtenerse peque-
ños transistores bipolares que tienen capacidades pequeñas
y un almacenamiento de carga bajo, en donde el transistor
auxiliar reduce y controla adicionalmente el almacenamien-
to de carga.

20 En una realización preferida importante, adicio-
nal del circuito integrado de acuerdo con el invento, se
incorpora también un transistor auxiliar complementario.
La extensión de la parte de baja resistividad de la región
de colector del primer tipo de conductividad en una direc-
25 ción sustancialmente paralela a la superficie principal
está preferiblemente restringida, extendiéndose dicha par-
te por debajo de la zona de emisor y por debajo de las unio-
nes rectificadoras, y por otra parte expone, por debajo de
30 la zona de base y la segunda abertura suprayacente en la

1 -capa aislante, una región en la cual la parte de alta re-
sistividad de la región de colector es directamente conti-
gua a la región de substrato mientras forma una unión p-n,
cooperando la parte de la región de substrato adyacente a
la parte de alta resistividad de la región de colector co-
5 mo colector del transistor auxiliar con la región de colec-
tor contigua y la zona de base del transistor bipolar. En
esta realización el espesor de la parte de alta resistivi-
dad de la región de colector, medida entre la segunda y
tercera uniones p-n, es preferiblemente inferior a 5 μm .

10 En otra realización preferida importante del cir-
cuito integrado de acuerdo con el invento, en la cual está
también incorporado un transistor auxiliar complementario,
está presente una zona de superficie adicional del segundo
tipo de conductividad en posición contigua a la región de
15 colector del primer tipo de conductividad en la superficie
principal junto a la zona de base y se extiende en el inte-
rior del cuerpo semiconductor desde la superficie princi-
pal hasta sustancialmente la misma profundidad que la zona
de base, sirviendo dicha zona adicional como colector del
20 transistor auxiliar complementario y estando conectada a
la región de substrato.

Dicha zona de superficie adicional del segundo
tipo de conductividad puede simplemente disponerse simultá-
neamente con la zona de base de modo que la distancia entre
25 dichas zonas puede ser relativamente pequeña. Preferible-
mente, la distancia en la superficie principal entre la
zona de base y la zona de superficie adicional del segundo
tipo de conductividad es a lo sumo de 5 μm .

30 Los transistores auxiliares complementarios de

1 estructura vertical y horizontal pueden también combinarse ventajosamente en el mismo circuito integrado de acuerdo con el invento.

5 . Se describirá ahora el invento con más detalle, a modo de ejemplo, con referencia a unas pocas realizaciones y a los dibujos que se acompañan, en los cuales:

La figura 1 representa un diagrama de circuito eléctrico de la puerta "Y" inversora conocida.

10 La figura 2 es una parte de una vista diagramática en planta de una primera realización del circuito integrado de acuerdo con el invento.

La figura 3 es una vista diagramática en corte transversal de esta parte de la primera realización tomada por la línea III-III de la figura 2.

15 La figura 4 representa diagramáticamente una parte de una segunda realización del circuito integrado de acuerdo con el invento, y

La figura 5 es una vista diagramática en corte transversal asociada con el mencionado segundo ejemplo y tomada por la línea VI-VI de la figura 4.

20 El diagrama de circuito eléctrico de la puerta "Y" inversora conocida anteriormente mencionada, representada en la figura 1, tiene una entrada 1 de señal que está formada por la base de un transistor bipolar T y varias salidas 2, 3, 4 y 5 de señal, cada una de las cuales está
25 acoplada al colector del transistor bipolar T a través de un diodo 6. La entrada 1 de señal tiene medios para suministrar corriente, cuyos medios están indicados por la -
fuente I de corriente.

30 El transistor T es un transistor de estructura

1 planar, cuya unión colector-base tiene conectado en deri-
vación un diodo Schottky 7. Debido a dicho diodo de fija-
ción de nivel el transistor tiene la alta velocidad de con-
mutación que se desea actualmente para circuitos lógicos.
Si se omitiese el diodo 7 de fijación de nivel, resultaría
5 altamente saturado el transistor en el estado de conduc-
ción. El transistor contiene entonces una gran cantidad de
carga almacenada, principalmente en la forma de portadores
de carga minoritarios, que están situados en la región de
colector. La conmutación a corte del transistor se produ-
ce consiguientemente en forma lenta. El diodo 7 de fija-
10 ción impide que el transistor se sature, de modo que se
evita el mencionado almacenamiento de carga.

Si durante el funcionamiento no está conectada
la entrada 1 de señal, la entrada 1 de señal será cargada
15 por la corriente I suministrada hasta la tensión emisor
base del transistor T asociada con el estado de conducción.
Dicha caída de tensión de diodo en sentido directo o ten-
sión V_{BE} de unión es, por ejemplo, de aproximadamente 700
a 750 mV para un transistor de silicio.

20 Cuando la tensión en la entrada de señal llega
a la tensión V_{BE} de diodo en sentido directo, el transis-
tor T entra en conducción y la corriente I se utiliza co-
mo corriente de base. La corriente disponible en una o más
de las salidas de señal se disipa entonces a través del
25 transistor T, siendo la tensión en la pertinente salida
de señal igual a la tensión V_{D1} de diodo en sentido direc-
to de los diodos 6 de acoplamiento aumentada en la tensión
colector-emisor del transistor T en conducción. Dicha ten-
30 sión colector-emisor es igual a la tensión V_{BE} reducida

1 en la caída de tensión V_{D2} de diodo en sentido directo del diodo 7 de fijación de nivel. Si la tensión V_{D2} es mayor que la tensión V_{D1} , la tensión de salida de señal es menor que V_{BE} y el transistor de una puerta "Y" inversora subsiguiente conectada a la pertinente salida de señal se mantendrá en el estado de no conducción.

5

La oscilación de la señal lógica, es decir la diferencia entre el nivel de señal alto y el nivel de señal bajo, es igual a la diferencia entre las tensiones V_{D2} de diodo en sentido directo del diodo 7 de fijación de nivel y la tensión V_{D1} del diodo 6 de acoplamiento.

10

El diodo Schottky 7 de fijación de nivel consiste en un contacto de PtSi-Si con una tensión V_{D2} de diodo en sentido directo de aproximadamente 500 mV. Los diodos Schottky 6 de acoplamiento consisten en contactos Ti-Si con una caída de tensión en sentido directo de aproximadamente 250 mV. La oscilación lógica es aproximadamente entonces de 150 mV. Esta oscilación de niveles lógicos relativamente pequeña tiene un efecto favorable sobre el tiempo de retardo del circuito puerta. Cuando se produce la conmutación desde el estado de señal alto al estado de señal bajo, o recíprocamente, solamente necesita superarse una pequeña diferencia de tensión. De este modo, la conmutación puede realizarse en un período de tiempo correspondientemente corto.

15

20

25

De este modo, el circuito lógico conocido descrito debe sus atractivas propiedades de circuito a dos cosas. En primer lugar, está la utilización de un transistor planar T de alta velocidad que está libre de saturación por efecto del diodo Schottky 7, y, en segundo lugar,

30

1 un trazado de metalización adecuadamente escogido con con-
tactos metal-semiconductor de composiciones diferentes que
proveen a los diodos Schottky de una diferencia favorable-
mente pequeña en la caída de tensión de diodo en sentido
5 directo, de aproximadamente 150 mV. Por tanto, la metali-
zación escogida juega un papel esencial y decisivo tanto
en el transistor T de conmutación como en la determinación
de la oscilación lógica deseada.

El presente invento hace posible utilizar un tra-
zado de metalización mucho más simple que, por ejemplo, el
10 que ha sido también utilizado ya en productos existentes,
en vez de este trazado de metalización complejo decisivo
que necesariamente está construido a base de capas conduc-
toras de diferentes materiales.

La primera realización que se describirá adicio-
15 nalmente con referencia a las figuras 2 y 3 tiene un cuer-
po semiconductor 20 que tiene una superficie principal 21
a la cual son contiguas varias regiones 22, 23 y 24 de su
superficie de un primer tipo de conductividad, y que están
situadas sobre una región 29 de substrato común de un se-
20 gundo tipo de conductividad, opuesto al primero. La región
29 de substrato puede ser una capa semiconductora común
que está dispuesta, por ejemplo, sobre cualquier substrato
adecuado. En el presente ejemplo, se utiliza un substrato
semiconductor de tipo p de silicio que tiene una resis-
25 tividad de, por ejemplo, 10 a 15 ohm.cm.

En la superficie principal 21 las regiones 22,
23 y 24 de superficie están rodeadas cada una por una zo-
na 30 de aislamiento por medio de la cual están aisladas
30 eléctricamente entre sí las regiones de superficie al me-

1 nos durante el funcionamiento. En este ejemplo las zonas
de aislamiento consisten totalmente en material aislante.
Alternativamente, pueden utilizarse zonas de tipo p que se
5 extienden desde la superficie principal 21 en el interior
de una capa de superficie de tipo n. Las zonas 30 de ais-
lamiento se extienden en parte del espesor de la capa de
superficie o penetran a través de la capa de superficie
totalmente de modo que llegan hasta el interior del subs-
10 trato 29. Mediante la aplicación de una tensión en el sen-
tido inverso a través de las uniones p-n formadas entre
las zonas de aislamiento de tipo p y las regiones 22, 23 y
24 de superficie y/o entre el sustrato 29 y las regiones
22, 23 y 24 de superficie, puede asegurarse el aislamiento
15 eléctrico entre las regiones 22, 23 y 24 de superficie del
modo usual durante el funcionamiento. Alternativamente,
las zonas de aislamiento pueden consistir parcialmente en
material aislante y parcialmente en material semiconductor
de tipo p.

20 Al menos una de las regiones 22, 23 y 24 de su-
perficie (la región 22) sirve como región de colector de
un transistor bipolar. Dicha región 22 de colector tiene
una parte 31 de alta resistividad y una parte 32 de baja
resistividad, extendiéndose la parte 32 de baja resistivi-
dad en y a lo largo de la interzona entre la región 22 de
colector y la región 29 de sustrato.

25 El transistor bipolar tiene adicionalmente una
zona 33 de emisor del primer tipo de conductividad que es
contigua a la superficie principal 21 y que está separada
en el cuerpo semiconductor 20 de la región 22 de colector
30 por una zona 34 de base del segundo tipo de conductividad

1 que se extiende hasta la superficie principal 21. La zona
33 de emisor de tipo n forma, con la zona 34 de base de
tipo p, una primera unión pn 35 que tiene una primera caí-
da de tensión V_{BE} de diodo en sentido directo, y la zona
34 de base de tipo p forma con la región 22 de colector
5 de tipo n una segunda unión p-n 36.

Está presente en la superficie de zona principal
una capa 37 eléctricamente aislante que en la vista en
planta representada en la figura 2 se considera transpa-
10 rente. La capa 37 consiste, por ejemplo, en un material
aislante, por ejemplo dióxido de silicio o nitruro de si-
licio o una combinación de ambos. Está situada sobre la
zona 33 de emisor una primera abertura 38 en la capa ais-
lante 37. Está situada una segunda abertura 39 junto a la
zona 33 de emisor sobre la zona 34 de base. Adicionalmen-
15 te, están presentes junto a la zona 34 de base sobre la
región 22 de colector varias terceras aberturas 40. En la
figura 2, las aberturas representadas en la capa aislante
37 están ilustradas en líneas discontinuas.

La capa aislante 37 separa las pistas conducto-
20 ras 11, 12, 13, 14, 15 y 41 del cuerpo semiconductor 20,
cuyas pistas se extienden en el interior de la primera,
segunda y tercera aberturas 38, 39 y 40, respectivamente,
para conexión eléctrica. Para mayor claridad, no se han
representado en la figura 2 todas las pistas conductoras
25 del circuito integrado. Las pistas conductoras que se han
representado están sombreadas.

Las pistas conductoras 12, 13, 14 y 15 que se
extienden en el interior de las terceras aberturas 40 es-
30 tán acopladas cada una a la región 22 de colector a tra-

1 vés de una unión rectificadora 16 que es contigua a dicha
región de colector. En este ejemplo las uniones rectifica-
doras 16 son uniones metal-semiconductor o uniones Schottky,
y pueden comprender contactos de siliciuro de platino-sili-
cio, como se describe en la Patente Norteamericana - -
5 3.855.612. Las uniones rectificadoras 16 tienen una tensión
 V_{DI} de diodo en sentido directo. Para el funcionamiento del
circuito se desea la utilización de uniones 16 que tengan
una tensión V_{DI} de diodo en sentido directo inferior a la
tensión V_{BE} de diodo en sentido directo de la unión p-n 35
10 emisor-base del transistor.

En una dirección sustancialmente paralela a la
superficie principal 21, la parte 32 de baja resistividad
de la región 22 de colector se extiende desde debajo de la
zona 33 de emisor hasta debajo de las uniones rectificado-
15 ras 16.

De acuerdo con el invento, está incorporada una
zona 80 de superficie adicional del primer tipo de conduc-
tividad en la estructura semiconductor del transistor bi-
polar 33, 34, 22 y está separado de la región 31, 32 de co-
20 lector por la zona 34 de base. La región de colector, y en
particular la parte 32 de baja resistividad de la misma,
la zona 34 de base y la zona 80 de superficie adicional de
tipo n sirven como emisor, base y colector, respectivemen-
te, de un transistor auxiliar. Este transistor auxiliar es
25 del mismo tipo que el transistor bipolar de conmutación o
transistor inversor. En este ejemplo, el transistor inver-
sor y el transistor auxiliar son ambos transistores n-p-n.

La zona 80 de superficie adicional se dispone pre-
30 feriblemente al mismo tiempo que la zona 33 de emisor de mo

1 do que la profundidad de penetración en el interior de la
zona 34 de base y la ley de variación de la concentración
de impurezas en las zonas 80 y 33 son idénticas.

5 La zona 80 de superficie adicional que sirve como
colector del transistor auxiliar comprende una conexión
eléctrica. Esta conexión puede ser una conexión independien
te a la cual puede aplicarse durante el funcionamiento un
potencial de referencia adecuado. Preferiblemente, sin em-
bargo, como en el ejemplo, esta conexión está combinada con
la conexión para la zona 34 de base. La unión p-n 81 entre
10 la zona adicional 80 y la zona 34 de base se extiende en
la segunda abertura 39 hasta la superficie semiconductor
21 y está cortocircuitada en dicha abertura por medio de la
pista conductora 11. La pista conductora 11 está conectada
directamente tanto a la zona 34 de base como a la zona 80
de superficie adicional.

15 En el circuito descrito, el transistor auxiliar
32, 34, 80 se muestra en su comportamiento como medios para
mejorar la velocidad de conmutación, que son sorprenden-
temente eficaces. Pueden conseguirse tiempos de retardo mí-
nimos de unos pocos nanosegundos con el circuito de puerta
20 lógica integrada de acuerdo con el invento. Por tanto, el
tiempo mínimo de retardo es comparable con el de los cir-
cuitos de tecnología LS-TTL convencionales (o más favora-
ble). La densidad de agrupación de componentes y el produc-
to de tiempo de retardo por disipación de potencia son am-
25 bos más favorables que para la tecnología LS-TTL. Estas pro-
piedades favorables del circuito integrado de acuerdo con
el invento son también notables en particular porque, en
30 contraste con la tecnología LS-TTL, en la cual el transis-

1 tor inversor en el estado de conducción no está saturado,
el transistor inversor en el presente circuito está cierta-
mente saturado. Sin embargo, tan pronto como la unión 35 ba-
se-colector queda polarizada en sentido directo, una parte
5 de la corriente de base del transistor inversor sobreexci-
tado será utilizada como corriente de base para el transis-
tor auxiliar. Adicionalmente, cuando la zona 80 de superfi-
cie está conectada a la zona 34 de base, una parte conside-
rablemente mayor, usualmente, de la corriente de base, será
10 capaz de fluir a través del camino de corriente principal
del transistor auxiliar directamente hacia el colector del
transistor inversor.

Son recogidos de la zona 36 de base a través de
la unión rectificadora 81 aquellos portadores de carga mi-
noritarios que no vienen en la dirección directa. Como re-
15 sultado de esto, se reduce ya en sí mismo el almacenamien-
to de dichos portadores de carga. Sin embargo, un efecto
importante es también que, puesto que una parte considera-
ble de la corriente que fluye a través de la conexión 11 se
disipa en el transistor auxiliar, está disponible menos co-
20 rriente de base para el propio transistor inversor. Como
resultado de esto, el transistor inversor está menos sobre-
excitado, de modo que la unión 36 base-colector está menos
polarizada en sentido directo y la tensión a través de la
unión 35 base-emisor será también más pequeña. Como resul-
25 tado de esto, es también consiguientemente inferior el al-
macenamiento de portadores de carga minoritarios en el tran-
sistor inversor.

30 Como en el presente ejemplo, las zonas 30 de ais-
lamiento consisten preferiblemente en material aislante,

1 extendiéndose dicho material aislante desde la superficie
principal 21 hasta una profundidad en el interior del cuer
po semiconductor 20 mayor que la zona 34 de base del tran-
sistor bipolar inversor. La zona de base es contigua al ma
5 terial aislante al menos en una parte considerable de su
periferia. En el ejemplo, la zona 34 de base es contigua
por tres costados a la zona 30 de aislamiento que separa
el transistor de los otros transistores. Está también pre-
10 sente en el cuarto lado o costado una zona 82 de material
aislante, estando enfrenteado el costado de la zona 34 de
base con los diodos de acoplamiento. Dicha parte 82 del
trazado de material aislante no sirve para aislamiento -
eléctrico del transistor, sino que sirve para limitar la
15 zona 34 de base. Utilizando el trazado de material aislan
te la superficie de la unión 36 base-colector se mantiene
relativamente pequeña y la posibilidad de almacenamiento
de portadores de carga en la región 22 de colector se res-
tringe y se evita el almacenamiento de portadores de carga
en la parte 31 de alta resistividad de la región 22 de co-
lector situada junto a la zona 34 de base.

20 Ha de observarse también que, aunque la zona 82
de material aislante está preferiblemente presente, dicha
zona no es necesaria. La zona 82 puede omitirse totalmente,
de modo que la parte 31 de alta resistividad de la región
de colector es contigua a la zona 34 de base en esa zona.
25 En este caso también el almacenamiento de portadores de car
ga en la región de colector será relativamente pequeño de-
bido al efecto de succión del diodo de acoplamiento, en
particular, situado en posición más próxima. Dicho efecto
30 de succión se describirá adicionalmente con referencia al

1 segundo ejemplo.

Además, en vez de la zona 82 de material aislante, puede utilizarse una zona de tipo n altamente impurificada que restringe la inyección de huecos desde la zona 34 de base en la dirección lateral sustancialmente paralela a la superficie principal.

5 En el ejemplo, la zona 34 de base del transistor inversor llega hasta la parte 32 de baja resistividad de la región 22 de colector y dicha zona de base está separada de la región 29 de sustrato por dicha parte 32. La concentración de impureza en el lado de colector de la unión 10 30 será por tanto relativamente alta, de modo que la capacidad de empobrecimiento de portadores de dicha unión es relativamente grande. Es más importante, sin embargo, que debido a dicha concentración relativamente alta, se producirá en la región de colector relativamente poco almacenamiento de portadores de carga minoritarios.

15 La zona 33 de emisor es contigua al material aislante 30 solamente por dos costados. Esto tiene de ventaja que la zona de superficie de la zona 33 de emisor no depende así de desviaciones posicionales que pueden resultar del alineamiento no ideal de máscaras durante la fabricación. En aplicaciones en las cuales las dimensiones de la zona de superficie de la zona de emisor no son muy críticas, sin embargo, la zona de emisor puede también estar dispuesta contra el material aislante 82 de modo que el emisor está limitado por material aislante en tres lados. En ese caso el transistor inversor puede ser más pequeño.

20 25 30 La figura 2 representa también regiones 23 y 24

1 de superficie que comprenden elementos de circuito idénti-
cos, o al menos similares. De este modo, estas regiones 23
y 24 sirven cada una como región de colector de un transis-
tor n-p-n planar que tiene un número de pistas de salida de
señal que están acopladas a la pertinente región de colec-
5 tor a través de un diodo. El número de diodos puede variar
para cada transistor individual entre 1 y, por ejemplo, 4 ó
5 y dependerá de la función lógica a generar por el circui-
to integrado.

10 Las regiones de colector o islas 22, 23 y 24 es-
tán dispuestas una junto a otra a lo largo de una región
28 de superficie alargada desde la cual son alimentadas de
corriente las entradas 11 de señal. En dicha región 28 es-
tán dispuestos varios transistores pnp de estructura late-
ral que tienen una zona 43 de emisor común de tipo p. La
15 región 28 sirve como zona de base común de tipo n. Cada uno
de los transistores pnp tienen una zona 44 de colector de
tipo p independiente que está conectada a una entrada 11 de
señal a través de una abertura 45 en la capa aislante 37.
La zona 43 de emisor común está conectada, a través de una
20 abertura 46, a una pista conductora 47 que tiene una cone-
xión 48, representada diagramáticamente, para una fuente de
alimentación.

25 La zona 28 de base común tiene una parte 49 de
alta resistividad y una parte 50 de baja resistividad en
la forma de una capa enterrada. Adicionalmente, está pre-
sente una región 51 de superficie de tipo n de baja resis-
tividad en la zona 28 de base que puede disponerse, por -
ejemplo, simultáneamente con la zona 34 de emisor. La capa
30 enterrada 50 y la región 51 de superficie sirven para re-

1 ducir la resistencia en serie con la base. La capa enterra
da 50 sirve también para suprimir la acción de transistor
parásito con respecto al substrato. Sobre la región 51 de
superficie está presente una abertura 52 en la capa ais-
lante 37 a través de la cual la zona 28 de base común está
5 conectada a una pista conductora 53.

El circuito integrado está construido con un
trazado de metalización que está dividido sobre varias ca-
pas y sin el cual no son realizables actualmente de un mo-
do sustancial los circuitos LSI complejos. Para ese fin,
10 la capa aislante 37 consiste en una primera capa 55 ó capa
más inferior que tiene las aberturas 38, 39, 40, 45, 46 y
52 y una segunda capa 56 ó capa más superior. Está situado
sobre la capa 55 más inferior un primer nivel de pistas
conductoras que comprende, entre otras, las pistas conduc-
15 toras 12 a 15, 47 y 53. Las pistas conductoras 11 consis-
ten en dos partes, de las cuales unas primeras partes 57
se sitúan en el primer nivel y se extienden dentro de las
aberturas 39 y 45 y de las cuales una segunda parte 58 es
tá situada en un segundo nivel que está separado del pri-
mer nivel por la capa 56 más superior; la segunda parte 58
20 está conectada directamente a las primeras partes 57 a tra-
vés de aberturas 59.

Pueden también realizarse por medio del segundo
nivel de pistas conductoras conexiones entre las entradas
25 11 de señal y las salidas 12 a 15 de señal. Por ejemplo,
la zona de base en el transistor inversor en la isla 24
puede estar conectada a la pista conductora 12. La segun-
da parte 58 de la pista conductora 11 se extiende enton-
ces en la dirección representada horizontalmente en la

1 figura 2 desde el contacto con la zona de base a través de
la zona de emisor del transistor inversor y la pista con-
ductora 41 hasta por encima de la pista conductora 12 y en
esa zona está conectada, a través de una abertura 59 (no
representada) en la segunda capa aislante 56, al extremo
5 representado de la pista conductora 12.

En una realización modificada de este ejemplo,
la pista conductora que interconecta los emisores ha sido
desplazada al segundo nivel de pistas conductoras y los
espacios intermedios entre los transistores inversores
están ligeramente ensanchados de modo que las primeras
10 partes 57 de las pistas conductoras 11 pueden estar conec-
tadas a las pistas conductoras 12 a 15 en el primer nivel
a través de pistas conductoras situadas en el primer nivel
y que se extienden entre los transistores inversores. La
15 pista conductora 53 puede estar conectada a una conexión
54 que está representada diagramáticamente.

Las pistas conductoras 12 a 15, 47 y 57 del pri-
mer nivel pueden ser, por ejemplo, de aluminio u otro ma-
terial conductor adecuado. Si se desea, puede utilizarse
20 una capa de barrera para evitar el contacto directo entre
el aluminio y el siliciuro de platino-silicio formado en
las aberturas de la capa aislante. Como capa de barrera
puede utilizarse, por ejemplo, titanio-platino o titanio-
tungsteno o rodio.

25 Las pistas conductoras 58 del segundo nivel son,
por ejemplo, de aluminio- o titanio-platino-oro.

Preferiblemente, el mismo material está en con-
tacto directo con el cuerpo semiconductor en todas las -
30 aberturas 38, 39, 40, 45, 46 y 52 en la primera capa ais-

1 lante 37, y en especial en la primera, la segunda y la ter-
cera aberturas 38, 39 y 40. En el presente ejemplo este ma-
terial es el mencionado siliciuro de platino y silicio que
5 en las aberturas 40 forma un diodo Schottky y que, en las
otras aberturas, forma una unión fácilmente conductora en-
tre las pistas conductoras y las regiones semiconductoras
contiguas a las mismas en dichas aberturas.

10 La pista conductora 41 conectada a la zona 33 de
emisor está provista de una conexión 60, representada dia-
gramáticamente, y la región 29 de substrato tiene una co-
nexión 61 que puede estar conectada a la conexión 60 para
formar una conexión 62 común para una fuente de alimenta-
ción.

15 La conexión 62 puede estar conectada a un poten-
cial de referencia adecuado, por ejemplo, el potencial de
masa. Está conectada entre las conexiones 62 y 48 una fuen-
te de alimentación de tensión o corriente adecuada. La co-
nexión 54 está conectada a un potencial de referencia ade-
cuado, estando los transistores npn en estado de conducción.
20 El circuito integrado tiene adicionalmente una o más entra-
das de señal, no representadas, a través de las cuales las
señales de entrada pueden ser suministradas a una o más
pistas conductoras 11, y una o más salidas de señal, no re-
presentadas, a través de las cuales pueden derivarse seña-
les de salida generadas por el circuito integrado. En aten-
25 ción a un carácter más completo de la exposición, ha de
observarse que el segundo nivel de pistas conductoras pue-
de estar cubierto total o parcialmente con una capa aislan-
te adicional, si se desea.

30 La realización descrita puede fabricarse total-

1 mente por medio de métodos conocidos en la tecnología de
semiconductores. Por ejemplo, puede utilizarse el método
que se describe en la solicitud de Patente Holandesa -
7709363 (PHN 8870). Como resultado de la mencionada refe-
rencia, la descripción de dicha solicitud de Patente -
5 7709363 ha de considerarse incorporada en la presente me-
moria. Este método es ventajoso, entre otras cosas, cuando
la alimentación de corriente a las zonas de base de los -
transistores inversores se realiza por medio de transistor
res complementarios de estructura lateral.

10 Se describirá una segunda realización con refe-
rencia a las figuras 4 y 5. En esta realización, se utili-
zan las mismas cifras de referencia que en el primer ejem-
plo para componentes correspondientes, en especial el tran-
sistor inversor y los diodos de acoplamiento.

15 En la vista en planta representada en la figura
4 las pistas conductoras están representadas en el primer
nivel sólo parcialmente. Esto concierne, entre otras, a
las pistas conductoras 11, 12 y 57. Para mayor claridad,
las pistas conductoras representadas están sombreadas tam-
20 bién en esta figura.

La segunda realización comprende un número de re-
giones 22 a 26 y 72 de superficie de tipo n que están sepa-
radas entre sí del modo usual por medio de zonas de aisla-
miento de tipo p. Las regiones 22 a 26 de superficie sirven
25 como regiones de colector de transistores bipolares inver-
sores. El transistor situado en la región 22 de colector
se describirá con mayor detalle a continuación de un modo
específico.

30 Dicho transistor comprende una zona 33 de emisor

1 y una zona 34 de base que forman una primera unión pn 35.
La zona 34 de base forma adicionalmente una segunda unión
36 con la región 22 de colector. Está dispuesta en la zona
de base una zona 80 de superficie de tipo n adicional que
está conectada a la pista conductora 11. Este transistor
5 comprende también un transistor 22, 34, 80 auxiliar de es-
tructura vertical que es del mismo tipo que el transistor
inversor. Ambos transistores son transistores npn. En este
ejemplo, se adoptan unas pocas medidas adicionales para me-
jorar la velocidad de conmutación.

10 En esta realización, la parte 32 de baja resisti-
vidad de la región 22 de colector en una dirección sustan-
cialmente paralela a la superficie principal 21, tiene una
extensión restringida, en donde dicha parte 32 está situa-
da, por una parte, por debajo de la zona 33 de emisor y
15 por debajo de la unión rectificadora 16 y, por otra parte,
no se extiende en una región situada por debajo de la zona
34 de base y la segunda abertura 39 situada encima, en cuya
región la parte 31 de alta resistividad de la región de co-
lector es directamente contigua a la región 29 de substra-
to mientras forma una tercera unión pn 42. El espesor de
20 la parte 31 de alta resistividad de la región 22 de colec-
tor, medido entre la segunda y tercera uniones pn 36 y 42,
respectivamente, es preferiblemente menor de 5 μ m. Como
resultado de esta medida adicional, mediante la cual por
25 debajo del contacto de base la región de substrato se ex-
tiende hasta una distancia relativamente pequeña de la
unión 36 base-colector, la parte pertinente de la región
29 de substrato coopera eficazmente como colector de un
30 transistor auxiliar complementario con la parte 31 de alta

1 resistividad adyacente que está situada entre las dos unio
nes pn 36 y 42, y con la zona 34 de base. Está así incorpo
rado un transistor 34, 31, 29 auxiliar complementario ver
5 tical, en la estructura de transistor npn de un modo efec
tivo y sustancialmente sin que esto requiera más área de
superficie semiconductor para el transistor. Como resulta
do de esto, cuando el transistor inversor es sobreexcitado,
una parte de la corriente que fluye en la zona 34 de base
fluye a través del transistor auxiliar complementario 34,
31, 29 de modo que se restringe adicionalmente el almacena
10 miento de portadores de carga móviles en el transistor in
versor sobreexcitado.

En el presente ejemplo la zona 33 de emisor tiene
unas dimensiones, por ejemplo, de $12 \mu\text{m} \times 12 \mu\text{m}$. La aber
tura 38 de contacto asociada es aproximadamente de $6 \mu\text{m} \times$
15 $6 \mu\text{m}$ y para la distancia en la superficie semiconductor
entre la unión 35 emisor-base y la unión 36 base-colector
se utiliza un valor mínimo de $3 \mu\text{m}$. La parte activa de la
zona de base requerida para la zona de emisor es de $18 \mu\text{m}$
 $\times 18 \mu\text{m}$. Sin embargo, al menos es necesaria junto a la
20 zona de emisor una abertura de contacto para establecer
contacto con la base.

En relación con esto, se entenderá que la parte
activa de la zona 34 de base significa aquella parte que
es necesaria para alojar una zona 33 de emisor. En posición
25 contigua a dicha parte activa es necesaria una parte no ac
tiva de la zona 34 de base para conexión eléctrica de la
pista conductora 11.

Las dimensiones de la zona 34 de base son, por
ejemplo, $37 \mu\text{m} \times 18 \mu\text{m}$. Las dimensiones de la parte no
30

1 activa en este caso son de 18 μ m x 19 μ m y tiene así una
superficie mayor que la parte activa. Dentro del campo del
presente invento, la parte no activa de la zona 34 de base
que comprende el emisor del transistor auxiliar complementario de estructura vertical es preferiblemente al menos
5 de las mismas dimensiones que la parte activa.

La parte no activa relativamente grande de la zona 34 de base en este ejemplo facilita el posicionamiento de la zona 80 de superficie adicional y el cortocircuito de la unión pn 81 en la abertura 39. La abertura 39 es,
10 por ejemplo, de 10 μ m x 12 μ m y la zona 90 de superficie es aproximadamente de 6 μ m x 12 μ m. La superficie ocupada en la superficie de zona principal por la zona 80 de superficie es preferiblemente al menos de un tercio de la zona 33 de emisor y la zona 80 de superficie es como máximo
15 de dos a tres veces mayor que la zona 33 de emisor. Se obtuvieron buenos resultados, en particular, con una zona 80 de superficie al menos un cincuenta por ciento mayor que la zona 33 de emisor.

Puesto que la parte no activa de la zona 34 de base en este ejemplo es relativamente grande y la parte 32
20 de baja resistividad de la región 22 de colector no llega sustancialmente más que hasta debajo de la zona 33 de emisor, las partes situadas en posiciones opuestas de las uniones pn 36 y 42 tienen también una superficie relativamente
25 grande. Esto significa que el transistor pnp auxiliar vertical incorporado es relativamente grande. Según que el transistor nnp auxiliar y/o el transistor pnp auxiliar sea mayor, se disipa más eficazmente la corriente de base excesiva del transistor inversor en conducción y con una caída
30

1 de tensión en sentido directo inferior a través de la unión
pn 36. El transistor inversor en conducción resulta enton-
cas menos sobreexcitado y se reduce correspondientemente el
almacenamiento de carga en dicho transistor.

5 Las aberturas 40 tienen dimensiones, por ejemplo
de 5 μm x 2 μm . En atención a un carácter más completo de
la exposición, ha de observarse que las dimensiones dadas
anteriormente se refieren simplemente a las máscaras nece-
sarias para los diversos tratamientos fotolitográficos du-
rante la fabricación. En los propios circuitos integrados
10 las dimensiones reales, como es conocido, son ligeramente
diferentes porque, entre otras cosas, al tener lugar la
exposición y revelado del barniz fotosensible no se obtie-
ne una reproducción exacta de las máscaras, porque durante
los tratamientos de ataque químico se produce frecuentemen-
15 te ataque por debajo de la máscara y porque, al tener lugar
la difusión de impurezas, también se produce difusión late-
ral.

En la anterior descripción se supone que el tran-
sistor inversor tiene una única zona 33 de emisor y una
20 única abertura 39 de contacto de base. Alternativamente,
por ejemplo, pueden utilizarse dos zonas de emisor conduc-
tivamente interconectadas, dependiendo, entre otras cosas,
del nivel de corriente deseado. Pueden también estar pre-
sentes varias aberturas de contacto de base, por ejemplo,
25 dos aberturas de contacto de base, en costados o lados si-
tuados en posiciones opuestas de una única zona de emisor.
Cuando se utilizan varias aberturas de contacto de base no
es necesario incorporar un transistor auxiliar por debajo
30 de cada uno de los contactos de base. La región 22 de co-

1 lector del transistor inversor preferiblemente es sustan-
cialmente rectangular y las aberturas 38, 39 y 40 en la ca-
pa aislante están situadas una junto a otra en la misma di-
rección, estando situada la abertura o aberturas 38 de con-
5 tacto y la zona o zonas 33 de emisor asociadas entre las
aberturas 40 para los diodos de acoplamiento en un costado
y las aberturas 39 ó al menos una de dichas aberturas para
el contacto de base en el otro costado. El transistor auxi-
liar complementario vertical incorporado está situado pre-
feriblemente bajo la abertura de contacto de base más exte-
rior últimamente mencionada. La capa enterrada 32 continúa
10 preferiblemente en forma ininterrumpida desde debajo de la
zona 33 de emisor hasta debajo de los diodos 16 de acopla-
miento. Está situada preferiblemente una zona 80 de super-
ficie adicional al menos cerca de dicha abertura de contac-
15 to de base más exterior. Debido a que en este lugar está
incorporado el transistor auxiliar complementario de es-
tructura vertical, el espacio disponible para la zona 80
de superficie adicional es usualmente relativamente gran-
de. Si están también presentes otras segundas aberturas 39
20 sobre la zona 34 de base, las zonas 80 de superficie pue-
den también estar dispuestas ventajosamente cerca de dichas
aberturas de contacto de base. En relación con esto, ha de
observarse que incorporando un transistor auxiliar comple-
mentario de estructura vertical bajo una zona 80 de super-
25 ficie, puede reducirse el efecto favorable de la propia zo-
na 80 de superficie. El hecho de que en ese caso la parte
32 de baja resistividad de la región 22 de colector no se
extienda hasta por debajo de la zona 80 de superficie, -
30 puede tener como resultado que la región 22 de colector

1 constituya un emisor menos eficiente para el transistor
auxiliar npn. El efecto global favorable de los dos tran-
sistores auxiliares en conjunto (npn y pnp) será mayor, sin
embargo, que en el caso de un único transistor auxiliar.

5 Otra medida para mejorar la velocidad de conmuta-
ción es que se incorpora un transistor auxiliar complemen-
tario de estructura lateral mejorado mediante la adición
de una zona 71 de superficie adicional que puede obtenerse
durante la fabricación simultáneamente con la zona 34 de
base. En contraste con la zona 80 de superficie, la zona 71
10 tiene el mismo tipo de conductividad que la zona 34 de base
y que las zonas 30 de aislamiento. En la superficie semi-
conductora la zona 71 coincide parcialmente con la zona 30
de aislamiento. Las zonas 71 y 30 se solapan entre sí. Es
15 importante que la zona 34 de base y la zona 30 de aislamien-
to se obtienen con tratamientos de difusión diferentes. Co-
mo resultado, su distancia mutua en la superficie semicon-
ductora debe ser relativamente grande. La zona 34 de base
y la zona 71, por el contrario, se obtienen simultáneamen-
te con el mismo tratamiento de difusión de modo que su dis-
tancia mutua puede ser relativamente pequeña. Estas zonas
20 tienen sustancialmente la misma profundidad de penetración
en el cuerpo semiconductor y tienen sustancialmente la mis-
ma ley de variación de concentración de impureza en una di-
rección transversal a la superficie principal. Una distan-
cia usual entre la zona 34 de base y la zona 30 de aisla-
25 miento sería, por ejemplo, de aproximadamente 10 μm . La
distancia entre la zona 34 de base y la zona 71 de superfi-
cie adicional no necesita ser superior a 5 μm . Las zonas
30 34 y 71 constituyen el emisor y el colector de un transis

1 tor auxiliar complementario efectivo de estructura lateral cuyo espesor de base es igual o inferior a 5 μ m. Si el transistor inversor está en estado de conducción, dicho transistor auxiliar disipa también corriente de modo que el transistor inversor resulta menos sobreexcitado.

5 Como se ha indicado, el ancho de base del transistor auxiliar complementario lateral es preferiblemente como máximo de 5 μ m. En el presente ejemplo las distancias indicadas de 10 y 5 μ m son válidas para las máscaras a utilizar en la fabricación y las correspondientes dimensiones en el circuito integrado son más pequeñas, en particular debido a que se produce difusión lateral. La distancia entre la zona 34 de base y la zona 30 de aislamiento será en promedio de aproximadamente 7 μ m. El espesor de base del transistor auxiliar de estructura lateral es realmente de aproximadamente 3 μ m.

10

15

En esta realización que tiene un transistor auxiliar complementario de estructura lateral, la zona 71 de superficie adicional constituye la región del segundo tipo de conductividad que sirve efectivamente como colector del transistor auxiliar complementario.

20

La zona 71 de superficie adicional puede tener una forma geométrica cerrada y rodear la zona 34 de base en la forma de un anillo que se extiende entre la zona 34 de base por el primer costado y los diodos 16 de acoplamiento en el otro costado. Preferiblemente, sin embargo, la zona adicional 71 es abierta en el costado de los diodos 16 de acoplamiento y rodea a la zona 34 de base solamente en la parte del borde de la zona de base no enfrentado con los diodos de acoplamiento. Por consiguiente, en

25

30

1 el presente ejemplo, la zona 71 tiene la forma de una U.

La utilización de una zona 71 que tiene una configuración geométrica no cerrada está basada en el reconocimiento del hecho de que tal zona es sustancialmente superficial en el lado de la zona 34 de base enfrentada con los diodos 16 de acoplamiento. Notablemente, si los diodos de acoplamiento son diodos Schottky, la vida de los portadores de carga minoritarios en la región 22 de colector en las uniones rectificadoras 10 es muy pequeña. En particular, el primer diodo de acoplamiento situado más próximo a la zona 34 de base extraerá portadores de carga minoritarios de la región de colector y cumplirá así sustancialmente la misma función que la zona 71. Como resultado de esto, fluirá una corriente ligeramente superior a través del primer diodo de acoplamiento a través de los diodos de acoplamiento restantes que están situados más alejados. Esta diferencia de nivel de corriente, sin embargo, es tan pequeña que no se pone en peligro en absoluto el funcionamiento eléctrico correcto del circuito. Los transistores inversores tienen una ganancia suficientemente amplia para que sea posible absorber dichas diferencias de corriente. El efecto anteriormente descrito del diodo de acoplamiento sobre el almacenamiento de portadores de carga minoritarios se producirá también en el primer ejemplo si la zona 81 de material aislante entre la zona 34 de base y los diodos 16 de acoplamiento se omite.

La forma de U seleccionada para la zona 71 de superficie adicional tiene la importante ventaja de que no es necesaria área adicional en la superficie semiconductor. Una configuración cerrada o configuración de anillo

1 llo rodeando la totalidad de la región de colector restrin
giría el área disponible para los diodos de acoplamiento.
Una forma cerrada o forma de anillo rodeando la zona 34 de
base y extendiéndose entre la zona 34 de base y el diodo
5 16 de acoplamiento necesitaría una distancia mayor entre
dicha zona 34 de base y el primer diodo 16 de acoplamiento.

Otra medida por la cual puede aumentarse la velo-
cidad de conmutación es sustituir el transistor pnp lateral
43, 28, 44 del primer ejemplo utilizado para el suministro
de corriente, por una resistencia en combinación con una
10 tensión de alimentación lo más baja posible, de un voltio
o menos. La tensión de alimentación es preferiblemente -
igual como máximo a la suma de la caída de tensión V_{BE} de
diodo en sentido directo del transistor inversor y la osci-
lación de la señal lógica, o, en otras palabras, como máxi-
15 mo igual a aproximadamente $2V_{BE} - V_{D1}$, en donde V_{D1} es la
caída de tensión en sentido directo de los diodos de acc-
plamiento.

La medida últimamente mencionada ha sido también
puesta en práctica en el segundo ejemplo. Las regiones 22
20 a 26 de los transistores inversores están dispuestas en
costados opuestos de una región o isla 72 de superficie
común. Dicha isla 72 comprende un número de resistencias
73 cada una de las cuales está conectada a un conductor 11
de entrada. Las resistencias 73 comprenden adicionalmente
25 contactos de conexión en la forma de una capa conductora
74 que, como las capas conductoras 82 conectadas a las zo-
nas 33 de emisor, pertenecen al primer nivel de pistas con-
ductoras. Las capas conductoras 74 sirven para la conexión
30 a una línea 75 de alimentación que no está representada en

1 la figura 4 y se extiende horizontalmente en el plano del
dibujo de la figura 4 sustancialmente en posición central
sobre las resistencias 73. Dicha línea 75 de alimentación
horizontal pertenece a las pistas conductoras del segundo
nivel y tiene partes salientes que en el plano de la figu-
5 ra 4 están dirigidas alternativamente hacia arriba y hacia
abajo y que están conectadas a las capas 74 a través de
una abertura situada en la capa aislante 56 que separa las
pistas conductoras de diferentes niveles entre sí.

La segunda línea 83 de alimentación pertenece
10 también a las pistas conductoras del segundo nivel y no
está representada en el dibujo de la figura 4. La línea 83
de alimentación se extiende sustancialmente paralela a la
línea 75 de alimentación y recubre las zonas 33 de emisor.

La figura 4 representa finalmente unos pocos con-
15 ductores 11 de entrada de señal y conductores 12 de salida
de señal que pertenecen al primer nivel de pistas con-
ductoras. En lo concerniente a que hayan de ser aplicadas a los
transistores inversores representados señales de otras par-
tes del circuito integrado situadas en posiciones alejadas,
20 al menos están disponibles dos posiciones situadas entre
las conexiones eléctricas de las resistencias 73 en una di-
rección paralela a las líneas de alimentación. Adicional-
mente, puede ser utilizada algunas veces una posición entre
las resistencias y los transistores inversores, como se re-
25 presenta en la parte inferior de la figura 4. Adicionalmen-
te, pueden también realizarse conductores de señal que se
cruzan entre sí por medio del segundo nivel de pistas con-
ductoras.

30 Las resistencias 73 tienen una estructura que es

1 usual para circuitos integrados. Son zonas de tipo p que
pueden obtenerse simultáneamente con las zonas 34 de base.
Dichas zonas 73 están situadas en la isla común 72 sobre
una capa enterrada 76 que pertenece a la isla 72. Está dis-
5 puesta una zona 77 de superficie de tipo n más altamente
impurificada en el extremo de las resistencias 73 conecta-
do a la línea 75 de alimentación, simultáneamente con las
zonas 33 de emisor. La unión pn 78 formada en el límite de
las zonas 73 y 77 está cortocircuitada por la capa conduc-
tora 74 situada encima. La línea 75 de alimentación está
10 conectada directamente a la isla común 72 a través de las
zonas 77 de superficie.

Resultará claro que no todas las resistencias ne-
cesitan estar conectadas por un extremo a la isla común 72
a través de una zona 77 de superficie adyacente y una unión
15 pn 78 cortocircuitada. Por ejemplo, bastará frecuentemente
una única conexión entre la línea 75 de alimentación y la
isla común 72. Solamente necesitan ser disipadas a través
de la línea de alimentación las corrientes de fugas de las
diversas uniones pn, de modo que la corriente a través de
20 dicha conexión es relativamente pequeña.

La resistencia laminar de las zonas 73 es, por
ejemplo, de aproximadamente 200 ohmios. Cada una de las
resistencias tiene un valor de, por ejemplo, aproxima-
mente 800 ohmios.

25 La línea 75 de alimentación está conectada a una
conexión 48. La línea 83 de alimentación, así como la re-
gión 29 de substrato, está conectada a la conexión 62. Pue-
de aplicarse una tensión de alimentación entre las conexio-
30 nes 48 y 62, por ejemplo de aproximadamente 920 mV. Dicha

1 alimentación está representada diagramáticamente a la figura 5 por la fuente 79 de tensión.

La tensión de alimentación seleccionada es igual a la suma de la tensión V_{BE} de diodo en sentido directo del transistor inversor y la oscilación lógica. La oscilación
5 lógica es igual a la tensión V_{BE} disminuida en la caída de tensión V_{DI} de diodo en sentido directo y la tensión V_{CE} colector-emisor del transistor inversor en estado de conducción.

Durante el funcionamiento, la salida de un primer
10 circuito puerta que tiene un transistor inversor en estado de conducción está conectada a la entrada de un segundo circuito puerta cuyo transistor inversor está entonces en estado de corte. Se producirá una caída de tensión igual a la oscilación lógica entre los extremos de la resistencia asociada con el primer circuito puerta. En realidad, la señal
15 de entrada es alta y es igual a la caída de tensión V_{ba-be} base-emisor en sentido directo. Se producirá a través de la resistencia asociada con el segundo circuito puerta una caída de tensión que es igual al doble de la oscilación lógica. En este caso la señal de entrada tiene nivel bajo y
20 es aproximadamente igual a la suma de la tensión V_{DI} de diodo en sentido directo y la tensión V_{CE} del transistor en conducción. La corriente que fluye a través de la segunda resistencia y que es disipada a través del colector del transistor en estado de conducción es así aproximadamente
25 dos veces mayor que la corriente que fluye a través de la primera resistencia y que es suministrada al transistor en estado de conducción como corriente de base. De este modo,
30 el transistor en conducción resulta claramente menos sobre-

1 excitado de lo que estaría en el caso en que se utilizase
una fuente de alimentación de corriente más ideal. En el
último caso las corrientes de base y colector habrían sido
sustancialmente de la misma magnitud, mientras que en este
ejemplo, como resultado de la baja tensión de alimentación
5 en combinación con la resistencia 73, se produce una dife-
rencia correspondiente a un factor de dos. El almacenamien-
to de carga en el transistor inversor se disminuye consi-
guientemente.

También cuando se utiliza una tensión de alimen-
10 tación más alta, puede ser ventajoso suministrar las co-
rrientes a través de resistencias a las bases de los tran-
sistores inversores. Los valores óhmicos de las resisten-
cias habrán de ser entonces más altos. Si es necesario,
las resistencias pueden fabricarse de modo conocido por
15 medio de implantación iónica. En ese caso pueden obtener-
se simplemente zonas de resistencia que tienen una resis-
tencia laminar de, por ejemplo, aproximadamente 2 Kohmios.
Alternativamente, las resistencias pueden ser provistas
sobre el cuerpo semiconductor en vez de en dicho cuerpo,
20 por ejemplo, de una capa de material de resistencia, tal
como el titanio, tántalo o material semiconductor policris-
talino, obtenido por deposición o de otro modo.

En el segundo ejemplo descrito, se disipa corrien-
te hacia la conexión 61 a través del transistor auxiliar
25 complementario de estructura vertical y/o estructura hori-
zontal. Dicha conexión eléctrica 61 constituye la conexión
del colector del transistor auxiliar. Con el fin de redu-
cir la resistencia en serie, puede ser favorable en rela-
ción con esto no establecer contacto al substrato en la
30

1 cara inferior o establecer este contacto no solamente en
la cara inferior, sino conectar las zonas profundas 30 de
tipo p a una pista conductora y, por ejemplo, a la línea
83 de alimentación sobre la cara superior del cuerpo semi
conductor en posiciones situadas preferiblemente a distan-
5 cias mutuas regulares. Si las zonas de aislamiento consis-
ten en material aislante en toda su profundidad o en una
parte de su profundidad, y se utiliza un transistor auxi-
liar complementario, es recomendado disponer zonas semicon
ductoras profundas en posiciones uniformemente situadas en-
10 tre los circuitos puerta o junto a los mismos, cuyas zonas
se extienden desde la superficie semiconductora hasta la
región de substrato y están conectadas en la superficie
semiconductora a una pista conductora, de modo que pueden
servir así para la deseada disipación de corriente. El
15 circuito integrado de acuerdo con la segunda realización
puede también fabricarse totalmente del modo usual por me
dio de métodos conocidos en la tecnología de semiconducto
res.

20 Las realizaciones descritas tienen una combina-
ción de propiedades que son particularmente adecuadas pa-
ra circuitos de tecnología LSI. En primer lugar, el proce
so de fabricación necesario para dicho circuito integrado
es considerablemente más simple que para el circuito cono
cido descrito. El circuito integrado de acuerdo con el in
25 vento puede fabricarse con el mismo proceso disponible se
gún el cual, por ejemplo, pueden también fabricarse cir-
cuitos integrados de tecnología LS-TTL e I²L. En contraste
con el circuito conocido descrito, los circuitos integra-
dos de tecnología LS-TTL e I²L están ambos en el mercado
30

1 como productos comerciales.

En el segundo ejemplo se utilizó una capa epitáctica de tipo n con un espesor de aproximadamente $3 \mu\text{m}$ y una resistividad de aproximadamente $0,7 \text{ Ohmios.cm}$. Como se ha indicado, los diodos Schottky de acoplamiento fueron de un tipo que es también usual en tecnología LS-TTL, que tienen una unión de siliciuro de platino -silicio. La caída de tensión en sentido directo de dichos diodos fué aproximadamente de $0,48 \text{ V}$.

Como es conocido, la tecnología I^2L convencional es relativamente lenta en comparación con la tecnología LS-TTL. El tiempo mínimo de retardo de un inversor de tecnología I^2L que tiene una única salida es aproximadamente de 10 a 20 nanosegundos, mientras que para tecnología LS-TTL el tiempo de retardo mínimo es aproximadamente de 5 a 7 nanosegundos. Los tiempos de conmutación dados aquí se consiguen en circuitos integrados de tecnología I^2L y LS-TTL, respectivamente, con una capa epitáctica que tiene un espesor de aproximadamente $3 \mu\text{m}$. La resistividad de la capa epitáctica para circuitos I^2L es aproximadamente de $0,7 \text{ Ohmios.cm}$, mientras que para circuitos LS-TTL se ha supuesto un valor de aproximadamente $0,3 \text{ Ohmios.cm}$.

Es muy sorprendente que el tiempo de retardo mínimo para el circuito de acuerdo con el invento en la segunda realización descrita puede ser de aproximadamente 2 a 3 nseg. Para un nivel de corriente de, por ejemplo, aproximadamente $400 \mu\text{A}$ la caída de tensión en sentido directo del diodo emisor-base es, por ejemplo, de aproximadamente 760 mV y la tensión V_{CE} colector-emisor del transistor emisor en estado de conducción puede ser aproximadamente de

1 60 mV. La oscilación de la señal lógica es aproximadamente entonces de 220 mV.

5 A pesar del hecho de que el transistor inversor en tecnología LS-TTL está exento de saturación por medio de un diodo Schottky de fijación de nivel y el transistor in-

10 versor en el circuito de acuerdo con el invento entra en saturación, el último circuito tiene no obstante un tiempo de retardo que es aproximadamente dos veces más pequeño. El inversor de tecnología I²L comparable que también resulta saturado, tiene por el contrario un tiempo de retardo de

15 tres a seis veces mayor. Aparentemente, la incorporación de uno o más transistores auxiliares, como se indica, es un medio inesperadamente eficaz según el cual se restringen drásticamente las consecuencias del hecho de que el transistor inversor resulte saturado y con el cual el gra-

do en el que se satura el transistor inversor se controla fácilmente.

20 Para tecnología LS-TTL el producto τD , es decir el producto del tiempo τ de retardo y la disipación D de potencia asociada con dicho tiempo de retardo en una disposición constructiva usual es aproximadamente de 19 μJ . Para tecnología I²L y el circuito de acuerdo con el invento, el producto τD es aproximadamente del mismo valor, a saber de 0,3 a 2 μJ .

25 Una tercera magnitud que es extremadamente importante para circuitos de tecnología LSI es la densidad de agrupación o número de circuitos puerta que pueden realizarse en promedio por mm^2 de superficie semiconductor. Respecto a esto, como es conocido, la tecnología I²L con

30 una densidad de agrupación de aproximadamente 200 a 250

1 puertas/mm² es superior a la tecnología LS-TTL que tiene
una densidad de agrupación de puertas de 15 a 20 puertas/
/mm². La densidad de agrupación del circuito integrado de
5 acuerdo con el invento es para la segunda realización de
120 a 180 puertas por mm². De este modo, este parámetro es
aproximadamente seis veces más favorable que para la tecno
logía LS-TTL y menos de dos veces más desfavorable que pa
ra tecnología I²L.

10 El presente invento proporciona así una mejora
considerable con respecto a la tecnología LS-TTL y es com
petitivo en forma importante con respecto a la tecnología
I²L para aplicaciones en las cuales es necesaria una velo
cidad de conmutación demasiado alta para tecnología I²L
convencional.

15 Resultará evidente que el invento no está restrin
gido a las realizaciones descritas, sino que son posibles
muchas variantes para los expertos en la técnica sin apar
tarse del campo de este invento. Por ejemplo, pueden utili
zarse otros materiales semiconductores tales como el germa
cio o compuestos A_{III} B_V. Adicionalmente, pueden intercam
20 biarse los tipos de conductividad de los ejemplos, adaptán
dose en conformidad las tensiones eléctricas y los sentidos
de corriente.

25 En la primera realización el espesor de la capa
de superficie de tipo n es preferiblemente no superior a
aproximadamente 2 μ m. Se utiliza preferiblemente una capa
epitáctica de tipo n y la zona 34 de base se obtiene prefe
riblemente por conversión local de la capa epitáctica en
30 una capa de tipo p por difusión y/o impantación iónica por
sobredosificación de impurezas hasta la capa entrerrada

1 de tipo n más altamente impurificada.

Pueden utilizarse alternativamente otras formas de aislamiento dieléctrico, por ejemplo surcos en forma de V o surcos rellenos de silicio policristalino.

5 En la segunda realización el espesor de la capa de superficie es preferiblemente no superior a $6,5 \mu\text{m}$, aproximadamente. Se utiliza ventajosamente un espesor, como máximo, de aproximadamente $3,5 \mu\text{m}$. La capa de superficie será usualmente una capa epitáctica, pero puede también obtenerse en forma diferente, por ejemplo por difusión o
10 implantación iónica. Las regiones de colector pueden también disponerse como regiones independientes por impurificación en un substrato del tipo de conductividad opuesto. La resistividad, o en general la concentración de impurezas de la capa de superficie, puede adaptarse dentro de
15 amplios límites. Por ejemplo, en vez de la capa epitáctica de $0,7 \text{ ohmios.cm}$, puede utilizarse fácilmente en forma alternativa una capa epitáctica de aproximadamente $0,3 \text{ Ohmios.cm}$. Dicha resistividad influye, entre otras cosas, sobre la resistencia en serie de los diodos de acoplamiento.
20 to.

Se cumple tanto para el transistor auxiliar complementario vertical como para el transistor auxiliar complementario horizontal que el ancho de la base del transistor auxiliar entre el emisor y el colector es preferiblemente
25 mente igual o inferior a $3 \mu\text{m}$, aproximadamente.

El transistor inversor puede estar construido alternativamente de modo que sea simétrico con respecto a la parte no activa de la zona de base. En ese caso el contacto de base que comprende el emisor del transistor auxi-
30

1 liar estará situado, por ejemplo, en posición central, es-
tando presente una zona de emisor y uno o más diodos de ac-
oplamiento en dos lados o costados opuestos de dicho contac-
to. En cada uno de los mencionados costados estará presente
5 una capa enterrada que continúa ininterrumpidamente desde
debajo de la zona de emisor hasta debajo del diodo o diodos
de acoplamiento. Si está incorporado un transistor auxiliar
complementario de estructura lateral en tal transistor simé-
trico, la región que sirve como colector del mismo consis-
tirá en dos partes que están situadas junto a los otros dos
10 costados opuestos de la zona de base que no están enfrenta-
dos con los diodos de acoplamiento.

La concentración de activador en la parte de la
región de substrato que está situada como colector del tran-
sistor auxiliar complementario de estructura vertical en po-
15 sición opuesta a la zona de base del transistor inversor es
preferiblemente inferior a la concentración de activador en
la parte de baja resistividad de la región de colector del
transistor inversor en un factor de 10, y ventajosamente al
menos en un factor de 100.

20 Alternativamente, los diodos 16 de acoplamiento
pueden obtenerse por medio de materiales diferentes al men-
cionado siliciuro de platino-silicio. Por ejemplo, pueden
utilizarse aluminio, siliciuro de platino, siliciuro de co-
balto o titanio. Este material puede estar presente sólo en
25 las aberturas de la capa aislante, como en el caso de las
uniones de siliciuro de platino-silicio descritas, o puede
formar una capa como parte de las pistas conductoras, como
es el caso frecuentemente cuando se utiliza titanio. La ca-
30 pa de titanio está recubierta entonces con una capa fácil-

1 mente conductora de, por ejemplo, oro, en la cual, si es necesario, puede interponerse una capa de barrera, de, por ejemplo, platino entre el titanio y la mencionada capa de oro.

5

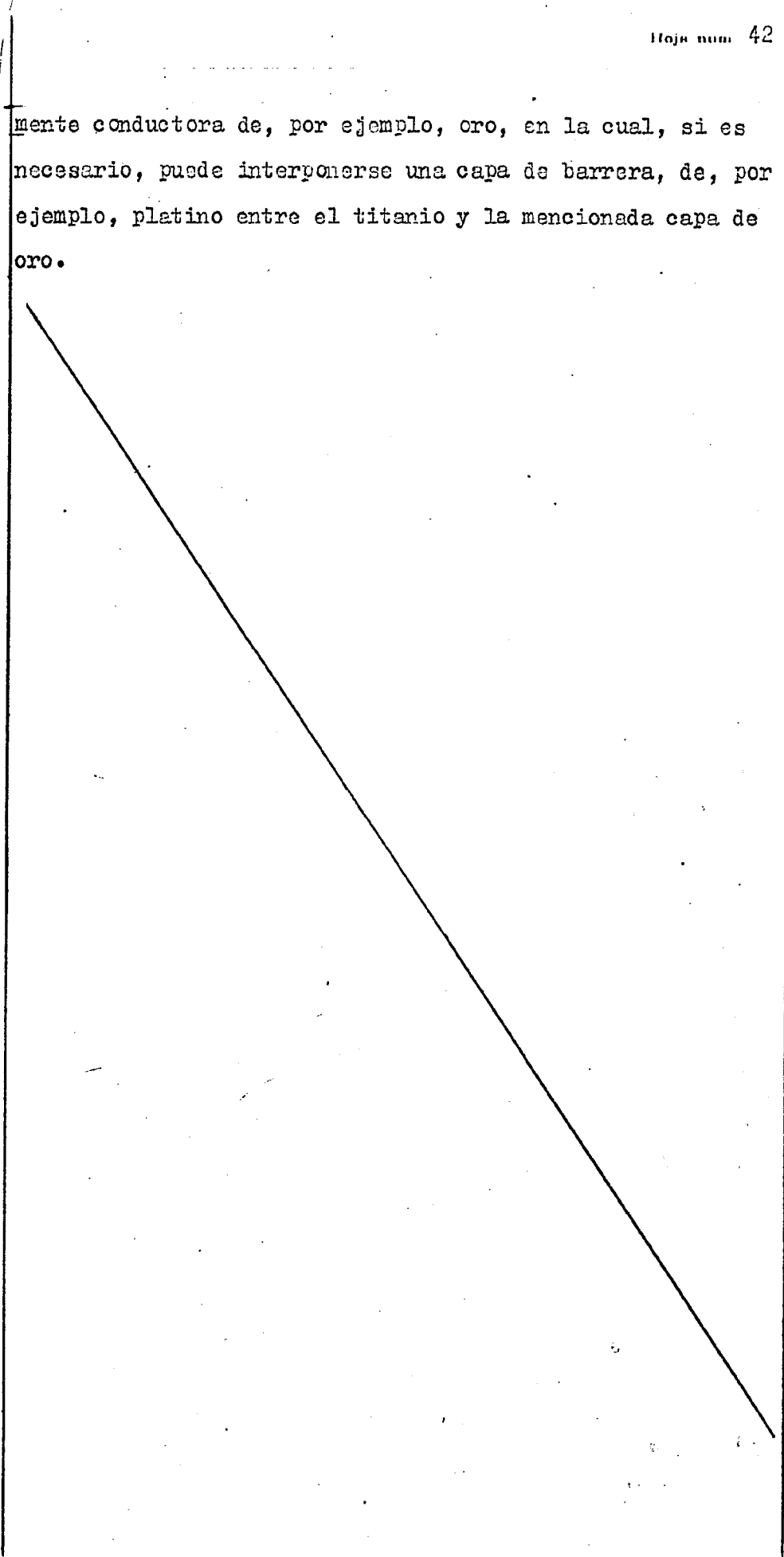
10

15

20

25

30



1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un circuito lógico integrado que tiene una entrada de señal que está formada por una base de un transistor bipolar y que tiene una pluralidad de salidas de señal cada una de las cuales está acoplada, a través de un diodo, al colector del transistor bipolar, comprendiendo la entrada de señal medios para suministrar corriente, comprendiendo el circuito integrado un cuerpo semiconductor que tiene una superficie principal a la cual son contiguas varias regiones de superficie de un primer tipo de conductividad que están situadas sobre una región de substrato común de un segundo tipo de conductividad opuesto al primero, perteneciendo al menos una de las mencionadas regiones de superficie a una región de colector del primer tipo de conductividad que forma parte del transistor bipolar, teniendo dicha región de colector una parte de alta resistividad y una parte de baja resistividad, extendiéndose la parte de baja resistividad en y a lo largo de la interzona entre la región de colector y la región de substrato, teniendo adicionalmente el transistor bipolar una zona de emisor contigua a la superficie principal del primer tipo de conductividad que en el cuerpo semiconductor está separada de la región de colector por una zona de base del segundo tipo de conductividad que se extiende has-

030179

1 ta la superficie principal, estando presente una capa eléc-
tricamente aislante en la superficie principal y que tiene
una primera abertura que recubre la zona de emisor, una se-
gunda abertura que está situada junto a la zona de emisor
por encima de la zona de base y varias terceras aberturas
5 que están situadas junto a la zona de base sobre la región
de colector, separando la capa aislante del cuerpo semi-
conductor pistas conductoras que se extienden para cone-
xión eléctrica en el interior de la primera, segunda y
tercera aberturas, estando cada una de las pistas conduc-
10 toras que se extienden en el interior de la tercera aber-
tura acoplada a la región de colector a través de una -
unión rectificadora que es contigua a la región de cole-
tor, formando dicha unión rectificadora los mencionados
diodos, estando rodeado el transistor bipolar en la super-
15 ficie principal por una zona de aislamiento por medio de
la cual está aislado eléctricamente el transistor bipolar,
al menos durante el funcionamiento, de regiones de superfi-
cie adyacentes del primer tipo de conductividad, caracte-
rizado porque está incorporada una zona de superficie adi-
20 cional del primer tipo de conductividad en la estructura
semiconductora del transistor bipolar y está separada por
la zona de base de la mencionada región de colector y que
tiene una conexión eléctrica, sirviendo la región de co-
lector, la zona de base y la zona de superficie adicional
25 del primer tipo de conductividad como emisor, base y colec-
tor, respectivamente, de un transistor auxiliar, de modo
que, si se sobreexcita el transistor bipolar, una parte
considerable de la corriente que fluye a través de la co-
nexión de base del transistor bipolar puede ser disipada
30

1 en el transistor auxiliar y puede restringirse considera-
blemente el almacenamiento portadores de carga móviles en
el transistor bipolar sobreexcitado.

5 2ª.- Un circuito integrado de acuerdo con la
reivindicación 1ª, caracterizado porque la conexión eléc-
trica de la zona de superficie adicional del primer tipo
de conductividad está formada por la pista conductora que
se extiende en el interior de la segunda abertura que se
sitúa sobre la zona de base del transistor bipolar.

10 3ª.- Un circuito integrado de acuerdo con la
reivindicación 1ª o la reivindicación 2ª, caracterizado
porque las zonas de aislamiento comprenden zonas de mate-
rial aislante que se extienden desde la superficie princi-
pal hasta una profundidad en el cuerpo semiconductor ma-
yor que la zona de base del transistor bipolar, estando
15 dispuesta la zona de base en posición contigua al mate-
rial aislante al menos en una parte considerable de su
circunferencia.

20 4ª.- Un circuito integrado de acuerdo con las
reivindicaciones 1ª, 2ª ó 3ª, caracterizado porque la zo-
na de base del transistor bipolar se extiende hasta la par-
te de baja resistividad de la región de colector y está
separada del substrato por dicha parte de baja resistivi-
dad.

25 5ª.- Un circuito integrado de acuerdo con la
reivindicación 3ª, caracterizado porque la zona de base
del transistor bipolar en la superficie principal está
rodeada totalmente por el material aislante y es contigua
al mismo.

30 6ª.- Un circuito integrado de acuerdo con una o

1 más de las reivindicaciones precedentes, caracterizado
porque en la estructura semiconductor del transistor bi-
polar se han tomado medidas adicionales para que una región
del segundo tipo de conductividad coopere eficazmente con
la mencionada zona de base del segundo tipo de conductivi-
5 dad y la mencionada región de colector del primer tipo de
conductividad, de modo que se incorpora un transistor auxi-
liar complementario que tiene la mencionada zona de base
como emisor, tiene la mencionada región de colector como
base y tiene la mencionada región del segundo tipo de con-
10 ductividad como colector, estando provista la región últi-
mamente mencionada de una conexión eléctrica, como resul-
tado de lo cual si es sobreexcitado el transistor bipolar
una parte considerable de la corriente que fluye en la zo-
na de base del transistor bipolar puede fluir a través del
15 transistor auxiliar complementario y puede restringirse
considerablemente el almacenamiento de portadores de car-
ga móviles en el transistor bipolar sobreexcitado.

7ª.- Un circuito lógico integrado de acuerdo
con la reivindicación 6ª, caracterizado porque la parte
20 de baja resistividad de la región de colector en una di-
rección sustancialmente paralela a la superficie princi-
pal tiene una extensión restringida, extendiéndose dicha
región de baja resistividad, por una parte, por debajo de
la zona de emisor y por debajo de las uniones rectificado
25 ras y, por otra parte, expone, por debajo de la zona de
base y la segunda abertura situada encima en la capa ais-
lante, una región en la cual la parte de alta resistivi-
dad de la región de colector es directamente adyacente a
30 la región de substrato mientras forma una unión pn, coo-

1 perando la parte de la región de substrato contigua a la parte de alta resistividad de la región de colector como colector del transistor auxiliar complementario con la región de colector contigua y la zona de base del transistor bipolar.

5 8ª.- Un circuito lógico integrado de acuerdo con la reivindicación 7ª, caracterizado porque la zona de base del segundo tipo de conductividad tiene una parte activa que rodea la zona de emisor del primer tipo de conductividad y una parte no activa adyacente que sirve para la conexión eléctrica de la zona de base y sobre la cual está presente una segunda abertura, cuya parte adyacente no activa es al menos de las mismas dimensiones que la mencionada parte activa, es contigua a la mencionada zona de superficie adicional del primer tipo de conductividad y comprende el emisor del transistor auxiliar complementario.

10

15

9ª.- Un circuito lógico integrado de acuerdo con una o más de las reivindicaciones 6ª, 7ª y 8ª, caracterizado porque, visto sobre la superficie principal, la primera, segunda y tercera aberturas están dispuestas en una fila en la cual entre una o más terceras aberturas, por una parte, y una segunda abertura que se sitúa sobre parte de la zona de base que comprende el emisor del transistor auxiliar complementario, por otra parte, al menos está presente una primera abertura que se sitúa sobre una zona de emisor.

20

25

10ª.- Un circuito lógico integrado de acuerdo con una o más de las reivindicaciones 6ª a 10ª, caracterizado porque en la superficie principal junto a la zona de base está presente una zona de superficie adicional del segundo

30

1 tipo de conductividad contigua a la región de colector del
primer tipo de conductividad que se extiende desde la su-
perficie principal hasta sustancialmente la misma profundi-
dad en el cuerpo semiconductor que la zona de base, sirvien-
do dicha zona de superficie adicional del segundo tipo de
5 conductividad como colector del transistor auxiliar comple-
mentario y estando conectada a la región de substrato.

11ª.- Un circuito lógico integrado de acuerdo con
la reivindicación 10ª, caracterizado porque la distancia en
la superficie principal entre la zona de base y la zona de
10 superficie adicional del segundo tipo de conductividad es
como máximo de 5 μ m.

12ª.- Un circuito lógico integrado de acuerdo con
la reivindicación 10ª o la reivindicación 11ª, caracteriza-
do porque las zonas de aislamiento son zonas de superficie
15 del segundo tipo de conductividad que se extienden desde la
superficie principal hasta una profundidad en el cuerpo se-
miconductor mayor que la mencionada zona de superficie adi-
cional del segundo tipo de conductividad y en la cual la
zona de superficie adicional del segundo tipo de conductivi-
20 dad está conectada directamente a la zona de aislamiento -
contigua a la región de colector del primer tipo de conduc-
tividad, por cuanto las mencionadas dos zonas se solapan
entre sí en la superficie principal.

13ª.- Un circuito lógico integrado de acuerdo con
25 las reivindicaciones 10ª, 11ª ó 12ª, caracterizado porque
la zona de base del segundo tipo de conductividad en la su-
perficie principal está rodeada sólo parcialmente por la
mencionada zona de superficie adicional del segundo tipo
30 de conductividad, y porque la periferia de la mencionada

1 zona de base en la superficie principal está situada par-
cialmente en oposición con una o más terceras aberturas y
para la totalidad de la parte restante está situada en -
oposición a dicha zona de superficie adicional del segundo
tipo de conductividad.

5 14ª.- Un circuito lógico integrado de acuerdo con
la reivindicación 13ª, caracterizado porque la zona de base
del segundo tipo de conductividad es sustancialmente rectan
gular, la mencionada zona de superficie adicional del segundo
10 tipo de conductividad tiene una forma sustancialmente de
U y rodea a la zona de base por tres costados, y porque las
terceras aberturas en la capa aislante están dispuestas jun
to al cuarto costado de la zona de base.

15 15ª.- Un circuito integrado de acuerdo con una o
más de las reivindicaciones precedentes, caracterizado por
que la mencionada zona de superficie adicional del primer
tipo de conductividad en la superficie principal ocupa una
zona que es al menos tres veces inferior a la superficie
ocupada por la zona de emisor.

20 16ª.- "UN CIRCUITO LOGICO INTEGRADO".
Tal y como se ha descrito en la Memoria que ante
cede, representado en los dibujos que se acompañan y con
los fines que se han especificado.

25 Esta Memoria consta de cuarenta y nueve hojas es
critas a máquina por una sola cara.

Madrid, 12.ENE.1979

F.A.

Fernando de Elzaburu
Por poder.

30

CR. 030179

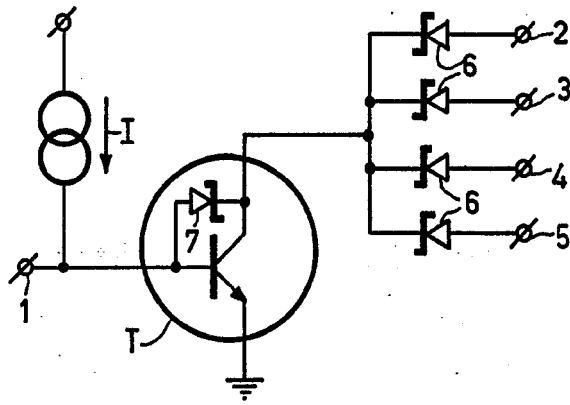
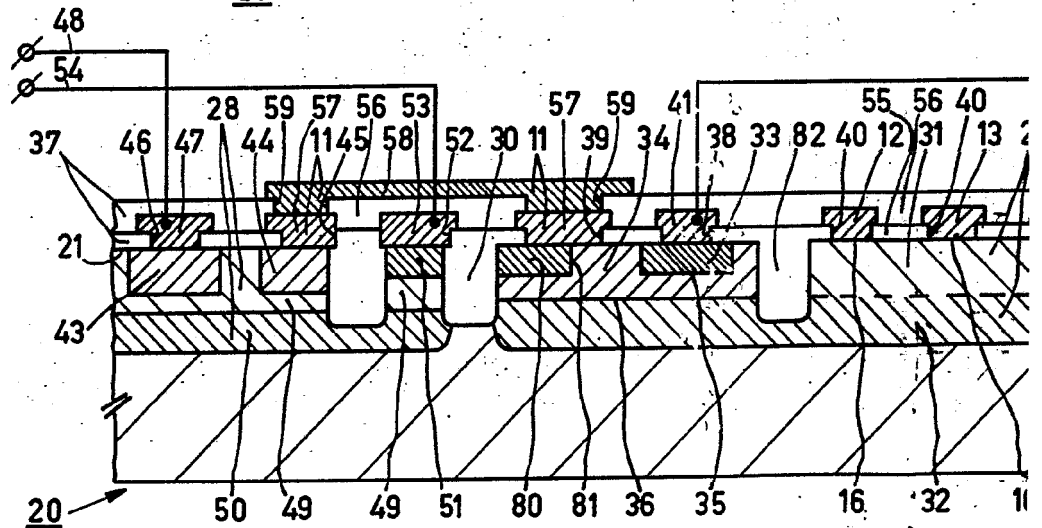
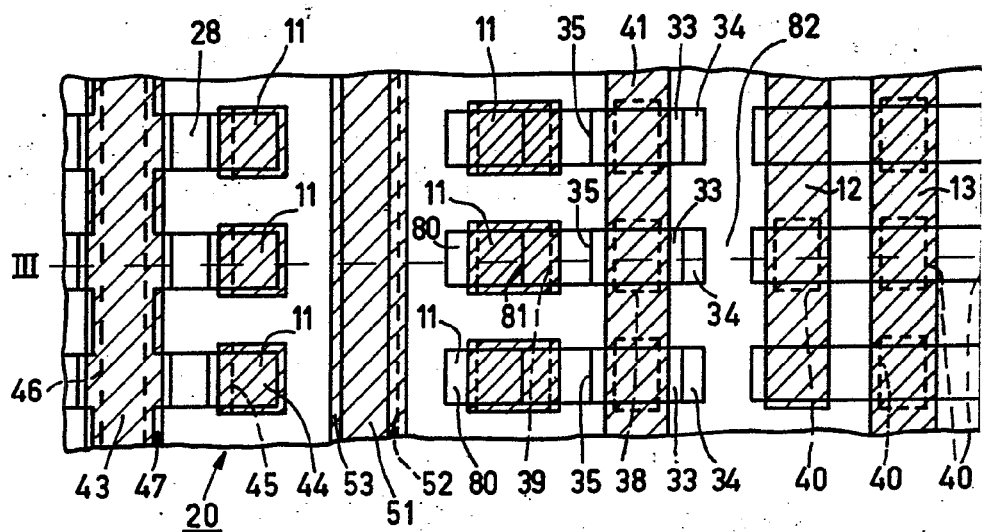


Fig. 1

Fernando de Elzaburu
For Podes

1-IV-PHN 9006



2-IV-PHN 9006

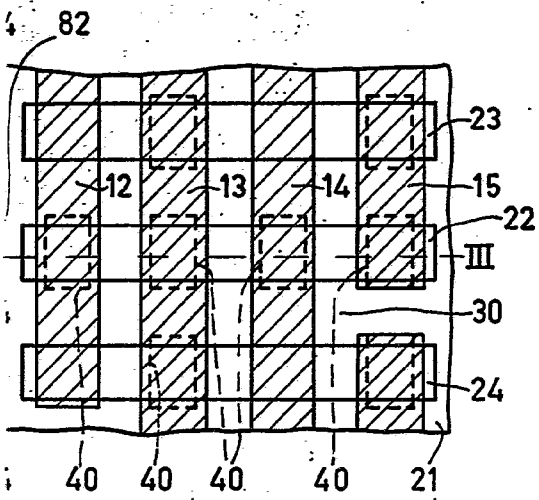


Fig.2

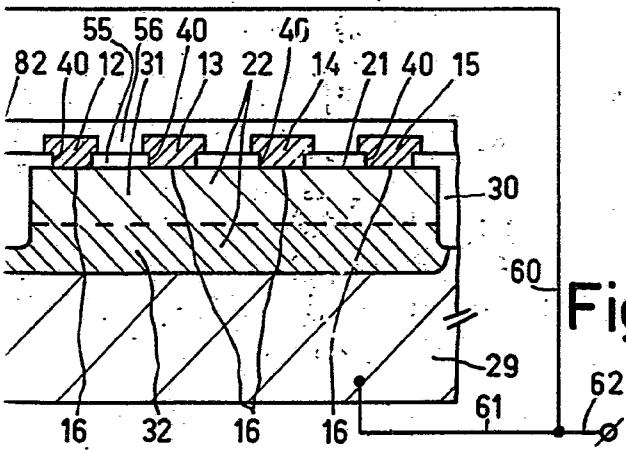


Fig.3

Fernando de Elzabur
For Power.

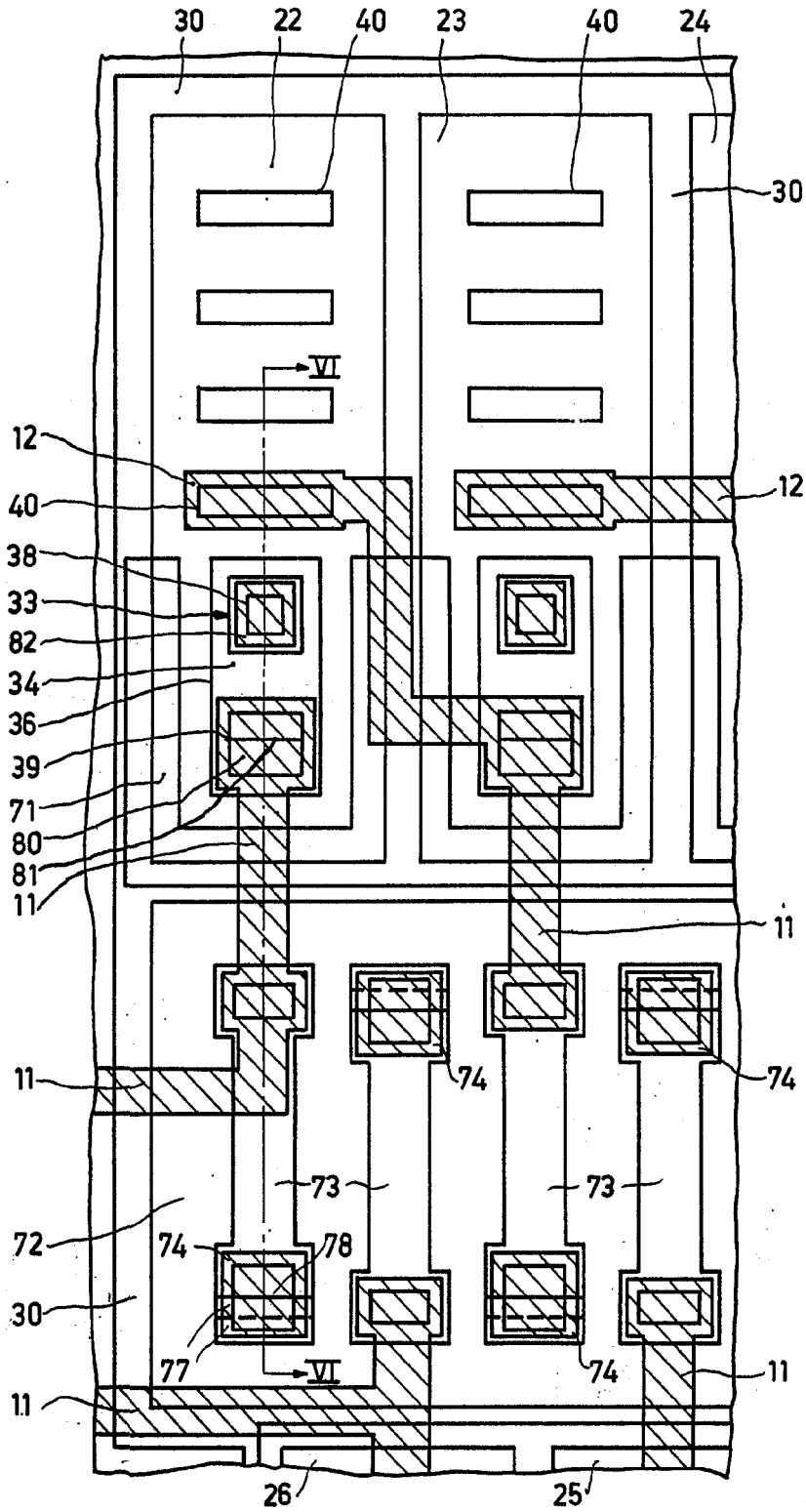


Fig. 4

Fernando de Elburg
For Pater

3-IV-PHN 9006

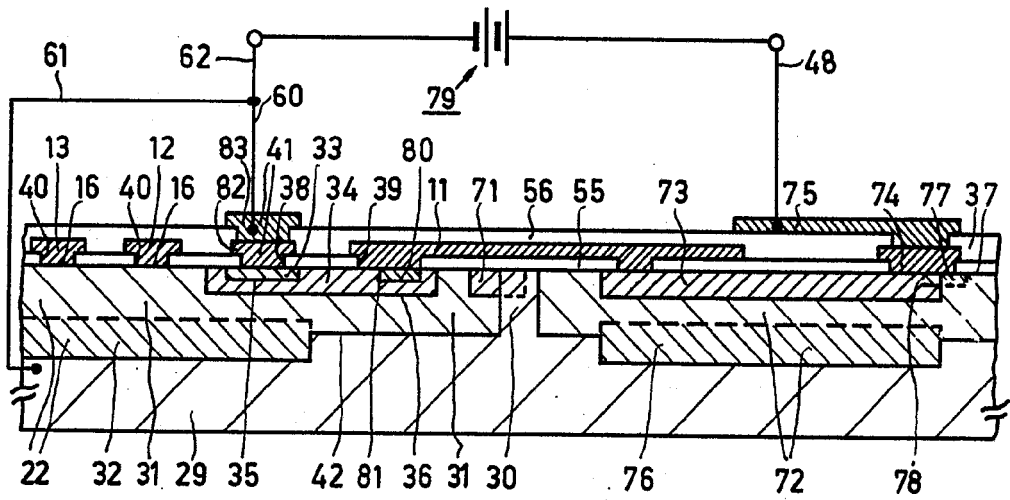


Fig.5

Fernando de Elzaburu
Per Poder
[Signature]
4-IV-PHN 9006