

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

(19) ES	(11) NUMERO 475.032	(10) A1
(21)	(22) FECHA DE PRESENTACION 13-11-1978	

15 MAR 1979

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

(50) PRIORIDADES: (51) NUMERO 77/34126	(52) FECHA 14-11-1977	(53) PAIS Francia
--	--------------------------	----------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H01L	(52) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(54) TITULO DE LA INVENCION "UN DISPOSITIVO SEMICONDUCTOR"

(71) SOLICITANTE (S) N.V. PHILIPS'GLOEILAMPENFABRIEKEN (77-581 Spain - HK/EV)
--

DOMICILIO DEL SOLICITANTE 29-Emmasingel, Eindhoven, Holanda
--

(72) INVENTOR (ES) Bernard Roger

(73) TITULAR (ES)

(74) REPRESENTANTE DON ALBERTO DE ELZABURU MARQUEZ (P-70.421)

jga

1 El presente invento se refiere a un dispositivo
semiconductor que comprende un cuerpo semiconductor que
tiene al menos un primero y un segundo transistor vertical
complementario y bipolar, comprendiendo cada uno de los
5 transistores una región de base y dos regiones externas
que sirven como regiones de emisor y de colector, estando
constituído dicho cuerpo principalmente por un sustrato cu-
bierto por una primera capa epitaxial de un primer tipo de
conductividad sobre la que se extiende una segunda capa
10 epitaxial del segundo tipo de conductividad opuesto a la
primera, estando formada la región de base del primer tran-
sistor y al menos una parte de una región externa del se-
gundo transistor por porciones coplanares de la primera ca-
pa epitaxial, estando formada la región de base del segun-
15 do transistor y una región externa del primer transistor
por porciones coplanares de la segunda capa epitaxial, y
constituyendo una porción del sustrato al menos una parte
de la región de colector de uno de los transistores, sepa-
rando una barrera aislante enteramente una de otra al menos
20 a parte de dichas porciones de la segunda capa epitaxial.

Para diversas aplicaciones, en particular para
la amplificación de potencia, se pretende realizar dispo-
sitivos semiconductores monolíticos en los que estén inte-
grados al menos dos elementos activos complementarios, por
25 ejemplo dos transistores, de los cuales las regiones co-
rrespondientes son de tipos opuestos; esto ocurre con dis-
positivos amplificadores del denominado tipo Darlington
mixto, que comprenden un transistor de entrada o control,
por ejemplo del tipo pnp, cuyo colector controla la base
de un transistor de salida o potencia, estando conectado
30

1 el emisor del transistor de entrada con el colector del transistor de salida.

5 Los dos transistores pueden ser integrados en una placa de sustrato mediante métodos conocidos de deposición y difusión epitaxial. Un ejemplo de una estructura obtenida de este modo ha sido descrito en la solicitud de patente francesa publicada con el número 2.297.495. Esta estructura presenta considerables ventajas, en particular en lo que se refiere a la ganancia y a la planeidad de la cara activa que permite buenas conexiones de superficies óhmicas. No obstante, la conexión entre el emisor del transistor de entrada y el colector del transistor de salida del conjunto Darlington descrito en dicha solicitud de patente necesita que una conexión metálica llegue al fondo de una ranura mesa, lo que en ciertos casos puede plantear dificultades. Además, la conexión entre el colector del transistor de entrada y la base del transistor de salida es una conexión interna realizada por la continuidad entre estas dos regiones en la misma capa epitaxial, que necesita una capa enterrada localizada, altamente impurificada. A pesar de dicha capa enterrada, puede resultar todavía que la resistencia de dicha conexión es demasiado elevada en ciertas aplicaciones. Además, la impurificación muy alta de dicha capa implica dificultades en la epitaxia debido a la emigración hacia las capas epitaxiales de impurezas que aquella contenía.

25 Uno de los objetos del invento es el de mejorar las posibilidades de los dispositivos conocidos, tales como los dispositivos Darlington antes mencionados, y proporcionar a los conjuntos de dos transistores complementarios

1 una estructura que permita conexiones eléctricas más simples, que tengan baja resistencia y sean dignas de confianza.

5 De acuerdo con el presente invento, un dispositivo semiconductor que comprende un cuerpo semiconductor que tiene al menos un primer y un segundo transistor vertical, bipolar y complementario, comprendiendo cada transistor una región de base y dos regiones externas que sirven como regiones de emisor y de colector, respectivamente,

10 te, estando constituido dicho cuerpo principalmente por un sustrato cubierto por una primera capa epitaxial de un primer tipo de conductividad sobre la que se extiende una segunda capa epitaxial del segundo tipo de conductividad opuesto al primero, estando formada la región de base del

15 primer transistor y al menos una parte de una región externa del segundo transistor por porciones coplanares de la primera capa epitaxial, estando formada la región de base del segundo transistor y una región externa del primer transistor por porciones coplanares de la segunda capa

20 epitaxial y constituyendo una porción del sustrato al menos una parte de la región de colector de uno de los transistores, separando una barrera aislante enteramente, al menos, a una parte de dichas porciones respecto de la segunda capa epitaxial, está caracterizado porque al menos una

25 parte de la región de colector de uno de dichos transistores primero y segundo y al menos una parte de la región de emisor del otro transistor están constituidas por dos porciones anejas y coplanares del sustrato de tipos de conductividad opuestos que forman una unión p-n, porque la barrera aislante se extiende desde la cara superior al menos ha-

1 cia abajo hasta el sustrato y porque dicha unión p-n cons-
tituye al menos una parte de una unión p-n que se extien-
de desde la cara inferior del sustrato hasta dicha barrera
aislante.

5 En el dispositivo de acuerdo con el presente in-
vento, las conexiones de los transistores del conjunto com-
plementario se realizan por capas conductoras depositadas
sobre las superficies del dispositivo; éstas pueden tener
por lo tanto una resistencia todo lo baja que pueda ser de-
10 seable.

 Una conexión eléctrica entre las dos regiones ex-
ternas formadas en porciones anejas del sustrato (el emi-
sor de uno de los transistores y el colector del otro) se
obtiene de modo muy simple mediante un electrodo conductor,
15 por ejemplo metálico, que se extiende en la cara inferior
del sustrato.

 La cara superior (o cara activa) del dispositivo
que es la cara superior de la segunda capa epitaxial tiene
también una buena planeidad, que permite disponer allí co-
20 nexiones eléctricas de buena calidad, por ejemplo mediante
depósitos metálicos localizados. Debido a las superficies
planas, las conexiones son dignas de confianza. Estas son
fáciles de realizar. Además, su deposición al final de la
fabricación no implica ninguna perturbación en el disposi-
25 tivo.

 En una primera forma de realización del conjunto
de transistores complementarios de acuerdo con el invento,
las regiones hechas en el sustrato son el emisor del primer
transistor y una primera zona del colector del segundo tran-
sistor, mientras que la base del primer transistor y una
30

1 segunda zona del colector del segundo transistor están
constituídas por porciones de la primera capa epitaxial y
el colector del primer transistor y la base del segundo
transistor están constituídos por porciones de la segunda
5 capa epitaxial, estando constituido el emisor del segundo
transistor por una zona impurificada de un primer tipo de
conductividad incluido en la segunda capa epitaxial, estan
do constituido el contacto de base del primer transistor
por una zona impurificada del primer tipo de conductividad
10 que se extiende desde la cara superior hacia abajo hasta
una profundidad que rebasa la de la segunda capa epitaxial.
Regiones de contacto del colector del primer transistor y
del contacto de base del segundo transistor están consti-
tuídas, si se desea, por zonas impurificadas del segundo
15 tipo de conductividad formadas en la segunda capa epita-
xial. Estas regiones están constituídas generalmente por
zonas difundidas o implantadas. En esta forma de realiza-
ción, el colector del primer transistor (aquél cuya base
hecha en la primera capa epitaxial es del primer tipo de
20 conductividad) puede ser conectado con facilidad con la ba-
se del segundo transistor (aquél cuya base está hecha en
la segunda capa epitaxial del segundo tipo de conductivi-
dad). Se deduce de ello que el invento es, en esta forma
de realización, aplicable directamente para obtener un dis-
25 positivo Darlington mixto de un primer tipo establecido.

En realidad, en la aplicación de dicha primera
forma de realización a una disposición Darlington mixta, el
transistor de entrada del amplificador es el primer tran-
sistor y el transistor de salida es el segundo transistor,
estando conectado el colector del primer transistor con la

1 base del segundo transistor, constituyendo un electrodo co-
nectado con la base del primer transistor la entrada del
amplificador y estando las dos regiones formadas en el sus-
trato puestas en cortocircuito por un electrodo que se ex-
5 tiende sobre la cara inferior del sustrato y que constitu-
ye la salida.

En una segunda forma de realización del conjunto
de transistores complementarios de acuerdo con el invento,
el colector del primer transistor y una primera zona del
10 emisor del segundo transistor son las regiones formadas en
el sustrato, mientras que la base del primer transistor y
una segunda zona del emisor del segundo transistor están
constituídas por porciones de la primera capa epitaxial,
y el emisor del primer transistor y la base del segundo
15 transistor están constituídos por porciones de la segunda
capa epitaxial, estando constituída la región de colector
del segundo transistor por una zona impurificada del pri-
mer tipo de conductividad incluida en dicha segunda capa
epitaxial y estando constituída una región de contacto
20 de base del primer transistor por una zona del primer tipo
de conductividad, preferiblemente impurificada en alto gra-
do, que se extiende desde la cara superior hacia abajo has-
ta una profundidad que rebasa la profundidad de la segunda
capa epitaxial. Una región de contacto de base del segundo
25 transistor y una región de contacto de emisor del primer
transistor están constituídas por zonas impurificadas del
segundo tipo de conductividad formadas en la segunda capa
epitaxial. Estas zonas pueden también ser difundidas o im-
plantadas.

30 En esta forma de realización del conjunto comple-

1 mentario, es el segundo transistor (aquél cuya base, he-
cha en la segunda capa epitaxial, es del segundo tipo de
conductividad) cuyo colector puede ser conectado fácilmen-
te con la base del transistor complementario, en estas cir-
5 cunstancias el primer transistor (aquél cuya base está he-
cha en la primera capa epitaxial del primer tipo de con-
ductividad) y principalmente puede servir por lo tanto co-
mo un transistor de entrada de una disposición Darlington
mixta, cuyo transistor de salida es el primer transistor.

10 En la aplicación de esta segunda forma de reali-
zación a una disposición Darlington mixta, el transistor
de entrada del amplificador es el segundo transistor y el
transistor de salida es el primer transistor, estando co-
nectado el colector del segundo transistor con la base
15 del primer transistor, constituyendo un electrodo conecta-
do con la base de dicho segundo transistor la entrada del
amplificador, y estando las dos regiones formadas en el
sustrato puestas en cortocircuito mediante un electrodo
que se extiende sobre la cara inferior del sustrato y que
20 constituye la salida.

Resultará evidente que una disposición Darling-
ton de la "segunda forma de realización" realizada sobre
la misma placa que una disposición Darlington de la "pri-
mera forma de realización" es del tipo opuesto y complemen-
25 tario al tipo de la anterior.

Por lo tanto, se pueden obtener conjuntos de ti-
pos opuestos y complementarios de dos transistores comple-
mentarios sobre la misma placa y principalmente en dispo-
siciones Darlington mixtas nnp/pnp y pnp/npn.

30 En una forma ventajosa de realización de dispo-

1 sitivos amplificadores, dos conjuntos complementarios de
transistores complementarios, uno de la primera forma de
realización, y el otro de la segunda forma de realización,
constituyendo cada uno una disposición Darlington mixta,
5 son combinados sobre la misma placa para constituir un am
plificador del denominado tipo de contrafase simétrico,
(amplificador con estadio en contrafase).

 Este dispositivo, que comprende en el mismo cuer
po semiconductor una primera disposición Darlington mixta
10 constituida por un primer conjunto de la "primera forma
de realización" y un segundo conjunto Darlington mixto cons
tituido por un segundo conjunto de la "segunda forma de
realización" está caracterizado principalmente porque las
dos porciones del sustrato, las dos porciones de la prime
ra capa epitaxial y las dos porciones de la segunda capa
15 epitaxial utilizadas para el primer conjunto son respecti
vamente coplanares con respecto a las dos porciones del
sustrato, a las dos porciones de la primera capa epitaxial
y a las dos porciones de la segunda capa epitaxial que se
20 utiliza para el segundo conjunto, porque las regiones de
los transistores del primer conjunto formado en las dos
referidas capas epitaxiales están separadas de las regiones
de los transistores del segundo conjunto formado en dichas
dos capas por una barrera aislante que se extiende desde la
25 cara superior hacia abajo hasta una profundidad que rebasa
el espesor de las dos referidas capas epitaxiales, porque
dichas cuatro porciones del sustrato están puestas en cor
tocircuito por un electrodo conductor que se apoya sobre
la cara superior del sustrato, y porque dichas dos dispo
siciones Darlington constituyen un amplificador del deno
30

1 minado tipo de contrafase cuyas entradas son la base del primer transistor del primer conjunto y la base del segundo transistor de dicho segundo conjunto y cuya salida es el electrodo situado sobre la cara inferior del sustrato.

5 Las ventajas de este dispositivo son numerosas. Primeramente, tiene las ventajas de las disposiciones Darlington que lo componen: baja resistencia de las conexiones, confiabilidad, y facilidad de fabricación. Además, es particularmente interesante, porque permite poner al electrodo metálico, situado sobre la cara inferior del sustrato, en el valor cero de la alta tensión, lo cual es conveniente; dicho electrodo es conectado con el disipador y con la envoltura y el usuario no puede tocar la alta tensión, lo cual mejora la seguridad. Además, dado que el dispositivo está a la misma temperatura, no se necesita un sistema suplementario de circuitos para mejorar la estabilidad frente a la temperatura, lo cual es necesario para elementos discretos o puestos por separado.

10

15

20 Las diferentes zonas y regiones de los dispositivos de acuerdo con el invento están hechas de material impurificado de acuerdo con los requisitos. Desde luego, los emisores, las zonas de contacto o zonas de conducción, están preferiblemente dopados en alto grado, mientras que las bases y los colectores comprenden zonas de baja impurificación de manera tal que se obtienen las mejores características, en particular las tensiones de descarga disruptiva deseadas para el dispositivo.

25

La conexión eléctrica entre el emisor del primer transistor y el colector del segundo transistor de acuerdo con la primera forma de realización, y la conexión eléctrica

30

1 ca entre el emisor del segundo transistor y el colector
del primer transistor de acuerdo con la segunda forma de
realización (emisor del transistor de entrada y colector
del transistor de salida en los dos casos de aplicación
5 a una disposición Darlington mixta) obtenida muy simplemen-
te, por ejemplo, por medio de un electrodo metálico que se
extiende sobre la cara inferior del sustrato, se realiza
principalmente cuando, mediante soldadura, se hace que el
sustrato forme un conjunto con un soporte metálico que
10 sirve al mismo tiempo como un disipador térmico. La con-
exión hecha de este modo tiene baja resistencia eléctrica
y es muy digna de confianza.

La barrera aislante, principalmente en una apli-
cación a una disposición Darlington, que separa tanto a la
15 base del primer transistor junto al nivel de la primera ca-
pa como a la base del segundo transistor respecto de una
región externa del primer transistor al nivel de la segun-
da capa, y la barrera que separa, en la aplicación a un de-
nominado amplificador de contrafase que tiene dos disposi-
20 ciones Darlington complementarias, a la primera disposi-
ción Darlington respecto de la segunda disposición Darling-
ton, están constituidas ventajosamente por ranuras que es-
tán rebajadas respecto de la superficie de la segunda capa
epitaxial dentro del sustrato y que pueden ser rellenadas
25 con un material aislante o sólo pueden ser cubiertas
por un material aislante pasivador, por ejemplo un óxido.

Dicha barrera aislante podría ser realizada igual-
mente por oxidación localizada y, si se deseara, por medio
de una implantación de iones, por ejemplo nitrógeno.

Si la formación de la barrera aislante implica

1 una imperfección en la planeidad sobre la superficie activa, se puede disponer una superficie plana o más plana para los cruces de dicha diferencia de nivel con conexiones de películas conductoras que forman la conexión entre un
5 electrodo del primer transistor y un electrodo del segundo transistor al tiempo que forma en dicha barrera una interrupción o una discontinuidad que forma un pasaje.

Si la barrera se obtiene a partir de una ranura, es suficiente dejar la placa plana en el lugar en donde
10 se desea formar dicha conexión; dicho pasaje está constituido por el material semiconductor que queda de este modo en el lugar.

Las ventajas de confiabilidad conferidas a la trayectoria de conducción por el hecho de que la capa que ésta realiza es plana, convierten a la interrupción de la
15 barrera en una solución que puede ser considerada como preferente.

En una primera configuración, el fondo que une el sustrato en al menos una parte de dicha barrera aislante está delimitado por un lado por una porción del sustrato del primer tipo de conductividad y por el otro lado por una porción del sustrato del segundo tipo de conductividad y dicha unión p-n situada entre dichas porciones anejas del sustrato termina directamente sobre dicha barrera aislante.
20
25

En una segunda configuración la barrera aislante que separa en la primera capa epitaxial del primer tipo de conductividad una primera porción que constituye la base de un transistor de un primer tipo, respecto de una segunda porción que constituye una zona de una región externa de
30

1 un transistor complementario respecto al primero, entra en
contacto con dicho sustrato solamente en la porción del
mismo que es del segundo tipo de conductividad, y dicha por-
ción del sustrato que sobresale de dicha barrera constitu-
5 ye una unión p-n con el extremo adyacente de dicha segunda
porción de la primera capa epitaxial. Esta unión, que ter-
mina junto a uno de sus extremos sobre dicha barrera ais-
lante vuelve a unir en el otro extremo la unión p-n situa-
da entre las dos porciones de tipos opuestos del sustrato
10 con la que constituye una unión p-n que se extiende desde
la superficie inferior del sustrato hacia arriba hasta di-
cha barrera aislante.

Esta doble posibilidad proporciona la realiza-
ción de una gran flexibilidad ya que permite una amplia
15 tolerancia en la fabricación.

El método de fabricar un dispositivo de acuerdo
con el invento se puede llevar a cabo mediante métodos co-
nocidos. Este método es notable por el hecho de que compren-
de principalmente las siguientes operaciones:

20 En una placa con una buena calidad cristalina
de un primer tipo de conductividad, impurezas que dan el
tipo de conductividad opuesto al primero son introducidas
localmente al menos en un cierto espesor del sustrato en
una concentración más elevada que la de dicha placa; con
25 el fin de obtener en ella porciones del tipo de conducti-
vidad opuesto al primero, una primera capa epitaxial, que
está impurificada en bajo grado, es depositada luego so-
bre una de las caras anchas de dicha placa sobre la cual
crecerán porciones de los dos tipos de conductividad, lue-
30 go una segunda capa epitaxial con bajo grado de impurifi-

1 cación del tipo de conductividad opuesto al de dicha pri-
mera capa epitaxial es depositado sobre la misma; luego
se forman regiones localizadas, de las cuales al menos dos
son del tipo de conductividad de la primera capa epitaxial,
5 una de una profundidad mayor que el espesor de la segunda
capa epitaxial que está destinada a constituir el contac-
to de base del primer transistor, y la otra, destinada a
formar una zona externa del segundo transistor, que está
incluida en la segunda capa epitaxial, se dispone la ba-
10 rreira aislante y se hacen los contactos y las conexiones.

La fabricación del dispositivo, que se puede
llevar a cabo principalmente mediante técnicas conocidas,
implica por consiguiente pocos riesgos.

15 Durante la introducción en la placa de sustrato
de impurezas destinadas a crear en ella porciones del ti-
po de conductividad opuesto al primer tipo, dichas impu-
rezas pueden ser introducidas en todo el espesor de la
placa cuyo conjunto constituye por lo tanto el sustrato,
lo cual es particularmente simple.

20 La profundidad de las impurezas que son introdu-
cidas desde una de las caras de dicha placa puede estar
limitada por lo tanto a un valor más bajo que el espesor
de la misma, dejando sobre el lado de la cara opuesta a
la cara de introducción una capa del primer tipo de conduc-
25 tividad, que es eliminada posteriormente. Esto permite re-
ducir el tiempo de introducción de las impurezas y tener
simultáneamente una placa gruesa y resistente durante las
manipulaciones.

30 De acuerdo con una forma de realización del mé-
todo, la introducción localizada de una elevada concentra-

1 ción de impurezas que da el tipo de conductividad opuesto
al menos a una porción de una placa de un primer tipo de
conductividad, se lleva a cabo por desplazamiento de una
zona de fusión en un gradiente de temperaturas, el cual
5 método es denominado con frecuencia como termoemigración.

Por ser de silicio la placa y presentar la con-
ductividad N o N⁺ (indicando el signo más una alta impu-
rificación), partes del sustrato de tipo p⁺ altamente im-
purificadas se obtienen por termoemigración de aluminio.

10 También sería posible comenzar partiendo de un
sustrato de tipo p⁺ y realizar en éste zonas N⁺ especial-
mente por termoemigración de oro-antimonio.

El método de termoemigración es rápido, compren-
de pocas operaciones y es por lo tanto económico.

15 De acuerdo con una segunda forma de realización
del método, la introducción localizada de una alta concen-
tración de impurezas que dan el tipo de conductividad opues-
to al menos a una porción de una placa de un primer tipo
de conductividad se lleva a cabo por difusión partiendo,
20 por ejemplo, de un depósito de difusión previa.

Porciones P⁺ se pueden obtener, por ejemplo, en
una placa de silicio del tipo N⁺ por difusión de aluminio
o boro, o se pueden obtener porciones N⁺ en una placa de
silicio P⁺ mediante difusión de fósforo.

25 Este modo de trabajo utiliza métodos bien cono-
cidos. Por lo tanto es realizable inmediatamente.

El invento es aplicable en particular a la rea-
lización de dispositivos transistores complementarios del
tipo Darlington mixto destinado especialmente a amplifi-
cadores. Disposiciones de dos conjuntos de transistores

1 complementarios, montado cada uno de éstos en una disposi-
ción Darlington mixta, y que forman un amplificador de con-
trafase son realizadas ventajosamente con la estructura de
acuerdo con el invento en una placa monolítica.

5 El invento se va a describir ahora con mayor de-
talle, a título de ejemplo, con referencia a los dibujos
anejos, en los cuales:

10 La Figura 1 es un diagrama de una disposición
Darlington mixta que tiene dos transistores complementa-
rios.

La Figura 2 es un diagrama de un amplificador
denominado de contrafase que comprende dos conjuntos com-
plementarios de dos transistores complementarios.

15 La Figura 3 es una vista en sección esquemática
tomada sobre la línea III-III de la figura 4 de un conjun-
to de dos transistores complementarios de la primera forma
de realización y de la primera configuración.

La figura 4 es una vista en planta del disposi-
tivo mostrado en la figura 3.

20 La figura 5 es una segunda vista en sección es-
quemática del dispositivo mostrado en las figuras 3 y 4
tomada sobre la línea V-V de la figura 4, que muestra prin-
cipalmente una interrupción en la barrera aislante.

25 La figura 6 es una vista en planta de una segun-
da topología de un conjunto de dos transistores complemen-
tarios también de la primera forma de realización y de la
primera configuración.

30 La figura 7 es una vista en sección esquemáti-
ca tomada sobre la línea VII-VII de la figura 6 del dispo-
sitivo mostrado en la figura 6.

1 La figura 8 es una vista en sección esquemática tomada sobre la línea VIII-VIII de la figura 9 de un conjunto de dos transistores complementarios de la segunda forma de realización y de la segunda configuración.

5 La figura 9 es una vista en planta del dispositivo mostrado en la figura 8.

10 La figura 10 es una vista en sección esquemática de un denominado amplificador de contrafase que comprende de dos conjuntos complementarios con dos transistores complementarios.

15 La figura 11 muestra nueve vistas en sección esquemáticas denominadas 11A hasta 11I de las diversas etapas de la fabricación del dispositivo mostrado en la figura 10 de acuerdo con la primera forma de realización del método de acuerdo con el invento.

20 La figura 12 muestra ocho vistas en sección esquemáticas, denominadas 12A hasta 12H, de las diversas etapas de acuerdo con una segunda forma de realización del método de acuerdo con el invento de la fabricación de un denominado amplificador de contrafase simétrico de una segunda topología ligeramente diferente.

Ha de hacerse observar, por razones de claridad, que las figuras no están dibujadas a escala, y especialmente que están exageradas las dimensiones de espesor.

25 Los circuitos mostrados en las figuras 1 y 2 son ejemplos de circuitos que pueden ser realizados en un dispositivo de acuerdo con el invento.

El circuito mostrado en la figura 1 es el de una disposición de amplificador Darlington mixto que comprende de dos transistores complementarios: un transistor de en-

1 trada T_e y un transistor de salida T_s . En la figura, el
transistor de entrada es un transistor pnp y el transistor
de salida es un transistor npn. También es posible el dia-
grama del amplificador Darlington mixto cuyo transistor de
5 entrada es un transistor npn y cuyo transistor de salida
es un transistor pnp (complementario con el precedente o
de tipo opuesto). Este tipo de circuito comprende también
una resistencia R_s sumada en paralelo con la unión base-
emisor del transistor de salida, de manera que mejora las
10 características de transferencia. En efecto, dicha resis-
tencia deriva una parte de la corriente de fuga desde el
transistor de entrada la cual, por esta razón, no es am-
plificada en el transistor de salida.

El circuito mostrado en la figura 2 es el de un
15 denominado amplificador de contrafase simétrico que compren-
de dos disposiciones Darlington mixtas complementarias. Una
primera disposición Darlington mixta es una pnp/npn com-
puesta de transistores de entrada y de salida T_E y T_S y la
segunda disposición Darlington mixta complementaria con la
20 primera es una npn/pnp compuesta de transistores de entra-
da y de salida T_P y T_T .

Igual que en el primer caso, este circuito pue-
de estar integrado en una placa monolítica en una de las
formas de realización del presente invento.

25 Las figuras 3, 4 y 5 muestran un dispositivo se-
miconductor de la primera configuración y de la primera for-
ma de realización, y que comprende un cuerpo semiconductor
que tiene al menos un primer transistor T_{e1} y un segundo
transistor T_{s1} , siendo dichos transistores verticales, bi-
30 polares y complementarios.

1 Dicho cuerpo está constituido especialmente por
un sustrato plano señalado con el número de referencia
100 y cubierto en su cara 103 por una primera capa epita-
xial 111 de un primer tipo de conductividad, sobre la cual
5 se extiende una segunda capa epitaxial 102 del segundo ti-
po de conductividad opuesto al primero; la región de base
4 del primer transistor T_{e1} y una parte del colector 5
del segundo transistor T_{g1} están formadas por dos porcio-
nes coplanares de la primera capa epitaxial. La región de
10 base 7 del segundo transistor y el colector 6 del primer
transistor están formados por porciones coplanares de la
segunda capa epitaxial. La porción 2 (del primer tipo de
conductividad) del sustrato, que constituye otra parte de
la región de colector del segundo transistor, se une a la
15 porción 1 del segundo tipo de conductividad de dicho sus-
trato, que constituye el emisor del primer transistor.

 Estas dos porciones 1 y 2 del sustrato 100 es-
tán separadas por una unión 3 la cual, debido al hecho de
que el dispositivo de las figuras 3, 4 y 5 es de la prime-
ra configuración, se extiende desde la cara inferior 104
20 del sustrato junto al fondo de una barrera aislante 170
profundizada desde la cara superior y activa 140 del dis-
positivo a través de las capas 102 y 101 y la superficie
del sustrato 103 del sustrato hacia abajo hasta el inte-
rior del mismo.
25

 El emisor 9 del segundo transistor está consti-
tuido por una zona impurificada del primer tipo de conduc-
tividad, incluida en la segunda capa epitaxial, y el con-
tacto de base 11 del primer transistor está constituido
30 por una zona impurificada del mismo primer tipo de conduc-

1 tividad, que se extiende desde la cara superior 140 ha-
cia abajo hasta una profundidad que rebasa la de la segun-
da capa epitaxial.

5 Para este primer ejemplo, el primer transistor
 T_{e1} es un transistor pnp y el segundo transistor T_{s1} es
un transistor nnp, siendo la porción 1 del sustrato del
tipo P impurificado con aluminio en una concentración de
10 5×10^{19} átomos/cm³ y siendo la porción 2 del tipo N im-
purificado con antimonio en una concentración de 5×10^{18}
átomos/cm³.

La primera capa epitaxial 101 es del tipo de
conductividad N como lo es la porción de sustrato 2 pero
poco impurificada (por ejemplo con 10^{15} átomos/cm³) dando
una resistividad de 3Ω cm.

15 La segunda capa epitaxial 102 es del tipo P y
está poco impurificada (por ejemplo con 3×10^{15} átomos/
cm³).

20 La ranura aislante 17 separa en la capa 101 a la
base 4 del primer transistor respecto del colector 5 del
segundo transistor, y en la capa 102 separa a las porcio-
nes 102a cuya mayor parte constituye el colector 6 del
primer transistor, respecto de una porción 102b cuya mayor
parte constituye la base 7 del segundo transistor.

25 En la figura 3 el fondo de dicha ranura 17 está
delimitado por un lado por la porción 1 del sustrato y
por otro lado por la porción 2 del mismo sustrato, exten-
diéndose la unión 3 directamente de acuerdo con la primera
configuración desde la cara inferior 104 del sustrato opues-
to a la cara 103 hasta el fondo de dicha ranura 17.

Dicha ranura 17 comprende una interrupción 105

1 que forma el pasaje que soporta una capa de conexión metálica plana 106 de un transistor al otro.

5 En las figuras 3, 4 y 5, las "mesas" creadas sobre los bordes de dicho circuito integrado al mismo tiempo que la ranura aislante 17, son designadas por 17_a.

10 Una zona poco profunda 10 que está altamente impurificada, del tipo P⁺, difundida en la porción 102_a sirve para reducir la resistencia del colector 6 del primer transistor. Una zona 11 de tipo N⁺, altamente impurificada, está también difundida en la porción 102_a y, a través de la misma, hacia abajo hasta una profundidad que es suficiente para que llegue a la base 4 del primer transistor y asegure el contacto sobre la misma. A dicha zona se le confiere preferiblemente la forma de una corona, un anillo, un toro o una correa o faja y, más generalmente
15 es de un volumen homeomorfo con dichos volúmenes, que rodean al colector 6. Ha de hacerse observar que en topología dos figuras son homeomorfas cuando cada una de ellas puede ser la transformación de la otra por deformación
20 continua, tal como se dice, por ejemplo, en el libro titulado Topología de E. M. Patterson, página 2, especialmente líneas 9 a 16.

25 Una zona 9, poco profunda, de tipo N⁺, altamente impurificada, difundida en la porción 102_b constituye el emisor del segundo transistor. Una zona 8 poco profunda, de tipo P⁺, altamente impurificada, también difundida en la porción 102_b, sirve para mejorar el contacto sobre la base del segundo transistor. Ventajosamente se da a dicha zona la forma de un gancho que rodea parcialmente al emisor del segundo transistor, y se forma una prolongación 8_a
30

1 sobre dicho gancho que sirve para realizar la resistencia R_{s1} , tal como se explicará aquí seguidamente. La unión base-emisor del segundo transistor está representada por la línea llena 107 en la figura 4.

5 La superficie del dispositivo está cubierta por una capa de óxido aislante 12 en la cual están rebajadas unas aberturas de contacto. 12_a designa la placa de óxido junto al fondo de la ranura aislante 17, 12_b designa las líneas de óxido situadas junto al borde de la ranura aislante y junto al borde de las "mesas", y 12_g designa los bordes de la capa de óxido a lo largo de la abertura de contacto de emisor del segundo transistor. Estos contornos se muestran en la figura 4.

10 Los contactos son hechos mediante películas metálicas en 16 para la base y en 14 para el colector del primer transistor, en 18 para la base y en 15 para el emisor del segundo transistor.

15 Ha de hacerse observar en la figura 4 que, aunque la zona tiene una configuración cerrada que es homeomorfa con un anillo, esto no ocurre con la película 16 que comprende una abertura para dejar el paso para la película conductora 106 que conecta el contacto de colector 14 del primer transistor con el contacto de base 18 del segundo transistor, el cual contacto tiene la forma de un gancho de la zona 8.

20 Un depósito metálico 13 sobre la cara inferior 104 del sustrato 100 asegura un cortocircuito de la unión 3 entre las porciones 1 y 2 de dicho sustrato, y asegura al mismo tiempo el contacto del emisor del primer transistor y sobre el colector del segundo transistor. El depósi-

1 to 13 constituye una conexión eléctrica digna de confianza, de resistencia mínima.

5 La ranura 17 está interrumpida por un paso 105. Junto al nivel de la primera capa epitaxial 101, dicha interrupción deja una zona de conexión 105_a entre las porciones 4 y 5 de las capas 101. Dado que el dispositivo descrito en este ejemplo es de la primera forma de realización, la porción 4 es la base del primer transistor y la porción 5 es una parte del colector del segundo transistor
10 conectada con el emisor 1 del primer transistor; por lo tanto, dicha zona de conexión constituye una resistencia en paralelo sobre la unión emisor-base del primer transistor. En el caso de la aplicación a una disposición Darlington, deriva una parte de la corriente de control del transistor de entrada que resulta de etapas precedentes; por
15 esta razón, su presencia reduce la ganancia del transistor de entrada.

No obstante, esto no siempre constituye una desventaja; por ejemplo, en utilización a baja frecuencia, se coloca junto a la entrada una resistencia que alisa o
20 filtra las pequeñas señales para evitar amplificación del ruido; además, dicha resistencia reacciona frente al transistor que la precede y, fijando su valor de una manera adecuada, es posible fijar el modo y el margen de funcionamiento de dicho transistor. En todos estos casos, su presencia es útil, y a veces es deseable que tenga el más bajo
25 valor posible compatible con la ganancia del conjunto de transistores, y por lo que se sabe del precedente circuito, éste puede ser integrado.

La elección de la primera forma de realización

1 del invento es particularmente interesante por el hecho
de que algunas veces es favorable la resistencia del paso.
Dado que la primera capa epitaxial ha sido impu-
rificada en bajo grado (su resistividad es, por ejemplo de
5 $3 \Omega \text{cm}$) dicha zona de conexión ya es suficientemente resis-
tente con el fin de que la ganancia del transistor sea
afectada en pequeño grado, y toda vez que dicha resistencia
constituye una resistencia parásita, se le puede dar un al-
to valor, por ejemplo, para mejorar los rendimientos de
10 conmutación. Dicho alto valor puede ser obtenido, por ejem-
plo, dando a dicha zona de conexión una forma alargada o,
más exactamente, haciendo que dicha zona de conexión sea
seguida por uno o varios segmentos alargados, que en reali-
dad constituyen resistencias en serie. Para esta finalidad
15 se utiliza de modo ventajoso la topología descrita con de-
talle en el siguiente ejemplo con referencia a las figuras
6 y 7. Con el fin de aumentar dicha resistencia, la inte-
rrupción puede ser también reemplazada por una discontinui-
dad, principalmente disminuyendo la profundidad de la ranu-
ra, lo cual constituye una solución de compromiso.

20 Junto al nivel de la segunda capa epitaxial 102,
la base 7 del segundo transistor T_{s1} y el colector 6 del
primer transistor T_{e1} son aislados por el contacto de ba-
se 11 del primer transistor T_{e1} , el cual contacto tiene
25 una forma que es homeomorfa con la de un anillo, y por la
unión 109.

La capa de óxido 12 cubre dicho paso 105 que so-
porta la conexión 106 antes mencionada.

30 Tal como se describe anteriormente, la zona de
contacto de base 8 del transistor T_{s1} (cuyo contorno exacto

1 en el interior de la zona de base 7 no se muestra en la
figura) tiene una prolongación 8_a que se extiende por de-
bajo de la zona 120 de la capa 12 y sobre el otro lado del
borde 12_{g1} de dicha zona directamente por debajo de la
5 capa de envoltura metálica 15. La unión de base-emisor 107
del segundo transistor tiene por lo tanto una curva 107a
en la que soporta directamente a la capa de envoltura me-
tálica 15. Por lo tanto la resistencia R_{s1} está formada
paralelamente a la unión base-emisor del transistor T_{s1} .
10 Dicha resistencia separa a la corriente de fuga de los dos
transistores, deriva la corriente de fuga del transistor de
entrada y evita que dicha corriente sea amplificada por
el transistor de salida. La forma geométrica de dicha re-
sistencia está dada en las figuras sólo a título indicati-
15 vo. Puede ser adaptada a la resistividad de la capa.

Así, se tiene una disposición Darlington mixta
que es particularmente digna de confianza, tal como se mues-
tra en el diagrama de la figura 1, cuyo transistor de en-
trada T_{e1} tiene un emisor 1, una base 4, un colector 6,
20 una zona de contacto de base 11, una zona de contacto de
colector 10, y cuyo transistor de potencia T_{s1} tiene un
colector 5 y una zona de conducción de corriente 2, una ba-
se 7 y una zona de contacto de base 8 y finalmente un emi-
sor 9. Una resistencia paralela a la unión base-emisor del
25 transistor de entrada T_{e1} está constituida por la parte 105_a
del paso 105 que atraviesa la ranura 17, y la resistencia
 R_{s1} paralela a la unión base-emisor del transistor de sali-
da T_{s1} está constituida por la capa de superficie de la
prolongación 8_a de la zona de contacto de base que lleva a
30 la parte 107_a de la unión 107 directamente por debajo del

1 contacto de emisor 15.

La conexión que conecta el colector de T_{e1} con la base de T_{s1} está constituida por la película 106. La conexión que conecta el emisor de T_{e1} con el colector de T_{s1} está constituida por la capa 13. Estas conexiones son de pequeña resistividad, dignas de confianza y fáciles de realizar.

Esta disposición Darlington mixta puede ser realizada según una topología aproximadamente tal como se muestra en las figuras 6 y 7, en que el transistor de entrada tiene la referencia T_{e2} y el transistor de salida la referencia T_{s2} . 41 y 42 en estas figuras son las porciones coplanares del sustrato 400, que constituyen la unión 43. La porción 41 de la superficie menor es del tipo P^+ ; constituye el emisor del transistor de entrada T_{e2} , primer transistor. La porción 42 es del tipo N^+ y constituye una parte del colector del transistor de salida T_{s2} , segundo transistor.

Las dos porciones del sustrato están cubiertas por una capa epitaxial 401 que tiene baja impurificación con el tipo N, cubierta a su vez por una segunda capa epitaxial 402 de baja impurificación con tipo P.

Las dos capas epitaxiales superpuestas están separadas una de otra por una barrera aislante 411 constituida por una ranura 410 rebajada hacia abajo hasta el sustrato dentro del cual penetra ligeramente y que comprende dos secciones 53_a y 53_b perpendiculares una a otra y una barrera adicional 54.

En su tramo de longitud mayor la unión 43 sigue el camino de las secciones 53_a y 53_b , estando la porción

1 41 del sustrato situada por debajo de la porción 401_a de
la capa 401 que constituye la base 44 del transistor T_{e2}.
La porción 41 está situada también por debajo de la por-
ción 402_a de la capa 402 en que están difundidas, por un
5 lado, una zona que es homeomorfa con un anillo 52, alta-
mente impurificada con el tipo N⁺, que alcanza a la por-
ción de la capa 44 situada debajo y constituye el contac-
to de base y, por otro lado, la zona 51 que está altamente
impurificada con el tipo P⁺, menos profunda que la capa
10 propiamente dicha y que, con la parte restante 47 de la
porción 402_a, constituye el colector del transistor de en-
trada T_{e2}.

La porción de la primera capa epitaxial 401 si-
tuada sobre el lado de la sección 53_a de la barrera aislan-
te opuesta a aquella en la que está formado el primer tran-
sistor, comprende por su lado 2 porciones: primeramente,
15 la porción 46 que se extiende sobre una gran parte de la
porción 42 del sustrato con el que constituye el colector
del transistor de salida T_{s2}; además, una porción 45 en la
forma de un estrecho segmento alargado entre dichas dos ba-
20 rreras aislantes 53_a y 54 ha sido separada por medio de
una barrera aislante adicional 54 que es sustancialmente
paralela a la sección 53_a.

Este segmento 45 está conectado por un primer ex-
tremo 45_a a través de la zona de conexión del paso 405 con
25 la base 44 del primer transistor y por su segundo extremo
45_b con la zona 46 de la región externa del segundo transis-
tor T_{s2} formada en dicha primera capa epitaxial 401, es de-
cir en este ejemplo con el colector del segundo transistor.
30 Constituye una resistencia conectada en serie con la resis-

1 - tencia parásita paralela a la unión base-emisor del transistor de entrada. Por lo tanto, se puede conferir a dicha resistencia un alto valor, por ejemplo $10 \text{ k}\Omega$.

5 Una ventaja de esta topología consiste precisamente en el alto valor que esta forma alargada confiere a la resistencia R_{e2} .

10 La sección de la barrera aislante 54 separa también en la segunda capa epitaxial 402 a la porción 48 respecto de la porción 402_p . La porción 48 está aislada respecto del colector 47 por la unión 409 que ella tiene en uno de sus extremos con el contacto de base 52 que es homomorfo con un anillo. Junto a su otro extremo está conectado con la porción 402_p que se extiende por encima del colector 46 de T_{s2} .

15 En esta porción 402_p están difundidas la zona 55 de tipo N^+ altamente impurificada, de una profundidad menor que el espesor de la segunda capa epitaxial que constituye el emisor de T_{s2} y, alrededor de la zona 55, la zona 50 de tipo P^+ altamente impurificada también menos profunda que la capa propiamente dicha y que constituye la zona de contacto de base, estando constituida la base de T_{s2} por la parte subsistente de la porción 402_p . Las zonas 50 y 51 son difundidas ventajosamente por la misma operación térmica. A los contactos de emisor y de base se les confiere una forma entrelazada o interdigitada mostrada en la figura 6.

20

25

El dispositivo está cubierto por una capa de óxido 56 aislante y pasivadora también en las ranuras 53 y 54 y en los lados de la "mesa" formada por el conjunto de las capas y el sustrato. Unas ventanas son abiertas

30

1 en la capa 56 para los diversos contactos; unos conductores metálicos están dispuestos y constituyen contactos 60 sobre la zona 51, 58 sobre la zona 50, 57 sobre la zona 55, y 63 sobre la zona 52, un conductor 59 situado sobre el paso 405 y por encima del segmento 45 que une los dos transistores que forman una conexión entre la zona 50 y la zona 51.

5
10 La resistencia R_{s2} , igual que en el ejemplo precedente la resistencia R_{s1} , es realizada por un cortocircuito localizado de la unión base-emisor del transistor T_{s2} y tiene la referencia 62.

La cara inferior del dispositivo comprende un depósito metálico 61 que establece una conexión entre las partes 41 y 42 del sustrato.

15 De este modo está disponible una disposición Darlington mixta cuyo transistor de entrada T_{e2} tiene un emisor 41, una base 44, un colector 47, una zona de contacto de base 52, una zona de contacto de colector 51, cuyo transistor de potencia T_{s2} tiene un colector 46, una zona de conducción de colector 42, una base 49, un emisor 55, una zona de contacto de base 50, cuya resistencia de salida está en 62 y cuya resistencia paralela a la unión base-emisor del transistor de entrada es alta.

25 En el dispositivo mostrado en las figuras 8 y 9 que tiene al mismo tiempo la "segunda configuración" y la "segunda forma de realización" arriba definidas, dos transistores complementarios T_{e3} y T_{s3} que también constituyen un conjunto Darlington mixto están integrados en un cuerpo semiconductor formado por un sustrato plano 200 que comprende dos porciones altamente impurificadas 21 y 22 de ti-

1 - pos de conductividad opuestas, separadas por una unión 23,
por una primera capa epitaxial 201 del tipo de conducti-
vidad de la porción 21 (primer tipo de conductividad) pero
de bajo grado de impurificación, que se extiende sobre una
5 cara 203 del sustrato 200 y constituye con la porción 22
del sustrato 200 una unión 209, y por una segunda capa
epitaxial 202 que tiene bajo grado de impurificación del
segundo tipo de conductividad opuesto al de la capa pre-
cedente y que se extiende sobre aquella. Una barrera ais-
lante 212 realizada partiendo de una ranura 210 separa
10 a la primera capa epitaxial 201 en dos porciones 26 y 27
y a la segunda capa epitaxial 202 en dos porciones 202_a y
202_b.

15 El fondo de la ranura 202 penetra ligeramente
dentro del sustrato 200 en la porción 22 del mismo, de un
tipo de conductividad opuesto al de la primera capa epita-
xial, y corta a la unión 209 en dos partes 209_a y 209_b. Di-
cha unión 209_b termina por un lado frente a la barrera ais-
lante 212 y por otro lado frente a la unión 23 que separa
20 a las porciones 21 y 22 del sustrato. La unión 209_b cons-
tituye, con la unión 23, la unión que se extiende desde
la cara inferior 204 del sustrato (opuesta a la cara 203)
hacia arriba hasta la barrera aislante 212. Dicha unión
separa a las regiones 26 y 21 perfectamente respecto de
25 la región 22.

Resultará evidente que la posición del lugar de
encuentro de las uniones 209_b y 23 no es crítica, lo cual
es favorable desde un punto de vista de fabricación.

La porción del sustrato 21 constituye una zona
de conducción de la región de emisor del transistor de en-

30

1 trada T_{e3} , "segundo transistor" del dispositivo, mientras que la porción 22 constituye el colector del transistor de potencia T_{s3} , "primer transistor" del dispositivo.

5 La barrera aislante separa en la primera capa epitaxial 201 a la porción 26, que constituye el emisor del segundo transistor, respecto de la porción 27 que constituye la base del primer transistor, y en la segunda capa epitaxial a la porción 202_a, de la cual una parte constituye la zona de emisor 28 del primer transistor, respecto
10 de la porción 202_b, de la cual una parte constituye la zona de base 29 del segundo transistor.

Una zona difundida 30 poco profunda, altamente impurificada, del primer tipo de conductividad, constituye el colector del segundo transistor y una zona difundida 36
15 que se extiende desde la cara superior 214 hacia abajo hasta una profundidad que rebasa el espesor de la segunda capa epitaxial y altamente impurificada con el primer tipo de conductividad, homeomorfa con un anillo que rodea a la zona 32, asegura el contacto sobre la base del primer transistor.
20

Una capa de superficie 208 altamente impurificada, del mismo segundo tipo de conductividad que la segunda capa epitaxial 202, difundida en ella, constituye el contacto de emisor 32 del primer transistor y el contacto de base 35 del segundo transistor.
25

Una resistencia paralela a la unión emisor-base del transistor de salida es realizada, igual que lo es en el ejemplo precedente la resistencia 62, por una prolongación de la región 36 que se extiende hasta por debajo del contacto de emisor 33. Dicha prolongación tiene la referen-
30

1 - cia 213 en la figura 9.

5 Un depósito metálico 25 sobre la cara trasera del dispositivo asegura un cortocircuito de la unión 23 entre las porciones 21 y 22 del sustrato y constituye al mismo tiempo un contacto para el colector del primer transistor y el emisor del segundo.

10 Con el fin de asegurar una mejor planeidad de la superficie del dispositivo, la barrera aislante 212 es interrumpida por un paso 205 que soporta a una almohadilla de conexión 206. Al nivel de la segunda capa epitaxial el aislamiento entre, por un lado, la base 29 del transistor de entrada T_{e3} (segundo transistor) y, por otro lado, el emisor 28 (y su contacto 32) del transistor de salida T_{s3} (primer transistor) es asegurado por el contacto de base 15 36 del transistor de salida que es homeomorfo con un anillo que rodea completamente a dicho emisor 28 y a su contacto 32.

20 Al nivel de la primera capa epitaxial, dicho paso 205 implica la existencia de una zona de conexión que constituye una resistencia entre la base 27 del transistor de salida y la zona 26 del emisor del transistor de entrada, conectado por la capa metálica 25 con el colector 22 del transistor de salida. Dado que la primera capa epitaxial es de baja impurificación, dicha resistencia tiene 25 un valor grande y por esta razón no presenta inconvenientes principales.

30 Los inconvenientes, si los hay, que resultan de la presencia de dicha resistencia paralela a la unión base-colector del transistor de salida pueden principalmente ser hechas mínimas, como en el ejemplo descrito con refe-

1 rencia a las figuras 6 y 7, colocando en serie con ella
la resistencia de una porción alargada en la forma de un
segmento de la porción de la primera capa epitaxial si-
tuada junto a la barrera aislante, opuestamente a la del
5 primer transistor análogo a la porción 45 en la forma
de un segmento descrito en dicho ejemplo. Este segmento
está separado del emisor apropiado del segundo transistor
por una barrera aislante adicional paralela a dicha barre-
ra aislante análoga a la barrera adicional 54 paralela al
10 segmento 53_a de la barrera 53. Un primer extremo de dicho
segmento está conectado con la base de dicho primer tran-
sistor (transistor de salida) por dicha zona de paso, y
el segundo extremo está conectado con el emisor del segun-
do transistor (en este caso transistor de entrada). Con el
15 fin de aumentar dicha resistencia, la interrupción de la
barrera puede ser reemplazada también por una discontinui-
dad, principalmente disminuyendo la profundidad de la ran-
nura, lo cual constituye una solución de compromiso.

La superficie del dispositivo es cubierta por
20 una capa aislante 34, en la que se hacen ventanas de con-
tacto.

Los contactos son hechos por medio de un depósi-
to metálico, 31 sobre el colector y 39 sobre la base del
transistor de entrada (segundo transistor), 33 sobre el
25 emisor y 38 sobre la base del transistor de salida (primer
transistor). De este modo se obtiene una disposición Dar-
lington mixta cuyo transistor de salida, primer transis-
tor, tiene un emisor 28 cuya región de contacto está en
32, una base 27 cuya región de contacto de base está en
36, un colector 22 y cuyo transistor de entrada, segundo

1 transistor, tiene una región de conducción de emisor 21,
una región de emisor 26, una base 29 cuya región de con-
tacto de base está en 35, y una región de colector 30.

5 La salida del amplificador está constituida por
la capa metálica 25 que pone en cortocircuito las regiones
21 y 22. La conexión entre el colector del transistor de
entrada, segundo transistor, y la base del transistor de
salida (primer transistor) es hecha por la capa metálica
206. En este conjunto el transistor de entrada puede ser
10 del tipo nnp si la primera capa epitaxial es del tipo N,
o del tipo ppn, si la primera capa epitaxial es del tipo
P, siendo el transistor de salida del tipo complementario.

De cualquier modo, la disposición Darlington ob-
tenida de este modo es complementaria con un conjunto de
15 la primera forma de realización, creado sobre la misma pla-
ca.

La figura 10 es una vista en sección de un deno-
minado amplificador de contrafase constituido por dos con-
juntos complementarios dispuestos en disposiciones Darling-
20 ton mixtas de acuerdo con la figura 2 (salvo que las resis-
tencias R_s no están mostradas en la figura 10) elaboradas
en un cuerpo semiconductor constituido principalmente por
el sustrato 500 que comprende porciones de los dos tipos
de conductividad, sobre las cuales se apoya una primera
25 capa epitaxial 540 de un primer tipo de conductividad so-
bre la cual se extiende también una segunda capa epitaxial
550 del segundo tipo de conductividad opuesto al primero.

Con el fin de simplificar la figura, a todos es-
tos conjuntos se les ha conferido la misma configuración
30 (la de las figuras 3, 4, 5, 6 y 7).

1 El primer conjunto está constituido por el transistor de entrada T_{E1} , "primer transistor del primer conjunto", y por el transistor de salida T_{S1} , "segundo transistor del primer conjunto". El primer conjunto es de la primera forma de realización.

5 El segundo conjunto está constituido por el transistor de entrada T_{F1} "segundo transistor del segundo conjunto" de un tipo opuesto al tipo del transistor T_{E1} y por el transistor de salida T_{T1} "primer transistor del segundo conjunto". Este segundo conjunto es de la segunda forma de realización.

10 Este dispositivo semiconductor que comprende una primera disposición Darlington mixta constituida por un primer conjunto de transistores complementarios, siendo el transistor de entrada T_{E1} de la primera disposición el "primer transistor" de dicho primer conjunto y comprendiendo principalmente un emisor 521 constituido por una porción del sustrato, una base 541 constituida por una porción de la primera capa epitaxial, cuya región de contacto 561 que es homeomorfa con un anillo atraviesa a la segunda capa epitaxial, un colector constituido por la parte subsistente 551 de la porción 550_a de la segunda capa epitaxial después de que se haya creado en ella principalmente la región de contacto de base 561 homeomorfa con un anillo y posiblemente la región de contacto de colector 561 y los contactos de base y colector metalizados, 581 y 591, respectivamente, siendo el transistor de salida T_{S1} de dicha primera disposición el segundo transistor de dicho conjunto y comprendiendo principalmente una zona de conducción de colector 522 constituida por una porción del sustrato, un colector 542

1 constituido por una porción de la primera capa epitaxial,
una base 552, una parte subsistente de la porción 550_b de
la segunda capa epitaxial después de que se haya creado
5 en ella la región de emisor 572 del primer tipo de conduc-
tividad, y posiblemente la zona de contacto de base 562
del segundo tipo de conductividad, teniendo ambas una pro-
fundidad menor que el espesor de la segunda capa epitaxial,
y contactos de base y de colector metalizados, 582 y 592,
10 respectivamente, estando separados la base y el colector
del primer transistor respecto de la base y del colector
del segundo transistor por una barrera aislante 535 que
se extiende desde la cara superior 510 hacia abajo hasta
una profundidad que rebasa el espesor de las dos capas epi-
15 taxiales y penetra en el sustrato, siendo las porciones
521 y 522 de tipos opuestos y estando separadas por una
unión 531 que constituye al menos una parte de una unión
que se extiende desde la cara inferior 504 del sustrato ha-
cia arriba hasta la barrera 535 (en la figura se une direc-
tamente con ella), estando el emisor 521 del primer transis-
20 tor y el colector 522 del segundo transistor puestos en
cortocircuito por una capa conductora 505 depositada so-
bre la cara inferior 504 del sustrato 500 y estando el co-
lector 551 del primer transistor T_{E1} conectado con la base
552 del segundo transistor, comprende también en el mismo
25 cuerpo semiconductor un segundo conjunto de transistores
complementarios, siendo dicho segundo conjunto complementa-
rio con dicho primer conjunto de la segunda forma de reali-
zación y estando dispuesto también en una disposición Dar-
lington mixta.

30

Dicha segunda disposición Darlington mixta está

1 - constituida principalmente por un tercer transistor T_{F1} y un cuarto transistor T_{T1} , los cuales transistores son transistores bipolares verticales.

5 Dicho tercer transistor T_{F1} , segundo transistor del segundo conjunto, tiene una base constituida por la parte subsistente 553 de la porción 550c de la segunda capa epitaxial 550 cuya posible región de contacto está en 563, un colector 573 constituido por una región impurificada, en exceso del primer tipo de conductividad incluida
10 en dicha porción 550_c de la segunda capa epitaxial, un emisor constituido por una porción 543 de la primera capa epitaxial y por una porción 523 del sustrato del primer tipo de conductividad, que está situada por debajo de la porción 543 y constituye una zona de conducción.

15 Dicho cuarto transistor T_{T1} , primer transistor del segundo conjunto, tiene una base 544 constituida por una porción de la primera capa epitaxial cuya región de contacto 564 impurificada en exceso, homeomorfa con un anillo, atraviesa la segunda capa epitaxial, un colector 524
20 constituido por una porción de sustrato del segundo tipo de conductividad, un emisor 554 (cuya posible región de contacto está en 574) constituido por la parte subsistente de la porción 550_a de la segunda capa epitaxial.

25 Las diversas porciones utilizadas del sustrato, por un lado, y de la primera capa epitaxial, por otro lado, y de la segunda capa epitaxial, en un tercer término, son respectivamente coplanares entre ellas y con las porciones utilizadas para los transistores primero y segundo del primer conjunto.

30

Las dos porciones de sustrato 523 y 524 de tipos

1 opuestas utilizadas para dichos transistores tercero y
cuarto (respectivamente transistores segundo y primero
del segundo conjunto) son contiguas y forman una unión
p-n 532 que constituye al menos una parte de una unión
5 que se extiende desde la superficie inferior del sustrato
hacia arriba hasta una barrera aislante 536 la cual, ex-
tendiéndose desde la cara superior 510 hacia abajo hasta
una profundidad que rebasa el espesor de las dos capas
epitaxiales, separa enteramente en las dos referidas capas
10 al menos a una parte de las porciones utilizadas para el
tercer transistor T_{F1} adicional, respecto de porciones
utilizadas para el cuarto transistor T_{T1} y que se extien-
den hacia arriba hasta el sustrato.

15 Las regiones de los transistores primero y se-
gundo del primer conjunto, constituidas por porciones de
capas epitaxiales, están separadas respecto de regiones
adyacentes de los transistores tercero y cuarto (respec-
tivamente transistores segundo y primero del segundo con-
junto) por una barrera aislante 537 que se extiende desde
20 la cara superior 510 hacia abajo hasta una profundidad que
rebasa el espesor de las dos referidas capas epitaxiales
hacia abajo hasta el sustrato.

25 Por estar el colector 573 del tercer transistor
reunido con la base 544 del cuarto transistor por una pe-
lícula metálica no mostrada en la figura, y por estar las
cuatro regiones creadas en el sustrato puestas en corto-
circuito por un electrodo conductor 505 formado sobre la
cara inferior 504 del sustrato 500, los transistores ter-
cero y cuarto constituyen una segunda disposición amplifi-
cadora Darlington del tipo opuesto a la del primer conjun-

1 to, siendo el transistor de entrada de dicho segundo conjunto el tercer transistor T_{F1} y siendo el transistor de salida el cuarto transistor T_{T1} .

5 El segundo conjunto constituye con el primer conjunto un amplificador de contrafase cuyas entradas son las bases del primer transistor del primer conjunto y del segundo transistor del segundo conjunto (tercer transistor), y cuya salida está formada por el electrodo conductor formado sobre la cara inferior del sustrato.

10 Los dos conjuntos complementarios en la disposición Darlington que constituyen un amplificador de contrafase pueden presentar dos topologías diferentes.

15 En la primera topología que se acaba de describir, el sustrato está dividido en cuatro porciones de tipos de conductividad alternados, siendo 522 y 523 del primer tipo de conductividad mientras que 521 y 524 son del segundo tipo de conductividad.

20 Las porciones de sustrato contiguas que pertenecen a dos conjuntos diferentes son de tipos opuestos y están separadas por una unión. Esto constituye así al menos una parte de una unión que se extiende desde la cara inferior del sustrato hacia arriba hasta la barrera. En la figura 10 que muestra la primera topología las porciones 522 y 524 contiguas con el sustrato están separadas por una unión 533 que vuelve a unir directamente el fondo de la barrera aislante 537.

25 Igual que en la segunda configuración, dicha unión 533 podría terminar en el lado de la barrera 537 en donde la porción de sustrato es del primer tipo de conductividad.

30

1

En la segunda topología mostrada en la figura 12 las porciones de sustrato contiguas que pertenecen a dos conjuntos diferentes son del mismo tipo.

5

Las cuatro porciones 521, 522, 523 y 524 del sustrato son puestas en cortocircuito por un electrodo metalizado 505 que constituye el terminal de salida común A en la figura 2 y que está depositado sobre la cara inferior 504 del sustrato.

10

La cara superior del dispositivo está cubierta por una capa aislante y pasivadora 538, en la cual se han dispuesto aberturas que no se muestran en la figura y permiten la creación de los contactos metálicos arriba mencionados.

15

Dicha capa de óxido contribuye también a las barreras aislantes mediante cubrición de las ranuras ya mencionadas.

20

El colector del transistor de entrada T_{E1} está conectado con la base del transistor de salida T_{S1} por una trayectoria metalizada que se extiende desde un transistor al otro en un lugar en donde está interrumpida la barrera aislante 535.

25

De la misma manera el colector del transistor de entrada T_{E1} está conectado con la base del transistor de salida T_{S1} por una trayectoria metalizada que se extiende desde un transistor al otro en un lugar en donde está interrumpida la barrera aislante 536.

30

Los contactos metalizados 591 y 593 de las bases de los dos transistores de entrada que constituyen las entradas del amplificador tienen ventajosamente conexiones no mostradas en la figura.

1 Estas interrupciones en las barreras 535 y 536, así como las dos trayectorias metalizadas, no son mostradas en la figura 10. Son enteramente análogas a las que se muestran en las figuras 3, 4, 5, 8 y 9.

5 Resistencias de salida R_S de los dos conjuntos pueden ser colocadas de una manera idéntica a la que ha sido descrita para el primer ejemplo. No son mostradas en la figura 10.

10 De la misma manera, puede ser adaptada una topología análoga a la de las figuras 6 y 7 permitiendo que aumente el valor de las resistencias paralelas a la unión emisor-base del transistor T_{E1} y a la unión colector-base del transistor T_{F1} para evitar que las mismas desempeñen posiblemente un papel perjudicial.

15 Ha de hacerse observar que la barrera aislante 537 no deberá ser interrumpida, de manera que la topología del primer conjunto constituido por transistores T_{E1} y T_{S1} es independiente de la topología del segundo conjunto constituido por los transistores T_{F1} y T_{T1} .

20 De esta manera, se obtiene ahora un amplificador de contrafase simétrico de acuerdo con el diagrama de la figura 2 cuyo punto A materializado en el dispositivo por el electrodo metálico de la cara trasera del sustrato constituye la salida de baja frecuencia pero no está a alta
25 tensión, lo cual constituye un elemento de seguridad, ya que el usuario no puede tocar la alta tensión, dado que este electrodo está conectado con la caja del disipador. Además, debido al hecho de que el sustrato está soldado con una base, todo el dispositivo está a la misma temperatura
30 y se puede omitir el sistema suplementario de circuitos

1 necesario con los elementos discretos o individuales para asegurar la estabilidad de temperatura.

5 La fabricación de un conjunto de transistores de acuerdo con el invento consiste principalmente en las siguientes operaciones:

10 En una placa de un primer tipo de conductividad, se introducen localmente impurezas que dan el tipo de conductividad opuesto al tipo precedente, al menos hasta un cierto espesor del sustrato en una concentración más alta que la de dicha placa para obtener en ella porciones de los dos tipos de conductividad, luego se deposita una primera capa epitaxial de bajo grado de impurificación sobre una de las caras anchas de dicha placa sobre la cual crecen porciones de los dos tipos de conductividad, luego se deposita sobre ella una segunda capa epitaxial de bajo grado de impurificación, del tipo de conductividad opuesto al de dicha primera capa epitaxial, se crean entonces regiones localizadas de las cuales al menos dos son del tipo de conductividad de la primera capa epitaxial, estando destinada una, que tiene una profundidad que rebasa el espesor de la segunda capa epitaxial, a constituir el contacto de base del primer transistor, y estando incluida en la segunda capa epitaxial la otra, destinada a constituir una zona externa del segundo transistor, se hace la barrera aislante, y se forman los contactos y las conexiones.

25 La introducción localizada, en la placa del primer tipo de conductividad, de impurezas destinadas a formar en la placa porciones coplanares del tipo opuesto, se puede llevar a cabo especialmente de acuerdo con dos métodos diferentes.

30

23118

1 De acuerdo con una primera forma de realización
del método de fabricación del dispositivo de acuerdo con
el invento, se pueden realizar porciones del tipo opuesto
5 en un sustrato de un primer tipo de conductividad por me-
dio de termoemigración, por ejemplo termoemigración de alu-
minio en un sustrato de silicio, tal como se describe aquí
seguidamente con referencia a la figura 11, de la cual los
diagramas 11A hasta 11F son vistas en sección de las diver-
sas etapas de dicho procedimiento.

10 El material de partida, por ejemplo, es una pla-
ca de silicio 500 del tipo N o N⁺ impurificado con anti-
monio, por ejemplo en una concentración de aproximadamente
5 x 10¹⁸ átomos/cm³, que tiene un diámetro de 75 mm, un
espesor del orden de 350 μm, cuyas superficies están amola-
15 das pero no pulidas, y cuyas caras principales están en el
plano cristalino (111).

Dicha placa es sometida a un tratamiento de oxi-
dación térmica, de manera que forma en su superficie una
capa de óxido térmica 501 con un espesor de 2 micrometros.

20 Por medio de una capa de barniz fotosensible, no
mostrada en las figuras, los lugares que corresponden a
las porciones del tipo N del sustrato que han de ser man-
tenidas, son protegidos sobre una de las caras 502 de la
placa escogida como cara activa. Mediante una solución de
25 ácido fluorhídrico tamponada con facilidad, la capa de óxi-
do es corroída de manera conocida en los lugares no prote-
gidos y señalados con las referencias 503_a, 503_b, etc., y
estos lugares son expuestos. La placa, en esta etapa, es
mostrada en la figura 11. Las zonas de óxido mantenidas son
30 señaladas con las referencias 501_a, 501_b, etc.

1 La experiencia muestra que, con el fin de evitar
que el aluminio fundido no se configure a la forma de bo-
las al comienzo de la operación de termoemigración, es
esencial dar a los lugares 503 una forma ranurada alarga-
5 da con una anchura de 50 μm hasta 500 μm y ventajosamente
de 300 a 400 μm , y una longitud de 5 a 10 veces la anchu-
ra. Para una longitud de aproximadamente 2 mm, necesaria
para formar el dispositivo de acuerdo con el invento, es
excelente una anchura de 300 a 400 μm . De esta manera se
10 obtienen en el sustrato canales de tipo P en una anchura
que es insuficiente para formar la mayor parte de los dis-
positivos.

 No obstante, los solicitantes han encontrado de
la experiencia que era posible obtener porciones del tipo
15 P que sean más anchas, al mismo tiempo que se formase una
pluralidad de canales partiendo de una pluralidad de ren-
dijas sustancialmente paralelas, separadas por una distan-
cia de 1 μm hasta 50 μm , por ejemplo de 15 μm .

 Durante la termoemigración, la difusión lateral
20 es extremadamente débil pero durante los numerosos trata-
mientos térmicos subsiguientes es suficiente para que se
anule el intervalo entre dos canales adyacentes obtenidos
por termoemigración.

 Cada porción que ha de ser transformada es cu-
25 bierta por lo tanto por al menos una pluralidad de dichas
rendijas, extendiéndose la última totalmente sobre la su-
perficie de dicha porción.

 La figura 11A muestra dos grupos de rendijas,
destinado cada uno a la formación de una porción de sustra-
30 to que puede ser utilizada para la fabricación de un dis-

1 positivo de acuerdo con el invento; estos dos grupos están separados uno de otro por la zona de óxido 501_d y de otros grupos por las zonas 501_a y 501_g .

5 Las rendijas 503_a , 503_b y 503_c separadas por las zonas de óxido 501_b , 501_c constituyen el primer grupo y las rendijas 503_d , 503_e , 503_f separadas por las zonas de óxido 501_e y 501_f , constituyen el segundo grupo.

10 Durante la subsiguiente operación, una capa de aluminio 506 que tiene un espesor de 6 a 10 μm es depositada por ejemplo por evaporación en vacío, sobre toda la placa. La figura 11B muestra la placa en esta etapa.

 Por medio de una capa fotosensible, se forma una máscara, no mostrada en la figura, cuya forma es exactamente la inversa de la de la máscara precedente.

15 Por un tratamiento químico la totalidad de las zonas de aluminio depositadas sobre las zonas restantes (501_a , 501_b , etc.) son eliminadas de la capa de óxido y las zonas de aluminio (506_a , 506_b , etc.) depositadas entre las zonas de óxido en las rendijas 503 directamente sobre el silicio son mantenidas. Luego se retira la máscara. La
20 figura 11C muestra la placa en esta etapa.

 Luego la placa es recocida bajo nitrógeno a 560°C durante 15 minutos.

25 Con el fin de obtener el gradiente de temperaturas necesario para la termoemigración, dicha placa es colocada luego en un reactor de epitaxia calentado por inducción, siendo la más superior la cara activa 502 de dicha placa. La placa es colocada sobre un receptor de grafito recubierto con una capa de carburo de silicio, cubierta a su vez por una capa de silicio. Se puede obtener
30

1 una termoemigración para una temperatura del receptor (a
la cual es sustancialmente igual la temperatura de la cara
trasera de la placa) situada entre 1050°C y 1200°C. Ven-
tajosamente ésta se encuentra entre 1140 y 1160°C, y en
5 el ejemplo descrito es de 1150°C. La diferencia de tempe-
raturas entre la cara activa y la cara trasera de la pla-
ca puede estar entre 5°C y 70°C. En el ejemplo descrito
la temperatura de la cara activa era del orden de 1100°C.
La diferencia de temperaturas es obtenida mediante un ba-
10 rrido con una intensa corriente de suministro (por ejemplo
120 litros/minuto) de hidrógeno, que enfría a la cara ac-
tiva de la placa. Esta operación dura de 10 a 20 minutos.

El aluminio emigra en la dirección del gradiente
y, si éste se encuentra bien controlado, esta dirección es
15 preferiblemente perpendicular al plano de la cara 5C2. No
es necesaria una perpendicularidad absoluta. La dirección
del gradiente puede encontrarse en un cono que tiene un
ángulo en el vértice de 30° e incluso de 45° y un eje per-
pendicular a las caras de la placa.

20 En la figura 8, el ángulo de la unión 23 con los
planos de las caras de la placa se ha mostrado delibera-
mente como diferente de un ángulo recto.

De esta manera se forman los canales con índice
de referencia 507 del tipo P mientras que las zonas 525,
25 509_a, 509_b, 522, 509_c, 509_d, 523 siguen siendo del tipo N.
La figura 11D muestra la placa en esta etapa.

Durante la termoemigración, la difusión lateral
de aluminio que emigra debido al gradiente de temperaturas
es sustancialmente nula y las zonas impurificadas de tipo
30 P no sobresalen lateralmente de los canales o volúmenes

1 subyacentes junto a las rendijas 503 sino que, como resultado de la difusión lateral que se produce subsiguientemente durante la fabricación del dispositivo (durante el tratamiento epitaxial a 1170°C y el tratamiento de difusión a una temperatura del orden de 1100°C), los canales 5 507_a, 507_b, 507_c, por un lado, y 507_d, 507_e, 507_f, por otro lado, se unen para formar una única zona 521 y una única zona 524 (véase figura 11F) mientras que se aniquilan las zonas 509_a, 509_b, 509_c, 509_d del tipo N. Estas zonas 521 10 y 524 comprenden una cantidad de 5×10^{19} átomos de aluminio por centímetro cúbico.

Si accidentalmente quedase una delgada zona intermedia del tipo N en el interior de una zona P, su presencia carecería de consecuencias, en particular debido a que 15 las diversas porciones del sustrato están puestas en cortocircuito junto a la cara trasera. Además, si es necesario, se puede añadir una ligera operación de difusión de boro sobre las zonas P, antes de los tratamientos epitaxiales, para evitar tener zonas separadas sobre el emisor del transistor de entrada. 20

Esta operación, que no es mostrada en la figura, tiene la ventaja adicional de implicar entre la superficie de las porciones N y la de las porciones P del sustrato una ligera irregularidad que tiene repercusiones sobre la superficie de las capas epitaxiales y permite fijar con precisión 25 la posición de los elementos formados a partir de la cara activa, especialmente la de las barreras aislantes con respecto a las correspondientes uniones entre dos porciones contiguas de sustrato.

30 Ha de hacerse observar que la profundidad de las

1 impurezas introducidas puede ser limitada hasta un valor
más bajo que el espesor de la placa haciendo que subsis-
ta, en el lado de la cara opuesta a la cara de introduc-
ción, una capa del tipo de conductividad inicial, que es
5 eliminada posteriormente desde dicha cara opuesta, por
ejemplo justamente antes de la deposición del electrodo
metálico sobre la cara trasera y la soldadura por dicha
cara a la caja envolvente. De este modo, por toda la dura-
ción de las operaciones de fabricación se dispone de una
10 placa que es más gruesa y por lo tanto mecánicamente más
resistente.

La cara superior 508 de la placa es luego pre-
parada para la deposición epitaxial.

15 Dado que las regiones superficiales de las zonas
tipo P son extremadamente perturbadas y pueden presentar
concentraciones de impurezas que sean bastante diferentes
de las concentraciones en volumen, tanto cerca de una ca-
ra como cerca de la otra cara, después de haber retirado
las zonas restantes de la capa de óxido 501, se retira un
20 espesor de silicio de 30 μm , por ejemplo mediante corro-
sión química, desde una y otra de las caras. La figura 11E
muestra la placa en esta etapa.

Esta misma superficie activa es luego pulimenta-
da mediante amolado y la deposición de una primera capa epi-
25 taxial 540 de silicio tipo N, impurificada con arsénico en
una concentración de 10^{15} átomos/ cm^3 , que da una resisti-
vidad de 3Ω cm, en un espesor de 10 μm , se lleva a cabo
entonces mediante métodos conocidos. Una segunda capa epi-
taxial 550 de silicio de tipo P, impurificada con boro en
30 una concentración de 3×10^{15} átomos/ cm^3 en un espesor de

1 7 μ m, es depositada entonces.

5 En esta etapa la placa está dispuesta para las operaciones de difusión. Esta es mostrada en la figura 11F, en donde las zonas de tipo P 521 y 524 son mostradas como acabadas.

10 Una primera difusión de fósforo se lleva a cabo en las zonas que corresponden a las zonas de contacto de base de los dos transistores npn T_{E1} y T_{T1} de manera que se obtienen zonas 561 y 564 del tipo N^+ que alcanzan a la primera capa epitaxial.

15 Una difusión de boro se lleva a cabo luego en las zonas que corresponden a las zonas de contacto colector-base del transistor T_{E1} , el emisor del transistor T_{T1} y las bases de los transistores T_{F1} y T_{S1} de manera que se obtienen zonas de tipo P^+ altamente impurificadas 571, 574, 562, 563 de una profundidad menor que el espesor de la segunda capa epitaxial. La figura 11G muestra la placa en esta etapa.

20 Luego se lleva a cabo una difusión de fósforo, de acuerdo con las zonas que corresponden al emisor del transistor T_{S1} y al colector del transistor T_{F1} de manera que se obtienen zonas 572 y 573 de tipo N^+ altamente impurificadas con una profundidad menor que el espesor de la segunda capa epitaxial.

25 Ranuras 525, 526, 527 que tienen una profundidad que es suficiente para alcanzar el sustrato, de una anchura mínima, son hechas por un tratamiento de corrosión que es adecuado para separar a los diversos transistores unos de otros, de acuerdo con una disposición que deja para el soporte de las conexiones unos estrechos pasos que lo in-

30

1 — interrumpen y no mostrados en la figura. Simultáneamente con
dichas ranuras 525, 526 y 527, se hacen también ranuras
528 que determinan los linderos del dispositivo, por ejem-
plo junto al borde de una placa en la cual están formados
5 simultáneamente varios dispositivos idénticos y dan al dis-
positivo una configuración de "mesa". La figura 11H mues-
tra la placa en esta etapa.

La superficie del dispositivo es cubierta por
una capa 538 de óxido de silicio pasivadora y aislante.
10 Dicha capa cubre las ranuras 525, 526, 527, con las cuales
constituye las barreras aislantes 535, 536, 537.

Se hacen unas ventanas de contacto 534 en dicha
capa 538. La figura 11I muestra la placa en esta etapa.

Se lleva a cabo una deposición de aluminio y se
15 obtienen los diversos contactos y conexiones mediante una
apropiada operación de corrosión (véase figura 10): con-
tacto de base T_{E1} en 581, contacto de colector del transis-
tor T_{E1} en 591, contacto de emisor del transistor T_{S1} en
592, contacto de base del transistor T_{S1} en 582, contacto
20 de base del transistor T_{S1} en 583, contacto de colector del
transistor T_{F1} en 593, contacto de emisor del transistor
 T_{T1} en 594 y contacto de base del transistor T_{T1} en 584.

No se muestran en la figura las conexiones entre
25 el contacto de colector 591 del transistor T_{E1} y el contac-
to de base del transistor T_{S1} y entre el contacto de colec-
tor 593 del transistor T_{F1} y el contacto de base del tran-
sistor T_{T1} , obtenidas al mismo tiempo que dichos contactos.

Los contactos de emisor de los transistores T_{E1}
y T_{F1} y los contactos de colector de los transistores T_{S1}
30 y T_{T1} se obtienen mediante una deposición de aluminio 505

1 sobre la cara trasera de la placa. El dispositivo obtenido es el dispositivo mostrado en la figura 10 cuya estructura ha sido descrita anteriormente.

5 El método de fabricar el dispositivo de acuerdo con el invento es extremadamente simple y digno de confianza. Principalmente, el dispositivo no comprende ninguna capa enterrada. Las conexiones son particularmente fáciles de hacer. La seguridad que esto procura para los usuarios es excelente. Se asegura la estabilidad térmica.

10 La realización de las porciones del sustrato del tipo opuesto al tipo inicial es rápida, comprende pocas operaciones y por consiguiente es económica.

15 Los diversos diagramas 12A hasta 12H que componen la figura 12 muestran las diversas etapas de la fabricación de un denominado amplificador de contrafase de acuerdo con el invento, fabricado de acuerdo con el segundo modo de realizar el método de fabricación del dispositivo de acuerdo con el invento. Según este segundo modo, se obtienen por difusión porciones de tipos opuestos en un sustrato de un primer tipo de conductividad.

20

Como el sustrato debe tener por sí mismo la rigidez mecánica necesaria para las manipulaciones, su espesor puede hacer prohibitiva la duración de una operación de difusión a lo largo de dicho espesor: en este caso es posible hacer cavidades en la placa antes de la difusión, reduciendo localmente el espesor hasta un valor favorable.

25

Partiendo de una primera cara de la placa se corta luego al menos un grupo de cavidades; comprendiendo cada grupo al menos una cavidad que tiene una profundidad entre

30 0,25 y 0,40 veces el espesor de la placa, siendo menores

1 de 1 mm la longitud y la anchura de cada una de las cavida-
des, y siendo la distancia entre dos cavidades del mismo
grupo desde una vez hasta una vez y media la deseada pro-
fundidad de difusión. Partiendo del fondo de dicha cavidad
5 se forma localmente al menos una zona difundida en una pro-
fundidad entre 0,25 y 0,40 veces el espesor de la placa
por medio de las impurezas que han de ser introducidas.
Partiendo de la segunda cara, opuesta a dicha primera ca-
ra, se hace entonces más delgada la placa hasta que dicha
10 zona difundida del tipo opuesto esté a nivel con la nueva
superficie de dicha placa sobre dicha segunda cara. La pri-
mera capa epitaxial, y luego la segunda capa epitaxial,
son luego depositadas sucesivamente sobre dicha nueva su-
perficie. Partiendo de dicha segunda cara, son formadas
15 principalmente por difusiones en las capas epitaxiales
las regiones de al menos uno de dichos "primeros" transis-
tores y uno de dichos "segundos" transistores separados
por una barrera aislante.

20 La zona difundida localmente en el sustrato, por
un lado, y al menos una porción del sustrato del primer ti-
po, por otro lado, constituyen al menos una parte de la re-
gión de colector de uno de los transistores y al menos una
parte de la región de emisor del otro transistor, respec-
tivamente.

25 Sobre dicha segunda cara de la placa se efectúan
entonces metalizaciones y conexiones de contactos, y par-
tiendo de dicha primera cara de la placa y, preferiblemen-
te justo antes de soldar el dispositivo con una caja en-
volvente por dicha cara, se retira una capa con un espesor
30 al menos igual a la profundidad de las cavidades y sobre

1 la nueva primera cara se realiza la metalización de contactos de las regiones hechas en el sustrato.

5 Una placa 860 del tipo N o del tipo N⁺, impurificada con antimonio, por ejemplo, en una concentración de aproximadamente 5×10^8 átomos/cm³, es escogida con un espesor suficiente situado entre 300 μ m y 600 μ m (en el ejemplo 450 μ m) de manera que ésta se aproveche de la rigidez y de la solidez, permitiéndole resistir las manipulaciones.

10 La figura 12A muestra dicha placa en que, partiendo de una primera cara 861, se han hecho dos grupos de dos cavidades 863_a y 863_b, por un lado, y 864_a y 864_b, por otro lado, en una profundidad de 150 μ m (entre 0,25 y 0,40 veces el espesor de dicha placa), de una sección cuadrada, por un lado preferiblemente menor de 1 mm (en el ejemplo 700 μ m). Las dos cavidades de un grupo están separadas por una distancia de 200 μ m (de una vez a una vez y media la deseada profundidad de difusión). Los dos grupos de cavidades están separados por una distancia de al menos 1 mm.

20 La difusión se lleva a cabo partiendo de las dos caras de la placa, la cara destinada a soportar las capas epitaxiales o la cara activa o superior, y la cara inferior que es opuesta a ella y a partir de la cual se hacen dichas cavidades.

25 Dado que el óxido es una mala máscara para una difusión profunda, se ha hecho una capa impurificada con boro 865_a y 865_b que tiene un espesor de 1 μ m, directamente sobre cada una de las dos caras expuestas 861 y 862 de la placa. La deposición de boro se lleva a cabo a 1100°C durante 1 hora.

30

Luego se efectúa un calentamiento por difusión

1 en aire a 1280°C durante aproximadamente 120 horas. El bo-
ro se difunde en la placa y se forman dos delgadas capas
de óxido 866 y 867 sobre cada una de las caras de la placa.

5 La figura 12B muestra la placa durante la difu-
sión. Una primera zona de tipo P 868 es formada partiendo
de la cara 862 y una segunda zona de tipo P de la misma
profundidad 99 es formada partiendo de la cara 861.

10 En esta capa, las porciones indicadas por a jun-
to al borde de las cavidades son debidas a la difusión la-
teral.

15 La figura 12C muestra la placa al final de la
operación de difusión. La distancia entre las cavidades
863_a y 863_b por un lado y entre las cavidades 864_a y 864_b
por otro lado, situada entre una vez y una vez y media la
profundidad de difusión, son unidas las porciones 99_{a2} y
99_{a3} por un lado y 99_{a6} y 99_{a7} por otro lado sobre la capa
99. Por ser menor el espesor (en el ejemplo menor de 300
µm) entre el fondo de las cavidades y la superficie 862
que el doble de la profundidad de difusión (150 µm), las
20 porciones 99_{c1}, 99_{c2}, 99_{c3} y 99_{c4} de la capa 99 se unen
a la capa 868.

25 De esta manera se forman dos grandes zonas 73 y
74 del tipo P, situadas a cualquiera de los lados de una
zona subsistente 75 del tipo N en un espesor próximo a 130
hasta 140 µm, habiendo absorbido la oxidación de las super-
ficies un espesor de 2 a 3 µm de silicio a cualquiera de
los lados de la placa.

30 La siguiente operación consiste en hacer a la pla-
ca más delgada por medios mecánicos y/o por medios quími-
cos, partiendo de la superficie 862 y eliminando sobre di-

1 - cha superficie un espesor correspondiente a la capa 868 del tipo P difundido desde dicha superficie.

5 La región 75 queda a nivel con la nueva cara 78 de la placa opuesta a la cara 861. Esta separa a las dos porciones 73 y 74. La figura 12D muestra la placa en esta etapa. Una vez que ha sido pulida, constituye el sustrato sobre el cual se llevan a cabo las epitaxias.

10 De una manera análoga se podría obtener por difusión un sustrato que comprendiese porciones P y porciones N partiendo de una placa de tipo P, y al tiempo que se difunde con fósforo.

15 Durante la siguiente operación se lleva a cabo la difusión de una manera conocida de una primera capa epitaxial 77 de silicio de tipo N impurificada con arsénico en una concentración de 10^{15} átomos/cm³ en un espesor de 10 μ m. Se deposita luego una segunda capa epitaxial 73 de silicio de tipo P, impurificada con boro en una concentración de 3×10^{15} átomos/cm³ en un espesor de 7 μ m. La figura 12E muestra la placa en esta etapa.

20 De acuerdo con zonas correspondientes a la zona de contacto de base de los transistores T_{E2} y T_{T2} , se lleva a cabo una primera difusión de fósforo para obtener las zonas 79 y 80 del tipo N⁺ que alcanzan a la primera capa epitaxial. De acuerdo con zonas que corresponden a las zonas de contacto de colector de los transistores T_{E2} , el emisor del transistor T_{T2} y las bases de los transistores T_{S2} y T_{F2} , se lleva a cabo luego una difusión de boro para obtener zonas 81, 83 y 82, respectivamente, de tipo P⁺ impurificadas en alto grado, que tienen una profundidad menor que el espesor de la segunda capa epitaxial. De acuerdo

25
30

1 con zonas correspondientes al emisor del transistor T_{S2}
 y al colector del transistor T_{F2} se lleva a cabo entonces
 una difusión de fósforo para obtener zonas 84 y 85 de ti-
 po N^+ altamente impurificadas, que tienen una profundidad
 5 menor que el espesor de la segunda capa epitaxial. La fi-
 gura 12F muestra la placa en esta etapa.

Unas ranuras 86 que tienen una profundidad sufi-
 ciente para alcanzar al sustrato y una anchura mínima son
 cortadas, por ejemplo, mediante corrosión por plasma, pa-
 10 ra separar los diferentes transistores unos de otros de
 acuerdo con un trazado, dejando pasos subsistentes que
 luego desempeñan el papel de resistencias no mostradas en
 la figura. Las dos ranuras 86_a y 86_b terminan junto a la
 unión 871 entre las porciones de sustrato 73 y 75 y junto
 15 a la unión 872 entre las porciones de sustrato 74 y 75,
 respectivamente.

La ranura 86_c separa a la base 82_a de T_{S2} res-
 pecto de la base 82_b de T_{F2} , dos transistores del mismo
 tipo.

20 Al mismo tiempo que se cortan las ranuras 86, se
 cortan también ranuras que determinan los linderos del
 dispositivo (no mostrado en las figuras) y dan al disposi-
 tivo una forma de "mesa".

25 La superficie del dispositivo, incluyendo las
 ranuras 86, es cubierta con una capa 88 de óxido de sili-
 cio aislante y pasivadora, en la que se hacen ventanas de
 contacto. Se lleva a cabo una deposición de aluminio y los
 diversos contactos y conexiones se obtienen mediante una
 apropiada operación de corrosión: el contacto de base del
 30 transistor T_{E2} en 91, el contacto de colector del transis-

1 tor T_{E2} en 92, el contacto de emisor del transistor T_{S2}
en 93, el contacto de base del transistor T_{S2} en 94, el
contacto de base del transistor T_{F2} en 95, el contacto de
colector del transistor T_{F2} en 96, el contacto de emisor
5 del transistor T_{T2} en 97 y el contacto de base del tran-
sistor T_{T2} en 98. La figura 12G muestra la placa en esta
etapa. Su espesor ha sido suficiente para evitar que ésta
resulte deteriorada durante las manipulaciones.

10 Justamente antes de soldar, se elimina preferi-
blemente de la cara 861 una capa del sustrato en un espe-
sor que rebasa al mismo tiempo el espesor de la capa 99_d
y la profundidad de las cavidades 863 y 864. De esta ma-
nera la zona 75 queda a nivel con la nueva superficie 869
para permitir un contacto en el colector de T_{S2} y en el
15 emisor de T_{F2} . Por otro lado, por ser eliminadas las cavi-
dades, es excelente la transmisión térmica a la caja en-
volvente. La unión 871 entre las regiones 73 y 75 y la
unión 872 entre las regiones 74 y 75 se extienden desde
la cara 869 hasta las barreras 86_a y 86_b. Entonces la pla-
ca tiene un espesor del orden de 150 μm .

20 Los contactos de emisor de los transistores T_{E2}
y T_{F2} y los contactos de colector de T_{S2} y T_{T2} , así como
la conexión entre dichas regiones, se obtienen mediante
un depósito de aluminio 90 sobre la cara trasera de la pla-
ca. Luego la placa es soldada a la caja envolvente.

25 La figura 12I muestra la placa justamente antes
de soldar. Comprende dos conjuntos Darlington de tipos
opuestos que constituyen una disposición de contrafase si-
métrica que corresponde a la figura 2.

30 En esta última topología el sustrato es dividido

1 en tres porciones 73, 75 y 74; la porción 75 constituye partes externas de dos transistores diferentes del mismo tipo.

5 Esta forma de realización del método de obtener el dispositivo de acuerdo con el invento presenta la ventaja de utilizar sólo metales que son bien conocidos y por lo tanto fácilmente utilizables.

10 Todos los ejemplos descritos se refieren a amplificadores Darlington, pero el dispositivo puede ser utilizado también para otras disposiciones que comprendan dos transistores complementarios.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

1ª.- Un dispositivo semiconductor que comprende un cuerpo semiconductor que tiene al menos un primero y un segundo transistor vertical bipolar y complementario, comprendiendo cada transistor una región de base y dos regiones externas que sirven como región de emisor y región de colector, estando constituido dicho cuerpo por un sustrato cubierto por una primera capa epitaxial de un primer tipo de conductividad sobre la cual se extiende una segunda capa epitaxial del segundo tipo de conductividad opuesta al primero, estando formada la región de base del primer transistor y al menos una parte de una región externa del segundo transistor por porciones coplanares de la primera capa epitaxial, estando formada la región de base del segundo transistor y una región externa del primer transistor por porciones coplanares de la segunda capa epitaxial y constituyendo una porción del sustrato al menos una parte de la región de colector de uno de los transistores, una barrera aislante que separa enteramente al menos a parte de dichas porciones de la segunda capa epitaxial, caracterizado porque al menos una parte de la región de colector de uno de dichos transistores primero y segundo y al menos una parte de la región de emisor del otro

30

1 transistor están constituidas por dos porciones de sustra-
to coplanares anejas de tipos de conductividad opuestos
que forman una unión p-n, porque la barrera aislante se
extiende desde la superficie superior hacia abajo hasta al
5 menos el sustrato, y porque dicha unión p-n constituye al
menos una parte de una unión p-n que se extiende desde la
superficie inferior del sustrato hacia arriba hasta dicha
barrera aislante.

10 2ª.- Un dispositivo semiconductor según la rei-
vindicación 1ª, caracterizado porque las regiones hechas
en el sustrato son el emisor del primer transistor y una
primera zona del colector del segundo transistor, mientras
15 que la base del primer transistor y una segunda zona del
colector del segundo transistor están constituidas por
porciones de la primera capa epitaxial y porque el colec-
tor del primer transistor y la base del segundo transis-
tor están constituidos por porciones de la segunda capa
epitaxial, estando constituido el emisor del segundo tran-
sistor por una zona impurificada del primer tipo de conduc-
20 tividad incluida en la segunda capa epitaxial, estando
constituido el contacto de base del primer transistor por
una zona impurificada del mismo primer tipo de conducti-
vidad que se extiende desde la superficie superior hacia
abajo hasta una profundidad que rebasa la de la segunda
25 capa epitaxial.

3ª.- Un dispositivo semiconductor según la rei-
vindicación 1ª, caracterizado porque las regiones hechas
en el sustrato son el colector del primer transistor y
una primera zona del emisor del segundo transistor, mien-
tras que la base del primer transistor y una segunda zona
30

1 del emisor del segundo transistor están constituidas por
porciones de la primera capa epitaxial, y porque el emisor
del primer transistor y la base del segundo transistor es-
tán constituidos por porciones de la segunda capa epita-
5 xial, y estando constituido el colector del segundo tran-
sistor por una zona impurificada del primer tipo de con-
ductividad incluida en dicha segunda capa epitaxial y es-
tando constituida la región de contacto de base del primer
transistor por una zona impurificada del primer tipo de
10 conductividad que se extiende desde la cara superior hacia
abajo hasta una profundidad que rebasa el espesor de la se-
gunda capa epitaxial.

15 4ª.- Un dispositivo semiconductor según la rei-
vindicación 2ª, del tipo de amplificador Darlington mixto,
caracterizado porque el transistor de entrada está cons-
tituido por dicho primer transistor y el transistor de sa-
lida está constituido por dicho segundo transistor, estan-
do conectado el colector del primer transistor con la ba-
se del segundo transistor, constituyendo un electrodo co-
20 nectado con la base del primer transistor la entrada del
amplificador, y estando las dos regiones hechas en el sus-
trato puestas en cortocircuito por un electrodo que se ex-
tiende sobre la cara inferior del sustrato y que constitu-
ye la salida.

25 5ª.- Un dispositivo semiconductor según la rei-
vindicación 3ª, del tipo de amplificador Darlington mixto,
caracterizado porque el transistor de entrada está cons-
tituido por dicho segundo transistor y el transistor de
salida está constituido por dicho primer transistor, es-
30 tando conectado el colector del segundo transistor con la

1 base del primer transistor, constituyendo un electrodo co-
nectado con la base del segundo transistor la entrada del
amplificador, y estando las dos regiones hechas en el sus-
trato puestas en cortocircuito por un electrodo que se ex-
5 tiende sobre la cara inferior del sustrato, y que consti-
tuye la salida.

6ª.- Un dispositivo semiconductor que comprende
en un mismo cuerpo semiconductor un primer conjunto Dar-
lington mixto según la reivindicación 4ª y un segundo con-
10 junto Darlington mixto según la reivindicación 5ª, carac-
terizado porque las dos porciones de sustrato, las dos
porciones de la primera capa epitaxial y las dos porciones
de la segunda capa epitaxial utilizadas para el primer
conjunto son respectivamente coplanares con respecto a las
15 dos porciones del sustrato, a las dos porciones de la pri-
mera capa epitaxial y a las dos porciones de la segunda ca-
pa epitaxial utilizadas para el segundo conjunto, porque
las regiones de los transistores del primer conjunto he-
chas en dichas dos capas epitaxiales están separadas de
20 las regiones de los transistores del segundo conjunto he-
chas en dichas dos capas, por una barrera aislante que se
extiende desde la cara superior hacia abajo hasta una pro-
fundidad que rebasa el espesor de dichas dos capas epita-
xiales, porque dichas cuatro porciones del sustrato son
25 puestas en cortocircuito por un electrodo conductor que
se apoya sobre la cara inferior del sustrato, porque di-
chos dos conjuntos constituyen un amplificador del denomi-
nado tipo de contrafase, cuyas entradas son la base del
primer transistor del primer conjunto y la base del segun-
do transistor del segundo conjunto y cuya salida es el

30

23118

1 electrodo situado sobre la cara inferior del sustrato.

5 7ª.- Un dispositivo semiconductor según una cualquiera de las reivindicaciones 1ª a 6ª, caracterizado porque dicha unión p-n situada entre las dos porciones anejas del sustrato terminan directamente junto a dicha barrera aislante.

10 8ª.- Un dispositivo según una cualquiera de las reivindicaciones 1ª a 6ª, caracterizado porque dicha barrera aislante que separa en la primera capa epitaxial del primer tipo de conductividad a una primera porción que constituye la base de un transistor de un primer tipo, respecto de una segunda porción que constituye una zona de una región externa de un transistor que es complementario con el primero, toca a dicho sustrato sólo en su porción que es del segundo tipo de conductividad, y porque dicha porción del sustrato que sobresale de dicha barrera constituye con el extremo adyacente de dicha segunda porción de la primera capa epitaxial una unión p-n que termina junto a uno de sus extremos en dicha barrera y que, en el otro extremo, se vuelve a unir con la unión p-n situada entre las dos porciones de tipos opuestos del sustrato y que constituye con ella una unión p-n que se extiende desde la superficie inferior del sustrato hacia arriba hasta dicha barrera aislante.

25 9ª.- Un dispositivo semiconductor según una cualquiera de las reivindicaciones 1ª a 8ª, caracterizado porque la barrera aislante consiste sustancialmente en una ranura que penetra desde la superficie de la segunda capa al menos hacia abajo hasta el sustrato.

30 10ª.- Un dispositivo según la reivindicación 9ª.

1 - caracterizado porque dicha barrera está interrumpida localmente y porque el paso así formado soporta una película conductora que forma la conexión entre un electrodo del primer transistor y un electrodo del segundo transistor.

5 11ª.- Un dispositivo según la reivindicación 10ª, caracterizado porque la base de dicho segundo transistor está aislada, respecto de la región externa de dicho primer transistor constituido por una porción de la segunda capa epitaxial, por una zona de contacto de base del primer transistor que es homeomorfa con un anillo que rodea a dicha región externa de dicho primer transistor y que se extiende hasta la primera capa epitaxial.

10 12ª.- Un dispositivo según una cualquiera de las reivindicaciones 10ª y 11ª, caracterizado porque en el lado de la barrera aislante opuesto a aquél en que está formado el primer transistor, una barrera aislante adicional sustancialmente paralela a la primera separa a un segmento estrecho y alargado respecto de la primera capa epitaxial, y porque dicho segmento está conectado por su primer extremo a través de una zona de conexión del paso con la base del primer transistor y por su segundo extremo con la zona de la región externa del segundo transistor formado en dicha primera capa epitaxial.

15 20 25 30 13ª.- Un método de fabricar un dispositivo según una cualquiera de las reivindicaciones 1ª a 12ª, caracterizado porque comprende especialmente las siguientes operaciones: en una placa de un primer tipo de conductividad se introducen localmente impurezas que dan el tipo de conductividad opuesto al precedente, al menos en un cierto espesor del sustrato, en una concentración que re-

P-

1 basa la de dicha placa para formar en ella al menos una
porción del tipo opuesto al primer tipo de conductividad,
se deposita luego una primera capa epitaxial de bajo gra-
do de impurificación sobre una de las caras anchas de di-
5 cha placa sobre las cuales crecerán porciones de los dos
tipos de conductividad, luego se deposita sobre aquella
una segunda capa epitaxial de bajo grado de impurifica-
ción del tipo de conductividad opuesto al de dicha prime-
ra capa epitaxial, luego se forman regiones localizadas
10 de las cuales al menos dos son del tipo de conductividad
de la primera capa epitaxial, estando destinada una, que
tiene una profundidad que rebasa el espesor de la segun-
da capa epitaxial, a constituir el contacto de base del
primer transistor, y estando incluida la otra, destinada
15 a constituir una zona externa del segundo transistor, en
la segunda capa epitaxial, se dispone la barrera aislante,
y se hacen los contactos y las conexiones.

14ª.- Un método según la reivindicación 13ª, ca-
racterizado porque la profundidad de las impurezas que son
20 introducidas desde una primera cara de dicha placa está li-
mitada a un valor menor que el espesor de la misma, dejan-
do sobre el lado de la segunda cara opuesto a la primera
una capa del tipo de conductividad inicial, y luego, final-
mente, dicha capa del primer tipo es retirada de dicha se-
25 gunda cara.

15ª.- Un método según la reivindicación 13ª, ca-
racterizado porque dichas impurezas que dan el tipo de
conductividad opuesto en una porción del sustrato son in-
troducidas en éste mediante termoemigración.

16ª.- Un método según la reivindicación 15ª, ca-

30

1 racterizado porque la dirección del gradiente de tempera-
turas utilizado para la termoemigración está en un cono
que tiene un eje perpendicular a las caras anchas de la
placa y un ángulo en el vértice menor de 45° .

5 17ª.- Un método según la reivindicación 13ª, ca-
racterizado porque dichas impurezas que dan el tipo de
conductividad opuesto en una porción del sustrato son in-
troducidas en éste por difusión.

10 18ª.- Un método según una cualquiera de las rei-
vindicações 15ª y 17ª, caracterizado porque el sustrato
es silicio de tipo N y la impureza es aluminio.

15 19ª.- Un método según las reivindicaciones 15ª,
16ª y 18ª, caracterizado porque una capa protectora es de-
positada al menos sobre una cara principal superior del
sustrato, y porque, sobre la superficie de cada porción
que ha de ser impurificada, son abiertas al menos una plu-
ralidad de ranuras en dicha capa protectora y éstas son
sustancialmente paralelas teniendo un espesor de $50 \mu\text{m}$ has-
ta $500 \mu\text{m}$ y una longitud de 5 a 10 veces la anchura y es-
tando separadas una de otra por 1 a $50 \mu\text{m}$, extendiéndose
20 dichas rendijas sobre la totalidad de dicha superficie de
dicha porción, y porque en cada una de dichas rendijas se
forma una zona de aluminio, porque dicha placa es colocada
luego en dicho gradiente térmico y porque, una vez que ha
25 sido terminada la emigración, se retira al menos una capa
de superficie desde dicha superficie superior, y porque
sobre la nueva cara formada de este modo se depositan suce-
sivamente una primera capa epitaxial y luego una segunda
capa epitaxial, después de lo cual se llevan a cabo las res-
30 tantes operaciones del procedimiento.

1 20ª.- Un método según las reivindicaciones 15ª
y 18ª, caracterizado porque en el gradiente térmico la
temperatura de la cara inferior de la placa está entre
1050 y 1160°C y porque la temperatura de la cara superior
5 es menor de 5º a 70°C.

 21ª.- Un método según la reivindicación 15ª,
caracterizado porque el sustrato es del tipo P⁺ y porque
las porciones N⁺ son hechas por termoemigración de una
aleación de oro y antimonio.

10 22ª.- Un dispositivo semiconductor.

 Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

15 Esta Memoria consta de sesenta y seis hojas es-
critas a máquina por una sola cara.

Madrid, 04. DIC. 1978

P.A.

Alberto de Elaburu
Por defecto



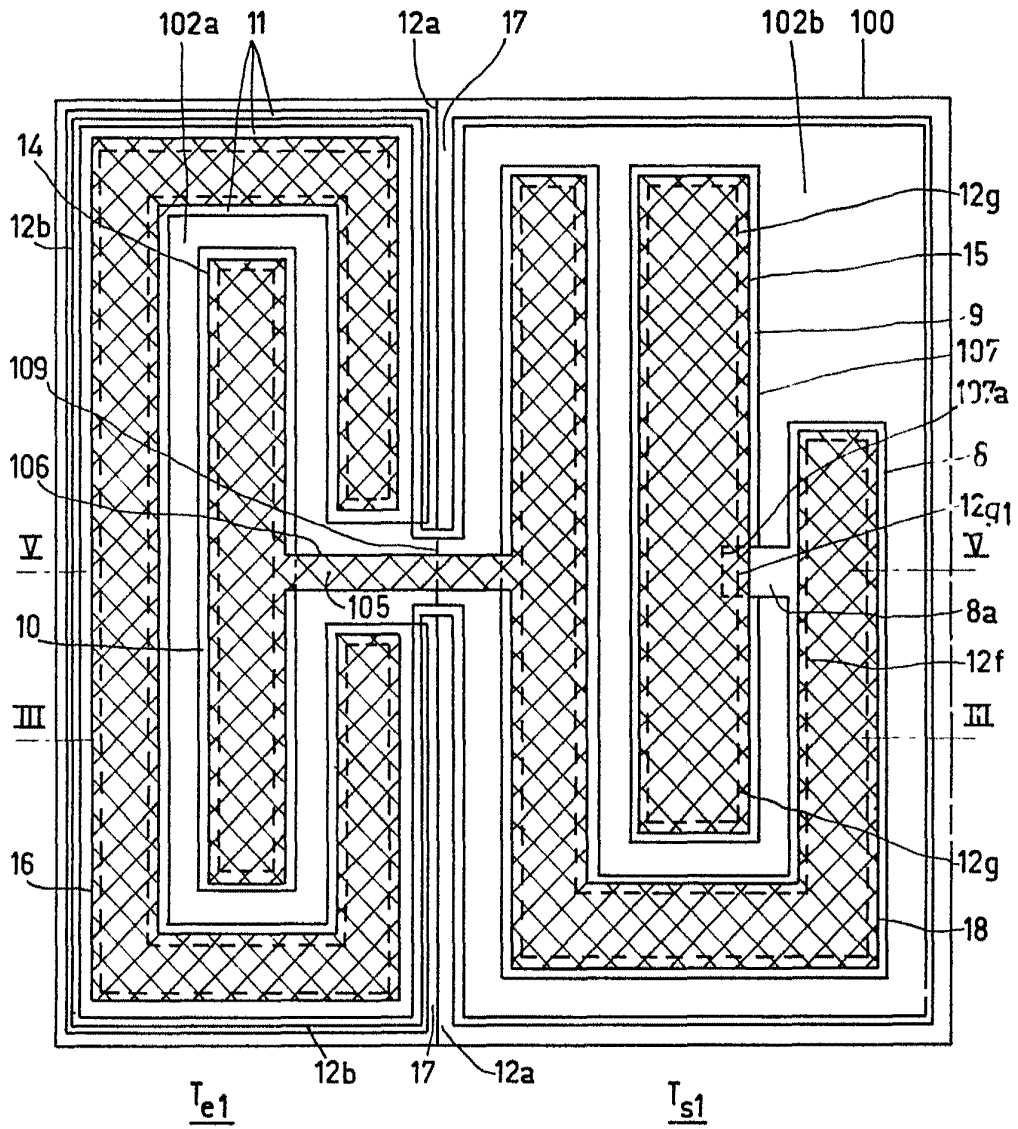


FIG.4

Alberto de Izaburu
Por Poderes

24X-PHF 77-581

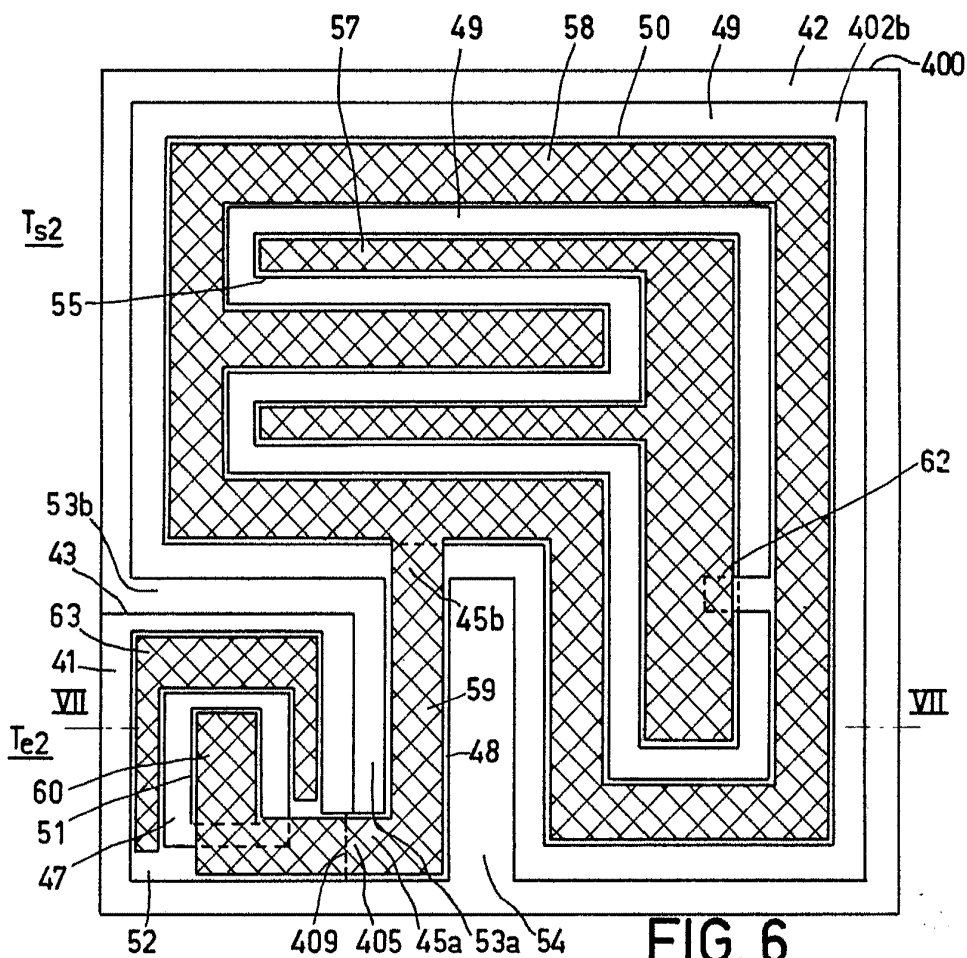


FIG. 6

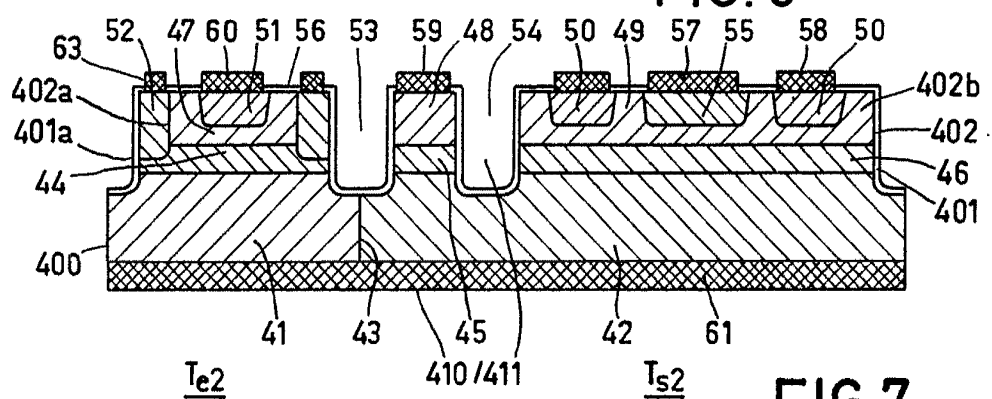


FIG. 7

Alberto de Ferranti
 For Patent
 3-IX-PHF 77-581

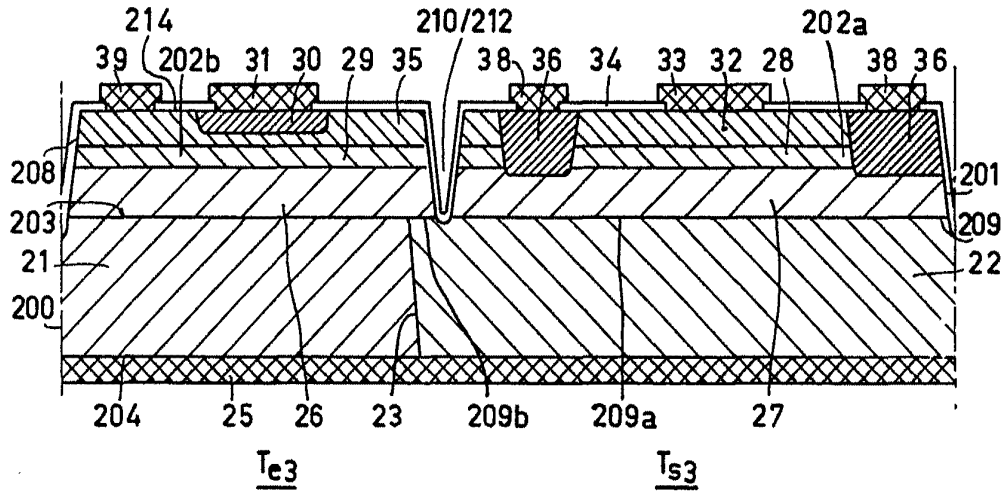


FIG. 8

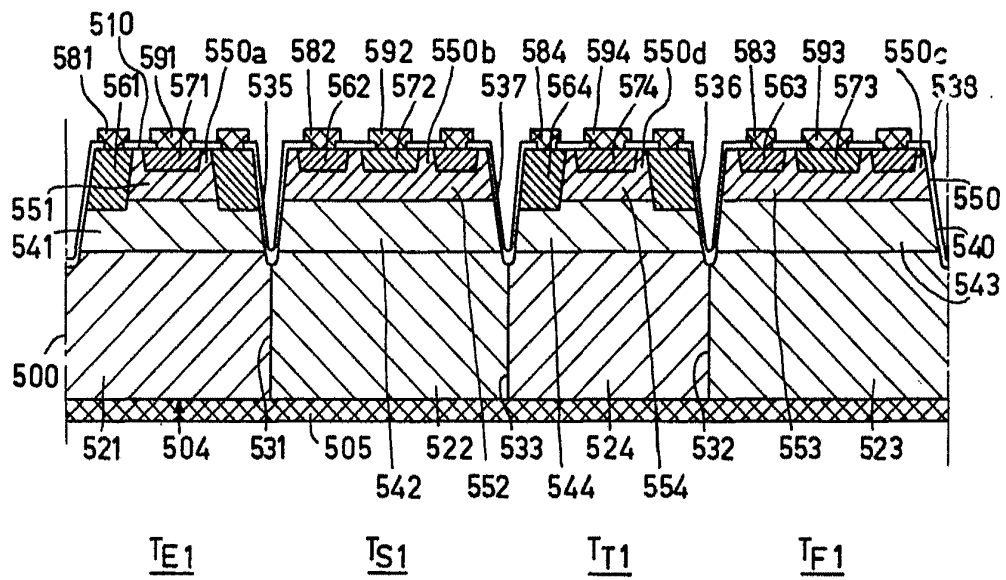
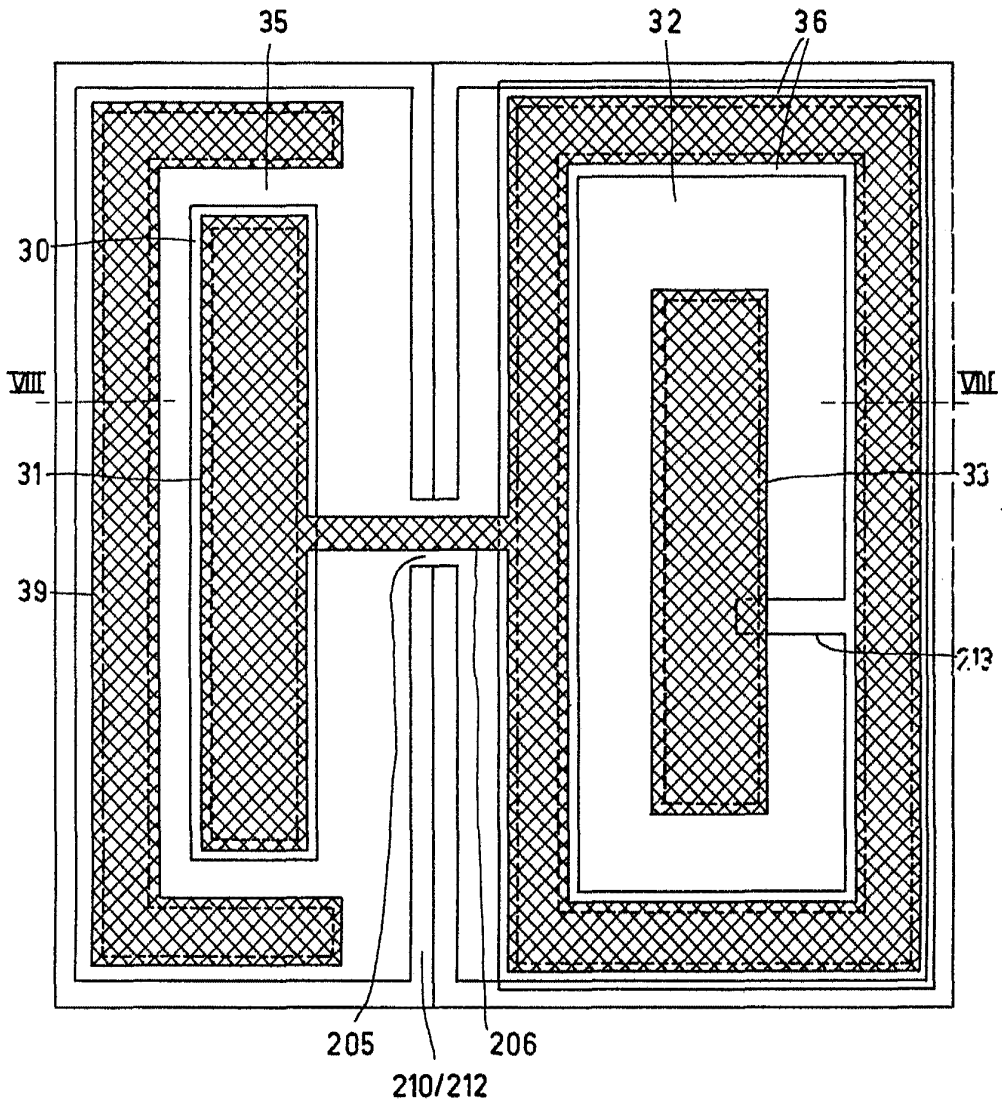


FIG. 10

Alberto de Elzaburu-IX/PHF 77-581
For Patent



T_{e3}

FIG. 9

T_{s3}

Alberto de Elizaburu
Por Poder,

5-IX-PHF 77-581

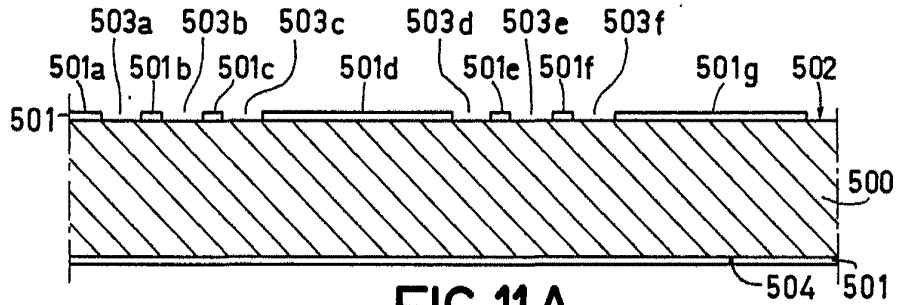


FIG. 11A

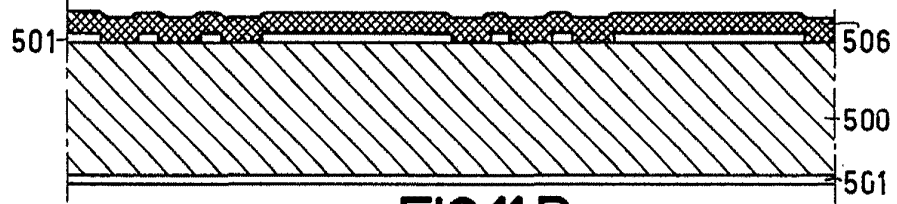


FIG. 11B

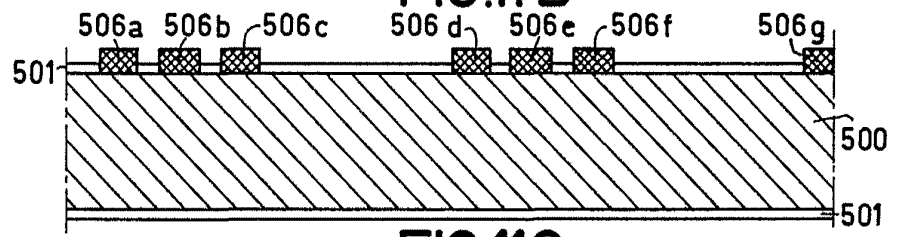


FIG. 11C

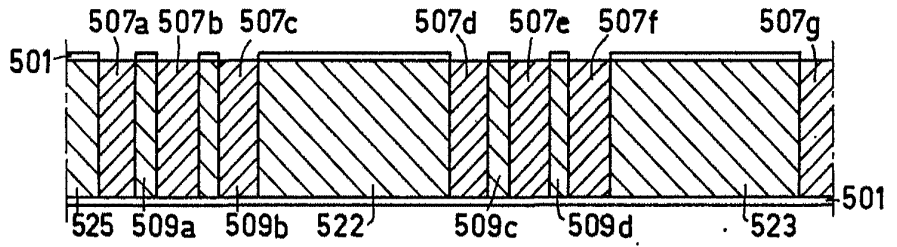


FIG. 11D

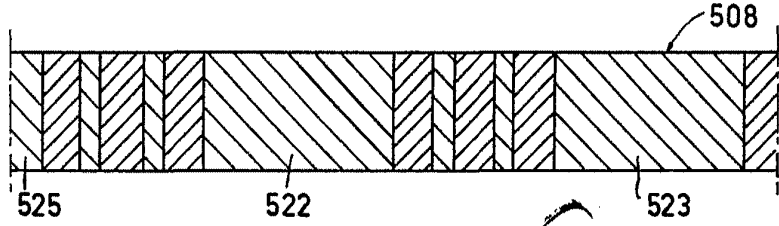


FIG. 11E

Alberto de Elizaburu
 Por Poder
 6-IX-PHF 77-581

7/9

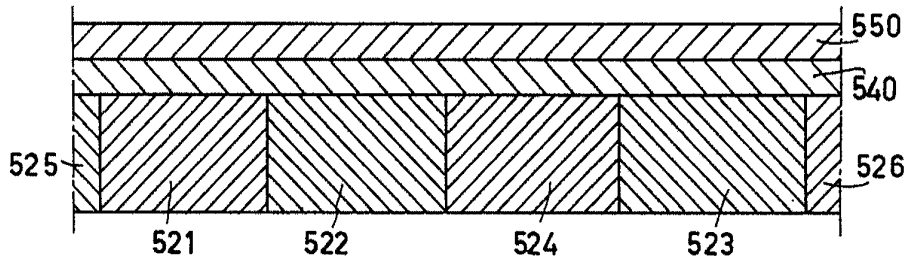


FIG.11F

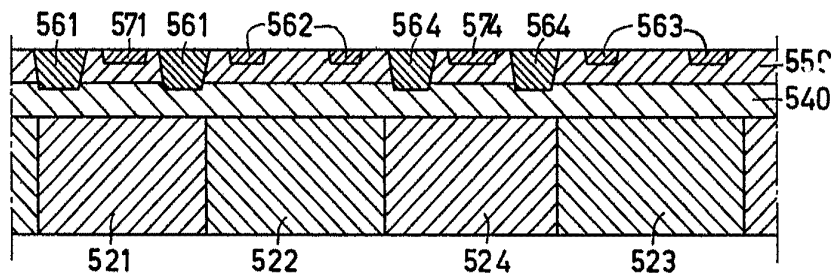


FIG.11G

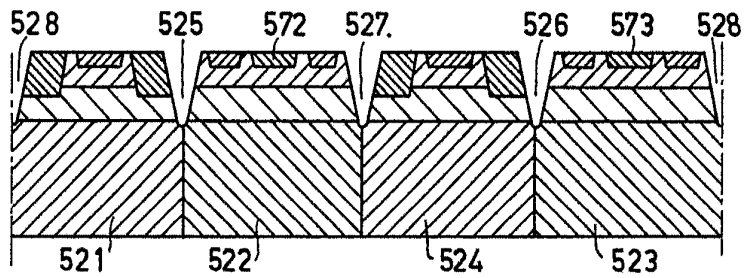


FIG.11H

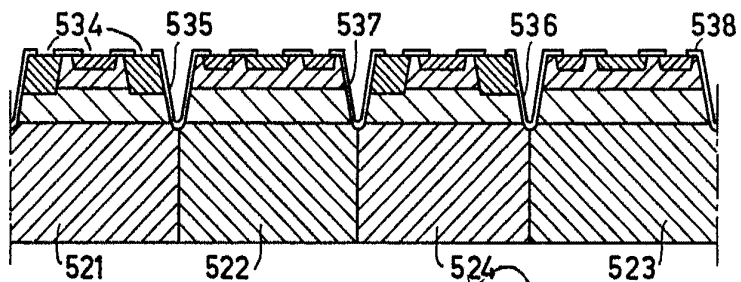


FIG.11I

Attesto de *[Signature]*
 Der Patent 7:IX-PHF 77-581

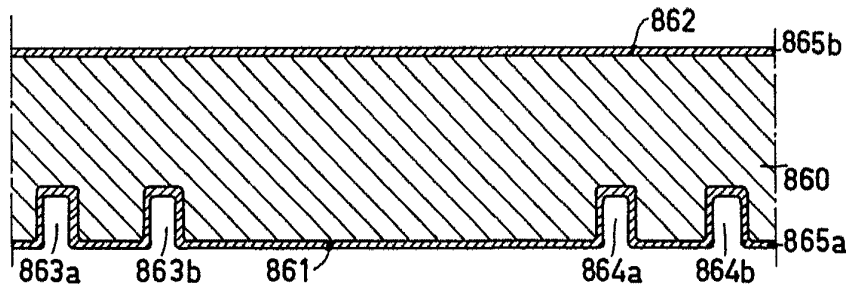


FIG.12A

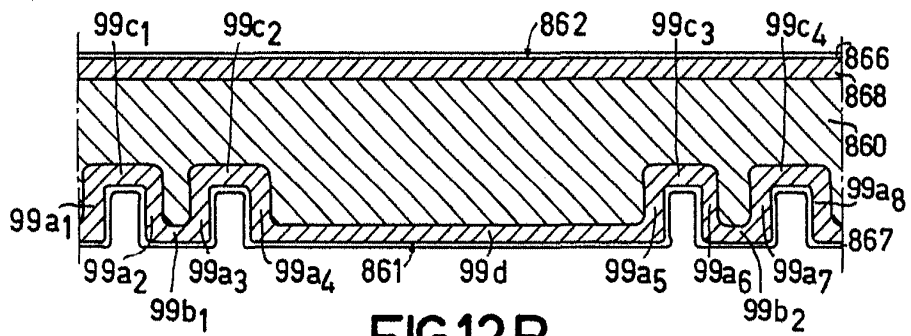


FIG.12B

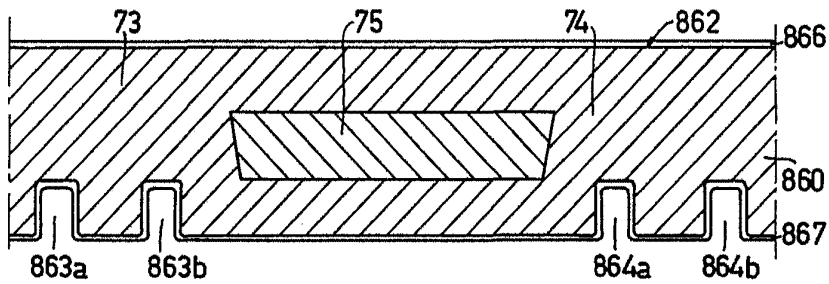


FIG.12C

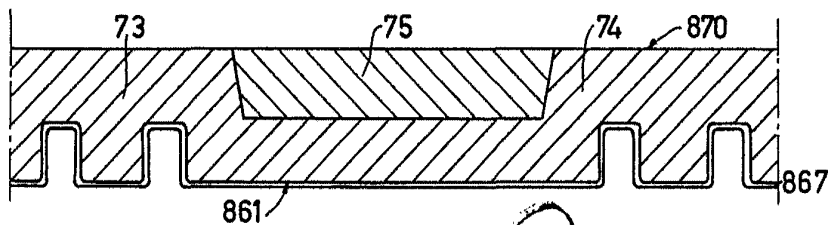


FIG.12D

[Handwritten signature]
8-IX-PHF 77-581

9/9

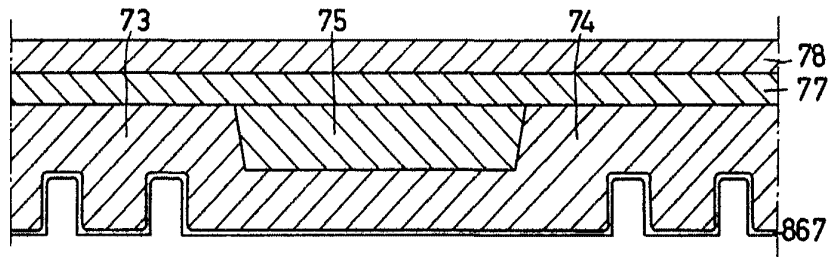


FIG. 12E

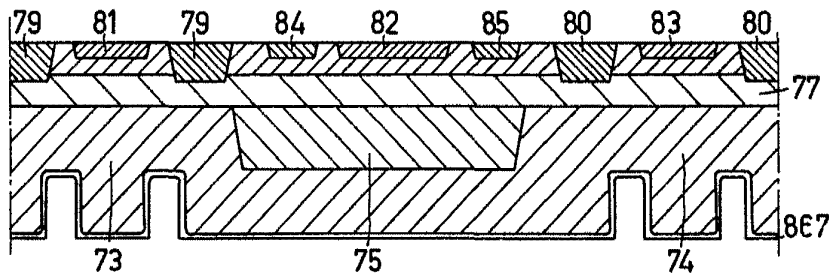


FIG. 12F

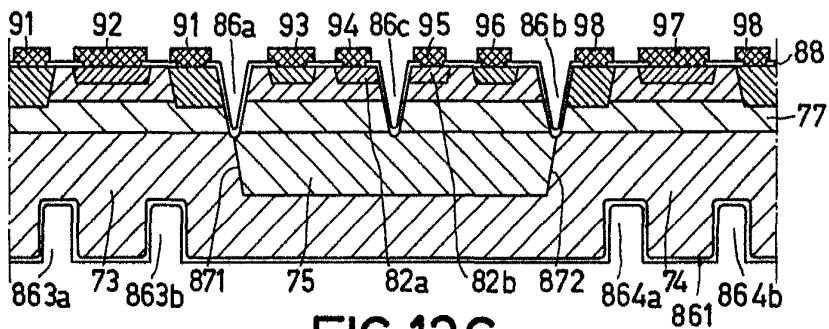


FIG. 12G

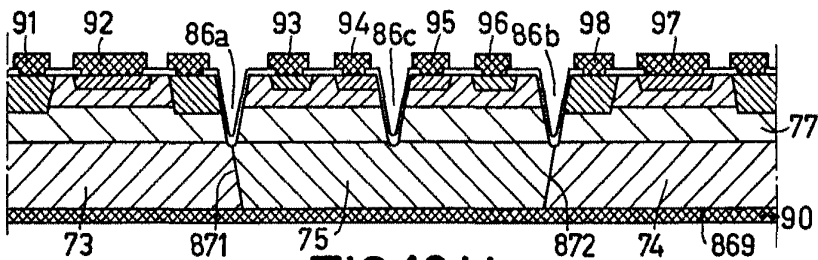


FIG. 12H

T_{E2}

T_{S2}

T_{F2}

T_{T2}

Alberto de Elizoburu
Per Fedem

9-IX-PHF 77-581