

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

(11) NUMERO	(10) A1
(21) 474.858	
(22) FECHA DE PRESENTACION	
23 octubre 1.978	

-5 FEB. 1979

PATENTE DE INVENCION

Caso 77 08 01

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
prov. 77.3627	24.10.1977	NORUEGA
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(52) PATENTE DE LA QUE ES DIVISIONARIA
	H04B	
(54) TITULO DE LA INVENCION		
"Acoplador direccional para transmisión duplex".		
(71) SOLICITANTE (S)		
A/S ELEKTRISK BUREAU		
DOMICILIO DEL SOLICITANTE		
Bergerveien 12 - 1360 Nesbru / (Noruega)		
(72) INVENTOR (ES)		
Håkon Einar Bjor y Bjørn Henning Raad		
(73) TITULAR (ES)		
(74) REPRESENTANTE		
D. Joaquin Bolibar Pera		

PATENTE DE INVENCION

Memoria descriptiva

La presente invención se refiere a un acoplador direccional para transmisión duplex, cuyo acoplador comprende un dispositivo para proveer una señal de corrección y un circuito de compensación al que se aplica dicha señal de corrección para la supresión de la parte de la señal recibida que es provocada por su propia señal transmitida.

La técnica conocida se ilustra en las figuras 1 a 4.

En la figura 1 se representa un diagrama de bloques general que ilustra la transmisión duplex en un canal de transmisión única, en el que -S- indica un transmisor, -M- un receptor, y -DK- un acoplador direccional (tradicionalmente, un transformador híbrido). La conexión entre los dos acopladores direccionales consiste en un canal de transmisión simple por ejemplo una línea bifilar.

Con un acoplador ideal se puede obtener un esquema equivalente como se ilustra en la figura 2, donde H_1 y H_2 son las funciones de transferencia de la línea en las dos direcciones.

Sin embargo, en la práctica, una parte de la señal procedente de -S₁- será además parcialmente transferida a través del acoplador y parcialmente se-

rá reflejada a través de la línea a $-M_1-$ con una función de transferencia $-H_3-$ y de la misma manera desde $-S_2-$ a través de $-H_4-$ a $-M_2-$, como se aprecia en la figura 3.

5 Las funciones de transferencia accidentales $-H_3-$ y $-H_4-$ son en general complejas y en muchas aplicaciones son variables en cuanto al tiempo.

Los métodos conocidos para eliminar el efecto de $-H_3-$ y $-H_4-$ (supresión de ecos) consisten en sintetizar una señal de corrección en la forma de una copia de la señal proporcionada por $-H_3-$ y $-H_4-$ respectivamente, y restarla de la señal entrante como se ilustra, por ejemplo, en la figura 4.

15 El circuito se puede hacer adaptable por medio de realimentación o circuito cerrado si se puede suponer que las señales transmitidas y recibidas no están correlacionadas independiente está disticamente.

20 Los métodos para sintetizar la función \hat{H}_3- utilizan:

a) Convolución integral: $y(t) = \int_0^{\infty} h(\tau) x(t-\tau) d\tau$ donde $h(\tau)$ es la respuesta al impulso de la línea.

25 b) Filtro transversal: $y(t) = \sum_{n=1}^n \alpha_n x(t-\tau_n)$

donde α_n es el coeficiente del filtro y donde $x(t)$ e $y(t)$ son las señales de entrada y salida de $-H_3-$, respec-

tivamente.

Ambos métodos se pueden hacer adaptables mediante la medición repetida de la respuesta al impulso de la línea y las modificaciones de $h(\zeta)$ y χ_n , respectivamente, dependientes de la misma. Una gran desventaja de ambos métodos consiste en que los mismos requieren aparatos complicados con gran capacidad de computación.

El acoplador direccional de acuerdo con la invención tiene la finalidad de eliminar las citadas desventajas con medios sencillos. El acoplador de la Invención se caracteriza por las características que se indican en las reivindicaciones de la patente y que se describen mediante ejemplos en la descripción que sigue con referencia a los dibujos que se acompañan.

La figura 5 ilustra la respuesta escalonada para $-H_3-$.

La figura 6 muestra un ejemplo de una señal bifásica.

La figura 7 ilustra el principio de la invención.

La figura 8 representa una forma de realización simple del acoplamiento de acuerdo con la invención.

La figura 9 muestra una modificación de la invención ilustrada en la figura 7.

La figura 10 representa una versión adapta-

ble el acoplador direccional de acuerdo con la invención.

La figura 11 ilustra un integrador digital del acoplamiento de la figura 10.

5 La figura 12 representa una versión adaptable simplificada del acoplamiento de la figura 10.

La figura 13 muestra un ejemplo de la señal bifásica.

10 La figura 14 ilustra una modificación del acoplamiento de la figura 8.

La figura 15 corresponde a una modificación del acoplamiento de la figura 12.

La figura 16 representa una forma de realización análoga del acoplamiento.

15 Lo que hace la compleja $-H_3-$ es la señal de salida que es dependiente de la función del tiempo de la señal de entrada en cierto tiempo. (ver figura 5).

En la práctica será un tiempo de memoria finito ζ que es importante.

20 Si $x(t)$ dentro de un período de tiempo ζ tiene un número finito de posibles variantes de las funciones del tiempo, es posible tabular las correspondientes variantes del valor, y a la vez que utilizar la descripción de la función del tiempo $x(t)$ para elegir el valor de y .

25 La realización resulta particularmente simple si $x(t)$ es, por ejemplo, una señal digital bifásica porque una serie de, por ejemplo tres períodos de

una señal bifásica solamente puede aparecer de $2^3 = 8$ maneras diferentes. (ver Figura 6)

Para longitudes prácticas de las líneas, τ puede ser, por ejemplo, de una duración de 2-4 períodos bifásicos. Es decir, el número de antecedentes diferentes (entendiendo en la presente descripción por "antecedentes" las señales transmitidas previamente) es $2^2 - 2^4 = 4 - 16$, para un punto del tiempo definido durante el período bifásico. El número de puntos del tiempo del período que es necesario para observar/sintetizar puede ser de 1 - 8 o más, dependientemente de las condiciones de sincronización y de otras especificaciones del sistema. Así, el número de valores diferentes de y , en los tiempos de muestreo, es de 4 - 128. Cifras prácticas son: 3 períodos antecedentes y 8 muestras por período, es decir, un total de $2^3 \times 8 = 64$ valores diferentes de y .

La figura 7 ilustra como de acuerdo con la presente invención se puede proveer un circuito para sintetizar la señal que es para compensar el efecto de las funciones de transferencia ϕH_3 , que como se ve, es ocasionado por reflexiones de la señal transmitida desde $-S_1$ y la diafonía debida al equilibrio no ideal de la línea. En la figura, $-HUK-$ es una unidad de memoria y $-ADR-$ es un detector que detecta la variante real de la función del tiempo desde el transmisor $-S_1$ y genera la dirección de

memoria donde se almacena el valor asignado de la variante real de la señal transmitida desde $-S_1-$.

5 La serie de valores asignados entrantes desde la unidad de memoria da la señal de corrección que en el circuito $-KK-$ es restada de la señal recibida.

10 La memoria debe contener información acerca del canal de transmisión real, de manera que la señal $-T-$ que provee el circuito $-H_3-$, es igual a la señal entrante $-R-$ cuando $-S_2-$ no transmite. Luego la señal $-S-$ de la diferencia resulta cero. Cuando más tarde $-S_2-$ empieza a transmitir, el circuito substraerá de la señal entrante $-R-$ la porción que es ocasionada por su propia señal transmitida y la
15 diferencia $-S-$ será la porción ocasionada por la señal transmitida desde $-S_2-$ a través de la función de transferencia $-H_2-$.

La figura 8 ilustra una forma de realización donde la unidad de memoria $-HUK-$ es una memoria solamente de lectura digital, y donde la señal de corrección se convierte en forma analógica en un convertidor digital a analógico $-D/A-$. El circuito de compensación es un circuito sumador analógico
20 $-\Sigma-$.

25 Una versión adaptable del acoplador direccional requiere que las señales transmitidas y recibidas no estén correlacionadas durante un cierto periodo de tiempo (independiente estadísticamente),

/pero pueden ser sincrónicas o asincrónicas.

Si se observa el valor instantaneo de la señal $-S-$ recibida en $-M_1-$ (ver figura 7), en varias ocasiones de una secuencia definida de la señal transmitida $-S_1-$, correspondiente a una dirección de memoria definida, el valor medio será aproximadamente cero como consecuencia de que las señales no son correlacionadas. No obstante, un cambio de la función de transferencia $-H_3-$ determinará un desplazamiento sistemático del valor medio de la señal recibida.

Un registro de dicho desplazamiento y una correspondiente modificación del valor asignado pondrá el contenido de la memoria de conformidad con $-H_3-$ una vez más. En la figura 9 se ilustra un diagrama general de dicha versión adaptable del acoplador direccional.

La figura 10 representa una forma de realización que comprende una memoria de escritura/lectura digital y un convertidor de analógico a digital y una unidad sumadora de la realimentación.

Al efectuar el promedio de la señal recibida tiene lugar porque el convertidor analógico a digital, la unidad sumadora y la memoria para una dirección definida constituyen un integrador (digital) (ver figura 11) definido por la ecuación siguiente:

$$Y_i = Y_{i-1} + \alpha X_i \quad (1)$$

$$\text{El incremento } \Delta Y = \alpha X_i \quad (2)$$

Por integración numérica:

$$Y = \frac{1}{T} \sum X \cdot \Delta t \quad (3)$$

Y

$$\Delta Y = \frac{\Delta t}{T} X \quad (4)$$

Δt = Longitud escalonada

T = La constante de tiempo del integrador

Comparando (2) y (4) se tiene: $\alpha = \frac{\Delta t}{T}$

α viene determinado por la constante de conversión del convertidor de analógico a digital y una posible restauración o readaptación de escala después de la conexión a la unidad sumadora y la influencia del tiempo transitorio del integrador. Cuanto mayor sea el tiempo transitorio permisible, más exacta será la señal sintetizada T.

Se ha constatado que el convertidor de analógico a digital de la figura 10 que es un circuito comparativamente grande y complicado, se puede omitir, disponiendo un acoplamiento como el ilustrado en la figura 12, donde el circuito de compensación es un comparador -K-.

El circuito de la figura 10 emplea la cantidad (con signo) de la desviación para modificar el contenido de la memoria. El circuito adaptable simplificado de la figura 12 utiliza solamente el signo de la desviación, añadiendo para ello + 17 o posible

mente -1, El contenido de la memoria.

La diferencia entre los dos circuitos consiste principalmente en que el primero de ellos se adapta ligeramente más deprisa cuando se pone en circuito o después de un cambio súbito y grande de $-H_3-$. Sin embargo, ambos circuitos son igualmente exactos durante el funcionamiento normal.

Un método según una variante es como sigue, una exactitud aumentada de la señal sintetizada -T- requiere considerar una porción más larga de los antecedentes de la señal bifásica. Esto proporciona un doblamiento del tamaño de la memoria para un incremento de un periodo de los antecedentes de la señal bifásica. Para líneas comparativamente extensos, y, con objeto de ahorrar espacio de memoria, puede ser ventajoso proveer un dispositivo algo diferente como se describirá.

En vez de dejar que la memoria contenga las cifras reales que se han de aplicar al convertidor digital a analógico, se pueden retener en la memoria partes de las cifras que se han de añadir con los signos que dependen de los antecedentes de la señal transmitida con el fin de obtener el valor de salida finito.

Si se considera la señal bifásica formada por una serie de impulsos únicos que tienen la forma que muestra en la figura 13, se puede decir

que el valor instantáneo de la señal sintetizada consiste en una contribución de una porción de los impulsos únicos procedentes más cerrados de los que se compone la señal bifásica.

5

Así, si la memoria contiene cifras para el efecto de un impulso, para una serie de momentos después del comienzo del impulso (la respuesta al impulso de la línea) se puede crear de nuevo el valor instantáneo, añadiendo con el signo el contenido de los espacios de memoria que corresponden a los períodos bifásicos completos en retornos de tiempo desde el momento de muestreo.

10

Los signos vienen determinados a partir de la señal bifásica transmitida. El impulso lógico 1 provee por ejemplo, + y el impulso lógico 0 provee -. Por tanto, se deben añadir tantas cifras como número de períodos de los antecedentes de la señal bifásica se considere necesario.

15

20

Para un sistema con, por ejemplo, 7 períodos de antecedentes y 8 muestras por período la memoria se puede disponer en registros como sigue:

25

A₀ A₁ A₂ A₃ A₄ A₅ A₆ A₇

B₀ B₁ B₂ B₃ B₄ B₅ B₆ B₇

C₀ C₁ C₂ C₃ C₄ C₅ C₆ C₇

D₀ D₁ D₂ D₃ D₄ D₅ D₆ D₇

$E_0 E_1 E_2 E_3 E_4 E_5 E_6 E_7$

$F_0 F_1 F_2 F_3 F_4 F_5 F_6 F_7$

$G_0 G_1 G_2 G_3 G_4 G_5 G_6 G_7$

5 donde el índice indica el número de la muestra (0-7).

Así, los diferentes registros (A, B, C, etc) contienen cifras para el efecto de un impulso lógico (ver figura 13) en el primero, segundo, tercero, etc, período después de haber sido transmitido el

10 impulso. (Se supone que el valor numérico del efecto es igual para un impulso lógico 1-IL 1 - y un impulso lógico 0-ILO-. La figura 14 ilustra como se puede construir el expresado circuito. - ADR-

15 representa un decodificador de dirección y el lógico del signo, -F₁- un selector del signo, -AKK- un registro acumulador y -ADD₁- una unidad sumadora.

El circuito se puede hacer adaptable, actualizando para ello los registros sobre la base del signo de la señal de salida -S- (ver figura 15)

20 Con el fin de ahorrar tiempo de computación puede ser suficiente, por ejemplo, actualizar solamente uno de los espacios de registro para cada muestra. En el transcurso de 56 muestras todos los espacios habrán recibido una actualización. En la

25 práctica esto ha resultado ser suficientemente frecuente para varias aplicaciones, aunque el circuito de la figura 15 se adaptará más lentamente que el circuito de la figura 12.

La lógica del signo (incluida en la unidad -ADR-) determina el signo de los periodos reales de los antecedentes y provee el signo para el registro en tratamiento. El selector del signo establece el signo correcto en las cifras que llegan desde la memoria.

La unidad -F₂- de la figura 15 determina si se ha de añadir o subsanar un 1 al o del contenido de un registro sometido a actualización. Esto viene determinado por el signo del registro en cuestión y el signo de la desviación -S- de acuerdo con las reglas del signo normales (-y + es -, - y - es +, etc).

El principio en el que se basa el citado circuito se puede considerar empleado también para otros tipos de impulsos, por ejemplo, el código binario normal, pero luego se deben definir más tipos de los elementos de impulso (que los de la figura 13), y registros correspondientes para el efecto de los mismos.

El número de espacios de memoria necesaria en el sistema ilustrado en la figura 15 resulta

$$N = n.m$$

donde n es el número de muestras por período de la señal bifásica y m es igual al número de periodos de antecedentes. En el sistema anteriormente descrito (figura 12) se obtiene en consecuencia

$$N = n \cdot 2^m$$

Así, este sistema requerirá siempre más espacios de memoria, pero esto se compensa haciendo el resto de la instalación mucho más simple y estableciendo muchas menos condiciones de velocidad, y con ellos, de consumo de energía. Esto, a su vez, influye en la densidad del encapsulado y finalmente en el precio.

Para muchas aplicaciones prácticas se estima suficiente considerar 3-4 períodos de los antecedentes y en tal caso se prefiere el circuito de la figura 10.

La figura 16 ilustra una versión adaptable de la forma de realización analógica del acoplador. En este ejemplo, cada lugar de memoria comprende un condensador -C- y un interruptor -B-. Los valores almacenados los dan las cargas de los condensadores. El acoplador se hace adaptable, introduciendo para ello un dispositivo de resistencia en la realimentación o circuito cerrado entre el circuito de la suma y la memoria -HUK- para modificar los valores seleccionados por el decodificador -ADR-.

25

N O T A
=====

Se reivindica como objeto de la presente Patente de Invención:

1.- Acoplador direccional para transmisión duplex, que comprende un dispositivo para producir una señal de corrección y un circuito de compensación (KK) al que se aplica dicha señal de corrección para la supresión de la porción de la señal recibida que es provocada por la señal procedente del propio transmisor, caracterizado porque el dispositivo comprende una unidad de memoria (HUK) con los valores almacenados de la señal de corrección cuyos valores dentro de un período de tiempo seleccionado, son asignados a las diferentes posibles variantes de las funciones del tiempo procedentes del propio transmisor (S_1), y un decodificador (ADR) conectado entre dicho transmisor y la unidad de memoria (HUK) para la detección de las variantes de señal transmitidas reales, cuyo decodificador (ADR) comprende medios para la selección en la unidad de memoria (HUK) de los valores de la señal de corrección asignados a las variantes de señal reales, y porque el circuito de compensación (KK) está conectado a la unidad de memoria (HUK) para la utilización de los valores asignados como señal de corrección.

25 2.- Acoplador direccional, según la reivindicación 1, caracterizado por comprender un convertidor digital a analógico (D/A) dispuesto entre la unidad de memoria (HUK) y el circuito de compensación (KK), siendo la unidad de memoria

(HUK) una memoria de solamente lectura digital y siendo el circuito de compensación (KK) un circuito de suma analógico (Σ) (Figura 8).

3.- Aplicador direccional, según
5 la reivindicación 1, en el que la señal transmitida desde su propio transmisor se considera compuesta de un número finito de diferentes elementos, caracterizado porque la unidad de memoria (HUK) contiene valores parciales de la señal de corrección
10 que corresponden al efecto de dichos elementos diferentes, y porque entre la unidad de memoria (HUK) y el circuito de compensación (KK) está conectada una unidad sumadora, con lo que la señal de corrección es proporcionada por la adición de los elementos
15 reales detectados por el decodificador (ADR) y transmitidos desde el propio transmisor del acoplador durante el período de tiempo seleccionado.

4.- Acoplador direccional, según
20 la reivindicación 3, caracterizado porque la unidad sumadora es una unidad sumadora de acumulación (ADD1 y AKK) conectada a la unidad de memoria (HUK) a través de un selector de signo (F_1) controlado por el decodificador (ADR), y porque entre la unidad sumadora (ADD1 y AKK) y el circuito de compensación (KK) está intercalado un convertidor digital a analógico (D/A), siendo dicha unidad de memoria (HUK) una memoria de solamente lectura digital
25 y siendo el circuito de compensación (KK) un cir-

cuito de suma analógica (Σ) (figura 14).

5 5.- Acoplador direccional, según la reivindicación 1, caracterizado por comprender una realimentación desde la salida del circuito de compensación (KK) hasta la entrada de datos de la
10 unidad de memoria (HUK) para la modificación de los valores de la señal de corrección que han sido seleccionados por el decodificador (ADR), con lo que ellos mismos se adaptan a los cambios en las condiciones de transmisión en el tiempo, siendo dicha unidad de memoria una memoria de lectura escritura (figura 9).

15 6.- Acoplador direccional, según la reivindicación 5, caracterizado porque la realimentación comprende un convertidor analógico a digital (A/D) que, en serie con una unidad sumadora (ADD) y la unidad de memoria (HUK), constituye un integrador digital para cada valor seleccionado, estando la salida de dicha unidad de memoria (HUK)
20 en parte conectada al circuito de compensación (KK) a través de un convertidor digital a analógico (D/A) y en parte conectada a la entrada de la unidad sumadora (ADD), siendo el circuito de compensación (KK) un circuito de suma analógico
25 (Σ) (figura 10).

7.- Acoplador direccional, según la reivindicación 5, caracterizado porque dicha realimentación comprende una unidad sumadora (ADD) para añadir + 1 o - 1 al valor seleccionado teniendo di

cha unidad de memoria (HUK) su salida en parte
conectada al circuito de compensación (KK) a tra-
vés de un convertidor digital a analógico (D/A) y
en parte conectada detrás de la entrada de la uni-
5 . dad sumadora (ADD), cuyo circuito de compensación
(KK) es establecido por un comparador (K) (figura
12).

8.- Acoplador direccional, según las rei-
vindicaciones 3 y 5, caracterizado porque la uni-
10 . dad sumadora es una unidad sumadora de acumulación
(ADD1 y AKK) que está conectada a la unidad suma-
dora (HUK) a través de un selector del signo (F_1)
controlado por el decodificador (ADR), porque en-
tre la unidad sumadora (ADD1 y AKK) y el circuito
15 de compensación (KK) está intercalado un convertidor
digital a analógico (D/A), siendo dicha unidad de
memoria (HUK) una memoria de sólo lectura y sien-
do establecido el circuito de comparación (KK) por
un comparador (K), y porque en la realimentación
20 están intercalados una segunda unidad sumadora
(ADD2) y un segundo selector del signo (F_2) con-
trolados por el decodificador (ADR), estando conec-
tada la salida de dicha unidad de memoria (HUK) a
la entrada de dicha segunda mitad sumadora (ADD2)
25 para la modificación de los valores con + 1 ó -1
(figura 15).

9.- Acoplador direccional, según la rei-
vindicación 5, caracterizado porque la unidad de

memoria está dispuesta para almacenar valores asignados con representación analógica.

5 10.- Acoplador direccional, según la reivindicación 9, caracterizado porque los valores asignados están representados por las cargas de los condensadores, porque el decodificador (ADR) selecciona el valor real de la señal de corrección por medio de un conmutador para cada condensador (C), cuyo conmutador (C) conecta el condensador real (C) a la entrada del circuito de compensación (KK) y porque la realimentación tiene lugar a través de un dispositivo de resistencia (R).
10 (figura 16).

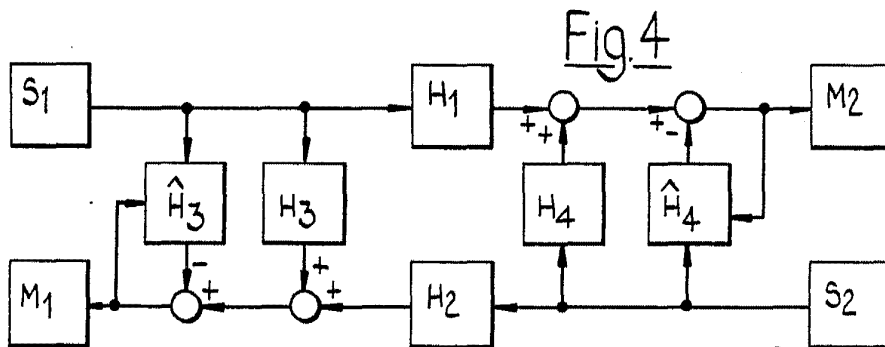
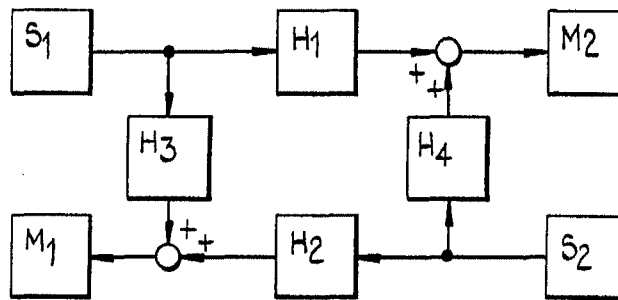
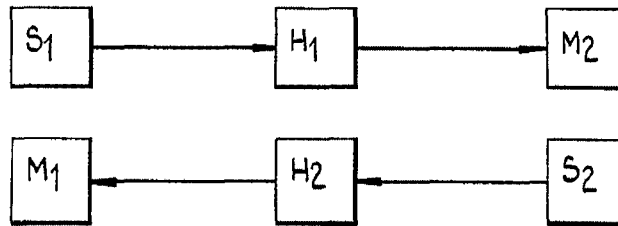
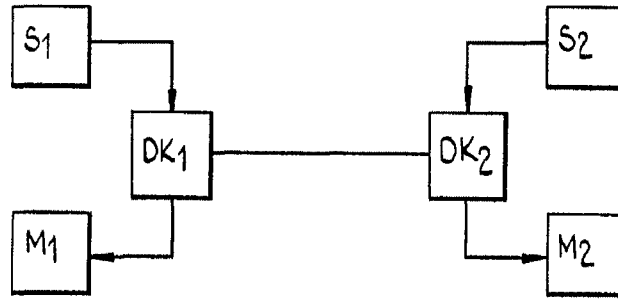
15 11.- Acoplador direccional para transmisión duplex.

Esta memoria consta de diecinueve páginas escritas por una sola cara.

Barcelona, 23 OCT. 1978

P.A.





FOR AUTHORIZATION

[Handwritten scribbles]

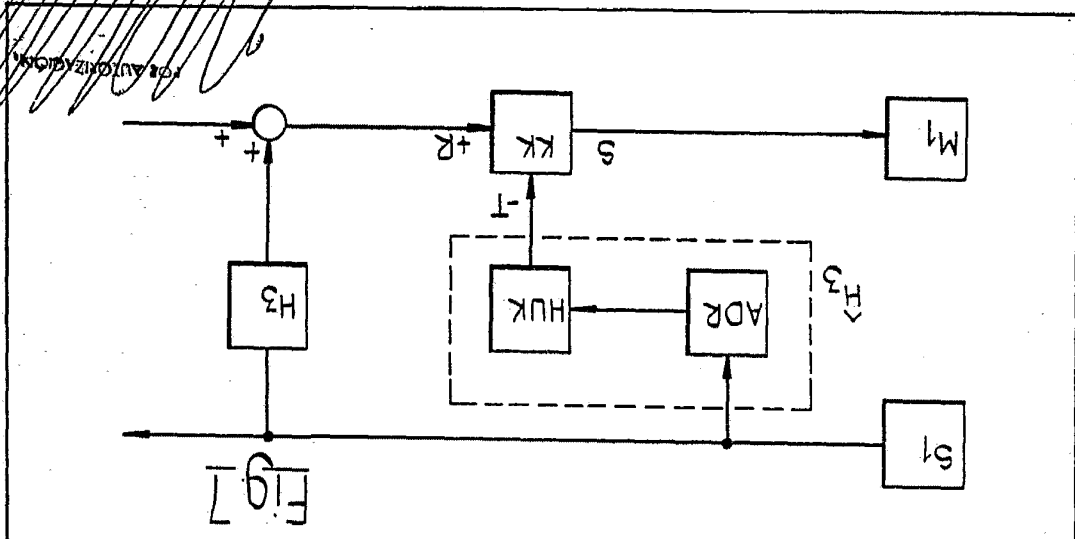


Fig 7

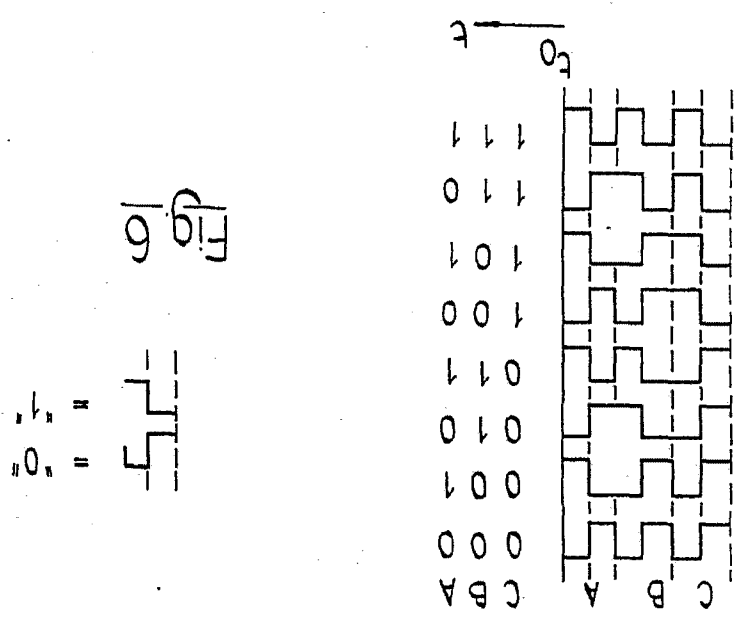


Fig 6

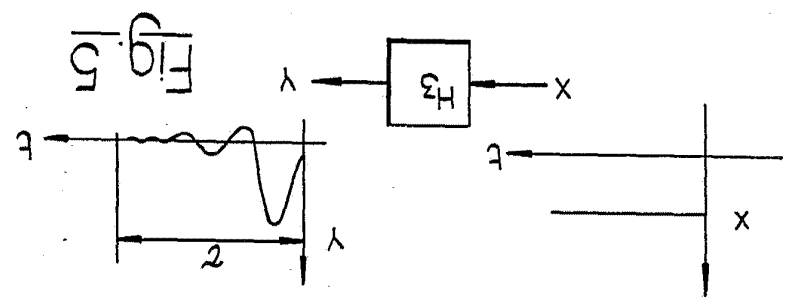
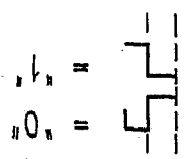
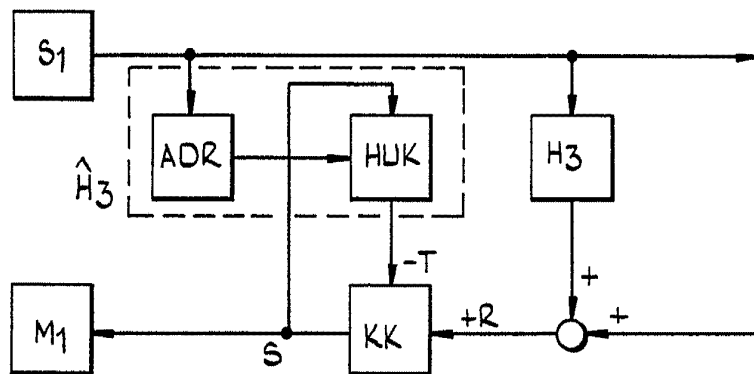
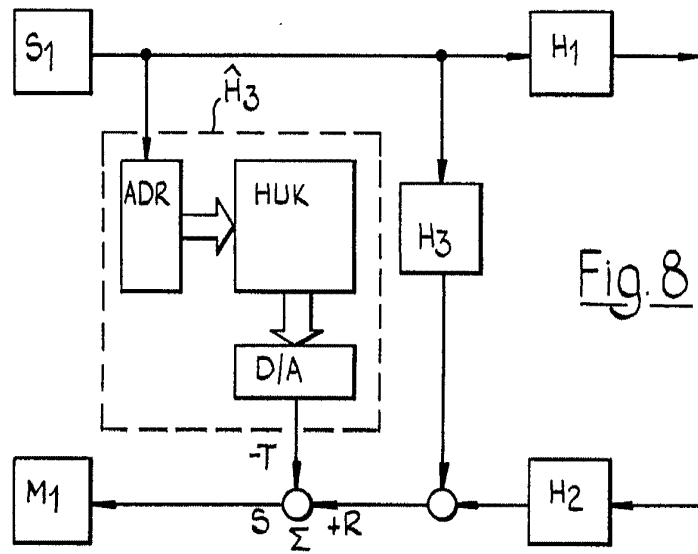


Fig. 5



FOR INFORMATION
[Handwritten signature]

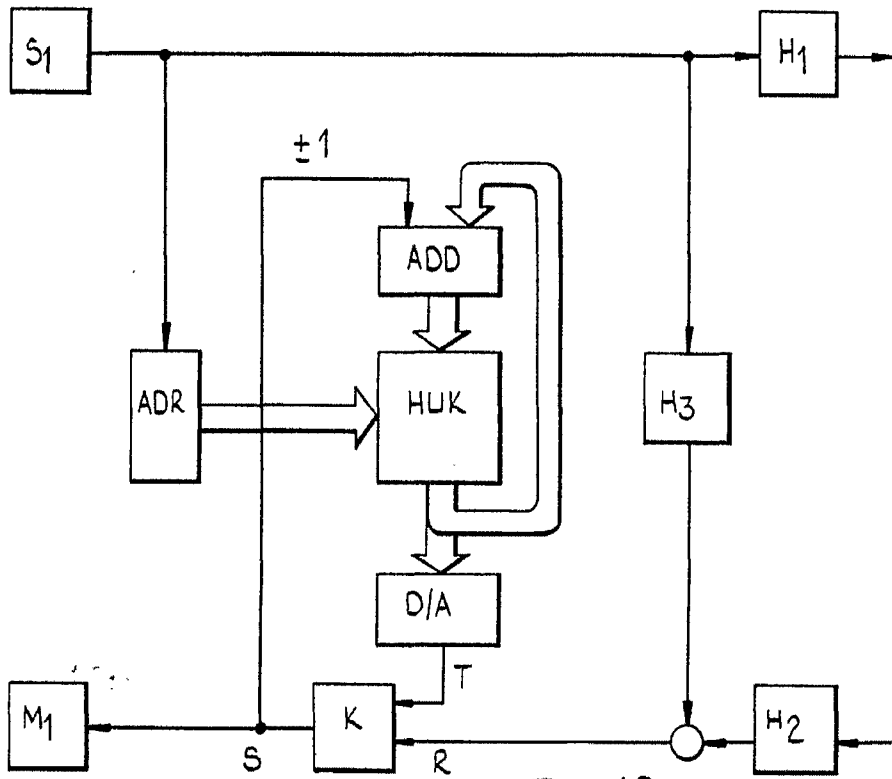


Fig. 12

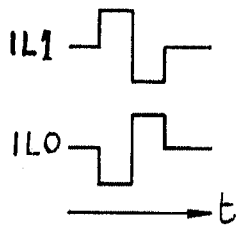


Fig. 13

FOR AUTHORIZATION
[Handwritten signature]

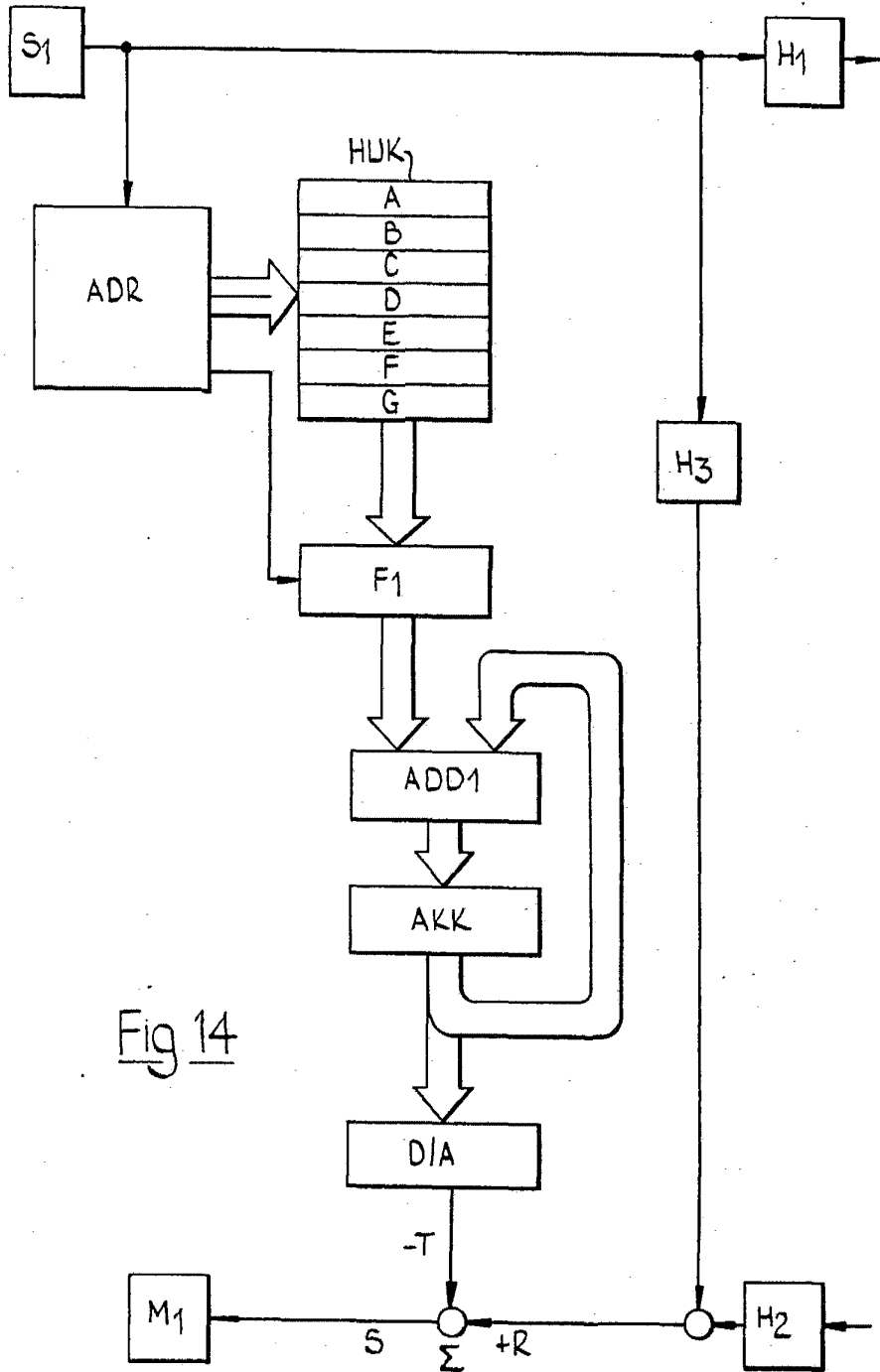
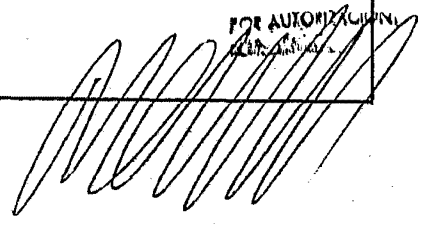


Fig 14

FOR AUTHORIZATION
ONLY



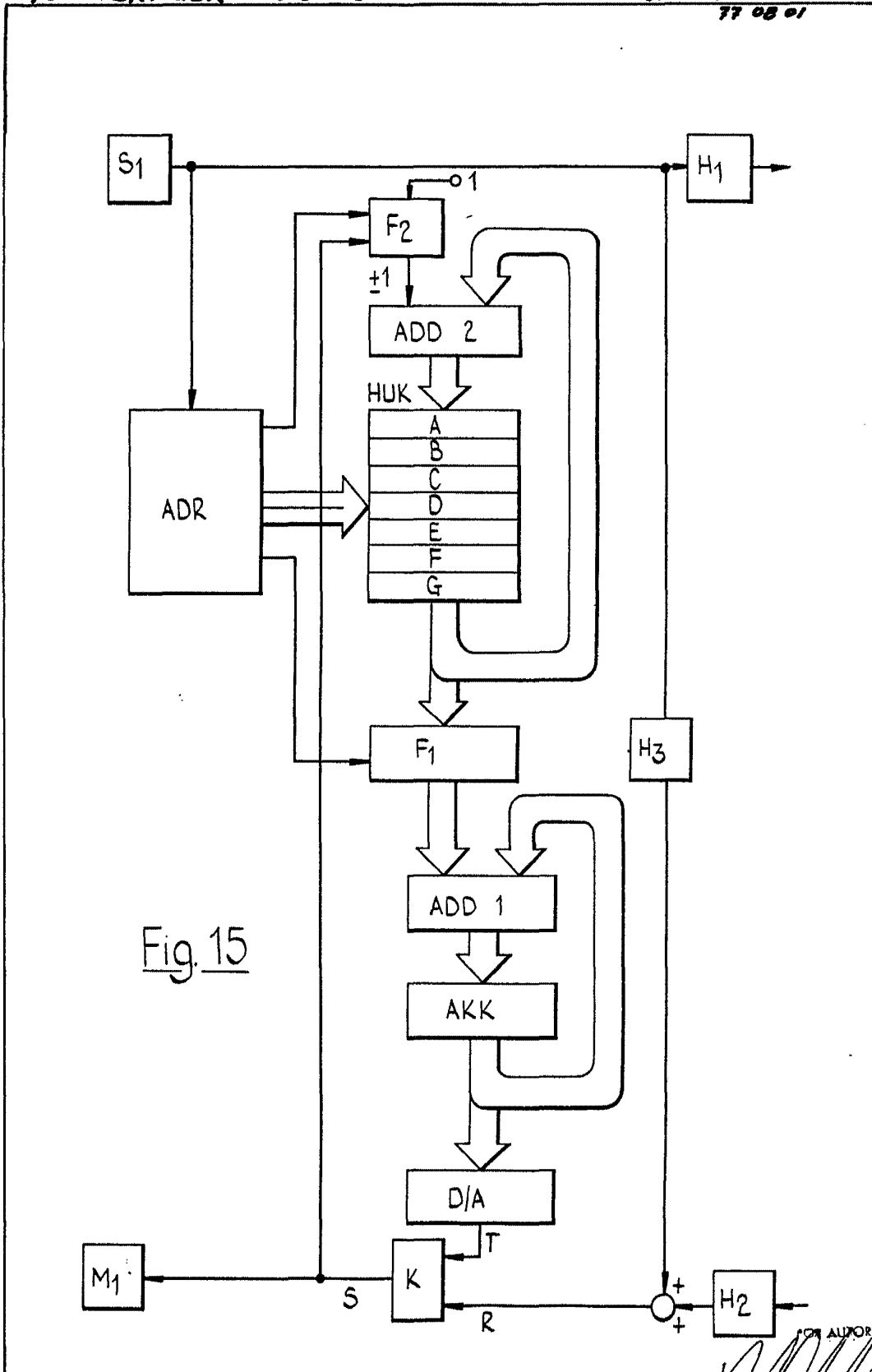
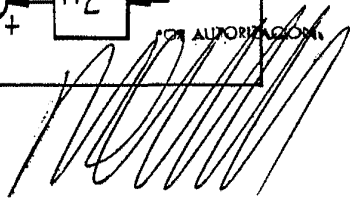


Fig. 15

FOR AUTHORIZATION



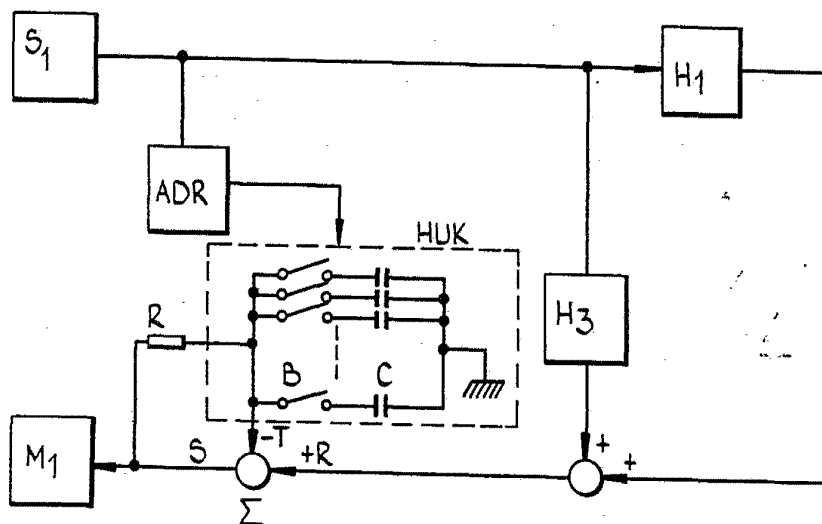


Fig. 16

FOR AUTHORIZATION
[Handwritten signature]