

Concedido el Registro de acuerdo con los datos que figuran en la pre-
 MINISTERIO DE INDUSTRIA Y ENERGIA de la Union y con el (19) ES
 Registro de la Propiedad Industrial (10) A1
 (21) 474.428
 (22) 23-Octubre-1.978



ESPAÑA

5 MAR. 1979

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO 845.415	(32) FECHA 25-10-77	(33) PAIS E.U.A.
---	------------------------	---------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL G06F	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(54) TITULO DE LA INVENCION "UN SISTEMA DE TRATAMIENTO DE DATOS"

(71) SOLICITANTE (S) DIGITAL EQUIPMENT CORPORATION (File No. 83-203I)
--

DOMICILIO DEL SOLICITANTE 146 Main Street, Mayrard, Massachusetts 01754, Estados Unidos de America

(72) INVENTOR (ES) John V. Levy, David P. Rodgers, Robert F. Stewart y Richard J. Casabona

(73) TITULAR (ES)

(74) REPRESENTANTE DON OSCAR DE ELZABURU FERNANDEZ (P.-70.233)

MCS/.

1 Antecedentes del Invento

Este invento se refiere en general a sistemas digitales de tratamiento de datos. Más específicamente, se refiere a la interconexión de diversas unidades en tal sistema y a la transferencia de datos entre estas unidades.

5 Un sistema digital de tratamiento de datos comprende tres elementos básicos, a saber, un elemento de memoria, un elemento de entrada-salida y un elemento de ordenador. El elemento de memoria almacena información en posiciones de memoria direccionables. Esta información incluye datos e instrucciones para el tratamiento de los datos. El elemento ordenador transfiere información a y desde el elemento de memoria, interpreta la información entrante indistintamente como datos o instrucciones y trata datos de acuerdo con las instrucciones. El elemento de entrada-salida establece también comunicación con el elemento de memoria con el fin de transferir datos de entrada al sistema y para obtener del mismo datos tratados.

15 A lo largo de los años se han desarrollado muchos tipos diferentes de sistemas digitales de tratamiento de datos. Sin embargo, este desarrollo se ha dirigido principalmente hacia la evolución de nuevos elementos de ordenador con una disposición constructiva más eficiente, elementos de memoria más rápidos y de mayores dimensiones y elementos de entrada-salida más sofisticados. Se ha producido poco cambio en la tecnología implicada en la transferencia de información entre los diversos elementos en el sistema de tratamiento de datos. En realidad, todos los sistemas de tratamiento de datos de los que se tiene conocimiento pueden clasificarse atendiendo a los métodos básicos de se-

1 -ñales de tiempo que utilizan. Hay esencialmente dos categorías de señales de tiempo: señales de tiempo síncronas y señales de tiempo asíncronas.

5 Los sistemas digitales de tratamiento de datos que utilizan bases de tiempo síncronas incluyen usualmente un generador maestro de impulsos de sincronismo o reloj maestro que controla todas las operaciones en todos los elementos. Este reloj maestro genera señales de base de tiempos que controlan operaciones en el elemento de ordenador y también en la memoria y elementos de entrada-salida que establecen conexión a una línea general de interconexión. Como todos los elementos del sistema están sincronizados con el reloj maestro, la frecuencia de reloj maestra debe estar ajustada para funcionar de un modo que sea compatible con el elemento más lento del sistema. Las frecuencias de transferencia entre elementos imponen limitaciones definitivas sobre las velocidades con las cuales pueden funcionar los elementos más rápidos. De este modo, un régimen de transferencia lento hace lento al sistema completo, de modo que el sistema funciona por debajo del rendimiento teórico de muchas de sus unidades componentes.

10

15

20

25 Otros sistemas digitales de tratamiento de datos utilizan bases de tiempos asíncronas en sus interconexiones. Con base de tiempo asíncrona cada elemento es libre de funcionar a su velocidad más eficiente. Típicamente, dos elementos comunican entre sí cuando uno de los elementos inicia una transferencia de datos sobre una línea general de interconexión. Entonces, el primer elemento controla la línea general en el sentido de excluir todos los terceros elementos del sistema hasta que el otro elemento

30

1 reconoce que se ha completado la transferencia solicitada.
Los sistemas que utilizan bases de tiempo asíncronas tien-
den a ser algo más rápidos que sus sistemas síncronos si-
milares porque pueden realizar algunas transferencias a
5 una velocidad mayor que aquella a la que puede funcionar
el elemento más lento del sistema, al tiempo que se con-
serva la capacidad para comunicar más lentamente con los
elementos más lentos. Sin embargo, las transferencias asín-
cronas tienen inconvenientes en algunas aplicaciones. En
10 algunos sistemas asíncronos, una vez que ha sido iniciada
una operación de transferencia, la línea general completa
no está disponible para elementos diferentes a los dos im-
plicados en la transferencia hasta que esta transferencia
se ha completado. De este modo, las transferencias que im-
15 plican elementos más lentos bloquean el funcionamiento de
los elementos más rápidos y reducen sus eficiencias por de-
bajo de sus niveles teóricos.

A pesar de los inconvenientes de ambos tipos de
transferencias síncronas y asíncronas, la mayoría de los
20 sistemas digitales de tratamiento de datos están construi-
dos aún únicamente siguiendo uno u otro de los criterios,
pero no ambos esquemas de sincronismo. La selección de uno
sobre otro depende aparentemente de las aplicaciones pre-
dichas para el sistema digital de tratamiento de datos. De
25 este modo, en algunas aplicaciones pueden encontrarse ve-
locidades de funcionamiento inaceptables mientras que en
otras las velocidades son aceptables.

Por consiguiente, un objeto de este invento es
crear una interconexión para los elementos de un sistema
30 digital de tratamiento de datos que utiliza las caracterís-

1 ticas deseables de ambos sistemas de base de tiempos asín-
crona y síncrona.

Otro objeto de este invento es crear una interco-
nexión para los elementos de un sistema digital de trata-
5 miento de datos que permite a los elementos establecer co-
municación sobre la interconexión a velocidades muy altas.

Aún otro objeto de este invento es crear un sis-
tema digital de tratamiento de datos en el cual los elemen-
tos intercambian información eficientemente y sin intercam-
10 bios de información indebidamente retardados entre otros
elementos del sistema.

Resumen del Invento

De acuerdo con este invento, una interconexión
para elementos en un sistema de tratamiento de datos trans-
mite señales de sincronismo que establecen intervalos de
15 sincronismo. Cada elemento está habilitado para transferir
información sobre la interconexión por un sistema de con-
trol de acceso que responde a las señales de sincronismo
y señales de control de acceso procedentes de la interco-
nexión. La información es transferida durante un intervalo
20 de sincronismo en respuesta a las señales de sincronismo
y a las señales de control de acceso. Son transferidas se-
ñales de confirmación durante un intervalo de sincronismo
subsiguiente en respuesta a la transferencia de informa-
25 ción y a las señales de sincronismo.

Este invento está puesto de manifiesto particu-
larmente en las reivindicaciones anexas. Los anteriores y
otros objetos y ventajas de este invento pueden comprender-
se mejor haciendo referencia a la siguiente descripción
30 considerada en combinación con los dibujos que se acompañan.

1 Breve Descripción de los Dibujos

La figura 1 es un diagrama de bloques de un sistema digital de tratamiento de datos construido de acuerdo con este invento.

5 La figura 2 representa ilustrativamente tipos de datos que son utilizados en combinación con una realización específica de este invento.

10 La figura 3 ilustra las líneas y señales correspondientes que constituyen una interconexión para elementos en el sistema digital de tratamiento de datos representado en la figura 1.

15 La figura 4 es un diagrama que ilustra las diversas señales de sincronismo e intervalos de sincronismo que sincronizan transferencias de información entre los elementos representados en la figura 1;

La figura 5 es un diagrama que ilustra secuencias de transacciones que pueden producirse entre los elementos representados en la figura 3.

20 La figura 6 es un diagrama de bloques detallado de la unidad 10 de ordenador central representado en la figura 1.

La figura 7 es un diagrama de bloques de las vías de transmisión de datos incluidas en la unidad de control SBI representada en la figura 6.

25 La figura 8 es un diagrama de bloques detallado de porciones pertinentes del sistema lógico de control representado en la figura 7;

30 La figura 9 es un diagrama de sincronismo que es útil para comprender el funcionamiento del sistema de control SBI representado en las figuras 6 a 8 durante una ope-

1 ración de lectura.

La figura 10 es un diagrama de sincronismo que es útil para comprender el funcionamiento de los circuitos representados en las figuras 6 a 8 durante una operación de inscripción.

La figura 11 es un diagrama de bloques de un controlador de memoria y conjunto de memoria como se representan en la figura 1.

La figura 12 es un diagrama de bloques de una porción del controlador de memoria representado en la figura 11.

La figura 13 es un diagrama de bloques de otra porción del controlador representado en la figura 11, y

La figura 14 ilustra registros que son utilizados en el controlador de memoria representado en la figura 11.

Descripción de una Realización Ilustrativa

Comentario General

i. Sistema de Tratamiento de Datos

Con referencia a la figura 1, los elementos básicos de un sistema de tratamiento de datos que realiza el invento comprende una unidad 10 de ordenador central, una unidad 11 de memoria y unidades 12 de entrada-salida. Una interconexión 14 posterior síncrona (SBI) interconecta la unidad 10 de ordenador central, la unidad 11 de memoria y las unidades 12 de entrada-salida.

La unidad 10 de ordenador central comprende una consola 15 de operador, un enlace o unidad de acoplamiento SBI y un circuito 16 de ocultación de memoria, una memoria intermedia 17 de conversión de dirección, un circuito 18 de memoria intermedia de instrucción y una vía de transmi-

1 sión de datos y circuito 19 de registro interno. La unidad
de acoplamiento de interconexión SBI y el circuito 16 de
ocultación de memoria proporcionan los circuitos de acopla-
5 miento necesarios para transferir información sobre la in-
terconexión 14 SBI a las unidades 11 de memoria y las uni-
dades 12 de entrada-salida. El circuito 16 recibe todos
los datos procedentes de la memoria y todas las conversio-
nes de dirección procedentes del circuito 17 de memoria in-
10 termedia. Incluye una memoria asociativa, o memoria de
ocultación. Cada vez que se inscriben datos en la memoria
de ocultación en el circuito 16 procedentes de la vía de
transmisión de datos y circuito 19 de registro interno, es-
tos datos son inscritos también en una posición correspon-
diente en la unidad 11 de memoria.

15 Esta realización específica del ordenador 10 cen-
tral funciona con direcciones virtuales. El circuito 17 de
memoria intermedia de conversión de dirección convierte
las direcciones virtuales en direcciones físicas que utili-
za el circuito 16 de ocultación de memoria para determinar
20 si contiene datos procedentes de la posición correspondien-
te o para iniciar una transferencia desde la posición real
correspondiente en la unidad 11 de memoria. El circuito 18
de memoria intermedia de instrucción incluye medios para
almacenar instrucciones, o porciones de las mismas, a medi-
25 da que son recuperadas indistintamente de la memoria de
ocultación directamente o de la unidad 11 de memoria.

La consola 15 de operador sirve como unidad de
acoplamiento de operador. Permite al operador examinar e
ingresar datos, detener el funcionamiento de la unidad 10
de ordenador central o incrementarlo secuencialmente a tra-

1 -vés de una secuencia de instrucciones de programa. Permite
también al operador inicializar el sistema mediante un pro-
ceso de adaptación, y realizar diversas pruebas de diagnós-
tico sobre el sistema completo de tratamiento de datos.

5 En la figura 1, la unidad 11 de memoria compren-
de dos controladores 20A y 20B de memoria. Cada controla-
dor de memoria establece conexión a una pluralidad de con-
juntos de memoria. Específicamente, el controlador 20A de
memoria establece conexión a los conjuntos 21A de memoria,
10 mientras que el controlador 20B de memoria establece cone-
xión a los conjuntos 21B de memoria. El funcionamiento de
la unidad 11 de memoria se expone con detalle posteriormen-
te.

15 Están representados varios tipos de unidades 12
de entrada-salida. Un adaptador 22 de línea general de en-
trada-salida interconecta diversos dispositivos 23 de en-
trada-salida, tales como teletipos, a la línea general 14.
La interconexión, funcionamiento y transferencia de seña-
les entre el adaptador 22 de línea general de entrada-sali-
da y los dispositivos 23 de entrada-salida se exponen en
20 la Patente Norteamericana 3.710.324.

25 Las otras unidades 12 de entrada-salida consti-
tuyen un equipo de memoria secundario para el sistema de
tratamiento de datos. Incluyen un adaptador 24 de línea
general de memoria secundaria y una pluralidad de unidades
de disco 25. También está representado un adaptador 26 de
línea general de memoria secundario y una unidad 27 de cin-
ta magnética. La interconexión de los adaptadores 24 y 26
secundarios de línea general de memoria y sus respectivas
unidades 25 y 27 de disco y de cinta, respectivamente, se

1 - exponen en la Patente Norteamericana 3.999.163 precedente.

Como se pone de manifiesto por la figura 1, la interconexión SBI 14 interconecta las diversas unidades incluidas en el sistema de tratamiento de datos. De acuerdo con este invento, los diversos circuitos que establecen conexión a la unidad SBI 14 interaccionan sobre el dispositivo SBI 14 de un modo extremadamente eficiente. Para comprender la transferencia de información entre diferentes pares de unidades conectadas a la interconexión SBI 14, será útil en primer lugar establecer algunas definiciones para términos que han sido ya utilizados y que se utilizarán a lo largo del resto de esta descripción.

"Información" es la utilizada para control y para proporcionar la base para el tratamiento de datos. Incluye información de dirección, datos, control y estado. El término "datos" incluye información objeto o resultado del tratamiento.

Las transferencias de información entre unidades en el sistema de tratamiento de datos representado en la figura 1 se producen sobre la interconexión SBI 14 e implican transferencia de bloques discretos de información. Cada bloque de información tiene un tamaño característico sobre la interconexión SBI 14. Otros elementos pueden tratar bloques de información que tengan otros tamaños. El bloque de información más elemental es una batería de bitios. En una realización específica del sistema de tratamiento de datos representado en la figura 1, la batería incluye ocho dígitos binarios (o bitios). La figura 2A ilustra un número de baterías contiguas. El siguiente tamaño de bloque de datos mayor es una "palabra". Una palabra comprende dos

1 baterías contiguas. Como se representa en la figura 2C,
dos palabras contiguas constituyen una "palabra larga". Dos
palabras largas contiguas constituyen una "palabra cuádruple"
como se representa en la figura 2D.

5 La interconexión SBI 14 transfiere en paralelo
toda la información contenida en una palabra larga. Las fi-
guras 2A a 2D ilustran en conjunto cuatro palabras cuádruple-
ples. En la palabra cuádruple representada en la figura 2A,
la batería 0 está en la posición de batería menos signifi-
10 cativa, mientras que la palabra 0 y la palabra larga 0 es-
tán en la posición de palabra menos significativa y las po-
siciones 2B y 2C de palabra larga, respectivamente. La si-
guiente discusión supone que se conservan alineaciones co-
rrespondientes dentro del sistema de tratamiento de datos.
15 Sin embargo, no existe el requerimiento de que se conser-
ven tales alineaciones. Por el contrario, como se describe
en la solicitud de Patente Norteamericana en tramitación
número de serie 83-200, pueden producirse transferencias
sin que se conserve esta alineación, como en el caso en que
20 una unidad de ordenador central transfiere una palabra lar-
ga que comienza en algún otro límite de batería.

Si dos elementos han de intercambiar información
sobre la interconexión SBI 14, al menos son necesarias dos
"transacciones" SBI. Durante una primera transacción, uno
25 de los elementos solicita el intercambio de información y
transmite información de orden y dirección sobre la inter-
conexión SBI 14. El otro elemento, designado por la infor-
mación de dirección, responde y se prepara para completar
el intercambio de información. Esto completa una primera
30 transacción SBI. El controlador 20A de memoria se convierte

1 en un nexo respondedor cuando recibe y acepta la informa-
ción de orden y dirección procedente de la interconexión
SBI 14. Durante una segunda transacción SBI, la informa-
ción a intercambiar pasa sobre la interconexión SBI 14. Es
5 también posible una tercera transacción SBI para transfe-
rir todavía información adicional.

Cada elemento que establece conexión al sistema
SBI 14 se denomina "nexo". El sistema específico represen-
tado en la figura 1 incluye seis nexos. Un nexo se define
10 adicionalmente atendiendo a su función durante un intercam-
bio de información. Durante tal intercambio, el nexo que
transmite información de orden y dirección sobre la inter-
conexión SBI 14 se denomina "nexo ordenador". La unidad
que responde a esa información de orden y dirección se de-
15 nomina "nexo respondedor". De este modo, si el ordenador
central necesita recuperar datos del controlador 20A de
memoria, la unidad de ordenador central se convierte en un
nexo ordenador y transmite una orden de lectura y una di-
rección de memoria durante una primera transacción SBI. Du-
20 rante la segunda transacción SBI el controlador 20A de me-
moria transfiere los datos solicitados en retorno a la uni-
dad 10 de ordenador central.

Se define también un nexo como "nexo transmisor"
o nexo "receptor". Un nexo transmisor excita las líneas de
25 señal, mientras que un nexo receptor muestrea y examina las
líneas de señal durante cada transacción de línea general.
En el ejemplo precedente, la unidad de ordenador central
es un nexo transmisor durante la primera transacción SBI
y un nexo receptor durante la segunda transacción SBI. Si-
30 milarmente, el controlador 20A de memoria es un nexo re-

1 ceptor durante la primera transacción de línea general y
un nexo transmisor durante la segunda transacción SBI. Se
producen transacciones similares para intercambios de in-
formación entre dos nexos cualesquiera. Sin embargo, los
5 controladores de memoria funcionan normalmente solo como
nexos respondedores mientras que las unidades de ordena-
dor central funcionan normalmente solo como nexos ordena-
dores.

Los intercambios típicos de información con la
10 unidad 10 de ordenador central sobre la interconexión SBI
14 implican datos a interpretar en la unidad de ordenador
central como instrucciones, especificadores de operando y
datos. Otras transferencias darán curso a los datos desde
la unidad de ordenador central en retorno sobre la unidad
15 14 SBI para transferencia a otros elementos o unidades co-
nectadas al sistema SBI 14.

Del mismo modo, las otras unidades representadas
en la figura 1 pueden iniciar intercambios de información
sobre la unidad SBI 14. Intercambios típicos incluirían
20 transferencias entre una de las unidades 25 de disco o una
de las unidades 27 de cinta y una de las unidades 11 de
memoria. Los dispositivos 23 de entrada-salida comunican
también con los controladores 11 de memoria. Cada uno de
los controladores 20A y 20B y los adaptadores 24, 26 de
25 línea general contienen diversos registros de control. En
momentos diferentes durante el funcionamiento del sistema
de tratamiento de datos, los programas que están siendo
ejecutados por el ordenador 10 central pueden transferir
información directamente a o desde uno de estos registros
30 de control sobre la unidad SBI 14 sin implicar a los con-

1 troladores 20A o 20B de memoria. Todas estas transacciones
sobre la interconexión SBI 14, sin embargo, son básicamen-
te idénticas porque cada uno de los registros de control
que establecen conexión con el sistema SBI 14 tiene una di-
5 rección de memoria. Más específicamente, la información de
orden-dirección tiene la capacidad de direccionar un núme-
ro predeterminado de posiciones de memoria. El valor máxi-
mo de este número depende del número de posiciones de bi-
tio en la dirección, y define el espacio de memoria dispo-
10 nible como número de baterías de bitios. Está reservada
una porción del espacio de memoria disponible para las po-
siciones de memoria incluidas en los conjuntos 21A y 21B
de memoria. El espacio disponible restante está reservado
para estos registros de control. De este modo, cada posi-
15 ción de memoria en el sistema de tratamiento de datos si
comprende una posición de memoria en un conjunto de memo-
ria o un registro de control, tiene una dirección de memo-
ria singular.

Esta característica del sistema de tratamiento
20 de datos representado en la figura 1 elimina la necesidad
de instrucciones de entrada-salida. Como resultado, la
unidad de acoplamiento SBI y circuito 16 de ocultación de
memoria o cualquier otro elemento conectado a la unidad
SBI 14, puede establecer acceso a cualquier posición de
25 memoria utilizando las mismas operaciones básicas que se
utilizarían si se estableciese acceso a una de las unida-
des 11 de memoria. Consiguientemente, una descripción de
intercambios de información entre la unidad de acoplamien-
to SBI y el circuito 16 de ocultación de memoria de la uni-
30 dad 10 de ordenador central y el controlador 20A de memo-

1 - ria y uno de los conjuntos 21A de memoria en las unidades
ll de memoria, describe esencialmente los intercambios de
información entre otras unidades cualesquiera conectadas
a la unidad SBI 14. Las variantes o modificaciones requere-
5 ridas para un adaptador específico de los adaptadores 22,
24 y 26 estarán basadas en la función específica de estos
adaptadores y, tomando como base los siguientes comenta-
rios, resultarán evidentes para cualquier experto en la
técnica.

10 ii. La unidad 14 de interconexión posterior síncro-
na (SBI)

De acuerdo con una realización específica de es-
te invento, la unidad SBI 14 transmite varias señales a y
desde las diversas unidades que tienen conexión con la
15 misma sobre posiciones correspondientes de conductor. Es-
tas posiciones de conductor y señales pueden enumerarse
en cinco clases:

1. arbitraje
2. transferencia de información;
- 20 3. respuesta;
4. control;
5. solicitud de interrupción;

Todas estas señales se mantienen en sincronismo
con señales de reloj que constituyen algunas de las seña-
25 les presentes sobre las posiciones de conductor de control.
Estas señales de reloj están representadas en la figura
4. Específicamente, un circuito de reloj utiliza señales
procedentes de un reloj maestro (por ejemplo, el reloj 70
representado en la figura 6) para generar un número de se-
ñales. Las figuras 4A y 4B ilustran señales TP complemen-

1 tarias que están designadas como señal TP-H y señal TP-L,
respectivamente. Las señales de reloj incluyen también se-
ñales con fase en cuadratura y de la mitad de la frecuen-
5 cía de las señales TP. Estas señales están ilustradas como
señales de reloj complementarias PCLK-H y PCLK-L en las fi-
guras 4C y 4D y como señales PDCLK-H y PDCLK-L de reloj
complementarias en las figuras 4E y 4F. Las señales prece-
dentes representan señales de base de tiempos que aparecen
sobre la unidad SBI 14.

10 Cada uno de los nexos incluye circuitos para de-
ducir las señales de sincronismo necesarias para realizar
transacciones sobre la unidad 14 SBI. Como se representa
en las figuras 4G a 4J, estas señales incluyen señales
TOCLK a T3CLK en cuadratura, cada una de las cuales tiene
15 un ciclo de utilización del 25% a la mitad de la frecuencia
de las señales TP. Los flancos anteriores de los impulsos
TOCLK a T3CLK definen intervalos de sincronismo T0 a T3,
como se representa en la figura 4K. El intervalo de tiempo
entre instantes T0 sucesivos se denomina intervalo de ci-
20 clo de línea general. En general, un nexo de transmisión
transfiere información sobre la unidad SBI 14 en un inter-
valo T0. Un nexo receptor muestrea la unidad SBI 14 en un
intervalo T3. En una realización específica de este inven-
to, el intervalo entre instantes T0 sucesivos es aproxima-
25 damente de 200 nanosegundos.

Como resultará ahora evidente, cada nexo que es-
tablece conexión a la unidad SBI 14 puede transferir infor-
mación sobre dicha unidad. Deben disponerse por consiguient-
te, algunos medios para controlar el acceso a la unidad
30 SBI 14. Las señales de arbitraje sobre conductores de arbi-

1 - traje, o líneas 31, proporcionan esta función de control.
Cada nexa tiene una prioridad de acceso a línea general
predeterminada asignada al mismo. En esta realización es-
pecífica, hay dieciséis líneas de arbitraje que están de-
5 signadas respectivamente como líneas TROO a TR15. La señal
TROO constituye una señal HOLD y establece conexión con to-
dos los nexos. Cada una de las líneas TRO1 a TR15 tiene
asignada una prioridad. El nexa de prioridad más alta trans-
mite una señal de control de acceso sobre la línea TRO1 y
10 el segundo nexa de prioridad más baja transmite otra señal
de control de acceso sobre la línea TR15. El nexa de prio-
ridad más baja no transmite ninguna señal de control de
acceso. Cada nexa responde a señales de control de acceso
procedente de nexos que tienen prioridades superiores a la
15 prioridad asignada a ese nexa y a la señal HOLD.

Quando un nexa diferente del nexa que tiene la
prioridad más baja, tal como el nexa 32 representado en
la figura 3, desea obtener acceso a la unidad SBI 14, con-
diciona un circuito 33A de arbitraje para transmitir su
20 señal de control de acceso sobre su línea TB asignada en
el instante T0. En el siguiente instante T3, el circuito
33A de arbitraje muestrea todas las señales de control de
acceso procedentes de los nexos de prioridad superior y
la señal HOLD. Si tal señal de control de acceso o la se-
25 ñal HOLD están siendo transmitidas, el nexa 32A continúa
muestreando las señales de control de acceso en cada ins-
tante T3 sucesivo hasta que no se recibe señal de control
de acceso procedente de un nexa de prioridad superior o
no se recibe la señal HOLD. Cuando en un instante T3 no se
reciben tales señales, el circuito 33A de arbitraje habi-

1 lita el circuito 56A de transferencia de información para
comenzar a transmitir señales de transferencia de informa-
ción en el instante T_0 siguiente.

5 Como se ha indicado anteriormente, el nexco de
prioridad más baja no transmite señal de control de acce-
so, sino que recibe todas las señales de control de acce-
so y la señal HOLD. Si este nexco desea obtener acceso a la
unidad SBI 14, puede hacerlo siempre que en un instante T_3
particular no se reciba ninguna de las señales de control
10 de acceso y la señal HOLD. No es necesario que este nexco
retarde su primer muestreo de las líneas TR. Consiguiente-
mente, este nexco tiene realmente el tiempo de exceso más
corto a la unidad SBI 14. Por esta razón, normalmente se
asigna a la unidad 10 de ordenador central la prioridad
15 más baja en el sistema digital de tratamiento de datos.

Las señales de transferencia de información y
sus correspondientes líneas están agrupadas en cinco sub-
grupos. Incluyen las líneas 35 de comprobación de paridad,
las líneas 36 de etiqueta de información, las líneas 37
20 de identificación, las líneas 40 de información y las lí-
neas 52 de solicitud de interrupción.

Existen dos líneas de paridad. Una línea P0 trans-
mite una señal de paridad para las señales presentes sobre
las líneas 36 de etiqueta, las líneas 37 de identificación
25 y las líneas de máscara en las líneas 40 de información.
Una línea P1 transmite información de paridad para las se-
ñales presentes sobre las líneas 40 de información.

Las señales de etiqueta son generadas por un cir-
cuito 60a de etiqueta incluido en el nexco transmisor. Estas
30 señales controlan la interpretación de las señales presen-

1 tes sobre las líneas 37 ID y las señales 40 de información
por parte de los circuitos 57B y 56B de información. Exis-
ten cuatro tipos generales de información transmitida so-
bre las líneas 40 de información. Incluyen información de
5 datos de lectura, de dirección-orden, de datos de inscrip-
ción y de lectura resumen de interrupción. Un conjunto de
valores de bitio de etiqueta que corresponden a cada uno
de estos tipos controlan la interpretación dada a las se-
ñales de máscara sobre las líneas 40 de información por el
10 circuito 56B de información. Por ejemplo, si las señales
de etiqueta especifican que la información es información
de datos que ha sido leída de alguna posición, los bitios
de máscara pueden ser interpretados para indicar si los da-
tos son datos reales, datos corregidos o datos sustituidos.
15 Cuando los bitios de etiqueta especifican que la informa-
ción presente en las líneas 40 de información constituye da-
tos a inscribir en alguna posición, los bitios de máscara
especifican qué batería será inscrita de cuatro baterías
contiguas en la posición de palabra larga direccionada.

20 Cuando el valor de bitio de etiqueta especifica
que la información de las líneas 40 de información consti-
tuye una orden y dirección, la información se divide en dos
campos. Un primer campo es un campo de función; el segundo
es un campo de dirección. El campo de función especifica
25 diferentes tipos de operaciones de lectura e inscripción a
realizar por el respondedor. Los bitios de máscara pueden
ser (o no) utilizados con operaciones individuales de estas
operaciones.

30 Existen seis operaciones básicas que pueden defi-
nir el campo de función, e incluyen una operación de lectu-

1 ra enmascarada, una operación de lectura enmascarada con
bloqueo, una operación de lectura con ampliación, una ope-
ración de inscripción enmascarada, una operación de ins-
5 cripción enmascarada con bloqueo y una operación de ins-
cripción enmascarada ampliada. Con la excepción de la ope-
ración de lectura ampliada, todas estas operaciones utili-
zan la información contenida en el campo de máscara.

Las líneas de respuesta incluyen una línea 43
de defecto y dos líneas 44 CNF. Siempre que un nexa trans-
10 misor transmite información sobre la unidad SBI 14 durante
un ciclo de línea general, el nexa receptor descodifica
la dirección, y dos ciclos de línea general más tarde trans-
mite una confirmación de la correcta recepción de esa in-
formación. Cada nexa muestrea las señales presentes en la
15 unidad SBI en el instante T3 de cada ciclo de línea gene-
ral sucesivo. Por consiguiente, cada nexa transmisor debe
incluir circuitos para distinguir aquellas señales de con-
firmación que corresponden a respuesta a cada una de sus
transmisiones.

20 Las líneas 44 de confirmación pueden definir uno
de cuatro estados, a saber, un estado de ausencia de afir-
mación que indica ausencia de respuesta o selección; un
estado de reconocimiento (ACK) como reconocimiento positi-
vo a una transferencia; un estado de ocupación en respuesta
25 a una selección con éxito de un nexa que está actualmente
inhabilitado para responder adicionalmente a la orden; y
un estado de error cuando se ha realizado una selección
con éxito de un nexa pero el nexa no puede ejecutar ese
tipo de orden.

30

La línea 43 de defecto es portadora de una señal

1 - FAULT que indica si existe cualquier error de paridad en
la vía de información, error de secuencia de inscripción
u otros estados de error.

5 Las líneas 45 de control incluyen las líneas 30
de reloj y también otras cuatro líneas de control.

10 Una línea 46 UNJAM incluida en las líneas 45 cen-
trales transmiten una señal desde la unidad 10 de ordenador
central que establece una condición inicial en todos los
demás elementos, y la señal UNJAM constituye así una señal
de establecimiento de valores iniciales en el sistema.

15 Es mantenida una señal FAIL sobre la línea 47
por un nexo si es un elemento esencial en el sistema de
tratamiento de datos y su alimentación de potencia está
fallando. La unidad 10 de ordenador central es el único
nexo que reconoce una señal FAIL.

20 Se mantiene una señal DEAD sobre la línea 50
siempre que se detecta un fallo de potencia inminente en
los circuitos de sincronismo o circuitos de terminación
SBI. Es equivalente a una señal DC 10 en un sistema de tra-
tamiento de datos.

25 La señal INTERLOCK sobre la línea 51 coordina
diversos nexos que responden a operaciones de lectura e
inscripción con bloqueo. Cuando un nexo ordenador trans-
mite información que incluye una orden de lectura con blo-
queo durante un primer ciclo de línea general, transmite
la señal INTERLOCK durante el siguiente ciclo de línea ge-
neral. El nexo respondedor transmite la señal INTERLOCK
durante el ciclo de línea general subsiguiente. Continua-
rá transmitiendo la señal INTERLOCK hasta que reciba una
orden de inscripción enmascarada con bloqueo y transmita

30

18128

1 una correspondiente confirmación positiva. La señal INTER-
LOCK finaliza entonces.

5 Un grupo final de líneas 52 transmite señales
INTERRUPT REQUEST. Estas señales son generadas por nexos
que deben indicar a la unidad 10 de ordenador central que
responda a alguna condición, tal como el hecho de comple-
tarse una transferencia de datos por parte de uno de los
adaptadores 24 a 26 de línea general de memoria secunda-
rios. Las líneas 53 INTERRUPT REQUEST quedan establecidas
10 en sincronismo en el instante T0. Cuando la unidad 10 de
ordenador central responde a una señal INTERRUPT REQUEST,
transmite una orden de lectura resumen de interrupción que
designa una línea de solicitud de interrupción. Un nexo que
recibe la orden de lectura resumen de interrupción y que
15 asume el control de la correspondiente línea de solicitud
de interrupción transmite señales CNF en las posiciones de
bitio preasignadas de la palabra larga en el campo de in-
formación al mismo tiempo que transmite sus señales CNF.
No se transmiten otras señales. Estas señales identifican
20 singularmente el nexo solicitante y permiten que responda
la unidad 10 de ordenador central. No pueden producirse
otras transacciones sobre la unidad SBI durante tal tran-
sacción porque la unidad 10 de ordenador central asegura
el estado de la señal HOLD sobre la línea TROO tanto para
25 el ciclo de la línea general durante el cual transmite la
orden de lectura resumen de interrupción, como para el si-
guiente ciclo de línea general. La unidad 10 de ordenador
central puede entonces responder al estado que originó la
interrupción.

1 ción, tal como el controlador 20A de memoria, puede aún
ser necesario alertar a la unidad 10 central de tratamien-
to respecto a algún cambio en su estado. Si tal cambio se
5 produce, el nexa en cuestión genera una señal ALERT sobre
la línea 54. La unidad 10 central de tratamiento responde
a la señal ALERT.

Con este conocimiento de las diversas señales
que se transmiten sobre la unidad SBI 14, será ahora posi-
ble utilizar las figuras 3 y 5 para describir en general
10 varias transacciones SBI que ilustran la eficiencia de un
sistema de tratamiento de datos que utiliza elementos que
establecen conexión a la unidad SBI 14. La unidad SBI 14
es una interconexión con transmisión simultánea (multiple-
xada) por división de tiempos. Como se pone de manifiesto
15 por los comentarios precedentes, un intercambio de memoria
implica al menos dos transacciones. Una primera transacción
implica la transferencia de información de orden y direc-
ción; una segunda transacción y cualquier transacción si-
guiente implican la transferencia de datos. Se utilizan
20 las mismas líneas para todas las transacciones, y el signi-
ficado que se da a la información presente sobre las lí-
neas 40 de información durante cada transacción está deter-
minado por las señales presentes sobre las líneas 36 de
etiqueta.

25 La figura 5 ilustra diversas secuencias que po-
drían producirse entre varios nexos incluyendo el nexa 32A
y el nexa 32B, suponiendo que el nexa 32B incluye uno de
los controladores de memoria. El nexa 32A podría ser el
adaptador 22 de línea general de entrada-salida o uno de
30 los adaptadores 24 y 26 secundarios de línea general de

1 memoria.

Inicialmente, el circuito 33A de arbitraje recibe una señal procedente de otro circuito que indica que el nexo 32A está preparado para transferir datos al nexo 32B. En cada instante T3 después de ello, el circuito 33A de arbitraje muestrea las líneas de arbitraje hasta que recibe señal de control de la unidad SBI 14. En la figura 5 el circuito 33A de arbitraje muestrea las líneas 31 de arbitraje y no encuentra señal de control de acceso de prioridad superior o señal HOLD sobre las líneas TR en el instante T3 durante el ciclo 1 de línea general. Al completarse el ciclo 1 de línea general, diversos circuitos que incluyen el circuito 56A de información y el circuito 75A de identificación, un circuito 60A de etiqueta y un circuito 61A de paridad, transmiten durante el ciclo 2 de línea general señales adecuadas sobre las líneas 34 de transferencia de información. Estas incluyen señales de orden de inscripción y señales de dirección procedentes del circuito 56A de información para identificar una posición en los circuitos 56B de información, señales que identifican el nexo 32A desde el circuito 57A de identificación y señales procedentes del circuito 60A de etiqueta que especifican que las líneas 40 de información tienen información de orden y dirección. El circuito 61A de paridad genera el código de paridad adecuado. Si la orden de inscripción ha de ser seguida por datos (los denominados datos de inscripción), durante el siguiente ciclo de línea general, el circuito 33A de arbitraje transmite también la señal HOLD sobre la línea TROO durante el ciclo 2 de línea general para evitar así que cualquier nexo de prioridad superior

1 asuma el control sobre las líneas 34 de transferencia de
información durante el ciclo 3 de línea general. Durante
el ciclo 3 de línea general, no ocurre nada con respecto
a la secuencia "n" de la unidad SBI. En el siguiente segun-
5 do ciclo de línea general (es decir el ciclo 4 de línea ge-
neral) un circuito 63B CNF incluido en el nexa 32B trans-
mite una confirmación positiva (designada como MEMORY ACK)
sobre las líneas 44 CNF, suponiendo que no contenía error
la información recibida del ciclo 2 de línea general por
10 el nexa 32B. Esto completa la secuencia "n" de la unidad
SBI para transferir una orden y dirección de inscripción
enmascarada o enmascarada con bloqueo; esta transacción
requería cuatro ciclos de línea general consecutivos. Du-
rante el ciclo 3 de línea general, el nexa 32A deja de
15 transmitir la información de dirección y orden de inscrip-
ción y transmite, desde el circuito 56A de información,
los datos de inscripción. Después de recibir el nexa 32B
los datos de inscripción durante el ciclo 3 de línea gene-
ral, espera hasta el ciclo 5 de línea general para trans-
20 mitir la correspondiente señal MEMORY ACK. Esto completa
la secuencia "n + 1" de la unidad SBI. El nexa respondedor
modifica solamente las posiciones de batería especificadas
por la máscara de batería transferida con la orden y direc-
ción.

25 Por la descripción precedente, resultará eviden-
te que la operación de inscripción requiere dos transaccio-
nes independientes. Además, cada transacción requiere cua-
tro ciclos de línea general sucesivos. Sin embargo, la or-
denación en secuencia y sincronismo de las transacciones
30 de la unidad SBI 14 reduce la duración de esta operación

1 de inscripción a cinco ciclos de línea general, en vez de
a ocho.

5 Si el nexa 32A estuviese preparado para emitir
una orden de lectura ampliada y no estuviese transmitiendo
ningún otro nexa de prioridad superior su señal de control
de acceso y la señal HOLD no estuviese siendo transmitida
durante el ciclo 3 de línea general, el nexa 32A podría
transmitir la información de orden y dirección sobre las
líneas 34 de transferencia de información durante el ciclo
10 4 de línea general. La confirmación MEMORY ACK para
esta transacción (secuencia "n + 2" de línea general repre-
sentada en la figura 5) no sería muestreada en el nexa 32A
ordenador hasta el ciclo 6 de línea general. Una operación
de lectura ampliada hace que el nexa 32B respondedor obten-
ga un comienzo de palabra cuádruple en la posición especi-
15 ficada por las señales de dirección. Sin embargo, una pala-
bra cuádruple incluye dos palabras largas, y las líneas 34
de información transfieren solamente una palabra larga en
paralelo. De este modo, el nexa 32B interpreta la orden de
lectura ampliada y se prepara para realizar dos transaccio-
20 nes sucesivas sobre la unidad SBI 14.

En este punto, sería posible inhibir cualquier
transacción adicional sobre la unidad SBI 14 por la acción
de otros nexos. Sin embargo, de acuerdo con este invento,
25 el nexa 32A cede su control de la unidad SBI 14 de modo
que puede asumir el control otro nexa. Esta liberación de
control permite que un elemento secundario de memoria con-
trole la unidad SBI 14 y transmita una orden de inscrip-
ción ampliada durante el ciclo 5 de línea general. Como se
30 describe posteriormente, esta orden normalmente especifi-

1 cará uno de los controladores 20A y 20B de memoria repre-
sentados en la figura 1. Si esta orden estuviese dirigida
al mismo controlador de memoria que recibió la orden de lec-
tura ampliada, el controlador 20A de memoria aceptaría aún
5 la orden y aceptaría subsiguientemente los datos de ins-
cripción transmitidos porque cada controlador de memoria
contiene un archivo de órdenes que almacena órdenes sucesi-
vas y bloques de datos de inscripción que son transferidos
al mismo.

10 Como se ha indicado anteriormente, cualquier ope-
ración de inscripción puede estar seguida en ciclos de lí-
nea general sucesivos por datos de inscripción a inscribir,
de modo que el elemento secundario de memoria, como nexa
ordenador, mantiene la señal HOLD durante los ciclos 5 y 6
15 de línea general y transmite los datos de inscripción du-
rante los ciclos 6 y 7 de línea general. De este modo, una
operación de inscripción ampliada requiere tres transaccio-
nes sucesivas que están representadas como secuencias "n +
3" a "n + 5" de línea general representadas en la figura 5.
20 Se extienden solamente sobre un intervalo de seis ciclos
de línea general.

Suponiendo que al tener lugar la transferencia
de información de orden de inscripción y de dirección y
de los datos de inscripción, el nexa 32B estuviese prepa-
25 rado para replicar a la orden de lectura ampliada anterior,
estaría en una posición adecuada para asumir el control de
la línea general y transmitir la primera partida de datos
de lectura sobre las líneas de transferencia de informa-
ción durante el ciclo 8 de línea general como parte de la
30 secuencia "n + 6" de la unidad SBI. Como se está realizando

1 una operación de lectura ampliada, el nexa 32B mantiene la
señal HOLD durante el ciclo 8 de línea general para garan-
tizar que puede transmitir el segundo bloque de datos de
lectura durante la secuencia "n + 7" de la unidad SBI. El
5 nexa 32A descodifica su código de identificación sobre las
líneas 37 ID y la función de datos de lectura sobre las lí-
neas 35 de etiqueta y acepta los bloques de datos de lectu-
ra en los instantes T3 durante los ciclos 8 y 9 de línea
general. El nexa 32A transmite su confirmación, ilustrada
10 como señal NEXUS ACK en la figura 5, sobre las líneas 44
CNF durante los ciclos 10 y 11 de línea general, de modo
que el nexa 32B "sabe" que no existen estados de error de
transmisión.

Puede verse por la descripción precedente que los
15 circuitos representados en la figura 3 y el funcionamiento
ilustrado en la figura 5 hacen posible que sean dirigidas
muy eficientemente transferencias sobre la unidad SBI. Como
puede verse observando cualquier ciclo específico de los ci-
clos 1 a 11 de línea general, están implicados grupos dife-
20 rentes de líneas que constituyen la unidad SBI 14 con dife-
rentes secuencias o transacciones de línea general en el
mismo instante. Por ejemplo, durante el ciclo 6 de línea
general, la señal HOLD está mantenida para la secuencia
"n + 5" de línea general. Simultáneamente, las líneas 34
25 de transferencia de información están transmitiendo los da-
tos de inscripción para la secuencia "n + 4" de la unidad
SBI, y las líneas 41 de respuesta están conduciendo señales
de confirmación para la secuencia "n + 2" de la unidad SBI.
Además, el control de la unidad SBI 14 permite que se com-
30 pleten dentro de 11 ciclos de línea general, en vez de en

1 32 ciclos de línea general, ocho transacciones, cada una
de las cuales requiere para completarse cuatro ciclos de
línea general. El procedimiento de sincronismo y ordena-
ción en secuencia de señales descrito anteriormente sobre
5 la unidad SBI es lo que permite que esta unidad transfie-
ra datos entre los elementos de un sistema digital de tra-
tamiento de datos de un modo muy eficiente.

Aunque la operación de lectura ampliada que co-
menzó en el ciclo 3 de línea general no se completó hasta
10 el ciclo 11 de línea general, la liberación asociada de la
unidad SBI 14 permitió una transacción completamente dife-
rente durante el ciclo 5 de línea general. La operación de
lectura no inhibió, por consiguiente, otras transferencias
sobre la unidad SBI 14 mientras el nexa 32B estaba recupe-
15 rando los datos de lectura. Solamente cuando el nexa 32B
tenía los bloques de datos preparados para transferencia
asumió el control de la unidad SBI 14.

Descripción Específica

i. Unidad Central 10 de Ordenador

20 Como se representa en la figura 6, la unidad 10
de ordenador central incluye la consola 15 de operador, la
unidad SBI 14 y los otros circuitos que constituyen la uni-
dad de acoplamiento SBI y el circuito 16 de ocultación de
memoria, el circuito 17 de memoria intermedia de conversión
25 de dirección y el circuito 18 de memoria intermedia de ins-
trucción. Más específicamente, la unidad central 10 de or-
denador funciona de acuerdo con el sincronismo establecido
por un generador de reloj 70 que no solamente proporciona
las señales de sincronismo interno, sino que produce las
30 señales de sincronismo TP, PC1K, PDCLK que son transmiti-

1 das sobre la unidad SBI 14. La unidad de acoplamiento SBI
y circuito 16 de ocultación de memoria comprenden un cir-
cuito 71 de control SBI que establece conexión con la uni-
dad SBI 14 y con una línea general 72 de dirección física
5 (PA). La línea general 32 PA establece conexión a un cir-
cuito 73 de ocultación de datos y a una memoria 74 inter-
media de conversión. La memoria 74 intermedia de conver-
sión convierte información de dirección virtual (VA) y
otra información de control en una dirección física que es
10 transmitida simultáneamente a la unidad 71 de control SBI
y al circuito 73 de ocultación de datos. Los datos proce-
dentes del circuito 73 de ocultación de datos, o de cual-
quier otra posición de la unidad SBI 14 que transmite a
través de la unidad 71 de control SBI, son llevados a otros
15 elementos en la unidad 10 de ordenador central a través de
una línea general 75 de datos de memoria (MD). Estas uni-
dades incluyen un circuito 76 de vias de transmisión de
datos y un circuito 77 de memoria intermedia de instruc-
ción y descodificador.

20 Una línea general 78 de control de microprograma
(UPC) transmite señales desde la memoria intermedia de ins-
trucción y circuito 77 descodificador a una memoria 80 de
control de programa. La memoria 80 de control de programa
genera entonces diversas señales de control sobre una línea
25 general 81 CS, y esta línea general transmite señales a la
memoria intermedia 74 de conversión, a las vias 76 de trans-
misión de datos, al circuito 77 de memoria intermedia de
instrucción y descodificador y a un circuito 82 arbitrador
de saltos no programados e interrupciones. Estos circuitos
30 y la consola 15 de operador establecen comunicación, a tra-

1 vés de una línea general 83 de datos de instrucción (ID),
con un microsecuenciador 84 que controla la secuencia de
operaciones en respuesta a microinstrucciones almacenadas
en la memoria 80 de control de programa.

5 El microsecuenciador 84 establece un estado de
recuperación para obtener una instrucción. El contador de
programa, que especifica la dirección de la siguiente ins-
trucción a recuperar de una de las unidades 11 de memoria,
establece un enlace desde el circuito 76 de vias de trans-
misión de datos, a través de la memoria 74 intermedia de
10 conversión, a la línea 72 general PA. Si el circuito 73 de
ocultación de datos contiene información válida en una po-
sición correspondiente a la dirección física especificada,
transmite datos sobre la línea general 75 MD a la memoria
intermedia de instrucción y circuito 77 descodificador.
15 El microsecuenciador 84 establece otras vias de transmi-
sión de datos para transferir otra información a la memoria
intermedia 74 de conversión para transferir así otros da-
tos a registros incluidos en el registro 76 de vias de
transmisión de datos indistintamente desde el circuito 73
20 de ocultación de datos o bien, después de una recuperación
de las unidades 11 de memoria u otras posiciones de memo-
ria sobre la unidad SBI 14, desde el circuito 71 de control
SBI. Si la instrucción requiere la transferencia de datos
25 a una posición direccionada físicamente, el microsecuencia-
dor 84 establece las vias de datos que son necesarias para
transferir señales a la memoria 74 intermedia de conver-
sión para formar así la dirección física y transferir los
datos simultáneamente al circuito 73 de ocultación de da-
30 tos y a la unidad 71 de control SBI. Durante cualquiera

1 de tales transferencias, la unidad 71 de control SBI ini-
cia un intercambio de información con la posición de memo-
ria especificada.

5 Como se representa en las figuras 6 y 7, la uni-
dad 71 de control SBI establece conexión a la línea gene-
ral 72 PA, la línea general 75 MD, la línea 83 general ID
y la unidad SBI 14. Si se establece acceso al circuito 73
de ocultación de datos de la figura 6 y el circuito 73 de
ocultación de datos no contiene los datos requeridos, exis-
10 te una condición de "falta". Un circuito 91 de estado de
lectura-inscripción, representado en la figura 8, mantiene
una señal STALL-L (La letra "L" indica una señal de afir-
mación de cero) y condiciona un circuito 92 biestable
RAISE-TR para su activación en el intervalo SBITI subsi-
15 guiente. La relación general entre el sistema de sincronis-
mo de la unidad 10 de ordenador central y la unidad SBI 14
está representada en las figuras 9 y 10. En los siguientes
comentarios, el prefijo "SBI" designa intervalos SBI; el
prefijo "CP" indica tiempos unitarios de ordenador central.
20 La figura 9 expone intervalos de ciclo limitados en instan-
tes CPTO.

Durante el primer intervalo de ciclo, la micro-
palabra procedente del microsecuenciador 84 produce una
señal de lectura y sitúa la dirección física sobre la lí-
25 nea general 72 PA. Si el circuito de ocultación de datos
no contiene la información, el circuito 92 biestable se
activa en el siguiente instante SBITI y genera la señal
RAISE-TR FF. Después de un corto retardo, una puerta "0"
93 genera una señal BUFFER FULL que puede también ser ge-
nerada en respuesta a otras señales, tales como la afir-
30

1 mación de una señal READ DATA FF por el circuito 94 biestable cuando el nexa está en un modo de recepción, o una
señal EXPECT READ procedente del registro 95 de desplazamiento después que se ha recibido un bloque de datos de
5 lectura. Mientras es repuesto un circuito 96 biestable BUSY, la señal RAISED TR FF excita una puerta "Y" 97 y una
puerta "O" 100 para generar así una señal RAISED TR.

Un circuito 101 de arbitraje de prioridad establece una señal ARB OK en un instante SBIT3 mientras (1)
10 no están establecidas señales de control de acceso de prioridad superior o señales HOLD sobre las líneas TR, (2)
está excitada una puerta "Y" 102 por la señal RAISE TR procedente de la puerta "O" 100 y (3) no está entonces
establecida la señal ARB OK. El circuito 101 de arbitraje sincroniza la señal que llega de la puerta "Y" 102 en coincidencia con el instante SBIT0 y transmite una señal MY TR.
15

En el instante SBIT2, se activa un circuito 103 de retención si está establecida la señal RAISED TR para excitar así una puerta "Y" 104 y generar una señal TRANSMIT CA. La señal TRANSMIT CA indica que ha de transmitirse información de orden-dirección, y esta señal se aplica a varios otros circuitos. Por ejemplo, esta señal controla la transferencia de la dirección desde un registro 120 de dirección representado en la figura 7 a la unidad SBI 14 a través de un multiplexador 121 de transmisión y transmisores-receptores 115T. El circuito 96 biestable BUSY responde a la señal TRANSMIT CA activándose en el siguiente instante SBIT1, lo cual inhabilita la puerta "O" 100 y la señal RAISE TR. Entonces, se borra la información del
20
25
30
circuito 103 biestable en el siguiente instante SBIT3 y

1 finaliza la señal TRANSMIT CA. La señal BUSY y una señal
RESET BUSY excitan el circuito lógico 106 que establece un
estado inicial en un registro 107 de desplazamiento de sin-
5 cronismo que produce las señales TIMING PULSF 0, 1 y 2 du-
rante ciclos sucesivos, cambiando los impulsos de sincronis-
mo en los instantes SBIT2. Esto completa la transmisión de
la información de orden-dirección.

El registro 107 de desplazamiento actúa como con-
trol de estado y habilita el circuito 63 CNF para vigilar
10 el estado de las líneas 41 CNF en el instante o instantes
adecuados. Cuando se recibe una confirmación positiva, el
registro 95 de desplazamiento se carga con una salida ANY
READ procedente de un descodificador 108 de secuencia que
responde a una secuencia 109 generando una señal ANY READ
15 cuando la información de orden-dirección define cualquiera
de las operaciones de lectura. De este modo, en el siguien-
te instante SBIT1, el registro de desplazamiento establece-
rá una señal EXPECT READ que excita la puerta "0" 93 para
mantener así la señal BUFFER FULL en un nivel establecido.

20 Cuando el nexa respondedor ha recuperado los blo-
ques de datos requeridos y asume el control de la unidad
SBI 14 y transmite el bloque de datos y otra información,
un comparador 110 y el circuito ID de nexa, que forman par-
te del circuito 57 ID, cooperan para generar una señal MY
25 ID cuando las señales ID entrantes sobre la unidad SBI 14
corresponden a las señales procedentes del circuito 111
NEXUS ID. Si las señales de etiqueta indican que la infor-
mación consiste en datos de lectura, no se detectan erro-
res de paridad y el nexa ordenador no tiene retardo de es-
pera para una respuesta, y la puerta "Y" 112 generará una
30

1 señal ANY READ DATA. En el siguiente instante SBIT1, el
circuito 94 biestable genera la señal READ DATA FF que ex-
cita la puerta "0" 93 y condiciona un circuito 113 biesta-
ble para su activación en el siguiente instante SBIT2 pa-
5 ra habilitar así un circuito 114 descodificador para pro-
ducir una señal WANTED DATA. La señal WANTED DATA habilita
el circuito 91 de estado para inhabilitar la señal STALL
en el siguiente instante SBITO.

10 En el instante en que la señal READ DATA FF se
desplaza a un estado establecido, habilita también el cir-
cuito 90 lógico de control de la figura 7 para controlar
la transferencia de datos desde un transmisor-receptor
115 de datos y para desviar la información del registro
116 de datos de lectura a la línea 75 general MD a través
15 de un circuito 117 excitador. Resultará también evidente
que los datos entrantes podrían proseguir a través del
transmisor receptor 115 de datos, un circuito 122 de alma-
cén SBI, un multiplexador 123 de línea general ID y un
circuito 124 excitador, a la línea general 83 ID para fi-
20 nes de diagnóstico.

La figura 9 ilustra los estados de sincronismo
para una operación de lectura ampliada. Como se represen-
ta, el nexó respondedor inicia una transacción de línea
general durante el ciclo designado "MEMORY TR" y transfie-
25 re un bloque de datos de lectura durante el siguiente ci-
clo de línea general. El nexó respondedor transmite tam-
bién la señal HOLD durante el mismo ciclo de línea gene-
ral que transmite el primer bloque de datos de lectura,
de modo que puede transferir el segundo bloque de datos
de lectura en el ciclo de línea general subsiguiente.

30

18128

1 La figura 10 ilustra la secuencia de estado de
sincronismo para las señales que se generan durante una
operación de inscripción. Para esta transferencia el mi-
crosecuenciador 44 emite una orden de inscripción y propor-
5 ciona los bloques de datos y dirección sobre la línea ge-
neral 72 PA y la línea general 75 MD, respectivamente. El
circuito 92 biestable establece entonces la señal RAISE TR
FF y hace que la puerta "0" establezca la señal BUFFER
FULL. En el siguiente instante SBI T1 el circuito biesta-
10 ble 96 BUSY se activa y el circuito lógico 106 de reposi-
ción habilita entonces el contador 107 de estado. Se gene-
ran cuatro impulsos de sincronismo para una operación de
inscripción que implica solamente una palabra larga. Estos
impulsos definen el intervalo de orden-dirección, interva-
15 lo de datos de inscripción y dos intervalos de reconoci-
miento, respectivamente. Cuando se recibe la segunda se-
ñal de reconocimiento sobre las líneas 44 CNF, finalizan
las señales RAISE TR FF, BUFFER FULL y BUSY. Resultará
también evidente por la figura 10 que el bloque de datos
20 es inscrito simultáneamente en la memoria de ocultación
al comienzo de la operación.

ii. Unidades 11 de Memoria

Una vez comprendida la disposición constructiva
básica y funcionamiento de un circuito de control SBI, tal
25 como el circuito 71 de control SBI representado en la figu-
ra 6, que funciona como nexos ordenador tanto en el estado
de transmisión como en el estado de recepción, se descri-
birá ahora el funcionamiento de un controlador de memoria
como nexos respondedor.

El controlador 20A de memoria y un conjunto 21A

1 de memoria están representados en la figura 1 como unidad
típica de memoria. El controlador 20A de memoria incluye
un circuito 200 de acoplamiento memoria-SBI que contiene
5 muchos de los circuitos representados en el nexa 32B en
la figura 3. Esta unidad 200 de acoplamiento establece co-
nexión a través de una línea general FILE a un circuito
201 de control y sincronismo y un circuito 202 de vía de
transmisión de datos. Una línea general CONTROL proceden-
10 te del circuito 201 de control y sincronismo interconecta
diversas secciones 203 de conjunto de memoria, mientras
que una línea general DATA interconecta las secciones 203
de conjunto de memoria y el circuito 202 de vía de trans-
misión de datos.

15 Con referencia a la figura 12, el circuito 200
de acoplamiento SBI comprende un número de excitadores y
receptores en una unidad 204 de acoplamiento SBI que es-
tablece conexión con la unidad SBI 14 directamente. Otras
porciones de la unidad 200 de acoplamiento memoria-SBI
incluyen circuitos para responder a estas señales y para
20 generar señales adecuadas sobre la unidad SBI 14.

Antes de describir el funcionamiento de este con-
25 trolador y conjunto de memoria, será útil describir la fun-
ción de circuitos específicos que están representados en
las figuras 12 a 14. Aún con referencia a la figura 12, un
circuito 205 de comprobación de paridad, incluido en el
circuito 61 de paridad, suponiendo que el nexa 32B corres-
ponde a este controlador de memoria, recibe la señal de
paridad y todas las demás señales de la unidad 204 de aco-
plamiento SBI y vigila la presencia de errores de paridad
30 cualesquiera. El circuito 206 lógico de respuesta corres-

1 ponde al circuito 63B CNF y al circuito 62B FAULT; transmi-
te una respuesta en la forma de una confirmación o error,
como se ha descrito anteriormente, no mas de dos ciclos
de línea general después que la memoria recibe datos de
5 orden-dirección o de inscripción.

 El circuito 207 lógico de arbitraje corresponde
al circuito 33B de arbitraje y, al igual que el circuito
representado en relación con la unidad de ordenador cen-
tral, determina cuándo el controlador 20A de memoria asu-
10 me el control de la unidad SBI 14. Este circuito estable-
ce conexión directamente con la unidad SBI 14.

 El circuito 210 descodificador de etiqueta co-
rresponde al circuito 60B de etiqueta representado en la
figura 3. Descodifica el campo de etiqueta de información
15 recibida sobre las líneas 35 de etiqueta para determinar
así la naturaleza de las señales presentes sobre las líneas
40 de información. La etiqueta descodificada es transmiti-
da a un circuito 211 de comprobación de validez de direc-
ción-datos y a un fichero 212 de órdenes.

20 Un circuito 213 descodificador de función desco-
difica las señales de función cuando se recibe información
de orden-dirección de la unidad SBI 14. Este circuito de-
termina la validez de las señales de función comparándolas
con las señales de función permitidas. Los bitios de fun-
25 ción son transmitidos también al circuito 211 de compro-
bación de validez- de dirección-datos y al fichero 212 de
órdenes.

 El circuito 211 de comprobación de validez de
dirección-datos genera una señal VAL DAT cuando el circui-
30 to 205 de comprobación de paridad indica que no existen

1 errores de paridad, cuando el circuito 213 descodificador
de función indica que los bitios de función son válidos
y cuando la dirección de destino, información de función
y otra información indican que la operación puede realizar-
5 se en la memoria. Circuitos incluidos en el circuito lógico
co 214 de control de fichero, asociados con el fichero 212
de órdenes, hacen posible que sea transferida la informa-
ción presente sobre la unidad 204 de acoplamiento SBI al
fichero 212 de órdenes y que sea incrementado el contador
10 252 de inscripción en respuesta a la señal VAL DAT.

Un circuito 215 de comprobación de dirección de
conjunto determina si la dirección recibida sobre las lí-
neas 40 de información está comprendida dentro del campo
de posiciones de memoria que está asociado con el contro-
15 lador de memoria particular. El circuito 215 recibe tam-
bién señales procedentes de un circuito 220 codificador
de tamaño de memoria, un circuito 221 de corrección de ta-
maño de plaquita y un circuito 222 de corrección de direc-
ción de intercalación. Son bien conocidos en la técnica
20 circuitos para comprobar direcciones entrantes en compara-
ción con campos válidos de posiciones de memoria.

Un circuito 223 de comprobación de dirección de
entrada-salida determina si la dirección y función selec-
cionada son válidas para cualquier registro de control que
25 está incluido en el controlador de memoria. En una reali-
zación específica un controlador de memoria incluye tres
registros de configuración, que están representados esque-
máticamente en la figura 14, y una memoria fija.

El registro A de configuración representado en la
30 figura 14 incluye un campo 230 de información de intercala-

1 ción, un campo de subsistema que indica el tamaño y tipo
de la memoria 232 y un campo 233 de intercalación de habi-
litación de inscripción que permite la inscripción del cam-
po de intercalación. Un campo 234 de tamaño indica el tama-
5 ño del bloque de memoria conectado al controlador de memo-
ria. Una marca 235 indicadora de potencia ascendente y una
marca indicadora 236 de potencia descendente indican si la
memoria está sometida a cualquiera de las correspondientes
secuencias. Están también incluidas marcas indicadoras 237
10 de estado de defecto que incluyen defecto de transmisión
(TF), defecto múltiple de transmisor (MTF), defecto de se-
cuencia de orden de bloqueo (ICS), defecto de secuencia de
datos de inscripción (WDS) y defecto de paridad de línea
general (PP). La señal TF es generada si la memoria estaba
15 funcionando como nexos transmisor cuando se produjo un de-
fecto. La señal MTF indica que un circuito 238 de compro-
bación ID (figura 12) detecta señales ID sobre las líneas
37 (figura 3) que difieren de las señales ID que están sien-
do transmitidas por un circuito 239 de retención ID en el
20 momento en que el controlador de memoria actúa como nexos
transmisor. La señal ICS se establece cuando se recibe una
orden de inscripción enmascarada bloqueada, pero no está
establecida sobre la línea 81 de control la señal INTERLOCK.
Los intercambios con bloqueo requieren que el nexos trans-
25 misor emita una orden de lectura enmascarada bloqueada an-
tes de que se envíe una orden de inscripción enmascarada
con bloqueo. La primera orden hace que un circuito biesta-
ble de bloqueo en el nexos ordenador se active para esta-
blecer así la señal INTERLOCK. La señal WDS se establece
30 siempre que se transmiten cualquiera de las órdenes de ins-

1 cripción y no están seguidas inmediatamente por datos de
inscripción durante el ciclo de línea general subsiguiente.
La señal PP se establece siempre que se detecta un error
de paridad.

5 Aún con referencia a la figura 14, el registro
P de configuración contiene información para comprobar el
sistema lógico de comprobación de error y estado de memo-
ria. Incluye un campo 240 de bitios de comprobación obli-
gatoria utilizados para obligar correcciones de error, y
10 un campo 242 FOR para forzar un error en una dirección pre-
determinada. El campo 241 ECC es utilizado para inhabili-
tar el circuito ECC. Un campo 243 INIT STAT indica si son
válidos los datos de memoria, si la memoria está en el pro-
ceso de inicialización o si el proceso de inicialización
15 se ha completado. Un campo 244 FWSA permite que sea alte-
rado un campo 245 de dirección de iniciación de memoria.
La dirección de iniciación de memoria, como su nombre in-
dica, identifica la primera posición en la memoria. Un cam-
po 246 de capacidad completa de fichero indica si el fi-
chero 212 de órdenes representado en la figura 11 está lle-
20 no.

 Aún con referencia a la figura 14, el registro C
de configuración contiene un campo de síndrome de error,
campo de dirección de error y otros campos que son utili-
25 zados para indicar datos corregidos si se producen ciertos
tipos de errores.

 Con referencia nuevamente a la figura 12, un ge-
nerador de dirección MP genera direcciones de referencia
a memoria en respuesta a las direcciones recibidas de la
30 unidad SBI 14 y las señales de dirección de iniciación pro
18128

1 cedentes del registro P de configuración identificado por
el número 247 de referencia en la figura 13.

5 Un circuito 251 descodificador de destino de ór-
den y dirección utiliza las señales de dirección entrantes
procedentes de la unidad SBI 14 para seleccionar la sección
adecuada en la memoria. Como se ha indicado anteriormente,
estas señales de dirección pueden identificar una posición
10 en una sección 203 de conjunto (figura 11), uno de los re-
gistros de configuración (figura 14) o la memoria 243 fija
que es utilizada para inicializar el sistema. El circuito
251 descodifica las señales de dirección entrantes para se-
leccionar una de estas posiciones de memoria.

15 Con referencia nuevamente a la figura 12, el cir-
cuito lógico 214 de control de fichero vigila el espacio
disponible en el fichero 212 de órdenes. Incluye un conta-
dor 252 de inscripción y un contador 253 de lectura. Un
descodificador 254 de diferencia vigila ambos contadores
252 y 253. Como se describe posteriormente, un comparador
255 de espacio disponible en fichero indica si puede car-
20 garse información adicional en el fichero 212 de órdenes
en respuesta a señales procedentes del descodificador 254
de diferencia y el descodificador 213 de función, como se
describe posteriormente.

25 El circuito de la figura 12 incluye también un
circuito 256 lógico de sincronismo. Este circuito lógico
recibe señales de sincronismo sobre las líneas 30 y produ-
ce los impulsos de sincronismo necesarios en sincronismo
con las señales de sincronismo presentes en la unidad SBI
14.

30 Cuando se transmiten datos en la unidad SBI 14,

1 un generador 257 de paridad responde a la información en
el campo ID, TAG y otros campos para producir las señales
de paridad adecuadas.

5 Adicionalmente, el controlador de memoria con-
tiene circuitos para controlar ciclos de memoria durante
los cuales se transmiten datos al conjunto 21A de memoria
o se recuperan del mismo. Estos circuitos están represen-
tados en la figura 13 e incluyen un registro 260 de direc-
10 ción que recibe la dirección correspondiente a la posición
en el conjunto que se deduce de la información de direc-
ción incluida en las señales de orden-dirección proceden-
tes de las líneas 40. Estas señales son dirigidas a tra-
vés de un multiplexador 261 de dirección al conjunto de
memoria, a la memoria 248 fija, o a los registros de con-
15 figuración. La otra entrada al multiplexador 261 de di-
recciones incluye señales de dirección procedentes del
circuito 262 de sincronismo de memoria y renovación que
mantiene los datos en una memoria volátil en un estado
válido. La renovación de datos de tales memorias es bien
20 conocida en la técnica.

El circuito lógico 264 de control y descodifi-
cador de ciclo de la figura 12 recibe información proce-
dente del archivo de órdenes y genera señales de control
que son utilizadas en los circuitos representados en la
25 figura 13.

Aún con referencia a la figura 13, un selector
265 de transmisión simultánea de datos de entrada-salida
selecciona datos procedentes de uno de los registros 247,
266 y 267 de configuración o de la memoria 248 fija para
30 transferir los datos sobre la línea general FILE si la

1 dirección entrante identifica uno de estos registros espe-
cíficos. Los circuitos 268 de retención de recepción de
datos reciben una palabra larga de datos procedente de la
5 línea general FILE y la almacena transitoriamente hasta
que está preparada para su transferencia sobre la línea
general DATA a la memoria 21A. Estos datos son cargados
también en los circuitos 269 y 270 de retención que sir-
ven como entradas a un circuito 271 de comprobación de
error que no se describe en ninguno de sus detalles adi-
10 cionales.

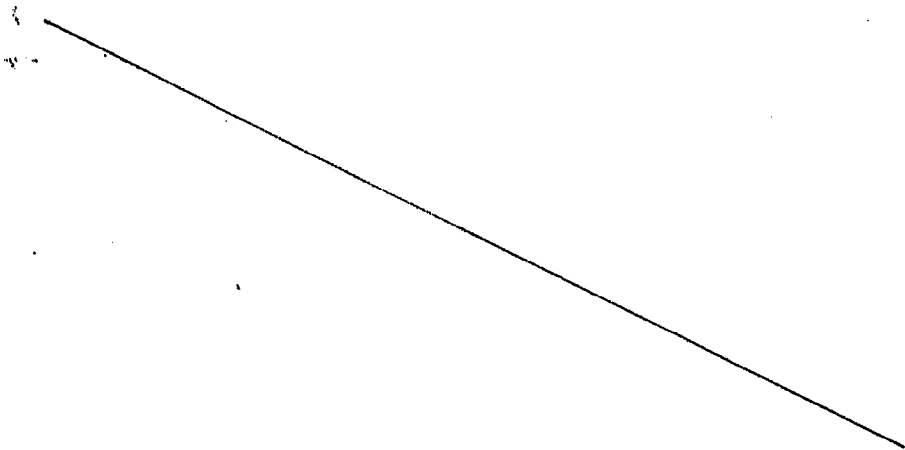
Un generador 272 de etiqueta de datos de lectu-
ra codifica el campo de etiqueta de acuerdo con cualquier
tipo de error que pueda existir o no y excita un transmi-
sor 273 de etiqueta cuando son transmitidos los datos so-
15 bre la unidad SBI 14.

Durante el funcionamiento del sistema de trata-
miento de datos, el circuito lógico 30 de sincronismo vi-
gila las señales de sincronismo sobre la unidad SBI 14.
En el instante T3 del sistema SBI, toda la información
20 presente en la unidad SBI 14 es transferida a circuitos
de retención adecuados de todos los nexos receptores. Ini-
cialmente, se comprueba la paridad de todas las señales
presentes en la unidad SBI 14. Si se detecta un error de
paridad, se establecen y se borran diversas marcas indi-
25 cadoras y se indica un defecto de paridad. Si se están
recibiendo datos de inscripción, se sitúan en el archivo
de órdenes junto con un indicador que abortará el ciclo
de inscripción y se avanzará el contador 252 de inscrip-
ción. Si se recibe información de orden-dirección, se
30 sitúa en el fichero 212 de órdenes, pero no se avanza el

1 - contador 252 de inscripción.

5 Si se supone que se recibe información de órden-
-dirección sin error, el circuito 210 descodificador de
etiqueta descodifica las señales de función. Si las seña-
les de dirección especifican una posición en un conjunto
de memoria, la dirección es transferida al fichero 212 de
órdenes. Puede ser establecido acceso al conjunto de memo-
ria por cualquiera de las funciones válidas; si se detec-
ta una función no válida, se activarán las señales GNF
10 para indicar un estado de error.

15 La descripción precedente está limitada a una
realización específica de este invento. Será evidente,
sin embargo, que este invento puede ser puesto en prácti-
ca en sistemas de tratamiento de datos que tienen construc-
ciones básicas diversas o en sistemas que utilizan circui-
tos internos diferentes a los descritos en esta memoria
con la obtención de algunos o todos los anteriores obje-
tos y ventajas de este invento. Por consiguiente, el ob-
jeto de las reivindicaciones anexas es cubrir todas estas
variantes y modificaciones en el sentido de quedar inclui-
das dentro de la verdadera esencia y campo de aplicación
20 de este invento.



1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

18128

1ª.- Un sistema de tratamiento de datos que comprende primeros y segundos medios de datos y medios de interconexión de sistema conectados a dichos primeros y segundos medios de datos para permitir así una transferencia de información entre dichos primeros y segundos medios de datos, (A.) incluyendo cada uno de dichos primeros medios y segundos medios de datos: i.) medios de control de acceso a línea general para transmitir y recibir señales de control a línea general que controlan el acceso de dichos medios de datos a dichos medios de interconexión de sistema; ii.) medios de transferencia de información conectados a dichos medios de control de acceso a línea general y dichos medios de interconexión de sistema para transmitir y recibir señales de transferencia de información; iii.) medios de confirmación conectados a dichos medios de transferencia de información y a dichos medios de interconexión de sistema para transmitir y recibir señales de confirmación que son transmitidas en respuesta a la recepción de información por parte de dichos medios de datos; (B.) incluyendo dichos medios de interconexión de sistema: i.) medios de interconexión de señal de control de acceso a línea general conectados a dichos medios de

1 control de acceso a línea general en cada uno de dichos
medios de datos, ii.) medios de interconexión de señal de
transferencia de información conectados a dichos medios
de transferencia de información en cada uno de dichos me-
5 dios de datos; iii.) medios de interconexión de señal de
confirmación de transferencia conectados a dichos medios
de confirmación de transferencia en cada uno de dichos me-
dios de datos; iv.) medios de base de tiempos para esta-
blecer intervalos de sincronismo sucesivos, respondiendo
10 dichos medios de control de acceso a línea general, dichos
medios de transferencia de información y dichos medios de
confirmación de transferencia en cada uno de dichos me-
dios de datos a las señales de sincronismo para estable-
cer, para cada transferencia de información, una secuencia
15 de intervalos de sincronismo, permitiendo dichos medios
de control de acceso a línea general que dichos medios de
transferencia de información transfieran la información
durante un intervalo y que dichos medios de confirmación
transfieran las señales de confirmación durante un inter-
20 valo subsiguiente.

2ª.- Un sistema de tratamiento de datos.

P-

Hoja núm. 47

1

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

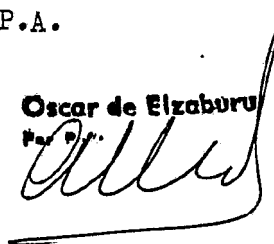
5

Esta Memoria consta de cuarenta y siete hojas escritas a máquina por una sola cara.

Madrid, 28.DIC.1978

P.A.

Oscar de Elzaburu
P.A.



MCC.

18128

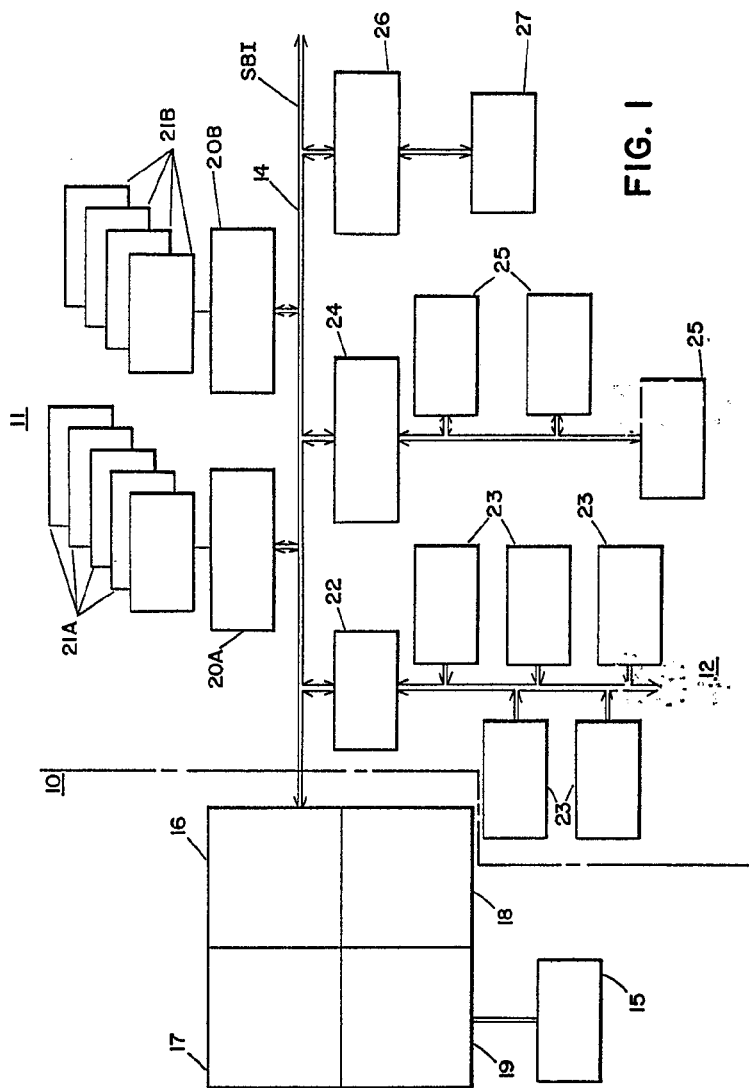


FIG. 1

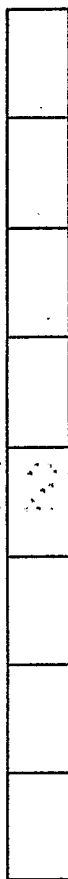


FIG. 2A



FIG. 2B



FIG. 2C

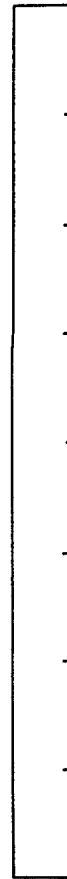
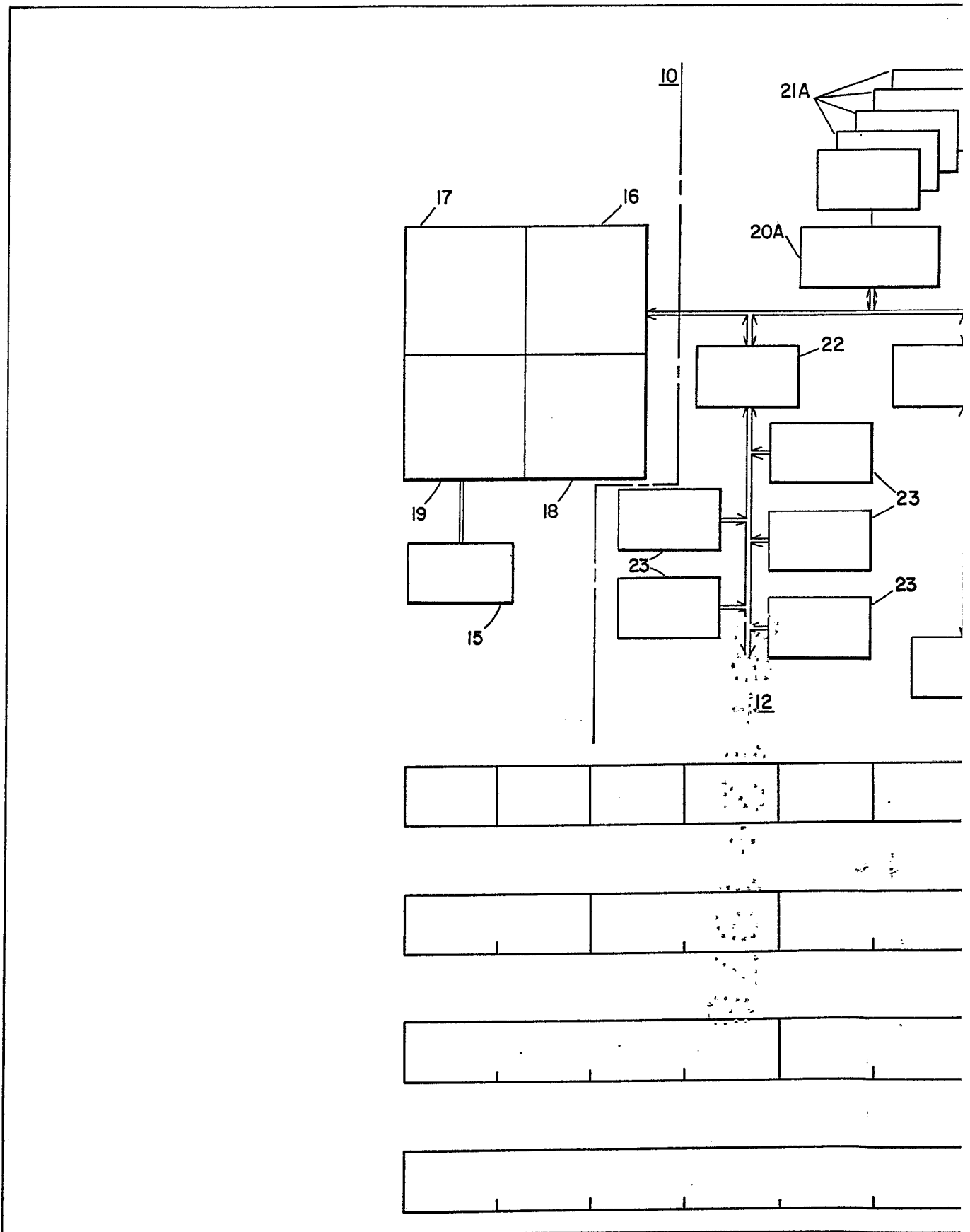


FIG. 2D

Office of Cambridge
[Signature]

DIGITAL EQUIPMENT CORPORATION



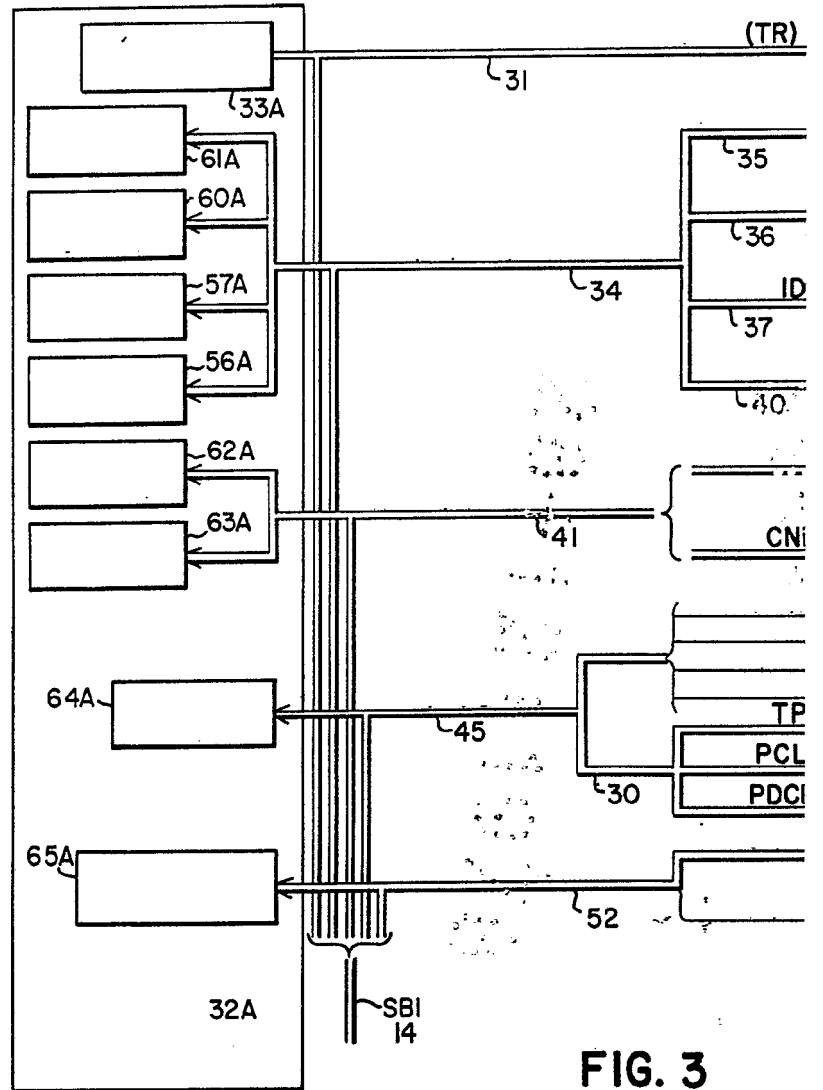
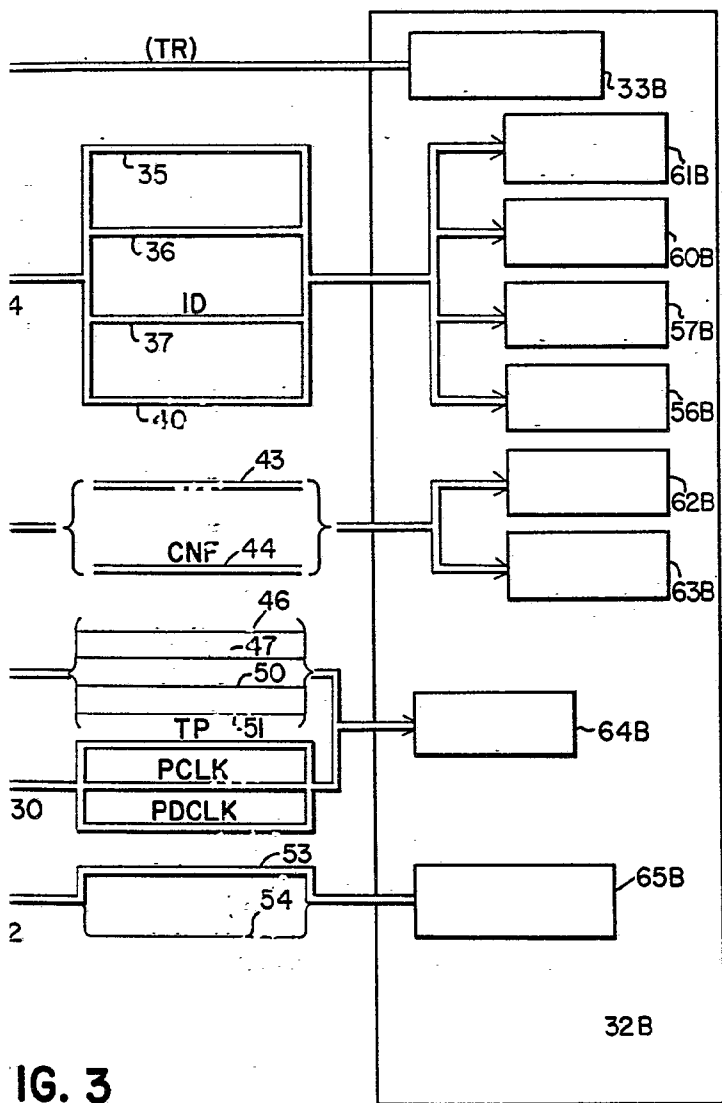
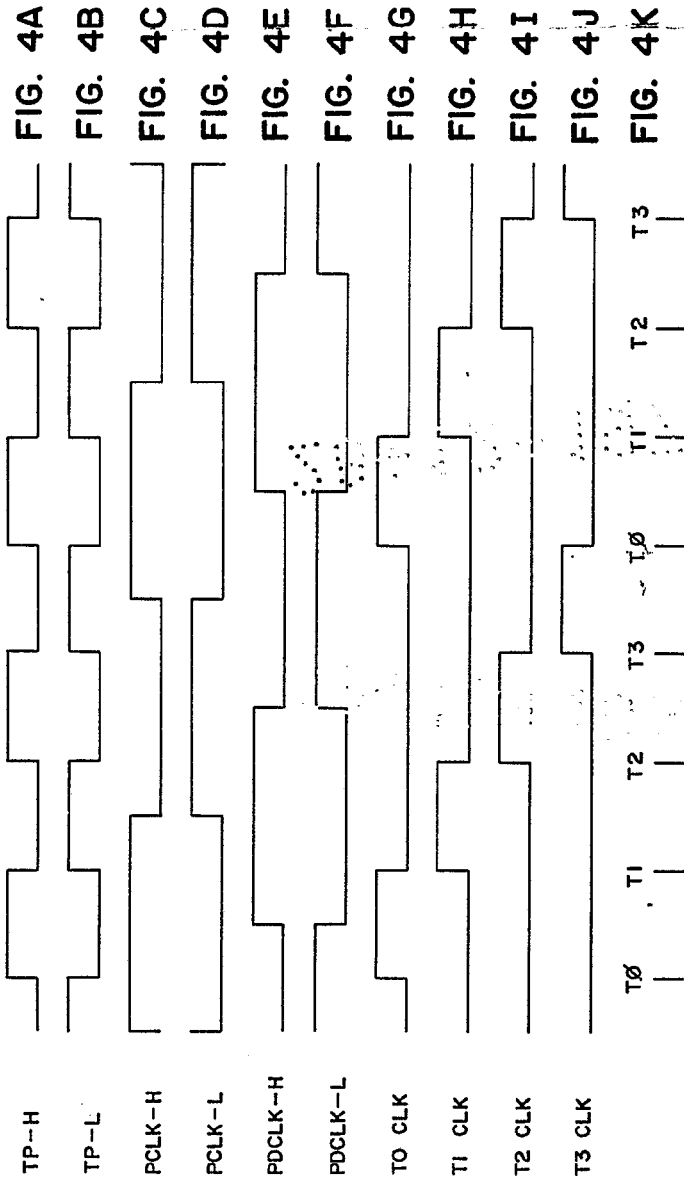


FIG. 3

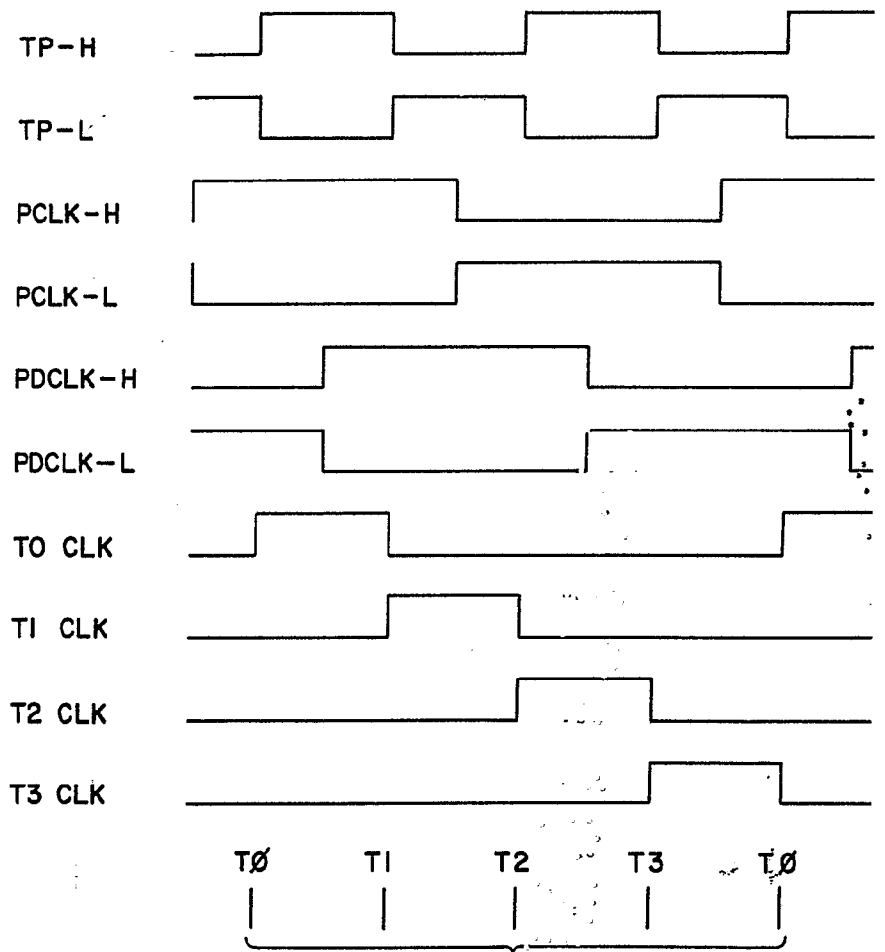


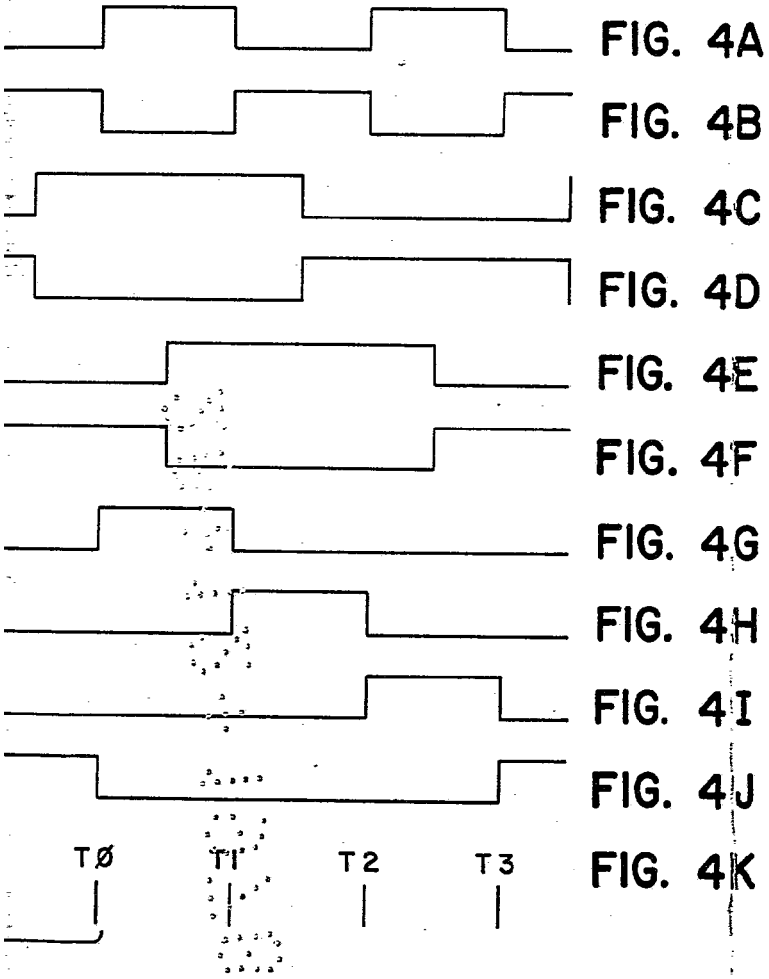
IG. 3

Óscar de la Cruz
Por favor



Office of Elizabeth
Bull





Oscar de Elizaburu
Bar. Potosí

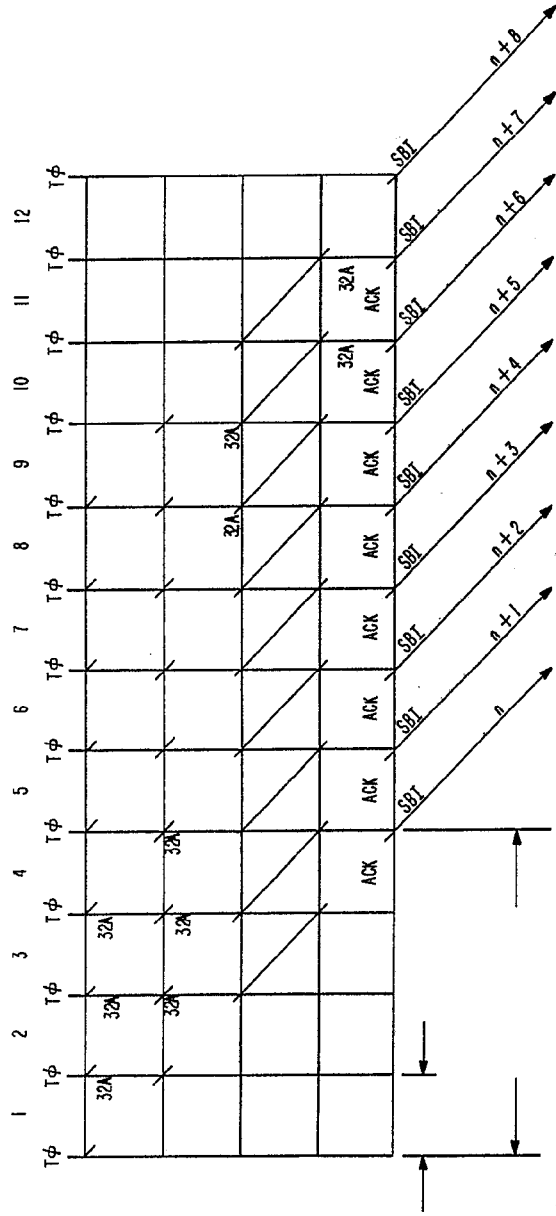


FIG. 5

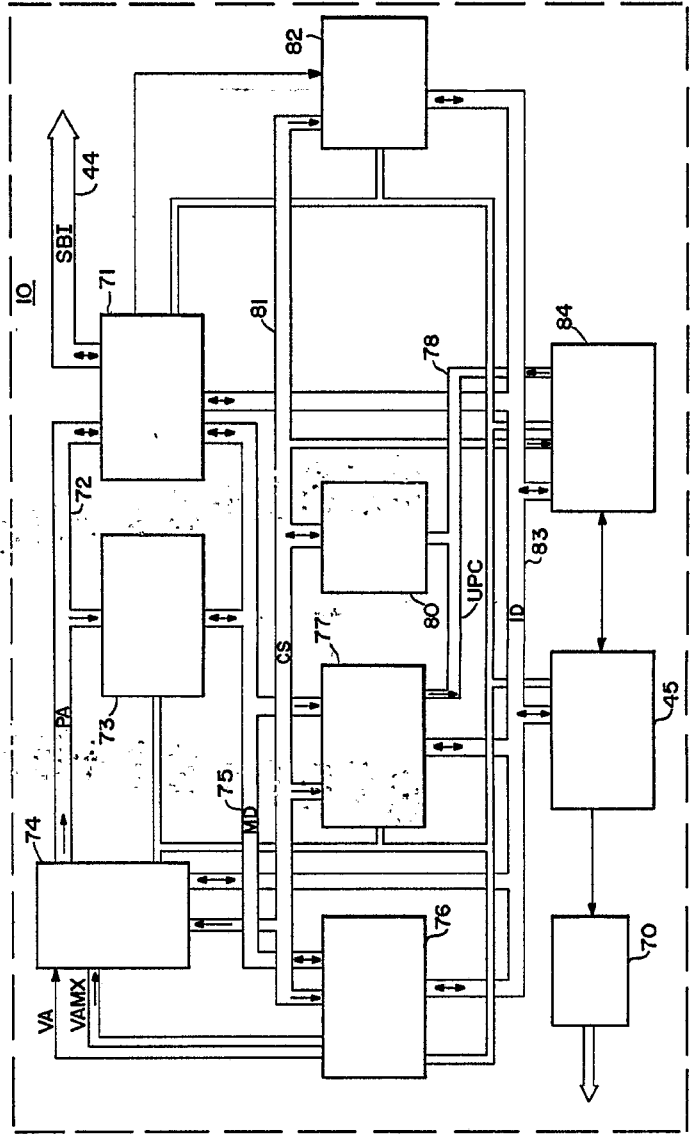


FIG. 6

Handwritten signature and initials

FIG. 5

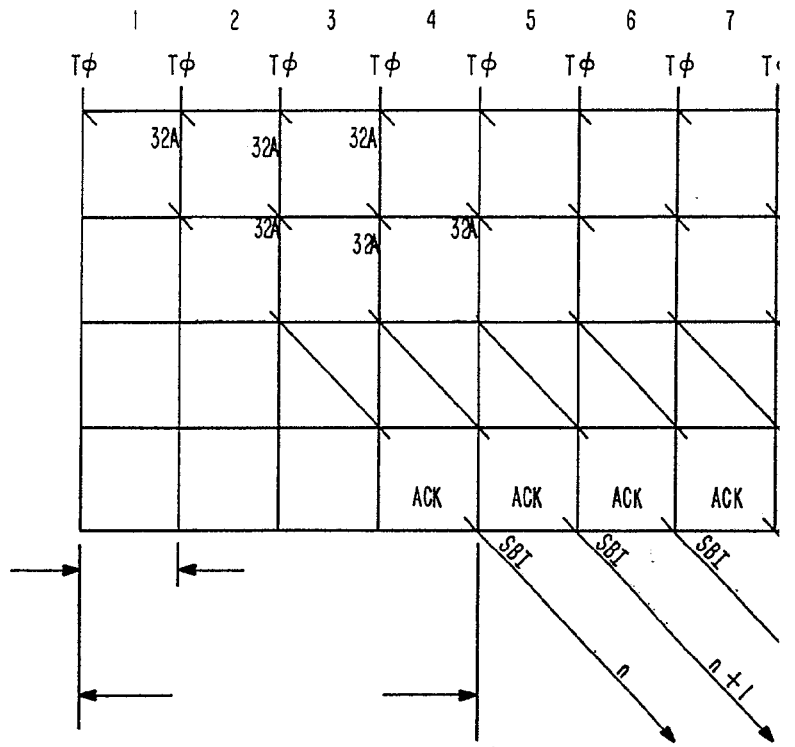
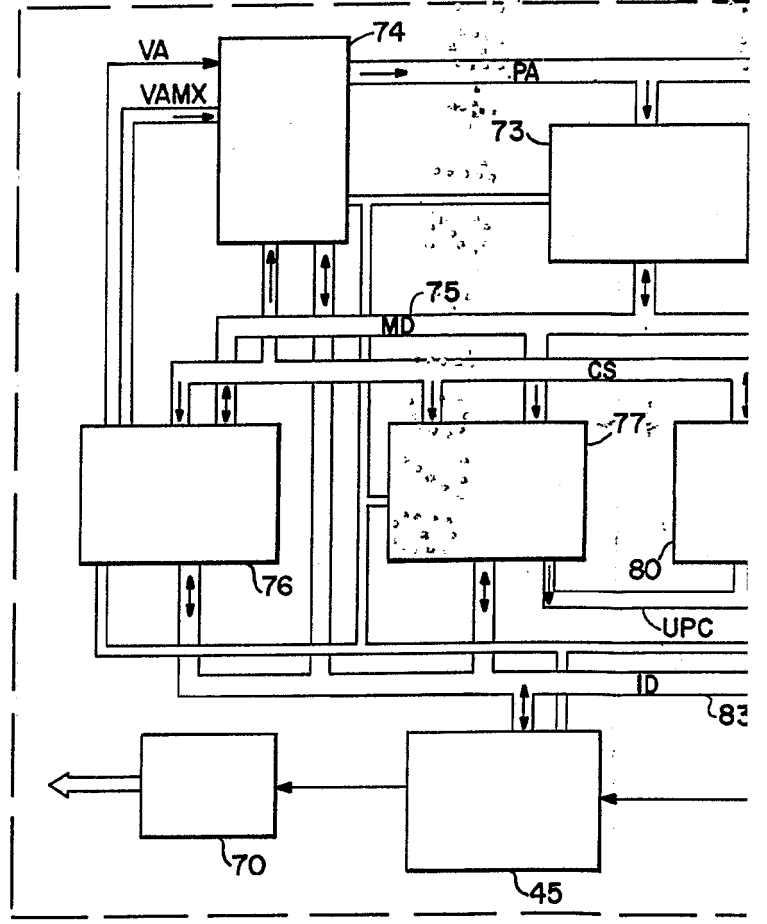
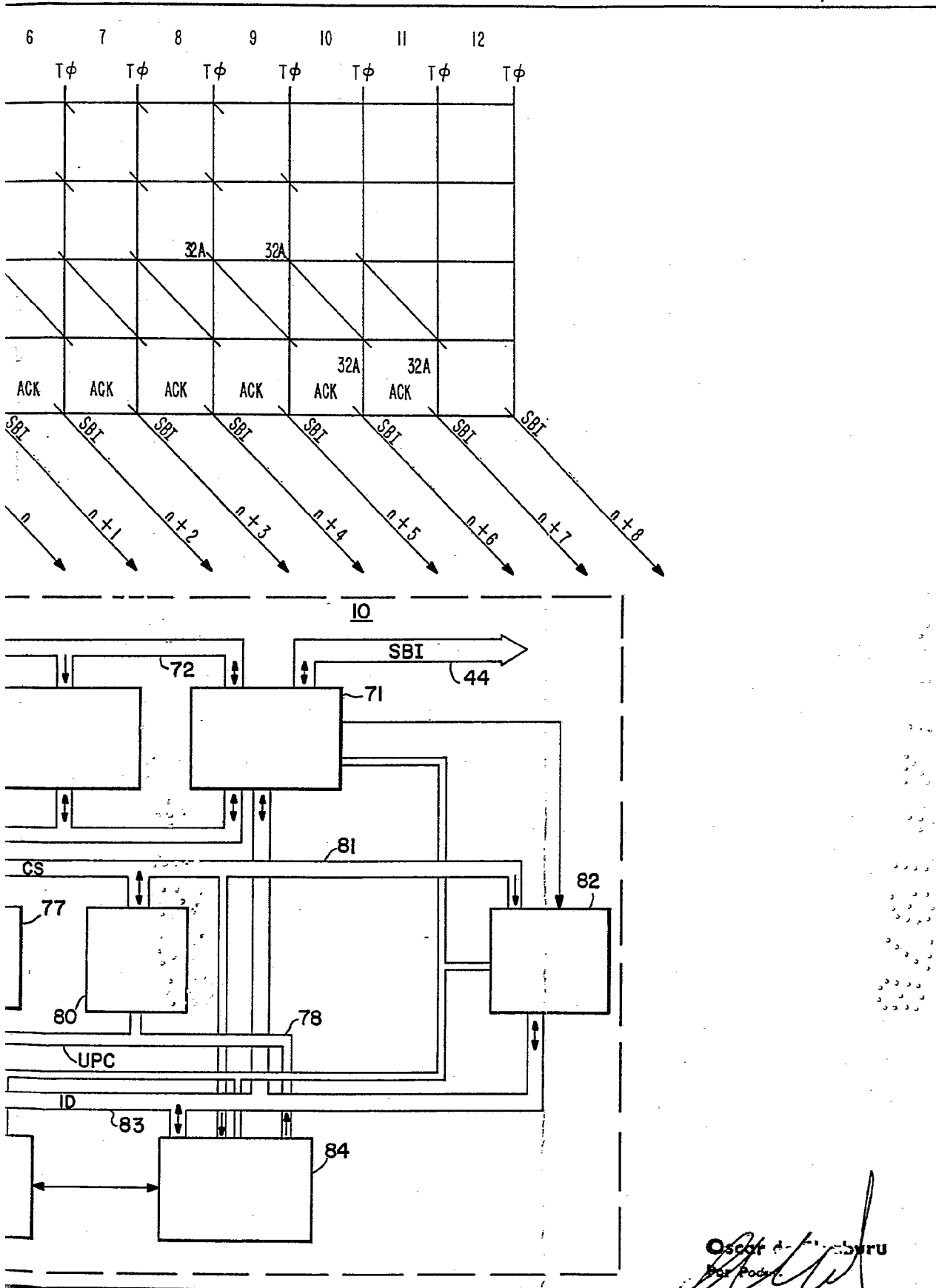


FIG. 6



70233
IV/X



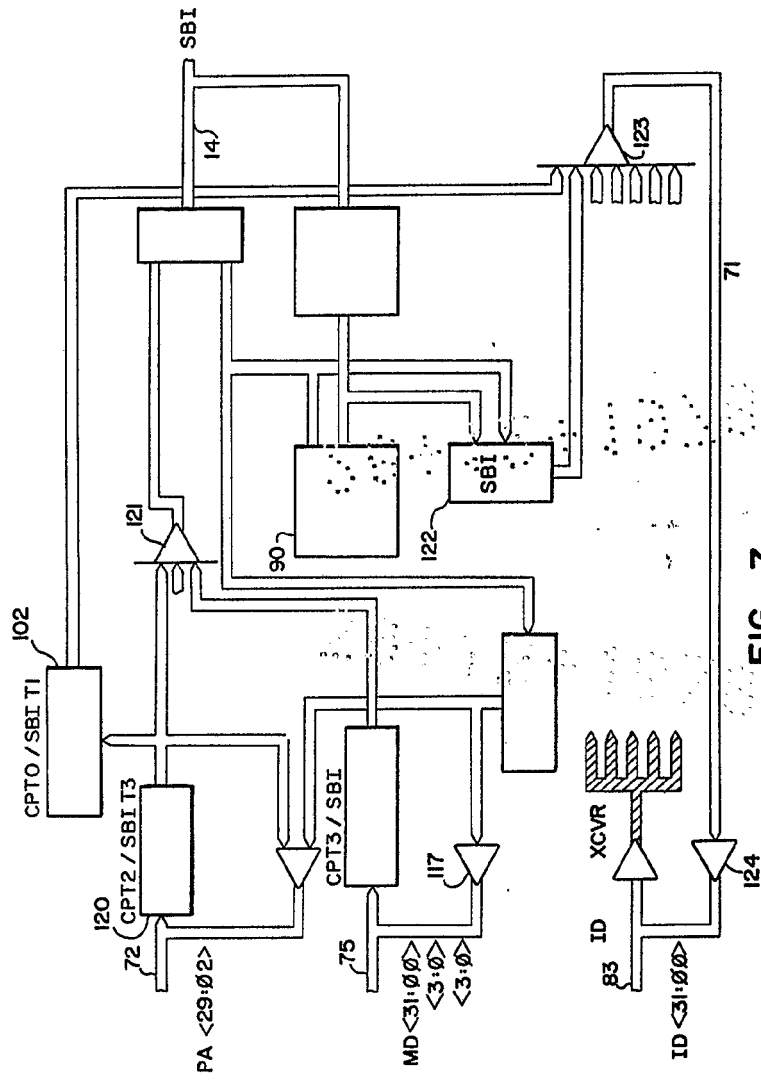


FIG. 7

Osvaldo de Elizabeth
Escritura

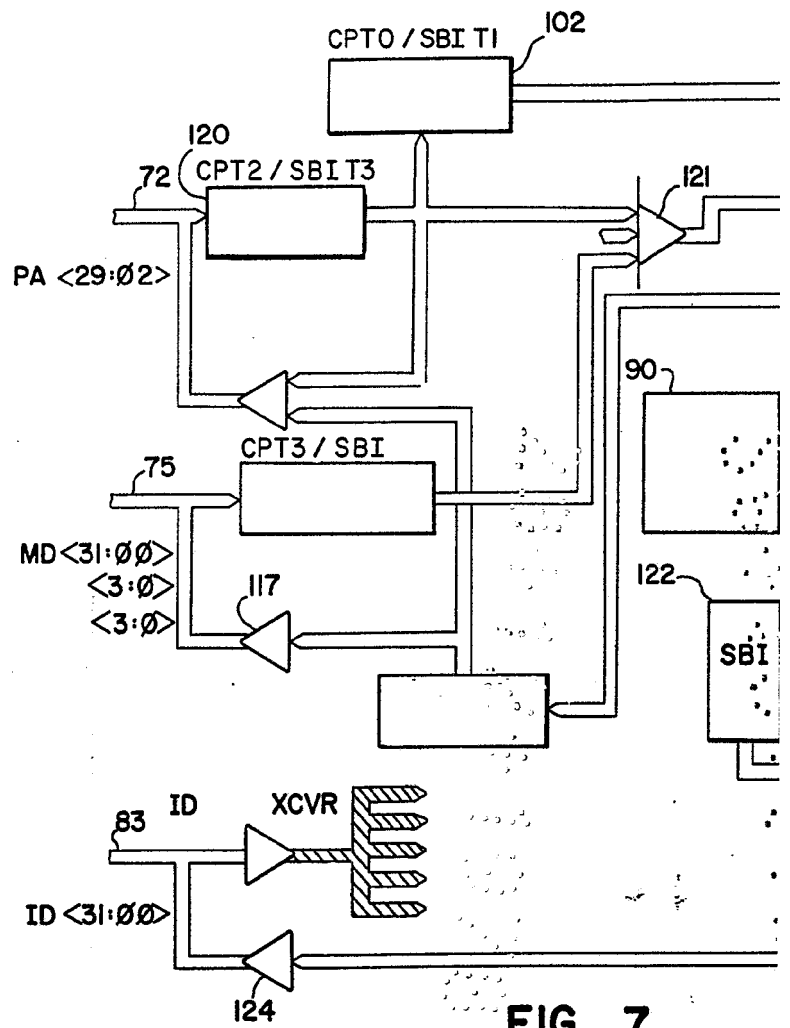
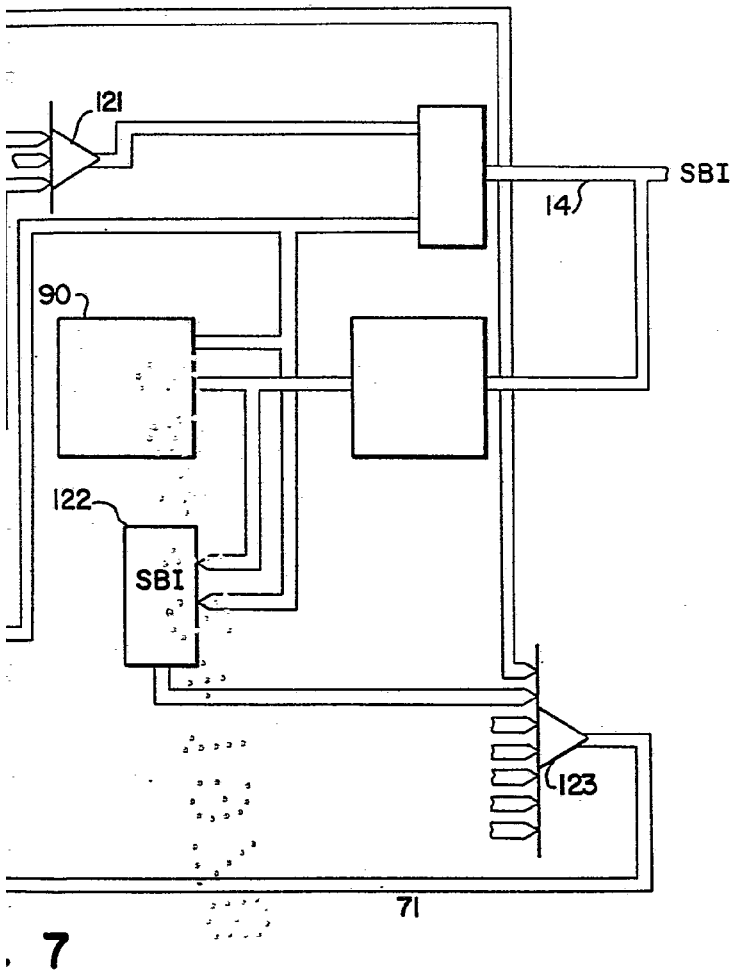


FIG. 7



Oscar de Elzaburu
C/ San Pedro, 10

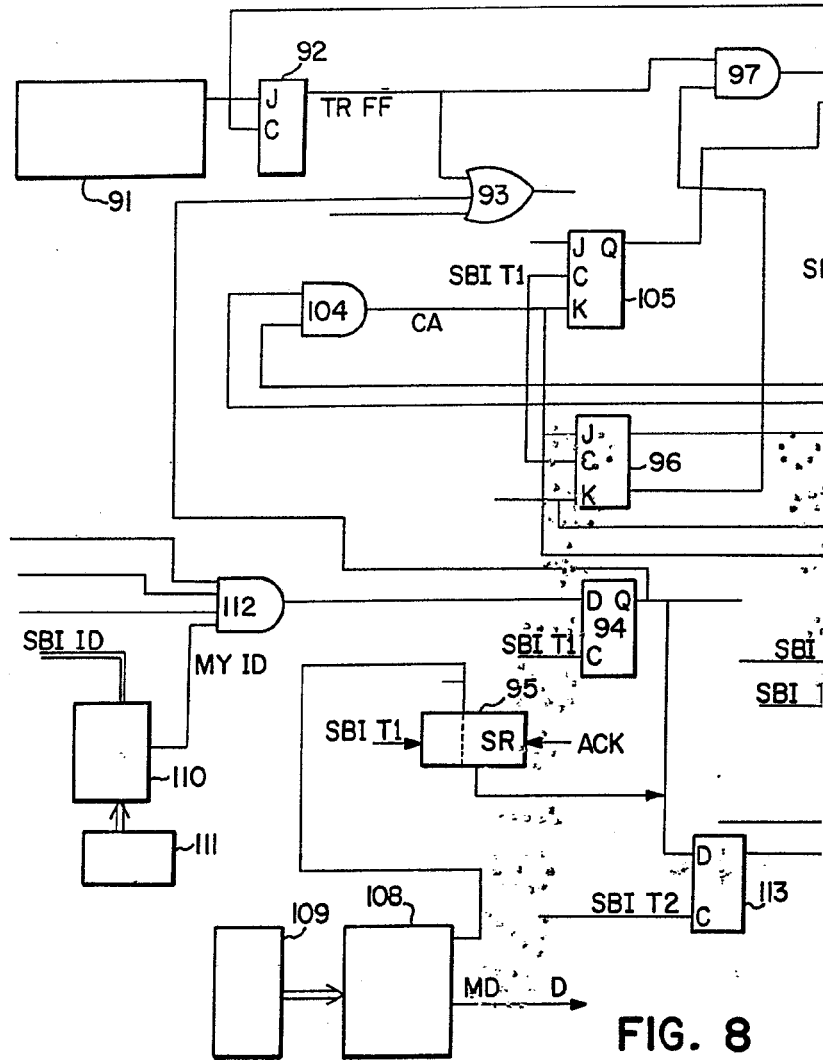


FIG. 8

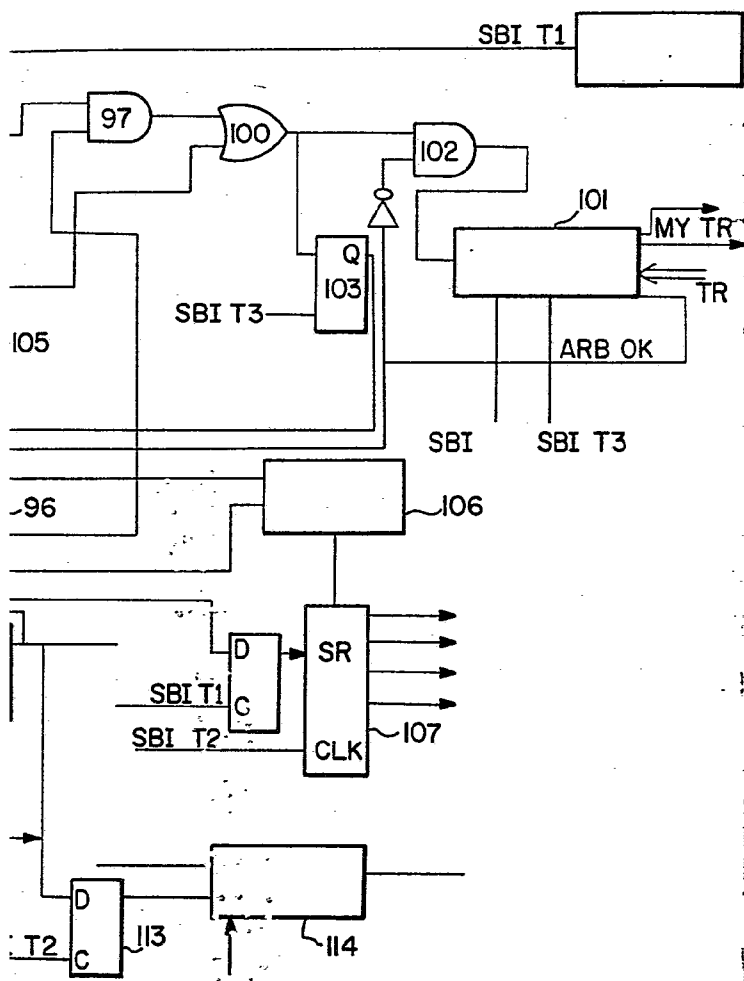
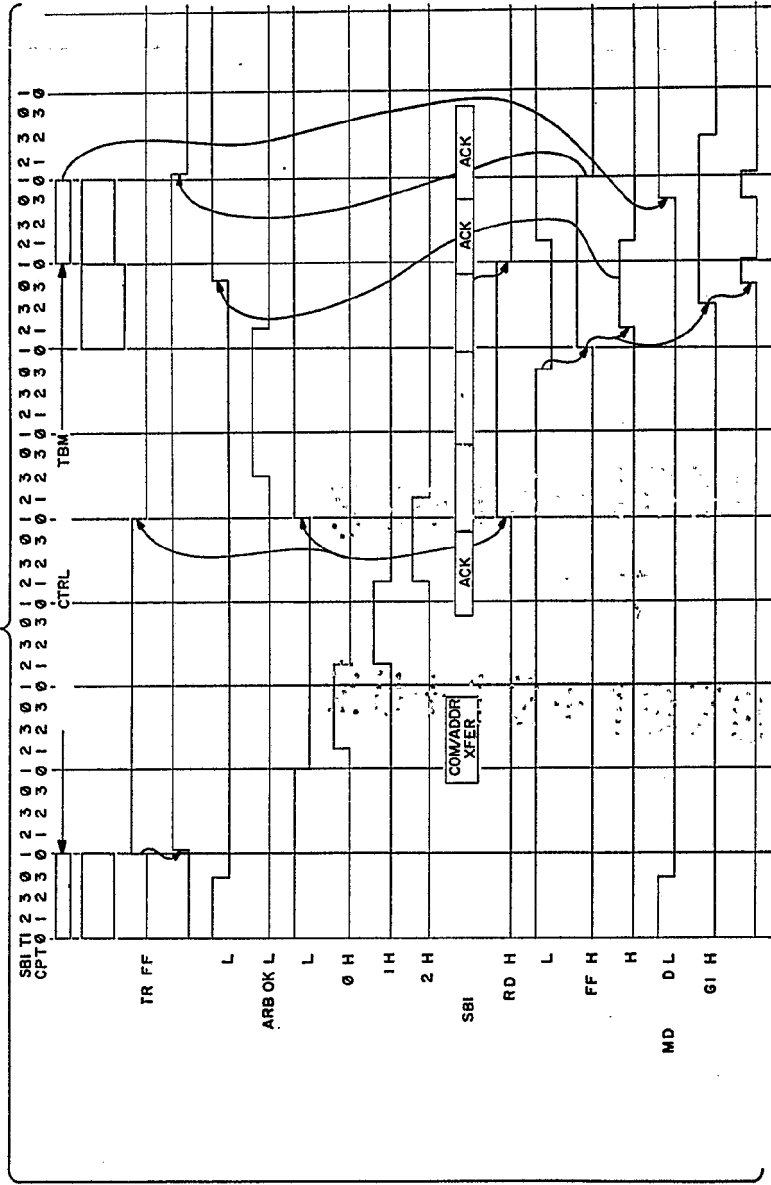


FIG. 8

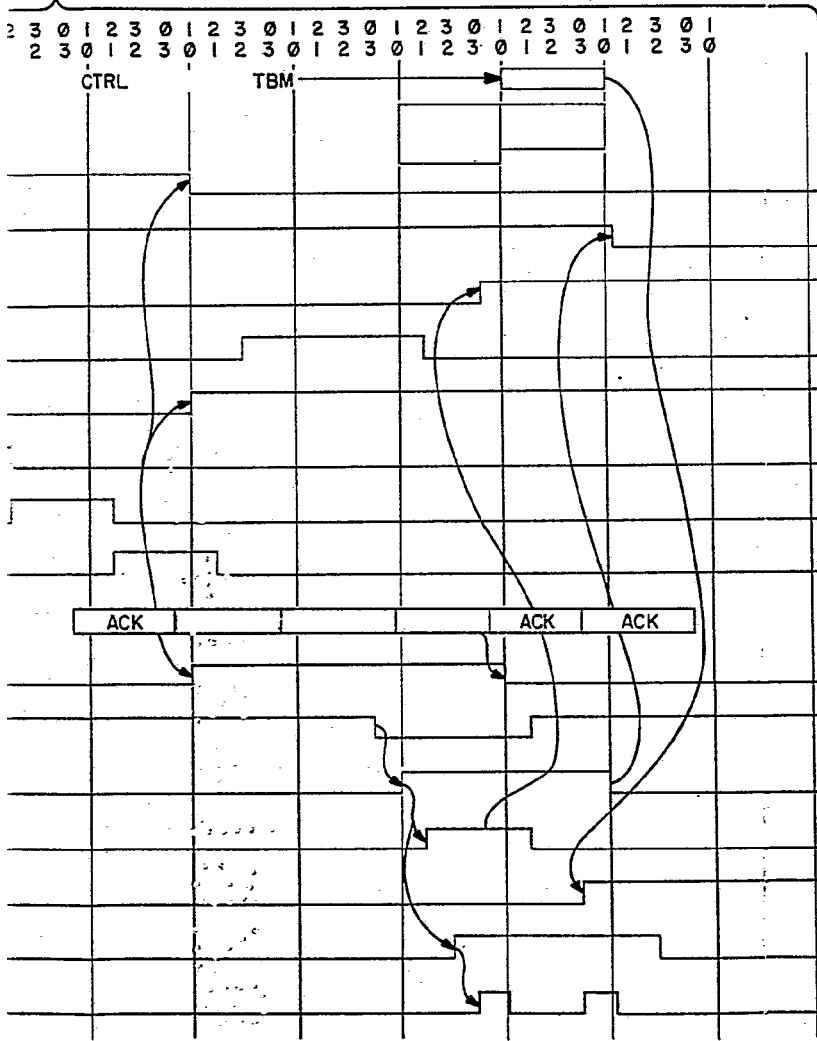
Oscar de Elizaburu
For Podes.

FIG. 9



Oscar de Fitzaburu
for [Signature]

IG. 9



Oscar de Sizaúru
For Order

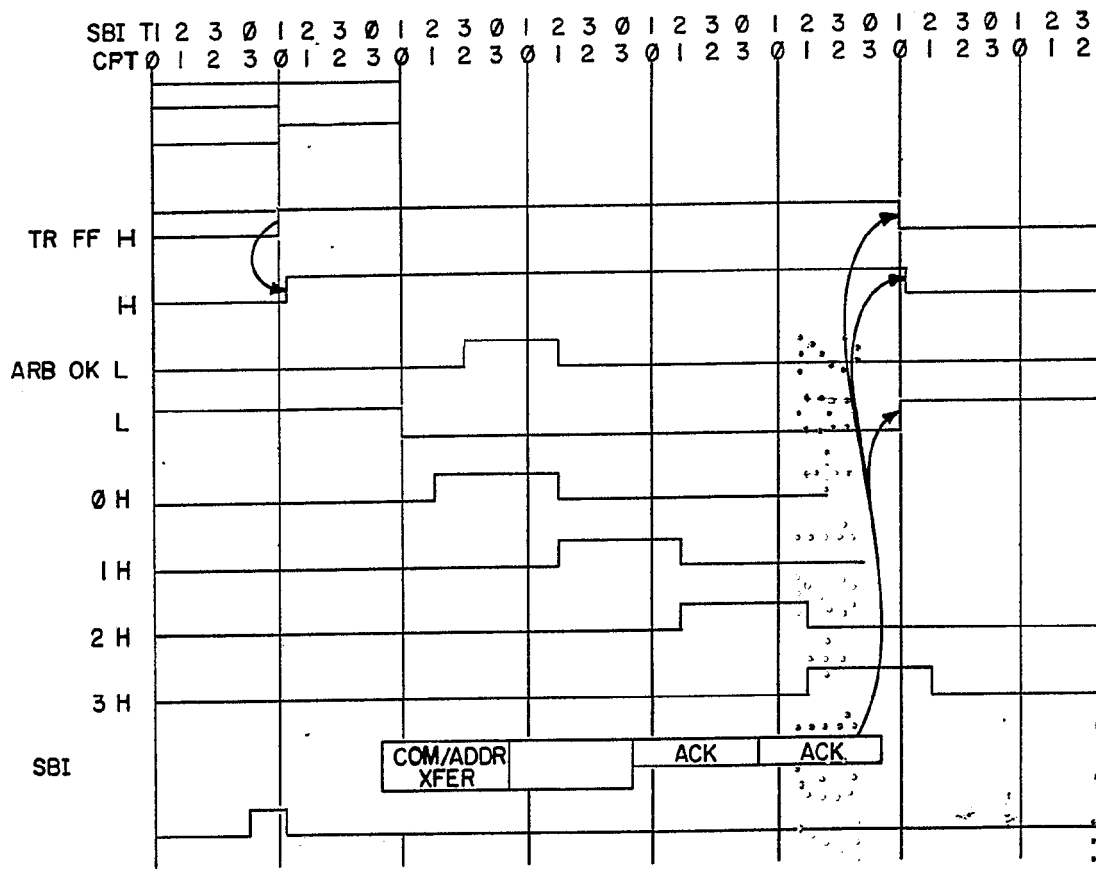


FIG. 10

2 3 0 1 2 3 0 1
1 2 3 0 1 2 3 0

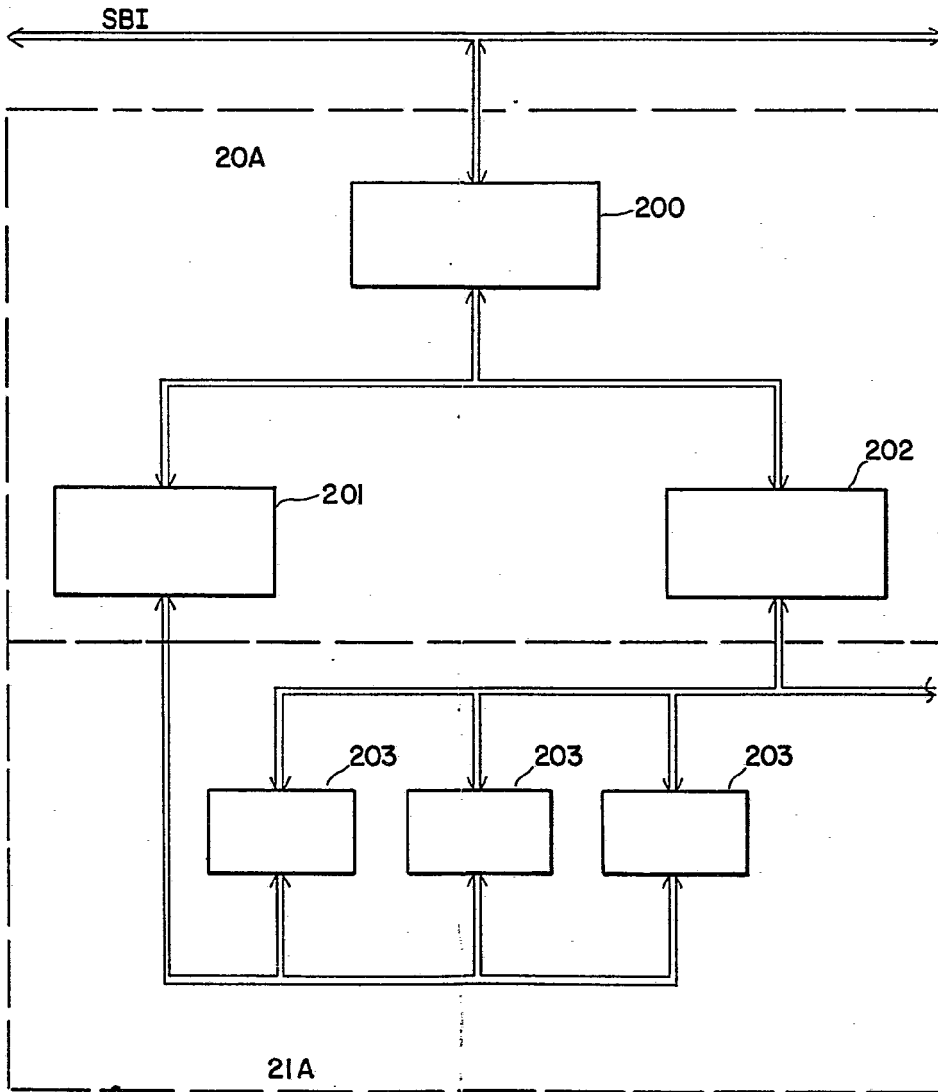


FIG. II

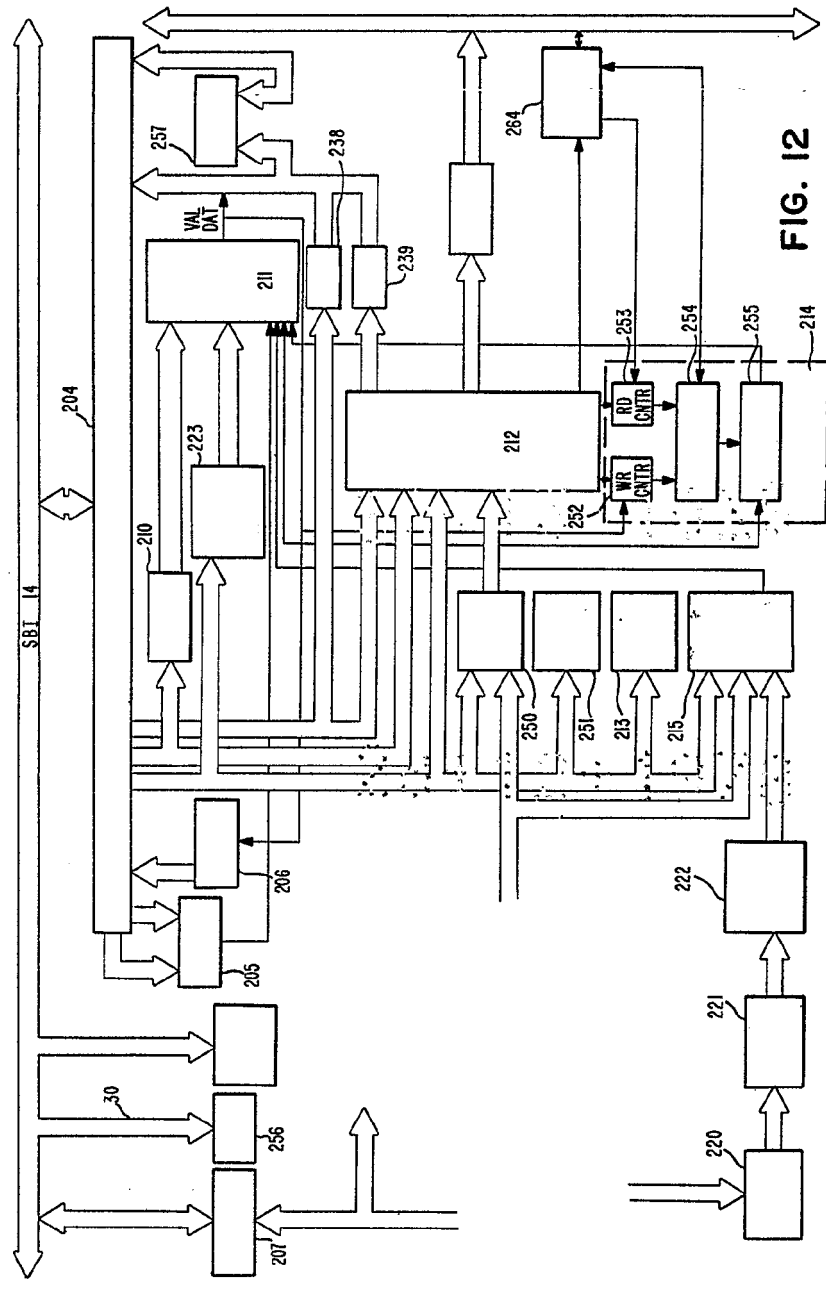
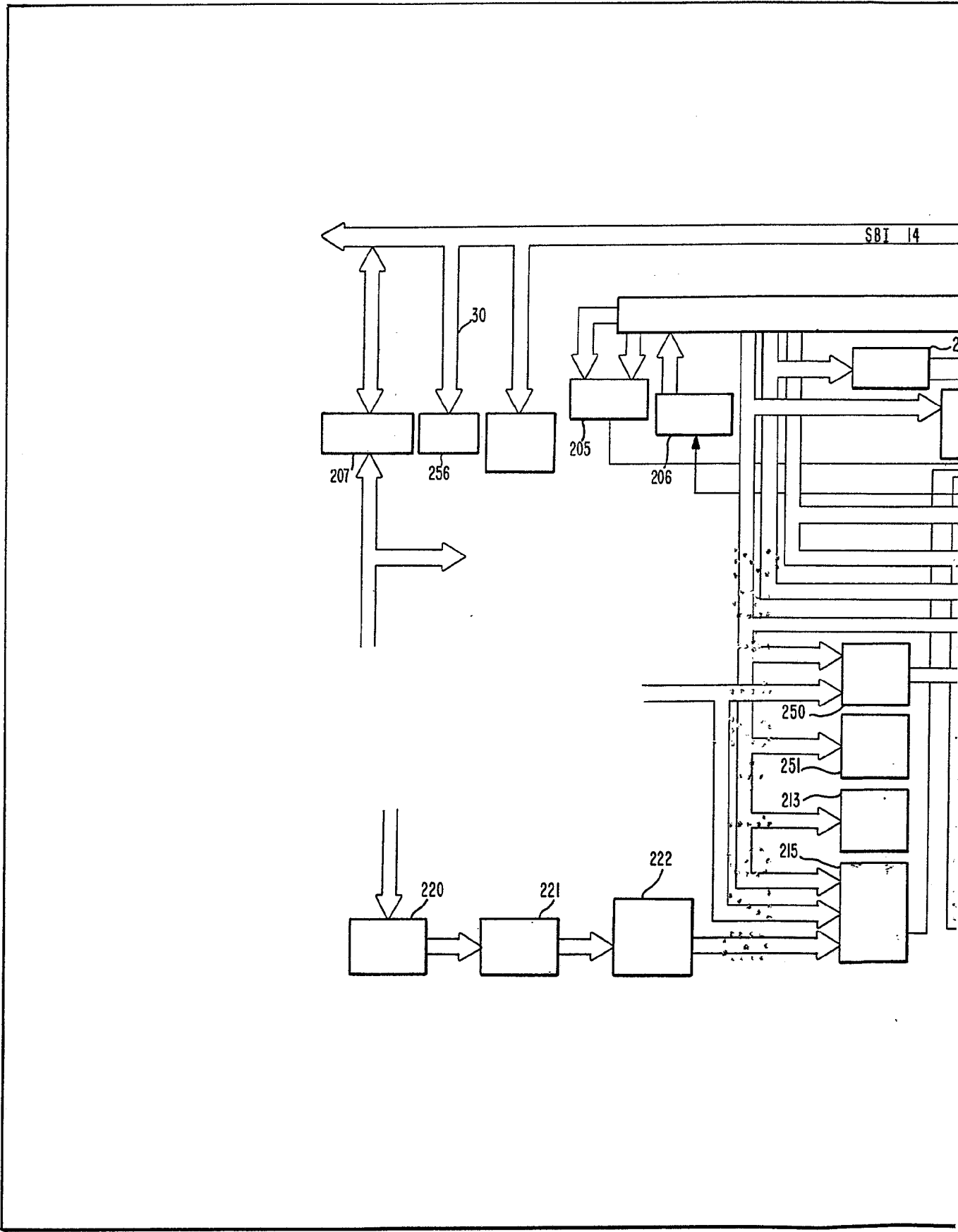


FIG. 12

NOV 1973

Carroll A. Fitzabury
Per [Signature]



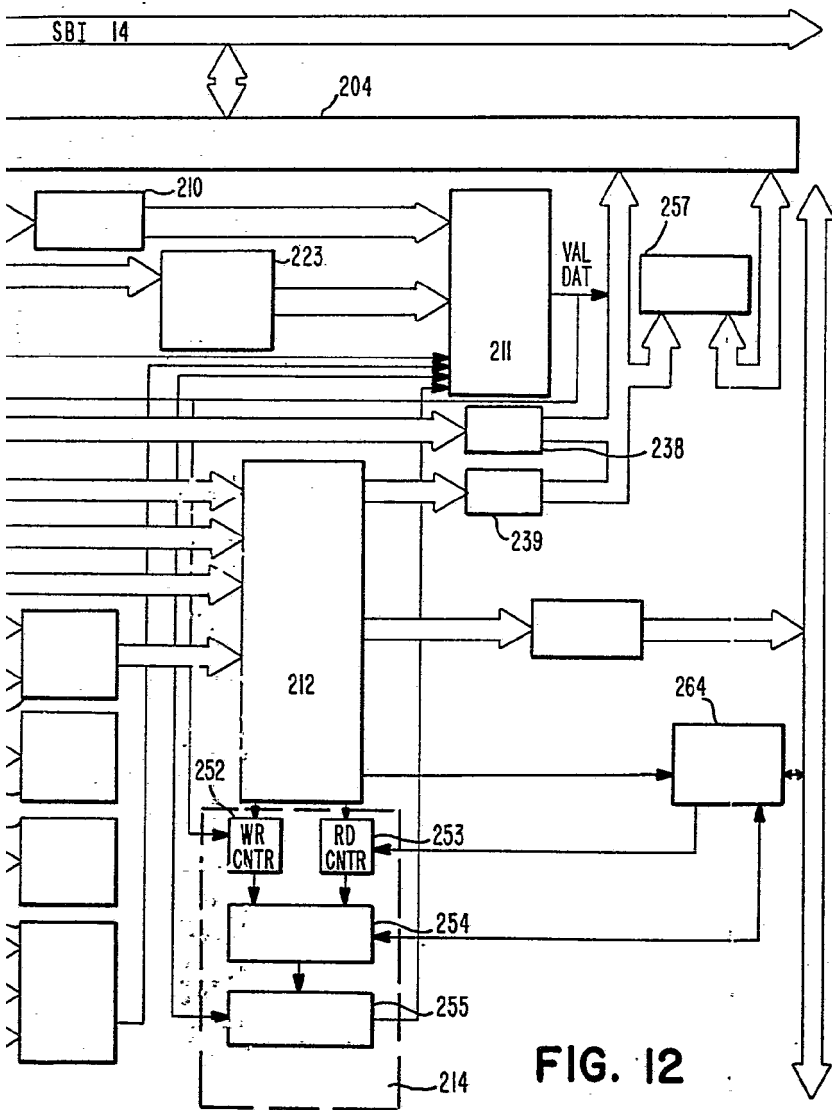


FIG. 12

Oscar de Elizaburo
Por Favor.

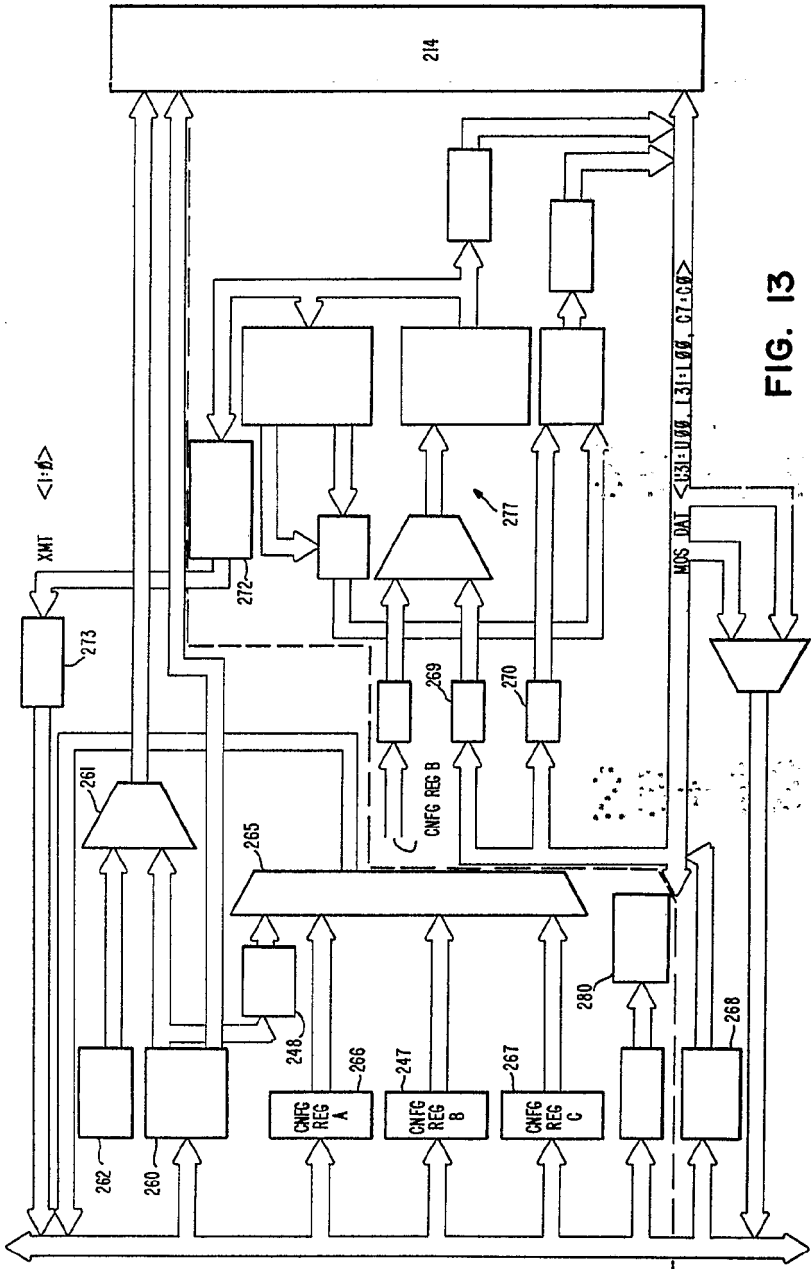


FIG. 13

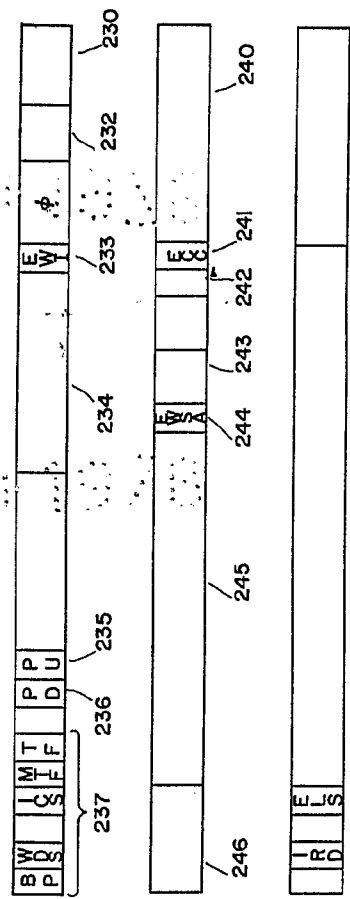


FIG. 14

Oscar de Elizabeth
Per M...
[Signature]

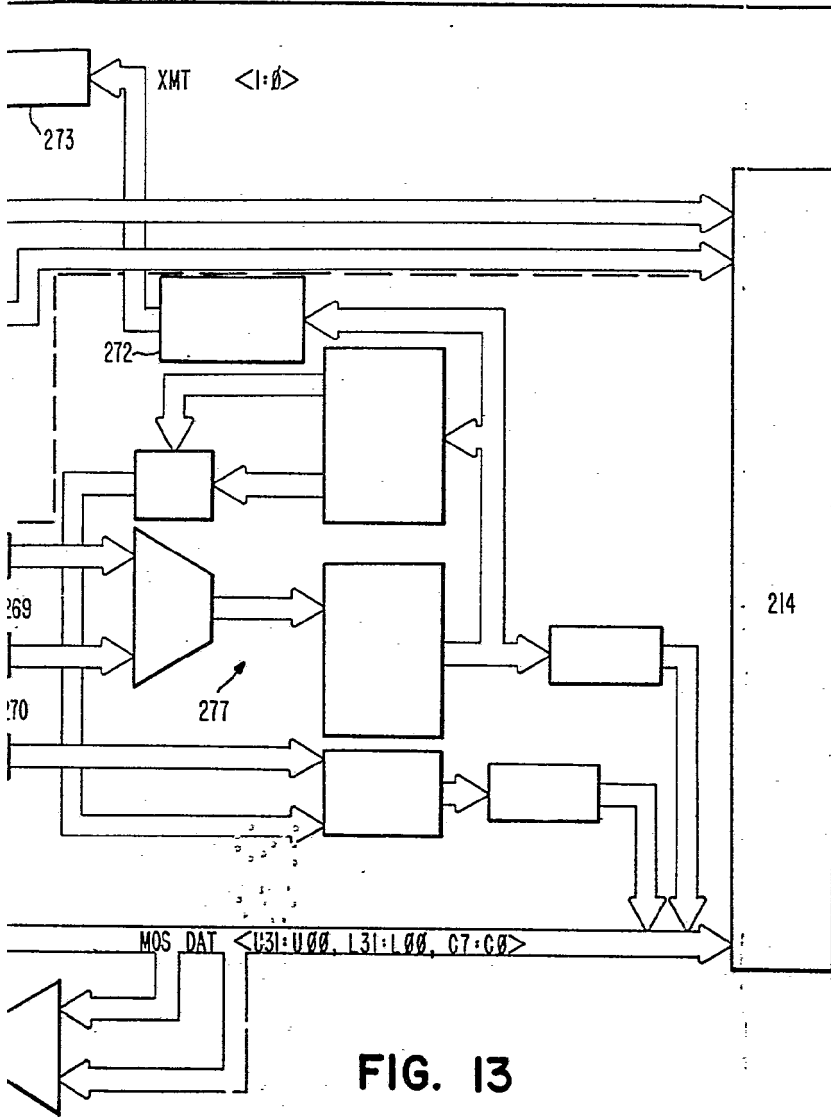


FIG. 13

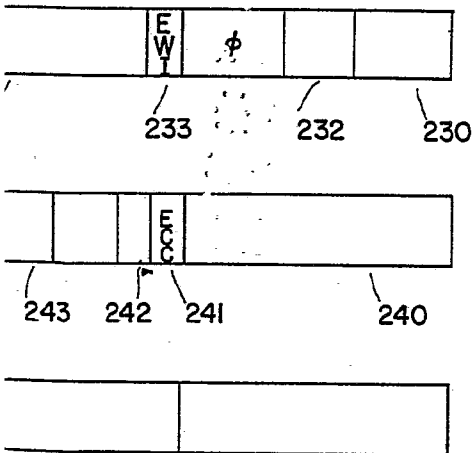


FIG. 14

Oscar de Elizaburu
 For Pader

