

Comunicado el registro de acuerdo
MINISTERIO DE INDUSTRIA Y ENERGIA que figura en la pro-
 Registro de la Propiedad Industrial y según el con-
 tenido de la memoria adjunta.



ESPAÑA

PATENTE DE INVENCION

(11) NUMERO	(10) A1
(21) 474.427	
(22) FECHA DE PRESENTACION	
23-10-78	

5 MAR. 1979

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
845.055	25-10-77	EE.UU.

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

(64) TITULO DE LA INVENCION
"UN ORDENADOR CENTRAL PARA USO EN UN SISTEMA DE TRATAMIENTO DE DATOS".

(71) SOLICITANTE (S)	(File No. 83-200K)
DIGITAL EQUIPMENT CORPORATION	

DOMICILIO DEL SOLICITANTE
146 Main Street, Maynard, Massachusetts 01754, Estados Unidos de América.

(72) INVENTOR (ES)
William D. Strecker, Richard F. Lary, Steven F. Rothman, Thomas N. Hastings y David P. Rodgers.

(73) TITULAR (ES)

(74) REPRESENTANTE	(P.- 70.232)
DON OSCAR DE ELZABURU FERNANDEZ	

POOR QUALITY

1 Antecedentes del Invento

Este invento se refiere en general a sistemas digitales de tratamiento de datos. Más específicamente, se refiere a un ordenador para utilización en tales sistemas de tratamiento de datos.

5 Un sistema digital de tratamiento de datos comprende tres elementos básicos: a saber, un elemento de memoria, un elemento de entrada-salida y un elemento de ordenador. El elemento de memoria almacena información en posiciones de memoria direccionables. Esta información incluye 10 datos e instrucciones para el tratamiento de los datos. El elemento de ordenador transfiere información desde el elemento de memoria. Interpreta la información entrante bien como datos o bien como una instrucción. Una instrucción 15 incluye un código de operación que especifica, en forma codificada, la operación a realizar por el ordenador. Una instrucción puede incluir también información que especifica uno o más operandos. La información que especifica un operando se denomina especificador de operando.

20 En un sistema digital simple de tratamiento de datos, el ordenador funciona en respuesta a instrucciones que tienen un formato fijo y una longitud fija. Más específicamente, en uno de tales sistemas digitales de tratamiento de datos las instrucciones están clasificadas como 25 instrucciones de referencia a memoria e instrucciones de operación, siendo también conocidas las últimas como "microinstrucciones". Cada instrucción de referencia a memoria requiere un especificador de operando para especificar la dirección de la posición a la cual se refiere la instrucción. Por consiguiente, la instrucción comprende un có 30

1 digo de operación y un especificador de operando. En este
sistema la memoria está dividida en páginas. El bitio más
significativo contenido en la dirección de operando con-
trola si el ordenador interpreta la dirección de operando
5 como referencia a la página que contiene la instrucción o
bien se refiere a una página de referencia. Las micrcins-
trucciones no contienen especificaciones de operando, sien-
do los operandos direccionados implícitamente por las ins-
trucciones.

10 Estas instrucciones simples o instrucciones de
formato y longitud fija proporcionan funciones muy elemen-
tales. Es difícil, por consiguiente, escribir un progra-
ma que resuelva un problema complejo, principalmente por-
que se requieren un número muy grande de instrucciones.

15 Los ordenadores más modernos realizan funciones
más complicadas en respuesta a instrucciones únicas. Algu-
nos de estos ordenadores implican aún instrucciones de for-
malo fijo, pero, hasta un grado limitado, son capaces de
responder a instrucciones de longitud variable. Por ejem-
20 plo, uno de tales ordenadores admite instrucciones de lon-
gitud variable que incluyen una batería de bitios inicial
(un grupo fijo de dígitos binarios o bitios) que el orde-
nador interpreta como código de operación. Este código
de operación está seguido entonces en la instrucción por
25 baterías sucesivas que designan registros predeterminados
incluidos en el ordenador central. Sin embargo, incluso
en esta solución, el formato de instrucción es aún fijo.

30 Otro tipo de ordenador central que proporciona
un tipo de instrucción de longitud variable es utilizado
en un sistema de tratamiento de datos PDP11 y está expues-

1 to en la Patente Norteamericana 3.614.741. En este orde-
nador una instrucción puede incluir hasta dos especifica-
dores de operando. Además, la instrucción y toda la in-
formación para especificar los dos operandos puede exigir
5 de dos a seis posiciones consecutivas de batería en el
programa. Un grupo de instrucciones de operador, por ejem-
plo, no contiene especificadores de operando, pero la ins-
trucción se almacena como una palabra que comprende dos
baterías. Otras instrucciones contienen dos direcciones
10 de operando. Ambos operandos pueden ser especificados
dentro de la palabra de instrucción. Sin embargo, si am-
bas direcciones de operando en una instrucción especifican
un modo de direccionamiento que identifica el contador de
programa, se requieren seis posiciones de batería conse-
15 cutivas en el programa para definir totalmente la instruc-
ción. Con esta solución, sin embargo, la longitud del
operando está especificada implícitamente porque el códi-
go de operación define el número de operandos y otros bi-
tios en la propia instrucción definen la longitud total
20 de los especificadores de operando.

De este modo, incluso en estos ordenadores cen-
trales, es frecuentemente necesario tratar dos o más ins-
trucciones con el fin de realizar una función específica.
Por ejemplo, si un programador desea sumar dos números y
25 almacenar la suma en una tercera posición de memoria sin
perturbar las posiciones que almacenan los sumandos, debe
utilizar una instrucción para copiar un sumando en la ter-
cera posición y después una instrucción para sumar el otro
sumando con el contenido de la tercera posición. Las res-
30 tricciones impuestas por estas instrucciones pueden condu-

1 cir a errores de programación e ineficiencia del ordena-
dor. Por consiguiente, un objeto de este invento es crear
un ordenador para un sistema digital de tratamiento de da-
tos que está destinado a tratar un conjunto flexible de
5 instrucciones.

Otro objeto de este invento es crear un ordcna-
dor para utilización en un sistema digital de tratamiento
de datos que puede tratar una instrucción que tiene una
longitud cualquiera.

10 Otro objeto de este invento es crear un ordena-
dor para un sistema digital de tratamiento de datos que
trata instrucciones de longitud variable, para permitir
así a un programador escribir programas más compactos.

15 Aún otro objeto de este invento es crear un cr-
denador para un sistema digital de tratamiento de datos en
el cual las instrucciones tratadas por el ordenador cen-
tral pueden ser ampliadas fácilmente para incluir cualquier
número de especificadores de operando.

20 Aún otro objetc de este invento es crear un or-
denador central que puede tratar una instrucción con un có
digo de operación de longitud variable.

Resumen del Invento

25 De acuerdo con este invento, una instrucción in-
cluye un código de operación y cierto número de especifi-
cadores de operando. Se recupera una instrucción de la me-
moria comenzando en una posición que contiene la primera
batería de la instrucción. El ordenador central comprue-
ba la primera batería para determinar si el código de ope-
ración comprende una o dos baterías. El ordenador central
30 interpreta baterías sucesivas asociadas con el código de

1. operación como especificadores de operando.

Este invento está puesto de manifiesto particularmente en las reivindicaciones anejas. Pueden comprenderse mejor los anteriores y otros objetos y ventajas de este invento por referencia a la siguiente descripción considerada en combinación con los dibujos que se acompañan.

Breve Descripción de los Dibujos

La figura 1 es un diagrama de bloques de un sistema digital de tratamiento de datos construido de acuerdo con este invento.

La figura 2 ilustra gráficamente tipos de datos que son utilizados en combinación con una realización específica de este invento;

La figura 3 es un diagrama de bloques del ordenador central representado en la figura 1;

La figura 4 ilustra el formato y organización de una instrucción que puede ser tratada en el ordenador central representado en las figuras 1 y 3;

La figura 5 es un diagrama de bloques de las vías de transmisión de datos representadas en la figura 3;

La figura 6A es un diagrama de bloques de la memoria intermedia de instrucciones y circuitos descodificadores representados en la figura 3, y las figuras 6B y 6C ilustran ciertas señales que son transmitidas por los circuitos representados en la figura 6A;

La figura 7 es un diagrama de flujo que es útil para comprender el funcionamiento de la unidad central de tratamiento representada en las figuras 1 y 3;

La figura 8A ilustra el formato de una instrucción específica;

1 La figura 8B ilustra cierta información que se
deduce de esta instrucción y la figura 8C es un diagrama
de flujo que define el funcionamiento del ordenador cen-
tral representado en las figuras 1 y 3 en respuesta a esa
5 instrucción;

 La figura 9A ilustra otro formato de la instruc-
ción representada en la figura 8A y la figura 9B es un
diagrama de flujo que define el funcionamiento del orde-
nador central representado en las figuras 1 y 3 en res-
10 puesta a esa instrucción modificada; y

 Las figuras 10A y 10B ilustran el formato co-
rrespondiente a instrucciones que son útiles en la llama-
da a subrutinas, mientras que la figura 10C es un diagra-
ma de flujo que define el funcionamiento del ordenador
15 central representado en las figuras 1 y 3 en respuesta a
estas instrucciones.

Descripción de una Realización Ilustrativa

Descripción General

 Con referencia a la figura 1, los elementos bá-
20 sicos de un sistema de tratamiento de datos que incorpora
el invento comprende una unidad 10 de ordenador central,
una unidad 11 de memoria y unidades 12 de entrada-salida.
Una interconexión 14 posterior síncrona (conexión SBI)
interconecta la unidad 10 de ordenador central, la unidad
25 11 de memoria y las unidades 12 de entrada-salida.

 La unidad 10 de ordenador central comprende una
consola 15 de operador, una unidad de acoplamiento SBI y
un circuito 16 de ocultación de memoria, una memoria in-
termedia 17 de conversión de dirección, un circuito 18 de
30 memoria intermedia de instrucción, una vía de transmisión

1 de datos y un circuito 19 de registro interno. La unidad
de acoplamiento SBI y el circuito 16 de ocultación de me-
2 memoria proporcionan los circuitos necesarios de acoplamiento
to para transferir información sobre la interconexión 14
5 SBI a las unidades 11 de memoria y a las unidades 12 de
entrada-salida. Los circuitos 16 reciben todos los datos
procedentes de la memoria y todas las traslaciones de di-
rección procedentes del circuito 17 de memoria interme-
dia. Incluye una memoria asociativa o memoria de oculta-
10 ción. Siempre que se inscriben datos en la memoria de
ocultación en el circuito 16 procedentes de la vía de
transmisión de datos y el circuito 19 de registro inter-
no, estos datos son también inscritos en una posición co-
rrespondiente en la unidad 11 de memoria.

15 Esta realización específica del ordenador cen-
tral 10 funciona con direcciones virtuales. El circuito
17 de memoria intermedia de conversión de dirección con-
vierte las direcciones virtuales en direcciones físicas
que utiliza el circuito 16 de ocultación de memoria para
20 determinar si contiene datos procedentes de la posición
correspondiente o para iniciar una transferencia desde
la correspondiente posición real en la unidad 11 de memo-
ria. El circuito 18 de memoria intermedia de instruccio-
nes incluye, como se describe posteriormente, medios para
25 almacenar instrucciones, o porciones de las mismas, a me-
dida que son recuperadas ya sea de la memoria de oculta-
ción directamente o de la unidad 11 de memoria.

30 La consola 15 de operador sirve como unidad de
acoplamiento de operador. Esta unidad permite al opera-
dor examinar e ingresar datos, detener el funcionamiento

1 de la unidad 10 de ordenador central o incrementarlo en
una secuencia de instrucciones de programa. Permite tam-
bién al operador establecer los valores iniciales del sig-
5 tema mediante un procedimiento directo y realizar diver-
sos procedimientos de diagnóstico sobre el sistema com-
pleto de tratamiento de datos.

En la figura 1, la unidad 11 de memoria compren-
de dos controladores 20A y 20B de memoria. Cada contro-
lador de memoria establece conexión a una pluralidad de
10 conjuntos de memoria. Específicamente, el controlador
20A de memoria establece conexión a los conjuntos 21A de
memoria mientras que el controlador 20B de memoria esta-
blece conexión con los conjuntos 21B de memoria. El fun-
cionamiento de la unidad 11 de memoria está expuesto con
15 detalle en la Solicitud de Patente española número 474428.

Se exponen varios tipos de unidades 12 de en-
trada-salida. Un adaptador 22 de línea general de entra-
da-salida interconecta diversos dispositivos 23 de entra-
da-salida, tales como máquinas de escribir eléctricas, a
20 la línea general 14. La interconexión, funcionamiento y
transferencia de señales entre el adaptador 22 de línea
general de entrada-salida y los dispositivos 23 de entra-
da-salida se exponen en la Patente Norteamericana número
3.710.324.

25 Otras dos unidades 12 de entrada-salida propor-
cionan medios de almacenamiento secundarios para el sis-
tema de tratamiento de datos. Incluyen un adaptador se-
cundario 24 de línea general de memoria y una pluralidad
de dispositivos 25 de accionamiento de disco. Se expone
30 también un adaptador secundario 26 de línea general de me-

1. memoria y un dispositivo 27 de accionamiento de cinta. La
interconexión de los adaptadores secundarios 24 y 26 de
línea general de memoria y sus respectivos dispositivos
25 y 27 de accionamiento de disco y accionamiento de cin-
5 ta se exponen en la Patente Norteamericana 3.999.163.

La Solicitud de Patente española Nº 474428 des-
cribe las interacciones de los elementos sobre la inter-
conexión SBI 14. Para fines de la descripción que sigue,
será útil resumir estas interacciones y definir términos
10 específicos que incluyen la designación de las partidas
de datos, o grupos de datos, que puede tratar esta reali-
zación específica del invento. El grupo de información
básico, o más elemental, es una batería de bitios. Esta
batería está representada en la figura 2A e incluye ocho
15 bitios en esta realización específica del invento. Con
el fin de aumentar la capacidad, el siguiente grupo de
información es una palabra, que está representada en la
figura 2B comprendiendo dos baterías. En la figura 2C se
ilustra una "palabra larga" que comprende dos palabras
20 consecutivas o cuatro baterías de bitios consecutivas.
La figura 2D ilustra una "palabra cuádruple" que compren-
de dos palabras largas consecutivas, es decir cuatro pala-
bras consecutivas u ocho baterías de bitios consecutivas.
Cualquier transferencia de información sobre la interco-
25 nexión SBI 14 implica una palabra larga.

La interconexión SBI 14 corresponde al criterio
de transmisión simultánea por división de tiempo e inclu-
ye vías de transmisión de señal para transportar informa-
ción y señales de control. En los términos de este inven-
30 to, la información incluye información de control e infor

1 mación de datos. La información de control es la infor-
mación utilizada para controlar el tratamiento de datos
y proporcionar la base de este tratamiento, mientras que
5 la información de datos consiste en información generada
por programa, la cual es el objeto del tratamiento en sí
mismo.

Cada unidad que establece conexión con el sis-
tema SBI se denomina "nexo". El sistema específico repre-
sentado en la figura 1 incluye seis nexos. Se define adi-
10 cionalmente un nexo en términos de su función durante un
intercambio de información. Al menos son necesarias dos
transacciones SBI para intercambiar información entre dos
nexos. Durante una primera transacción, un nexo, como ne-
xo ordenador de transmisión, transmite información de ór-
15 denes y direcciones a todos los nexos. Este nexo se deno-
mina nexo transmisor porque está excitando la intercone-
xión SBI 14 y un nexo ordenador o mando porque ha transmi-
tido la información de orden y dirección. Durante esta
transacción todos los demás nexos son nexos receptores.
20 Sin embargo, solamente un nexo receptor responderá a la in-
formación de dirección. Ese nexo es un nexo "respondedor"
y transmite una confirmación de recepción de la informa-
ción de orden y dirección en un intervalo fijo después
que el nexo ordenador transmite esa información. De este
25 modo, si la unidad 10 de ordenador central necesita recu-
perar datos del controlador 20A de memoria, la unidad 10
de ordenador central se convierte en un nexo ordenador y
transmite una orden de lectura y una dirección a la cual
reaccionará inicialmente el controlador 20A de memoria co-
30 mo nexo receptor y después como nexo respondedor.

1. Después de algún intervalo, el controlador 20A
de memoria estará preparado para enviar los datos recupe-
rados a la unidad 10 de ordenador central. Como se ha
5 descrito en las solicitudes de Patente en tramitación men-
cionadas anteriormente, se trata de controlar la interco-
nexión SBI 14. Cuando asume el control, el controlador
20 de memoria se convierte en nexo transmisor-respondedor
y transfiere los datos solicitados sobre la interconexión
SBI 14 para transferencia a la unidad 10 de ordenador cen-
10 tral. Durante esta transacción, la unidad 10 de ordena-
dor central es un nexo receptor-ordenador.

Se producen transacciones similares para cual-
quier intercambio de información entre dos nexos cuales-
quiera, aunque los controladores de memoria funcionan nor-
15 malmente sólo como nexos respondedores y la unidad de or-
denador central funciona normalmente sólo como nexo orde-
nador. Para los fines de este invento, resultará eviden-
te que los intercambios de información típicos implicarán
la transferencia de instrucciones, especificadores de ope-
20 rando e información relacionada, y datos a la unidad cen-
tral 10 de tratamiento, y la transferencia de datos tra-
tados en retorno a la unidad 11 de memoria.

La unidad de acoplamiento SBI y el circuito 16
de ocultación de memoria, como su nombre implica, incluyen
25 una memoria de ocultación, o memoria asociativa. Para
transferencias de información a la unidad central 10 de
tratamiento, la memoria de ocultación será interrogada en
primer lugar para determinar si ya contiene la informa-
ción requerida. Si es así, no es necesario ningún inter-
30 cambio de información con la unidad 11 de memoria. Si la

1 memoria de ocultación no contiene la información, el cir-
cuito de acoplamiento SBI inicia una operación de lectura
de memoria que implica una palabra cuádruple. Esta infor-
5 mación es transferida a la memoria de ocultación junto
con las direcciones físicas en memoria para esa informa-
ción. Simultáneamente, se da curso a la información ha-
cia el circuito 18 de memoria intermedia de instrucción
si está siendo transferida una instrucción a la vía de
transmisión de datos y circuito 19 de registro interno si
10 está siendo transferida otra información. Si el ordena-
dor central 10 transfiere en retorno información a la uni-
dad 11 de memoria, transfiere la información a la memoria
de ocultación. El circuito o unidad de acoplamiento SBI
y el circuito 16 de ocultación de memoria inician enton-
15 ces las transacciones SBI necesarias para transmitir en
primer lugar la información necesaria de orden y direc-
ción y después los datos. Los detalles de estas transac-
ciones están expuestos en la solicitud de Patente españo-
la 474.428. No es necesaria la comprensión de estos de-
20 talles para comprender este invento.

La figura 3 es un diagrama de bloques generaliza-
do de la unidad 10 de ordenador central. Ilustra la
consola 15 de operador, el circuito 14 SBI y los otros
25 circuitos que constituyen el sistema de acoplamiento SBI
y el circuito 16 de ocultación de memoria, el circuito 17
de memoria intermedia de conversión de dirección y el cir-
cuito 18 de memoria intermedia de instrucciones. Más es-
pecíficamente, la unidad 10 de ordenador central funciona
de acuerdo con el sincronismo establecido por el genera-
30 dor 30 de impulsos de sincronismo. El sincronismo espe-

1 - cífico se pone más de manifiesto en los comentarios rela-
cionados con los diagramas de flujo. La unidad de acopla-
miento SBI y el circuito 16 de ocultación de memoria com-
prenden un circuito 31 de control SBI que conecta la uni-
5 dad SBI 14 a una línea general 32 de dirección física
(PA). La línea general PA 32 conecta el circuito 33 de
ocultación de datos a una memoria intermedia 34 de conver-
sión. La memoria intermedia 34 de conversión convierte
la información de dirección virtual (VA) y otra informa-
10 ción de control en una dirección física que es transmiti-
da simultáneamente a la unidad 31 de control SBI y al cir-
cuito 33 de ocultación de datos. Los datos procedentes
del circuito 33 de ocultación de datos o de cualquier otra
posición en la unidad SBI 14 pasan a través de la unidad
15 31 de control SBI y son llevados a otros elementos en la
unidad 10 de ordenador central en una línea general 35 de
datos de memoria (MD). Estas unidades incluyen una vía
36 de transmisión de datos y un circuito 37 descodifica-
dor y de memoria intermedia de instrucción.

20 Una línea general 38 de control de microprogra-
ma (UPC) transmite señales desde el circuito 37 de memo-
ria intermedia de instrucción y descodificador a una me-
moria 40 de control de programa. La memoria 40 de con-
trol de programa genera entonces diversas señales de con-
25 trol en una línea general CS 41 y esta línea general trans-
mite señales a la memoria intermedia 34 de conversión,
las vías 36 de transmisión de datos, el circuito 37 de me-
moria intermedia de instrucción y descodificador, y a un
circuito arbitrador 42 de saltos no programados-interrup-
30 ciones. Estos circuitos y la consola 15 de operador esta-

1. blecen comunicación, a través de una línea general 43 de
datos de instrucción (ID), con un microsecuenciador 44
que controla la secuencia de operaciones en respuesta a
microinstrucciones almacenadas en la memoria 40 de con-
5 trol de programa.

El microsecuenciador 44 establece un estado de
recuperación para obtener una instrucción. El contador
de programa, que especifica la dirección de comienzo de
la siguiente instrucción a recuperar, pasa desde las vías
10 36 de transmisión de datos, a través de la memoria 34 in-
termedia de conversión, hasta la línea general PA 32. Si
el circuito 33 de ocultación de datos contiene informa-
ción válida en una posición correspondiente a la direc-
ción física especificada, transmite datos sobre la línea
15 general MD 35 a la memoria intermedia de instrucción y
circuito descodificador 37. Al descodificar la instruc-
ción el circuito 37 descodificador y de memoria interme-
dia de instrucción el microsecuenciador 44 establece --
otras vías de transmisión de datos que transfieren otra
20 información a la memoria 34 de conversión para transferir
así otros datos a los registros en las vías 36 de trans-
misión de datos desde el circuito 33 de ocultación de da-
tos, o después de la recuperación de las unidades 11 de
memoria u otras posiciones de memoria en la unidad SBI 14,
25 desde la unidad 31 de control SBI. Si la instrucción re-
quiere que sean transferidos datos a una posición direc-
cionada físicamente, el microsecuenciador 44 establece
las vías de transmisión de datos que son necesarias para
transferir señales a la memoria intermedia 34 de conver-
30 sión, para formar así la dirección física, y para trans-

1 ferir los datos simultáneamente al circuito 33 de oculta-
ción de datos y a la unidad 31 de control SBI. Durante
cualquiera de tales transferencias la unidad 31 de con-
5 trol SBI inicia un intercambio con la posición de memoria
especificada.

La figura 4 ilustra una instrucción típica que
puede ser tratada por la unidad 10 de ordenador central,
representada en la figura 3. La instrucción, representa-
da en la parte superior de la figura 4, incluye un código
10 50 de operación que está ilustrado con una longitud de
una batería. Resultará evidente por las siguientes expli-
caciones, sin embargo, que la unidad 10 de ordenador cen-
tral puede destinarse a tratar códigos de operación de
baterías múltiples. En esta instrucción específica, si-
15 guen al código de operación secuencialmente tres especi-
ficadores 51, 52 y 53 de operando. Los especificadores
51 y 52 de operando comprenden cada uno una batería de bi-
tios, mientras que el especificador 53 de operando compren-
de dos baterías. El formato de un especificador de ope-
20 rando de batería única está representado también en la fi-
gura 4. Comprende dos campos. Los bitios de orden supe-
rior constituyen un campo de modo de registro y los bi-
tios de orden inferior constituyen un campo de dirección
de registro. El campo de dirección de registro especifi-
25 ca un registro particular que está situado en el circuito
36 de vías de transmisión de datos representado en la fi-
gura 3 y representado con más detalle en la figura 5. En
esta realización específica las baterías comprenden ocho
bitios, de modo que están disponibles cuatro bitios para
30 cada uno de los campos de modo de registro y de dirección

1 de registro, permitiendo así el direccionamiento de cualquiera de dieciseis registros para fines generales por un especificador de operando.

5 Si los dos bitios más significativos del campo 54 de modo de registro son ceros (modo 0 a 3 de registro), el especificador 51 de operando incluye el operando, es decir una parte literal, que puede incluir cualquier valor de datos hasta seis bitios que representan números decimales de 0 a 63.

10 Si el campo 54 de modo de registro contiene un valor decimal de 4, como se representa en el campo 54A de modo de registro para el especificador 53 de operando, se especifica un modo discontinuo o de orientación o modificado. Cuando el campo de modo de registro, tal como el
15 campo 54A, especifica un modo discontinuo modificado, el campo 55A de registro correspondiente identifica uno de los registros para fines generales que ha de utilizarse como registro orientador en el tratamiento del especificador de operando. Está incluido un especificador de operando secundario en la instrucción para direccionamiento orientado o discontinuo. Este especificador de operando
20 secundario proporciona una dirección base a la cual se suma el contenido del registro de orientación designado. Se incluye posteriormente una descripción más detallada del direccionamiento orientado.
25

30 Cuando el campo 54 de modo de registro contiene un valor "5", se especifica el direccionamiento de modo de registro. En este modo el registro para fines generales direccionado por el campo de registro contiene el operando.

1. Para cada uno de los modos 6, 7 y 8 de registro,
el registro especificado contiene la dirección de memoria
correspondiente al operando. En el modo 6, el registro
designado contiene la dirección del operando. En el modo
5 7 de registro el contenido del registro designado es de-
crementado en primer lugar antes de averiguar la direc-
ción. En el modo 8, el contenido del registro designado
es incrementado después que se ha utilizado el registro pa-
ra determinar la dirección. El modo 9 de registro corres-
ponde al modo 8 de registro, excepto en que el contenido
10 del registro designado especifica la dirección en memoria
en la cual se encontrará la dirección de operando en vez
del propio operando.

Los modos 10 a 15 son todos ellos modos de des-
plazamiento. En el modo de desplazamiento el valor de
15 desplazamiento, que puede comprender una batería, palabra
o palabra larga en los modos 10, 12 y 14, respectivamente,
es sumado al contenido del registro designado para obte-
ner la dirección de operando. Se producen operaciones
20 correspondientes en los modos 11, 13 y 15, excepto en que
la suma del valor de desplazamiento y el contenido del
registro identifica una dirección de memoria en la cual
puede encontrarse la dirección del operando.

En cada uno de los modos 8 a 15 precedentes, el
25 campo 55 de registro del especificador de operando puede
designar cualquiera de los registros generales que inclu-
yen el contador de programa.

Descripción específica

i. Tratamiento de instrucción inicial

30 Las figuras 5 y 6A exponen con detalle las vías

1 36 de transmisión de datos y el circuito 37 descodifica-
dor y de memoria intermedia de instrucción. Existen al-
gunas características básicas de funcionamiento de esta
realización específica que dan como resultado un rendi-
5 miento óptimo de la unidad 10 de ordenador central. No
es necesario un conocimiento detallado de estas operacio-
nes para comprender este invento, de modo que simplemente
se resumen. En la figura 6A, el circuito 37 de memoria
intermedia de instrucción y descodificador comprende una
10 memoria 60 de instrucción que almacena ocho baterías con-
secutivas. Se realizan transferencias a la memoria 60 de
instrucción en respuesta a señales procedentes del circui-
to 61 de control de memoria intermedia de instrucción.
Cada posición de batería en la memoria intermedia 64 de
15 instrucción contiene una posición de bitio de validez que
indica si los datos contenidos en el resto de esa posi-
ción de batería son válidos (es decir, la posición de bi-
tio de validez es borrada una vez que ya no se necesita
la batería). Si este bitio de validez indica que los da-
20 tos en una o más posiciones específicas de batería ya no
son válidos, el circuito 61 de control de memoria inter-
media de instrucción genera una señal IB REQ que solicita
una transferencia a la memoria intermedia 60 de instruc-
ción en la línea general MD 35 indistintamente desde el
25 circuito 33 de ocultación de datos o a través del circui-
to 31 de control SBI. Otro circuito incluido en el cir-
cuito 61 de control de memoria intermedia de instrucción
detecta la posición de batería de orden más alto que con-
tiene datos no válidos y desplaza baterías de orden supe-
rior a estas posiciones de batería. Durante estas trans-

1 ferenciase alteran los datos en todas las baterías de orden superior.

5 Las transferencias en la línea general MD 35 son transferencias de palabras largas (figura 20) que pasan a través de un selector 62 de transmisión simultánea. Está también asociado con la salida 60 de instrucción y la entrada del selector 62 de transmisión simultánea un circuito 63 de desplazamiento para utilización en el desplazamiento de las baterías de datos. De este modo, el circuito 10 61 de control de memoria intermedia de instrucción da curso correctamente a la información adecuada hacia las posiciones de batería designadas en la memoria intermedia 60 de instrucción. En realidad, el circuito 61 de control de memoria intermedia de instrucción llena de este modo 15 continuamente la memoria 60 de instrucción con datos válidos.

Puede ahora considerarse la respuesta de la unidad 10 de ordenador central a una instrucción típica. El circuito 61 de control de memoria intermedia de instrucción emite una señal de solicitud de memoria intermedia de 20 instrucción (IB REQ). En este momento, el contenido de un registro 64 de contador de programa, que contiene una dirección virtual, es transferido a través de un selector 65 de transmisión simultánea B (BMX) y una unidad lógica y aritmética (ALU) 66, tanto a un circuito 67 de retención 25 de dirección virtual (VA) como a un circuito 68 de retención de dirección de memoria intermedia de instrucción (IBA). El circuito 67 de retención de dirección virtual almacena la dirección de instrucción con el fin de establecer la dirección física con el circuito incluido en el cir 30

1 cuito 34 de memoria intermedia de conversión. El circui-
to 68 de retención de dirección de memoria intermedia de
instrucción es utilizado durante la transferencia subsi-
5 guiente de información a la memoria intermedia 60 de ins-
trucción (figura 6A) a medida que es utilizada la informa-
ción de esa memoria intermedia y se convierte en informa-
ción no válida. La operación precedente constituye la ope-
ración A1 de la figura 7.

10 En la operación A2, la información entrante que
aparece en la línea general MD 35 de la figura 6A constitu-
ye toda o parte de la instrucción. Esta información es
transferida, a través del selector 62 de transmisión simul-
tánea en respuesta a señales procedentes del circuito 61
de control de memoria intermedia de instrucción, y a la me-
15 moria intermedia 60 de instrucción. En este momento, la
posición 0 de batería de la memoria intermedia 60 de ins-
trucción contiene información de código de operación. En
esta realización específica, cada código de operación com-
prende solamente una batería. Sin embargo, resultará cla-
20 ro por la explicación siguiente que el código de operación
podría comprender dos o más baterías y que un circuito aná-
logo al circuito descrito subsiguientemente para descodi-
ficar especificadores de operando descodificaría tales có-
digos de operación de baterías múltiples.

25 Suponiendo que solamente la posición 0 de bate-
ría en la memoria 60 de instrucción contiene el código de
operación, la posición 1 de batería contiene todo o parte
de un primer especificador de operando. La batería 0 se
almacena en un circuito 70 de retención de batería 0 que
30 controla una memoria 71 de dirección de ejecución. El con-

1 . _tenido de la posición de batería 1 se aplica a un circuito lógico 72 descodificador de especificador junto con señales de salida procedentes de la memoria 71 de dirección de ejecución.

5

La memoria 71 de dirección de ejecución almacena una tabla que incluye entradas para cada una de las instrucciones que pueden ser ejecutadas por la unidad central 10 de tratamiento. La posición de una entrada particular en esa tabla se deduce de las señales de código de operación procedentes del circuito 70 de retención de batería 0 y de señales procedentes de un contador 73 de punto de ejecución. Inicialmente, el contador 73 de punto de ejecución está puesto en un número de referencia (por ejemplo cero). A medida que es descodificado cada uno de los especificadores de operando, el contador 73 de punto de ejecución es avanzado para definir una nueva entrada a la tabla. Cada entrada a la tabla identifica ciertas características del especificador de operando, tales como el tamaño de la partida de datos esperada y si el especificador de operando identifica una posición desde la cual o a la cual ha de transferirse el operando. Las señales para cada una de las entradas seleccionadas de la tabla pasan al circuito lógico descodificador 72 de especificador para controlar una porción de la dirección inicial que utiliza el microsecuenciador 44 para establecer las vías de transmisión de datos y la secuencia para descodificar el especificador de operando. La línea general UPC 38 transmite las señales desde el circuito lógico 72 descodificador de especificador al microsecuenciador 44.

25
30

La figura 6B ilustra las características del es-

1 especificador de operando que se conservan en una realiza-
ción específica de la memoria 71 de dirección de ejecución.
Los dos bitios de orden inferior de la memoria 73 de di-
rección de ejecución especifican el tipo de bloque de da-
5 tos que está implicado; normalmente un bloque de datos
comprende indistintamente un número entero o un número en
coma flotante. Los dos bitios siguientes en orden de sig-
nificación indican la longitud del operando. Los dos bi-
tios siguientes especifican la operación que va a producir
10 se. Los últimos dos bitios determinan información concer-
niente a acceso. Por ejemplo, si el circuito 70 de reten-
ción de batería 0 y el contador 73 de punto de ejecución
identifican una posición que contiene el número binario
01001000, el correspondiente especificador de operando de-
15 signa un número entero de palabra larga que ha de recupe-
rarse de la memoria. Como se ha establecido anteriormen-
te, existe una entrada en la memoria 71 de dirección de
ejecución para cada especificador de operando en cada ins-
trucción que puede tratar la unidad 10 de ordenador cen-
20 tral. De este modo, el código de operación del circuito
70 de retención de batería 0 produce una dirección base,
y el contador 73 de punto de ejecución produce señales que
son combinadas con la dirección base para identificar, se-
cuencialmente, las entradas a la tabla correspondientes a
25 cada especificador de operando.

Las señales procedentes de la memoria 71 de di-
rección de ejecución y el especificador de operando en la
posición de batería 1 de la memoria intermedia de instruc-
ción son transferidas al circuito lógico 72 descodificador
30 de especificador e identifica una dirección de secuencia

1 de partida para cualquier especificador de operando deter-
minado en respuesta a aquellas señales. La dirección de
partida para cualquier microinstrucción dada, en la se-
cuencia, comprende bitios de orden superior que dependen
5 de la propia instrucción y bitios de orden inferior que
dependen de la naturaleza de la información contenida en
el especificador de operando. En la figura 60 están repre-
sentados bitios típicos de dirección de orden inferior.
Más específicamente, si el campo de modo de registro del
10 especificador de operando tiene un valor "4" y el campo
de registro no designa el contador de programa, los bitios
de dirección de partida de orden inferior son "10" (en no-
tación exadecimal). Estos bitios controlan entonces la
posición en la cual el microsecuenciador 44 comienza a eje-
15 cutar una secuencia que empieza con la microinstrucción
situada en la memoria 40 de control de programa (figura 3)
en la posición identificada por la dirección de partida.

Antes de que esta información sea descodificada,
sin embargo, el microsecuenciador 44 continúa realizando
20 otras operaciones. En el paso A3, el microsecuenciador 44
utiliza las posiciones de campo de registro en la posición
de batería 1 de la memoria intermedia 60 de instrucción
para transferir a un circuito 75 de retención A el conte-
nido de un registro incluido en la memoria 76 de registro
25 que corresponde al contenido del campo de registro. Si el
campo de modo de registro en el especificador de operando
define cualquiera de los modos 0 a 3, el especificador de
operando contiene el operando y se descodifica el especi-
ficador de operando. El microsecuenciador 44 comienza en-
30 tonces o bien a tratar el siguiente especificador de ope-

1 rando en la instrucción o ejecuta la instrucción.

Suponiendo que el especificador de operando no incluye una parte literal, el microsecuenciador produce un desplazamiento de la operación A3 a la operación A4.

5 En esta operación el contenido del registro incluido en la memoria 80 de registro identificada por el campo de registro de la información en la posición de batería 1 de la memoria intermedia 60 de instrucción, es transferido al

10 circuito 81 de retención B. En esta realización específica, las memorias 76 y 80 de registro A y registro B se conservan como copias mutuas y constituyen todos los registros para fines generales que pueden ser direccionados por el contenido del campo de registro de cualquier especificador de operando. Para cualquier otro modo que no

15 sea un modo literal, el circuito 81 de retención B contiene una dirección. Por consiguiente, en la operación A5, el microsecuenciador 44 establece una vía de datos del selector 65B de transmisión simultánea y la unidad ALU 66 y transfiere la dirección al circuito 67 de retención de dirección virtual. Adicionalmente, estas direcciones se

20 transmiten sin alteración, a través de un circuito 82 de desplazamiento, un selector DF 83 de transmisión simultánea y un decodificador 84 de transmisión simultánea, a un registro 85D. Aquellos bits que corresponderían a la

25 parte de exponente de un número en coma flotante, son transferidos simultáneamente desde la unidad ALU 32 a la sección 86 de exponente de las vías 36 de datos.

En la operación A6, el sistema transfiere el contenido del contador 64 de programa a un registro 90 de conservación de cómputo de programa para permitir así la sus-

30

1 pensión de ciertas instrucciones que requieren intervalos
de tratamiento largos en caso de que se produzca interrup-
ción. Se habilita así el circuito para detectar estados
de interrupción y controlar operaciones de seguimiento.
5 El microsecuenciador 44 de la figura 3 transfiere el con-
tenido de las posiciones de batería 2 a 5 en la memoria
intermedia 60 de instrucción sobre la línea general 43 ID
y a través de un selector 91 de transmisión simultánea, a
un registro 92Q. Estas posiciones de batería contienen
10 información que representa valores de desplazamiento po-
tencial si el especificador de operando define uno de los
modos de desplazamiento.

En la operación A8 el circuito 61 de control de
memoria intermedia de instrucción está habilitado para so-
15 licitar transferencias de información con el fin de llenar
continuamente la memoria intermedia 60 de instrucción con
información válida. Si pueden borrarse varias baterías
contenidas en la memoria intermedia de instrucción, esta
operación de borrado se realiza en el paso A9, y en la ope-
20 ración A10 es incrementado el contador 64 de programa pa-
ra compensar el número de baterías que han sido borradas.
Esta operación de borrado y actualización de contador de
programa se realizan si están ya contenidos en el regis-
tro 92Q datos pertinentes. En la operación A11 el ordena-
25 dor central 10 determina si el especificador de operando
contiene una parte literal. Si es así, el microsecuencia-
dor 44 bifurca a la operación A12 para situar la parte li-
teral en el registro 92Q. Entonces, se descodifica el si-
guiente especificador de operando o, si todos los especi-
30 ficadores de operando han sido descodificados, la unidad

1 10 de ordenador central trata el operando u operandos en
respuesta al código de operación. Si el especificador de
operando no contiene una parte literal, el microsecuencia-
dor 44 bifurca a la operación A13 para completar la opera-
5 ción de descodificación de especificador de operando.

En este punto de la secuencia, el circuito 75
de retención A contiene información correspondiente a las
posiciones de bitio de registro procedentes de la posición
de batería 2 en la memoria 60 (6A) intermedia de instruc-
10 ción. El circuito 81 de retención B, el circuito 67 de
retención de dirección virtual y el registro 85D, almace-
nan el contenido del registro que fue seleccionado por los
bitios de campo de registro en la posición de batería 1
de la memoria intermedia 60 de instrucción. El registro
15 92 Q contiene cualquier tipo de datos de cadena de ins-
trucciones que pueden existir, mientras que el contador
64 de programa contiene la dirección del siguiente especi-
ficador de operando. Las operaciones adicionales depen-
den de la instrucción específica que está siendo descodi-
20 ficada y de la naturaleza del especificador de operando.
Existen numerosos modos según los cuales el ordenador cen-
tral puede completar la operación de descodificación de
especificador de operando. Una descripción exhaustiva de
cada una de las posibilidades requeriría una extraordina-
25 ria extensión de la descripción. Sin embargo, puede com-
prenderse claramente el funcionamiento de una unidad 10
de ordenador central de acuerdo con este invento examinan-
do el funcionamiento de la unidad 10 de ordenador central
en respuesta a algunas instrucciones típicas.

30 ii. Especificadores de Operando de descodificación en una

1 Instrucción de Suma

a. Modos de direccionamiento de desplazamiento y
 literal

5 La figura 8A ilustra una instrucción para sumar
información en dos posiciones y depositar la suma en una
tercera posición sin afectar a la primera o segunda posi-
ciones de memoria, como aparecería en la memoria interme-
dia 60 de instrucción después de haber sido recuperada la
instrucción en la operación A2 de la figura 7. La figura
10 8B ilustra la información almacenada en las entradas de
tabla para el código de operación asociado con esta ins-
trucción, que es "C1". El significado de las posiciones
de bitio particulares que constituyen la información de
especificador de operando se expone en la figura 6B.

15 El primer especificador de operando es "07". Con
el contador 73 de punto de ejecución en el estado "00", la
correspondiente entrada a tabla en la memoria 71 de direc-
ción de ejecución contiene la siguiente información: (1)
ha sido seleccionado un especificador (bitios 4 y 5); (2)
20 el operando es un número entero (bitios 0 y 1); (3) el
operando contiene cuatro baterías (bitios 2 y 3); y (4)
el operando está siendo leído de la memoria (bitios 6 y
7). Además, la información que es transferida desde la po-
sición de batería 1 en la memoria intermedia 60 de instruc-
25 ción al circuito lógico 72 descodificador de especificador,
hace que el circuito lógico 72 descodificador de especifi-
cador produzca una combinación "00" como bitios de orden
inferior en la dirección de partida para el microsecuencia-
dor 44. (Véase la figura 6B). Siguiendo la secuencia de
30 la figura 7, el microsecuenciador 44, en la operación B1

1 de la figura 8C, establece las vías de datos necesarias
para transferir esta parte literal, a saber "7", desde el
registro 92 Q al registro 85 D a través de un alineador
93 de datos y el selector 84 D de transmisión simultánea.
5 En este punto, el circuito 61 de control de memoria inter-
media de instrucción desplaza las baterías 2 a 7 una posi-
ción de batería hacia la derecha y avanza el contador 73
de punto de ejecución al estado "01" (operación B2). Se
verá por la tabla de la figura 8B, que esto indica que la
10 información contenida ahora en la batería 1 es un especi-
ficador de operando para un número entero de palabra lar-
ga que ha de ser transferido a la unidad 10 de ordenador
central.

Ahora el sistema retorna inmediatamente a los
15 pasos de la figura 7. En el paso A11 se evalúa el segun-
do especificador de operando. En combinación con la in-
formación proporcionada ahora por las diversas tablas re-
presentadas en las figuras 4, 6B, 6C y 8B, el microsecuen-
ciador responde para establecer la secuencia de vías de
20 datos que son necesarias para descodificar un especifica-
dor de operando que utiliza un modo de direccionamiento
de desplazamiento de batería. Durante esta secuencia de
descodificación el circuito 75 de retención A y el circui-
to 81 de retención B reciben ambos el contenido del regis-
tro R1 (paso B3). El registro Q recibe la batería 3 de
25 valor "20" de desplazamiento de batería en el paso B4. En
el paso B5 la unidad ALU 66 produce la suma del contenido
del circuito 81 de retención B que aloja el contenido del
registro designado y el contenido del registro 92Q que al-
macena el valor de desplazamiento. Más específicamente,
30

1 el contenido del registro 92 Q pasa a través del selector
94 de transmisión simultánea RA y un selector 95 de trans-
misión simultánea A, a la entrada A de la unidad ALU 66,
mientras que el contenido del circuito 81 de retención B
5 pasa a la unidad ALU 66 a través del selector 65B de trans-
misión simultánea. La suma de estas dos entradas represen-
ta la dirección desplazada que es transferida entonces al
circuito 67 de retención de dirección virtual y también
en retorno al registro 92 Q a través del circuito 82 de
10 desplazamiento, el circuito 83 DF selector de transmisión
simultánea y el selector 91 Q de transmisión simultánea.
Ahora, en el paso B6 de programa, el microsecuenciador ha-
bilita la unidad 61 de control de memoria intermedia de
instrucción para borrar el contenido del segundo especi-
15 cador de operando y para iniciar una solicitud para obte-
ner el segundo operando en el paso B7. En el paso B8 el
microsecuenciador 44 transfiere el segundo operando de la
línea general MD a través de otro alineador 96 de datos y
el selector 84 D de transmisión simultánea, al registro
20 85D y el primer operando es transferido al registro 92 Q.

Ahora el microsecuenciador 44 avanza el contador
73 de punto de ejecución (paso B9) a la tercera entrada de
tabla en la figura 8B que especifica una ejecución. Por
consiguiente, el microsecuenciador 44 controla la unidad
25 ALU 66 de modo que genera la suma aritmética de los dos
sumandos y transfiere la suma al registro 85D durante el
paso B10.

En el paso B11 el microsecuenciador 44 avanza el
contador 73 de ejecución a la posición "11", estado final
30 representado en la figura 8B. La información en la tabla

1 indica que el especificador de operando designa una direc-
ción en memoria en la cual ha de inscribirse un número en-
tero de cuatro baterías. El valor C2 reside en la posi-
5 ción de batería 1 de la memoria 60 de instrucción y el va-
lor "C" en el campo de modo de registro define una direc-
ción de desplazamiento de palabra. Por consiguiente, el
microsecuenciador 44 utiliza los pasos B12 a B16 para cal-
cular la dirección de memoria y para iniciar una transfe-
rencia de la suma a esa posición de memoria. Cuando se
10 han completado estos pasos, el microsecuenciador 44 borra
el contador 73 de punto de ejecución en el paso B17 y vuel-
ve a los pasos representados en la figura 7 para iniciar
así la transferencia y descodificación de la siguiente ins-
trucción en secuencia.

15 b. Modo de Direccionamiento Orientado

El tercer especificador de operando representa-
do en la figura 8A define un modo de desplazamiento de pa-
labra. Si hubiese de ser utilizada la instrucción de su-
ma iterativamente y si se desease almacenar sumas sucesi-
20 vas en un conjunto de posiciones, un programador debería
elegir utilizar el modo de desplazamiento de palabra pero
también modificar las posiciones mediante un índice de
orientación. Tal dirección desplazada orientada puede ser
producida con esta unidad de ordenador central. El progra-
25 mador alteraría el tercer especificador de operando en la
figura 8A en el sentido de aparecer como instrucción en la
figura 9A. Esta instrucción identifica el registro R7 co-
mo un registro de índice.

Más específicamente, la posición de batería 4
30 original en la memoria intermedia de instrucción contiene

1 "47" cuando comienza la operación de descodificación de
instrucción. El paso C1 en la figura 9C corresponde al
paso B11 en la figura 8C. En el paso C1, el contador 73
de punto de ejecución representado en la figura 6A es avan-
5 zado para indicar así una operación de inscripción con un
número entero de palabra larga. En este momento, el cir-
cuito 75 de retención A y el circuito 81 de retención B
almacenan ambos el contenido del registro 7. El registro
92 Q y el circuito 67 de retención de dirección virtual
10 contienen la dirección del segundo operando y el registro
85 D contiene la suma de la operación de adición. En el
momento del paso C1, el tercer especificador de operando
ocupa las posiciones de batería 2 a batería 5 en la memo-
ria intermedia 60 de instrucción. De este modo, el cir-
15 cuito 75 de retención A almacenará el contenido del regis-
tro R7 que es el registro de índice designado. En el paso
C2 el contenido del circuito de retención A es transferido
al circuito 82 de desplazamiento a través del selector 97
A de transmisión simultánea y la unidad ALU 66.

20 El circuito 82 de desplazamiento desplaza el va-
lor de índice hacia la izquierda en un número de posicio-
nes que corresponde a las señales LENGTH procedentes de la
memoria 71 de dirección de ejecución durante el paso C3.
En este caso, está implicada una palabra larga, de modo
25 que el campo LENGTH contiene "10" y el índice es despla-
zado dos posiciones para multiplicar así efectivamente el va-
lor de índice por 4 y compensar el tamaño del bloque de
datos de palabra larga que ha de transferirse. Si está
siendo transferida una batería no se producirá desplaza-
30 miento, de modo que el índice es multiplicado efectivamen-

1 te por 1 mientras que si está siendo transferida una pala-
bra cuádruple, el contenido del registro de índice es des-
plazado hacia la izquierda tres veces, para multiplicar
así efectivamente el valor de índice por 8 y compensar el
5 tamaño de palabra cuádruple de ocho baterías. De este mo-
do, esta operación gradúa el valor de índice de acuerdo
con el tamaño del bloque de datos que está siendo transfe-
rido.

Después de la graduación del índice, el valor
10 de índice se almacena en una memoria 97 de registro C en
una posición predeterminada que está especificada como re-
gistro T7 durante la operación C4. También se borra el
contenido de la posición de batería 1 en la memoria 60 de
instrucción, de modo que el valor "C" se desplaza a la po-
15 sición de batería 1. En el paso C5, el contenido de las
posiciones 2 a 5 de batería, que incluye un valor de des-
plazamiento "0140", es transferido al registro 92 Q por
la línea general 43 ID. Entonces, dependiendo del código
de operación y del especificador de operando que se está
20 tratando, el circuito lógico 72 descodificador de especi-
ficador controla el borrado de las posiciones 1 a 5 de ba-
tería en la memoria intermedia de instrucción en el paso
C6 e incrementa el contador de programa en un número co-
rrespondiente en el paso C7. Durante el paso C8, el cir-
25 cuito 61 de control de memoria intermedia de instrucción
está habilitado para recuperar información de cualquier po-
sición identificada por el contenido del circuito 67 de re-
tención de dirección virtual. En el paso C9 la suma arit-
mética contenida en el registro 85D es desplazada al re-
30 gistro 92 Q y el número "0140" de desplazamiento es lleva-

1 do del registro 92 Q al registro 85 D. El circuito 81 de
retención B almacena el contenido del registro 2 y este
valor es desplazado a través del selector 65B de transmi-
5 sión simultánea a la entrada de la unidad ALU 66 en el pa-
so C10. El valor de desplazamiento del registro 92 Q es
llevado a la entrada A. La suma constituye la dirección
desplazada, y es transferida en retorno al registro 85D y
al circuito 67 de retención de dirección virtual, aunque
no se utiliza. En el paso C11 se borran las porciones de
10 batería restantes del tercer especificador de operando.

Se produce entonces la operación de orientación
o desplazamiento por índice. En el paso C12 el contenido
del registro T7 en la memoria 97 de registro es transferi-
do a un circuito 98 de retención C. Este corresponde al
15 índice graduado, y durante el paso C13 es transferido a
través del selector 65B de transmisión simultánea a la en-
trada B de la unidad ALU 66. Al mismo tiempo, la direc-
ción desplazada es transferida desde el registro 85 D a la
entrada A de la unidad ALU 66 a través del selector 94 RA
20 de transmisión simultánea y el selector 95A de transmisión
simultánea. La dirección modificada por índice se obtie-
ne entonces sumando los números presentes en las dos entra-
das y transfiriendo la suma, que constituye la dirección
orientada o desplazada, al registro 85 D. En el paso C14
25 esta dirección es desplazada al circuito 67 de retención
de dirección virtual.

El operando está ahora en el registro 92Q. El mi-
crosecuenciador 44 desplaza esta suma desde el registro 92
Q en retorno al registro 85 D. Entonces, en el paso C14,
30 el microsecuenciador 44 desplaza el operando a través de

1 otro alineador 96 de datos en la línea general 35 MD para
transferencia a la unidad 11 de memoria y el circuito 33
de ocultación de datos en la posición direccionada por el
5 contenido del circuito 67 de retención de dirección vir-
tual. Como operación final, se borran el contador 73 de
punto de ejecución y la posición de batería 0 en la memo-
ria intermedia 60 de instrucción. Esto hace posible que
el circuito 61 de control de memoria intermedia desplace
los siguientes datos válidos en la memoria intermedia 60
10 de instrucción a la posición de batería 0 y posiciones su-
cesivas.

Por la explicación precedente, resultará eviden-
te que el modo de índice no es un modo independiente y ex-
clusivo. Es una ampliación de cualquiera de los modos de
15 direccionamiento disponibles que hacen referencia a la me-
moria (es decir, los modos 6 a 15). Estos modos están mar-
cados con asteriscos en la figura 4. El modo de orienta-
ción por índice es ejecutado con una única batería que es-
pecifica el registro de índice y ésta puede combinarse con
20 cualquier ampliación adicional del especificador de operan-
do que puede comprender de una a nueve baterías adiciona-
les. En relación con esto, puede considerarse que el mo-
do de modificación por índice proporciona un registro ba-
se que contiene una desviación de dirección física mas el
25 registro de índice que contiene la desviación lógica en un
conjunto. La graduación proporcionada por la operación de
desplazamiento, compensa automáticamente el tamaño de la
palabra de datos de modo que el propio registro de índice
representa una desviación lógica de un bloque de datos sin
30 consideración al tamaño de ese bloque de datos. Resultará

1 también evidente que la naturaleza de longitud variable
de los especificadores de operando da más importancia adi-
cionalmente al modo de desplazamiento de dirección por ín-
dice porque una instrucción solamente incluye el espacio
5 para información de índice cuando ha de producirse una di-
rección orientada.

iii. Instrucciones de Llamada a Subrutina

Las figuras 10A y 10B ilustran dos instrucciones
diferentes de llamada a subrutina. La instrucción de lla-
10 mada representada en la figura 10A es una instrucción - -
"CALLG" y comprende un código de operación de una batería
de bitios ("FA") seguida en esta figura específica por un
especificador de operando de una batería para definir una
lista de argumentos y un especificador de operando de una
15 batería para definir un destino, a saber la primera posi-
ción en la subrutina que está siendo llamada. La figura
10B representa una instrucción de llamada "CALLS" con un
código "FB" de operación. La instrucción CALLG represen-
tada en la figura 10A llama a una subrutina cuando la lis-
20 ta de argumentos está almacenada en diversas posiciones en
la memoria, mientras que la instrucción CALLS representada
en la figura 10B reclama una subrutina cuando la subrutina
que llama ha transferido ya la lista de argumentos para
su utilización en un bloque de memoria identificado por el
25 registro R14 para fines generales que funciona como regis-
tro indicador de bloque. La lista de argumentos contiene
direcciones de entrada y valores a utilizar por la subru-
tina y direcciones de salida para los valores de salida
producidos por la subrutina.

30 Con referencia ahora a la figura 10C-1, en el

1 paso D1, la unidad 10 de ordenador central evalúa el pri-
mer especificador de operando y transfiere la dirección
de lista de argumentos en el caso de la instrucción repre-
sentada en la figura 10A, o el cómputo de argumentos en el
5 caso de la instrucción representada en la figura 10B, al
registro 85D. En el paso D2 se transfiere el contenido
del registro 85D al registro 92 Q y se evalúa el campo de
destino incluido en el especificador de operando de desti-
no. La dirección inicial resultante para la subrutina es
10 desplazada al registro 85 D y al circuito 67 de retención
de dirección virtual.

De acuerdo con uno de los aspectos de esta ins-
trucción de llamada, la primera posición de la subrutina
contiene una máscara de subrutina que es interpretada del
15 modo siguiente. Las posiciones 0 a 11 de bitio correspon-
den directamente a registros generales R0 a R11. Cada po-
sición de bitio en la máscara de subrutina ha sido activa-
da o borrada dependiendo de si el contenido del correspon-
diente registro para fines generales ha de conservarse o
20 no. Como es evidente, el contenido de un registro para
fines generales será conservado si la subrutina altera el
contenido de ese registro para fines generales. Los re-
gistros R12 a R15 restantes para fines generales son siem-
pre conservados, o nunca conservados, indistintamente. Más
25 específicamente, el registro R12 constituye un registro
indicador de argumento y es siempre conservado. Del mis-
mo modo, el registro R13 constituye un registro indicador
de cuadro, y el registro R15 constituye un registro de con-
tador de programa; dichos registros son también siempre
30 conservados. Por el contrario, el registro R14 constituye

1 un registro de indicador de bloque de datos y nunca se conserva. De este modo, las cuatro posiciones de bitio más significativas en la máscara de subrutina pueden ser utilizadas para otros fines.

5 En esta realización particular, las posiciones 12 y 13 de bitio son siempre "cero", aunque podrían ser utilizadas para otros fines. Los bitios 14 y 15, por el contrario, establecen las condiciones iniciales de las marcas indicadoras de estado de error de excedencia para número entero y para número decimal al entrar en la propia subrutina.

10 Aun con referencia a la figura 10C-1 y al paso D3, el contador 64 de programa ha sido incrementado anteriormente para identificar así la primera instrucción a continuación de la instrucción de llamada a subrutina en la rutina de llamada. A continuación, se borra el registro 92 Q y se desplaza la máscara de subrutina desde el registro 85D a un registro T2 incluido en la memoria 97 de registro C. Las posiciones 12 y 13 de bitio en la máscara de subrutina son comprobadas para determinar si tienen un valor "0". Si no tienen un valor 0, existe un estado de error y se producen las condiciones de salto no programado adecuadas. Normalmente, el paso D15 se transfiere al paso D6, con lo cual la máscara de subrutina es transferida al circuito 98 de retención C. En el paso D7 se cuenta el número de "unos" en la máscara de subrutina con el fin de establecer el número de registros generales que necesitan almacenarse para conservar el estado de la rutina que llama. La operación D8 representa una bifurcación que o bien transfiere el funcionamiento al paso represen-

1 tado en la figura 10C-2A para la instrucción de llamada
representada en la figura 10A, o bien al paso representa-
do en la figura 10C-2B para la instrucción de llamada re-
presentada en la figura 10B.

5 Suponiendo que está siendo descodificada la ins-
trucción CALLG representada en la figura 10A, es necesario
a continuación establecer el espacio total en el bloque de
memoria que será ocupado por el estado de rutina responsa-
ble de la llamada. Para esta instrucción, se reservarán
10 cinco palabras largas adicionales. De este modo, en el
paso D9 se suma ese número al número de "unos" contenidos
en la máscara y la suma es convertida en un número de ba-
terías y utilizada entonces para determinar, con el conte-
nido del registro de indicador de bloques de datos, la úl-
15 tima posición en el bloque (paso D10). Como se ha indica-
do anteriormente, la unidad 10 de ordenador central funcio-
na como máquina direccionada virtualmente. Por consiguien-
te, deben adoptarse medidas para asegurar que existe espa-
cio suficiente en el bloque de memoria asignado al progra-
20 ma particular que está siendo ejecutado para alojar todos
los registros que serán conservados. Durante el paso D11,
el contenido del registro R14 (registro de indicador de
bloque) es transferido a los circuitos 75 de retención A
y B, respectivamente, y son transferidos al menos dos bi-
25 tios significativos del registro R14 a un registro T4 en
la memoria 97 de registro C en el paso D12.

En el paso D12 el indicador de bloque de datos
es también alineado, sustituyendo los dos bitios menos sig-
nificativos en el registro R14 por ceros y obligando así
30 a la dirección en ese registro a definir un límite de pa-

1 labra larga. Dado que las transferencias a y desde las
unidades 11 de memoria y la unidad de memoria de oculta-
ción son realizadas sobre límites de palabra larga, este
procedimiento de alineación asegura que cada registro pue-
5 da ser conservado con una única transferencia de memoria
y mejora el rendimiento total de la instrucción. De otro
modo, existiría una posibilidad de tener que realizar dos
transferencias para conservar cada registro, aumentando
así en alto grado la cantidad de tiempo requerida para eje-
10 cutar la instrucción responsable de la llamada e instruc-
ciones subsiguientes en la subrutina que normalmente es-
tán alineadas.

Después de la alineación, el contenido alineado
del registro SP es decrementado para identificar sucesiva-
15 mente una secuencia de posiciones vacantes de palabra lar-
ga en la memoria. Esto hace posible que el microsecuen-
ciador 44, en el paso D13, transfiera el contenido del con-
tador 64 de programa, y el de aquellos registros para fi-
nes generales que están especificados en la máscara de --
20 subrutina, al bloque de memoria. Este paso conserva la
posición de la rutina responsable de la llamada en la cual
se encontrará la instrucción siguiente a la instrucción
responsable de la llamada y aquellos registros para fines
generales que serán utilizados por la subrutina. Después
25 de completarse el paso D13, se ha conservado el estado de
la rutina responsable de llamada, de modo que el ordenador
central transfiera el control a los pasos representados en
la figura 10C-3.

La figura 10C-2B expone las medidas adoptadas
30 si se está descodificando la instrucción CALLS representa-

1 da en la figura 10B. En los pasos D14 y D15, la unidad 10
de ordenador central determina nuevamente si existe un es-
pacio suficiente en el bloque de memoria asignado a la mis-
ma para almacenar la información. Los dos bitios menos
5 significativos del registro SP son desplazados a un regis-
tro T4 en la memoria 97 de registro C en el paso D16. En
el paso D17, el cómputo de argumentos procedente del re-
gistro T3 en la memoria 97 de registro C se desplaza al
registro 92 Q. Adicionalmente, se activa una marca indi-
10 cadora CALLG/CALLS. Esta marca indicadora es conservada
subsiguientemente en el bloque de memoria y es utilizada
posteriormente por la instrucción de retorno para contro-
lar la recuperación de información del bloque de memoria.
De este modo, cualquiera de las instrucciones CALLG y - -
15 CALLS puede ser utilizada para llamar a una subrutina. El
registro SP es decrementado para identificar la siguiente
posición disponible y el contenido decrementado es almace-
nado en el registro 85 D. Entonces, el cómputo de argu-
mento en el registro 92 Q es almacenado en el bloque de
20 memoria para completar así la lista de argumentos. Duran-
te el paso D18, el contenido del registro D es modificado
de modo que el registro R14, o indicador de bloque de me-
moría, es alineado sobre un límite de palabra larga para
la siguiente posición disponible. En el paso D19, el mi-
25 crosecuenciador 44 conserva el estado de rutina de llama-
da conservando el contador de programa y registros para
fines generales que serán utilizados por la subrutina en
el bloque de memoria, como lo hace en el paso D13 de la
figura 10C-2A, comenzando en la posición alineada en el
30 bloque de memoria.

1 Con referencia ahora a la figura 10C-3, el micro
secuenciador 44 transfiere el control al paso D20 después
de completar las transferencias representadas por el paso
D13 en la figura 10C-2A y el paso D19 en la figura 10C-2B.
5 Más específicamente, el contenido del registro R13 que ac-
túa como registro de indicador de cuadro es entonces trans-
ferido a la siguiente posición disponible en el bloque de
memoria. Este contenido está seguido por el contenido del
registro R12 que constituye el registro de indicador de
10 argumento. En la operación D22, se borran las marcas in-
dicadoras de estado para la rutina responsable de la lla-
mada. A continuación, la unidad 10 de ordenador central
transfiere la dirección de partida para la subrutina des-
de el registro T1 incluido en la memoria 97 de registro C
15 hasta el circuito 67 de retención de dirección virtual y
el contador 64 de programa (paso D23). Entonces el cir-
cuito 61 de control de memoria de instrucción comienza a
transferir la primera instrucción en la subrutina a la me-
moria intermedia 60 de instrucción. El microsecuenciador
20 44, en el paso D24, forma una palabra a partir de la pala-
bra antigua de estado de ordenador, la máscara de subrutina,
los bitios de alineación de bloque de datos y la marca
indicadora CALLS/CALLG, y conserva esta palabra en el blo-
que de memoria. En el paso D25 el microsecuenciador 44
25 transfiere el contenido del registro de indicador de blo-
que de memoria al registro R13 como nuevo indicador de cua-
dro de registro. A continuación se activa el bitio T para
corresponder al bitio T en la rutina responsable de la lla-
mada en el paso D26; y en el paso D27, el microsecuencia-
30 dor 44 activa las marcas indicadoras de excedencia de nú-

1 mero decimal y número entero de acuerdo con los dos bits
más significativos en la máscara de subrutina; (pueden
también controlarse otras marcas indicadoras, tales como
la marca indicadora de defecto en coma flotante).

5 En el paso D28, la información es transferida
al registro R12 como nuevo registro de indicador de argu-
mento. Si la instrucción es la instrucción CALLG repre-
sentada en la figura 10A, esta información contiene la di-
rección de la primera posición en la lista de argumentos
10 la cual, a su vez, contiene el cómputo de argumentos. Si
la instrucción es la instrucción CALLS representada en la
figura 10B, esta información contiene el valor del indica-
dor de bloque de datos después que se desplaza el operan-
do de cómputo de argumento al bloque de memoria. En cual-
15 quier caso, la siguiente operación es almacenar, en el pa-
so D28, un valor "0" para una dirección de subrutina de
tratamiento de condición que se almacena en la siguiente
posición disponible del bloque de memoria. Esto reserva
una posición en el bloque de memoria para cualquier direc-
20 ción de subrutina de tratamiento de condición subsiguiente
e indica también que no existe inicialmente subrutina de
tratamiento de condición.

25 Una subrutina de tratamiento de condición es una
subrutina secundaria que puede ser llamada si se produce
alguna condición no usual durante la ejecución de la subru-
tina principal. Específicamente, se utiliza una subrutina
de tratamiento de condición para hacer retornar al siste-
ma de tratamiento de datos a un estado conocido en caso de
producirse algún error. Por ejemplo, si una subrutina in-
30 tentase establecer acceso a un archivo de datos no exis-

1 tente, podría llamarse a una subrutina de tratamiento de
condición. En tal aplicación, la subrutina almacenaría
la dirección inicial para la subrutina de tratamiento de
condición en la posición reservada en el bloque de memoria.

5 Después del paso D28, el ordenador central pue-
de comenzar a tratar la primera instrucción en la subruti-
na que el circuito 61 de control de memoria intermedia de
instrucción comenzó a recuperar en el paso D23. Las dos
instrucciones de llamada a subrutina son muy potentes.

10 Cuando se ha completado cualquiera de las instrucciones de
llamada, toda la información que es necesaria para una
transferencia a y desde una subrutina ha sido conservada
adecuadamente. Más específicamente, el bloque de memoria
contiene el contador de programa de rutina responsable de
15 llamada y otra información que conserva el estado de la
rutina responsable de llamada. Los argumentos son fácil-
mente recuperados utilizando el indicador de argumento en
el registro R12 y se activan las diversas marcas indicado-
ras de estado, de modo que se establece también el ambien-
te para la subrutina.

20 La última instrucción contenida en la subrutina
es una instrucción de retorno que comprende un único códi-
go de operación. No tiene especificadores de operando.
En respuesta a esta instrucción, el contenido del indica-
25 dor de cuadro en curso en el registro R13 es modificado y
transferido en retorno al registro R14 para indicar el gru-
po de datos inferior del bloque de memoria que fue esta-
blecido por la instrucción de llamada anterior y hace posi-
ble que el microsecuenciador 44 pase inmediatamente al --
30 principio de las pertinentes porciones del bloque.

1 El contenido de la siguiente posición en el blo-
que de memoria incluye (1) el estado de ordenador para
la rutina responsable de llamada, (2) la máscara de subru-
tina, (3) la indicación de si fue llamada una subrutina
5 por la instrucción representada en las figuras 10A o 10B,
y (4) el valor de dos bitios almacenado durante la ali-
neación de bloque de datos. Es comprobada la máscara de
subrutina para determinar si las posiciones 0 a 11 de bi-
tios son "0". Si lo son, no necesitan almacenarse nueva-
10 mente registros, de modo que es posible aislar la máscara
de subrutina conservada y comprobar los dos bitios de or-
den superior en la máscara de subrutina conservada para
reestablecer así las marcas indicadoras de excedencia de
número decimal y número entero. Si los bitios 0 a 11 de
15 la máscara contienen "unos" entonces deben recuperarse
esos registros. A continuación, el indicador de bloque de
datos es correctamente alineado en respuesta a los bitios
de alineación de bloque conservados. La unidad de ordena-
dor central comprueba el bitio que identifica la instruc-
20 ción responsable de llamada. Si la instrucción represen-
tada en la figura 10A ha sido llamada, el retorno se com-
pleta, de modo que el microsecuenciador 44 comienza a tra-
tar la siguiente instrucción en la rutina responsable de
llamada. En caso contrario, reclama el cómputo de argu-
25 mento del bloque de memoria, incrementa ese cómputo en una
unidad, convierte ese cómputo en el número de baterías,
suma el número de baterías al contenido del registro indi-
cador de bloque y almacena esa suma en el circuito 67 de
retención de dirección virtual. Entonces, el contador de
30 programa recuperado es utilizado para hacer posible que el

1 circuito 61 de control de memoria intermedia de instruc-
ción recupere la siguiente instrucción de la memoria, que
es la instrucción siguiente a la instrucción de llamada
en la rutina de llamada para completar así el retorno des-
5 de la instrucción responsable de llamada representada en
la figura 10B.

 En resumen, se describe un sistema de tratamien-
to de datos que incluye un ordenador que descodifica di-
versos tipos de instrucciones que pueden tener cualquier
10 longitud dada. Ciertas de estas instrucciones son instruc-
ciones de control de programa que no contienen especifica-
dores de operando. Otras instrucciones pueden contener
uno o más especificadores de operando, y cada especifica-
dor de operando define la posición de un operando. De
15 acuerdo con este invento, un especificador de operando pue-
de comprender cualquier número de baterías que utiliza la
unidad de ordenador central para calcular una dirección
final. Los objetos de este invento son cumplidos por tal
ordenador porque la capacidad de la unidad de ordenador
20 central para descodificar instrucciones que tienen números
diferentes de especificadores de operando y que tienen es-
pecificadores de operando de diferentes tamaños, le permi-
ten tratar un conjunto de instrucciones muy flexibles. --
Además, como tal instrucción está dimensionada de acuerdo
25 con la función que debe realizar en la cadena de instruc-
ciones, no deben dedicarse campos a información no perti-
nente. Por consiguiente, los programas tienden a ser com-
pactos y se simplifica el trabajo del programador.

 La descripción precedente está limitada a una
30 realización específica de este invento. Será evidente,

1 sin embargo, que este invento puede ser puesto en práctica
en sistemas de tratamiento de datos que tienen diversas
disposiciones constructivas básicas o en sistemas que uti-
lizan circuitos internos diferentes de los que se descri-
5 ben en esta memoria, consiguiéndose alguno o todos los ob-
jetos precedentes y ventajas de este invento. Por consi-
guiente, el objeto de las reivindicaciones anejas es cu-
brir todas estas variaciones y modificaciones en el senti-
do de quedar comprendidas en la verdadera esencia y campo
10 de aplicación de este invento.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

1ª.- Un ordenador central para uso en un sistema de tratamiento de datos que incluye también una memoria para almacenar instrucciones y datos, comprendiendo dicho ordenador: A. un contador de programa para identificar la posición inicial de una instrucción en la memoria; B. medios de memoria intermedia de instrucción para recibir información procedente de un número predeterminado de posiciones en la memoria comenzando en la posición especificada por dicho contador de programa; C. medios de descodificación de código de operación conectados a dichos medios de memoria intermedia de instrucción para descodificar una primera porción de la información presente en dichos medios de memoria intermedia de instrucción como código de operación; y D. medios de descodificación de especificador de operando para descodificar porciones sucesivas de la información que sigue al código de operación en respuesta a dichos medios de descodificación de código de operación.

2ª.- "UN ORDENADOR CENTRAL PARA USO EN UN SISTEMA DE TRATAMIENTO DE DATOS".

30

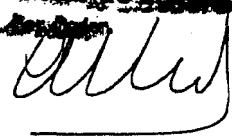
Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

1

Esta Memoria consta de cuarenta y ocho hojas escritas a máquina por una sola cara.

Madrid, 28.DIC.1978

P.A.

~~Consejo de Estado~~
~~Madrid~~


JAC.

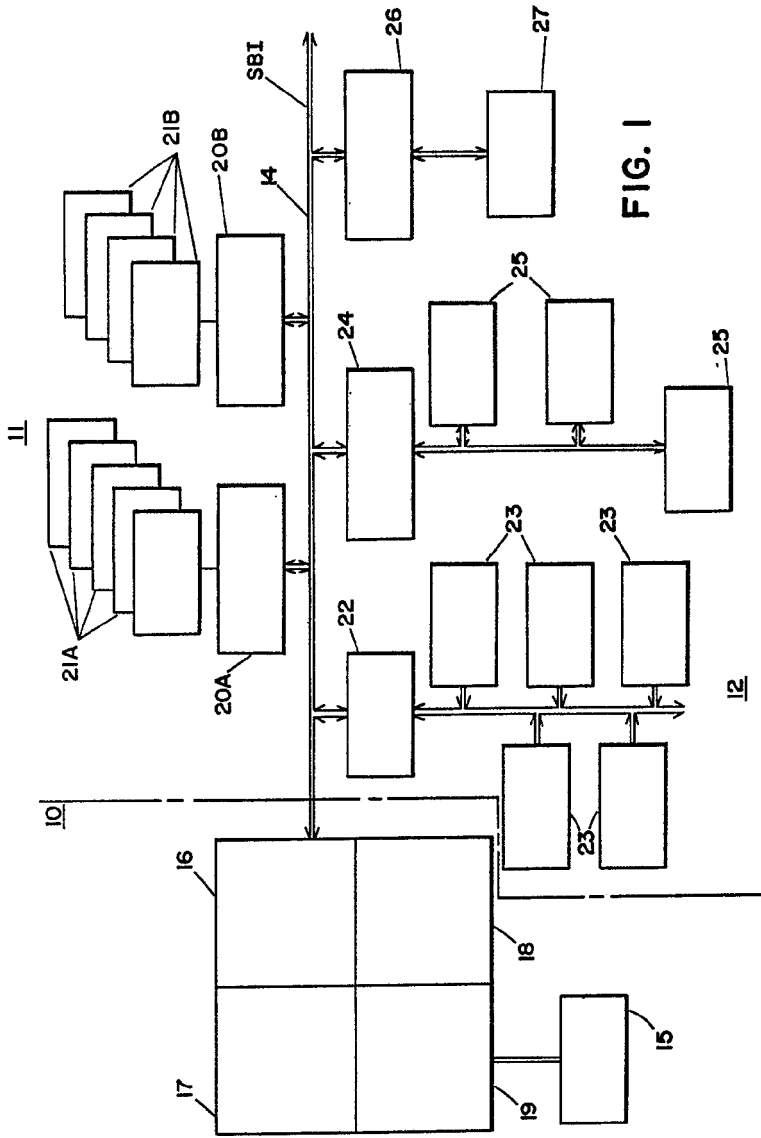


FIG. 1

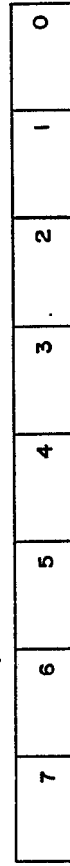


FIG. 2A



FIG. 2B

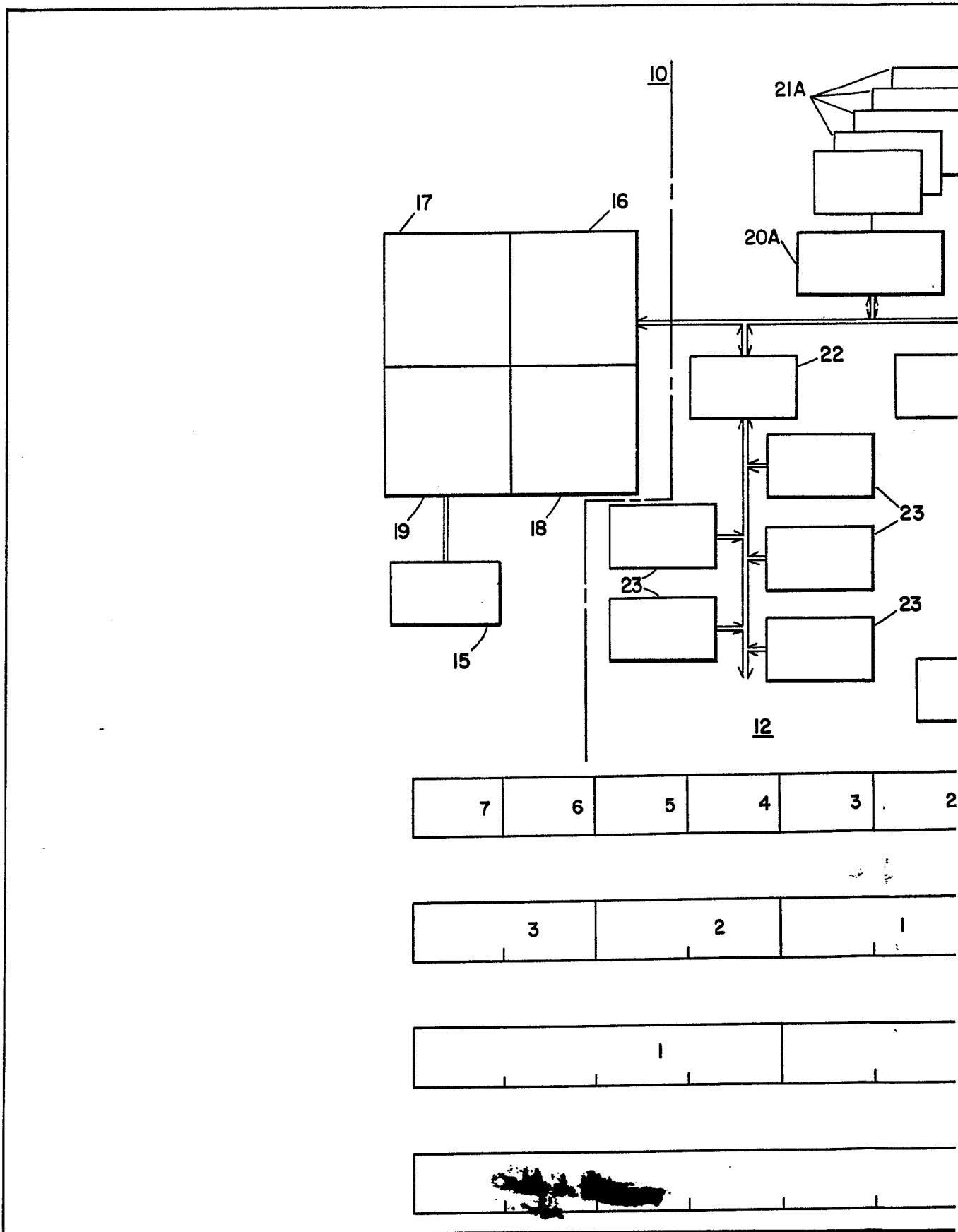


FIG. 2C



FIG. 2D

Handwritten signature
 Charles H. Edwards
 1970



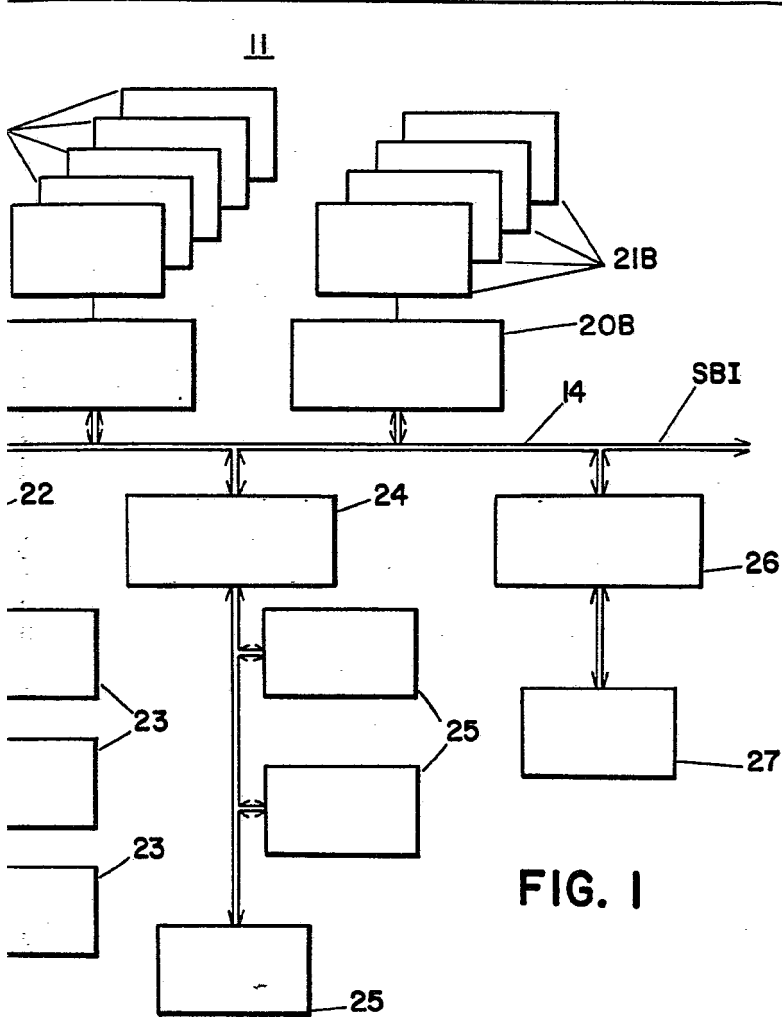


FIG. 1

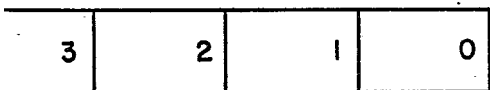


FIG. 2A



FIG. 2B



FIG. 2C

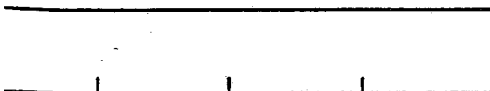


FIG. 2D

Office de Elizabeth
[Handwritten signature]

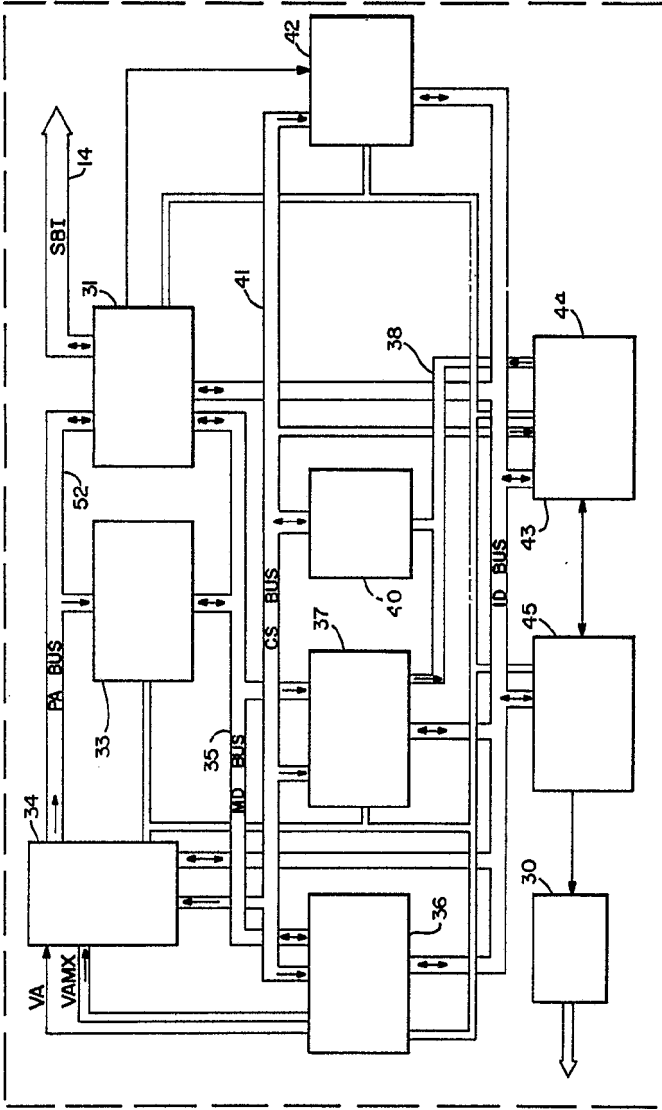


FIG. 3

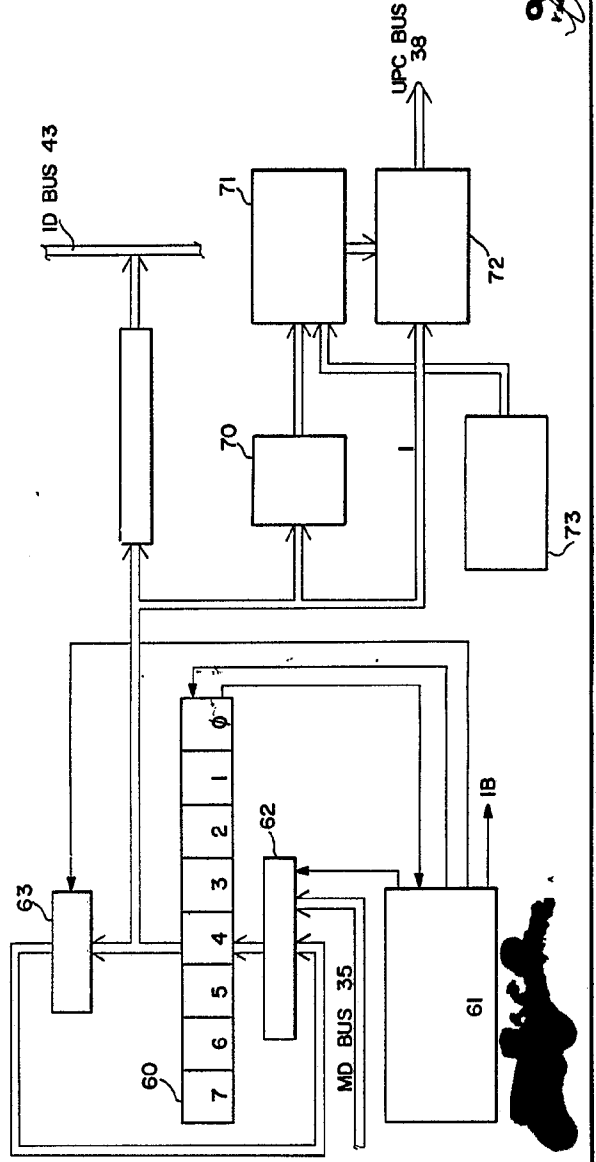


FIG. 6A

[Handwritten signature]
 38
 38

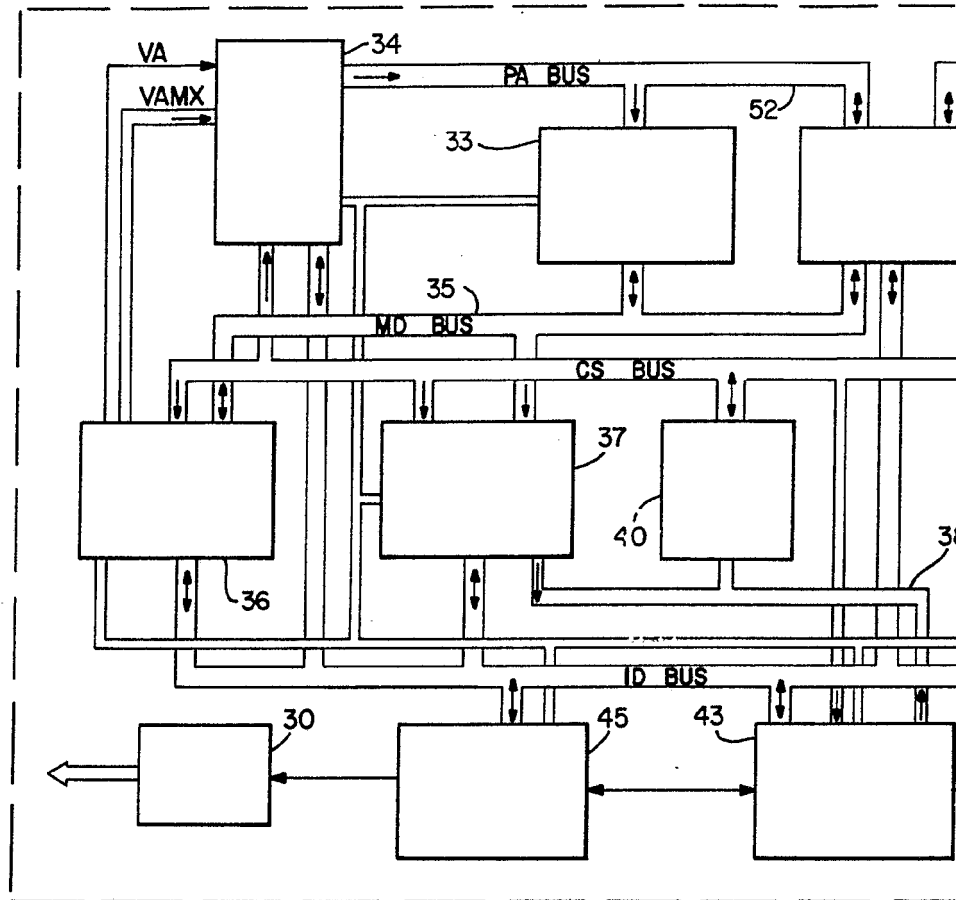
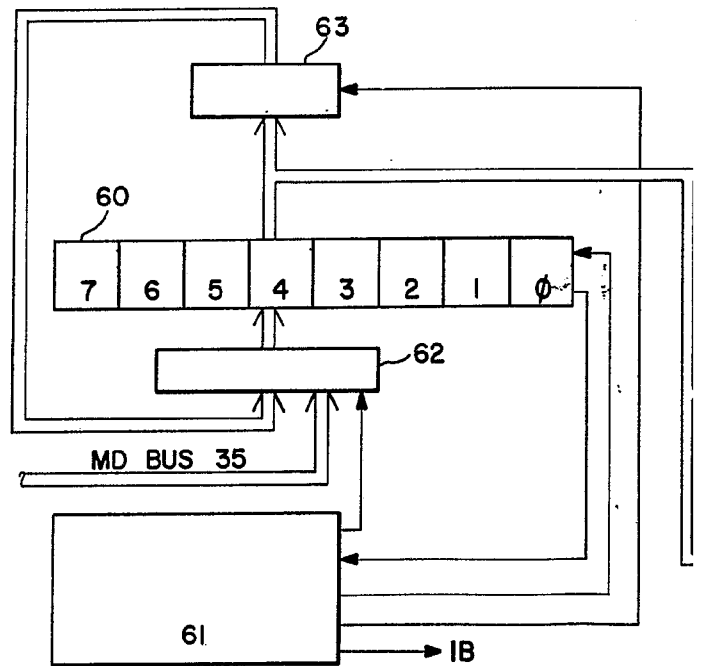


FIG. 6A



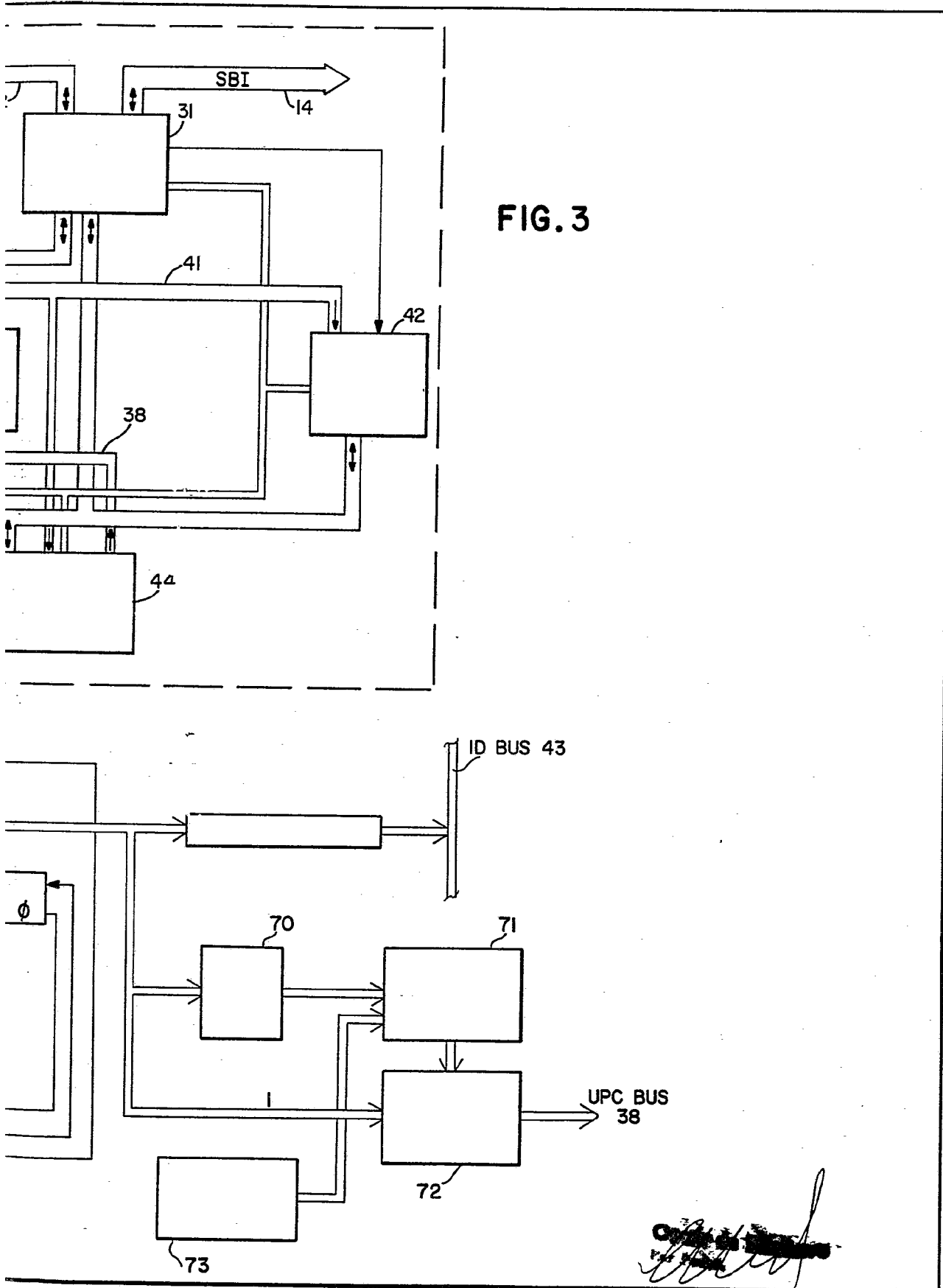


FIG. 3

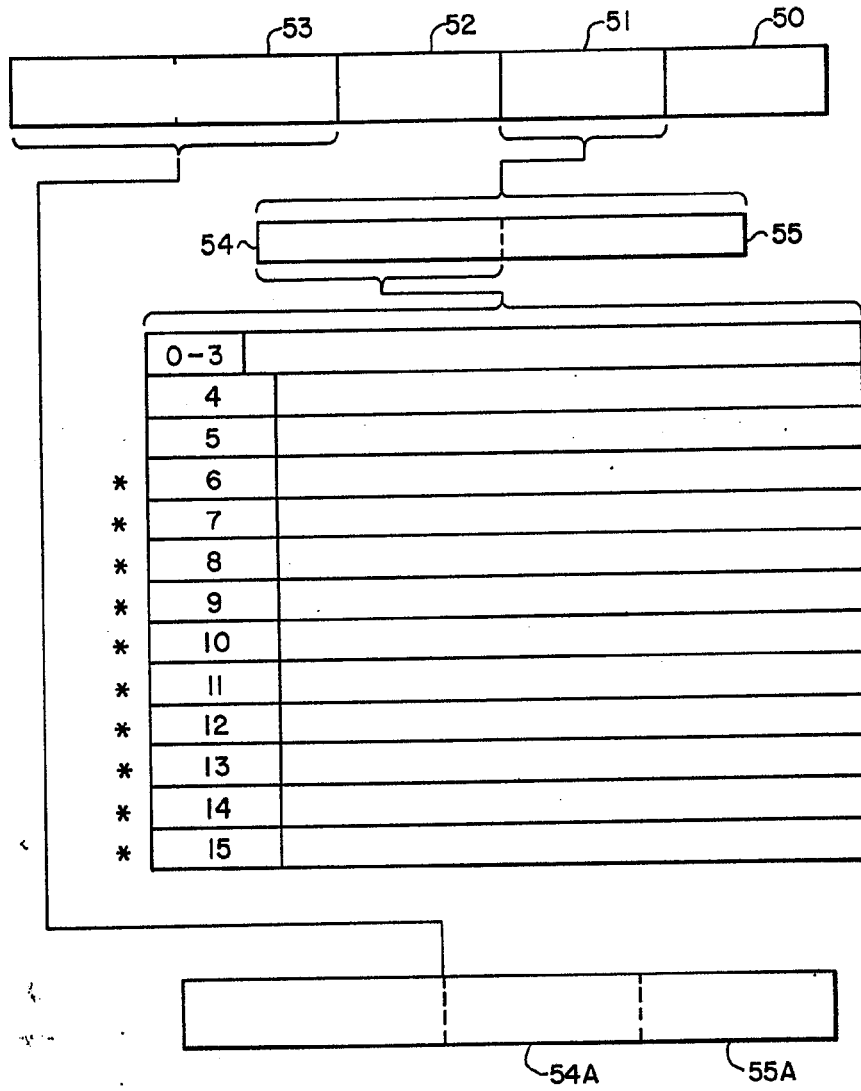


FIG. 4

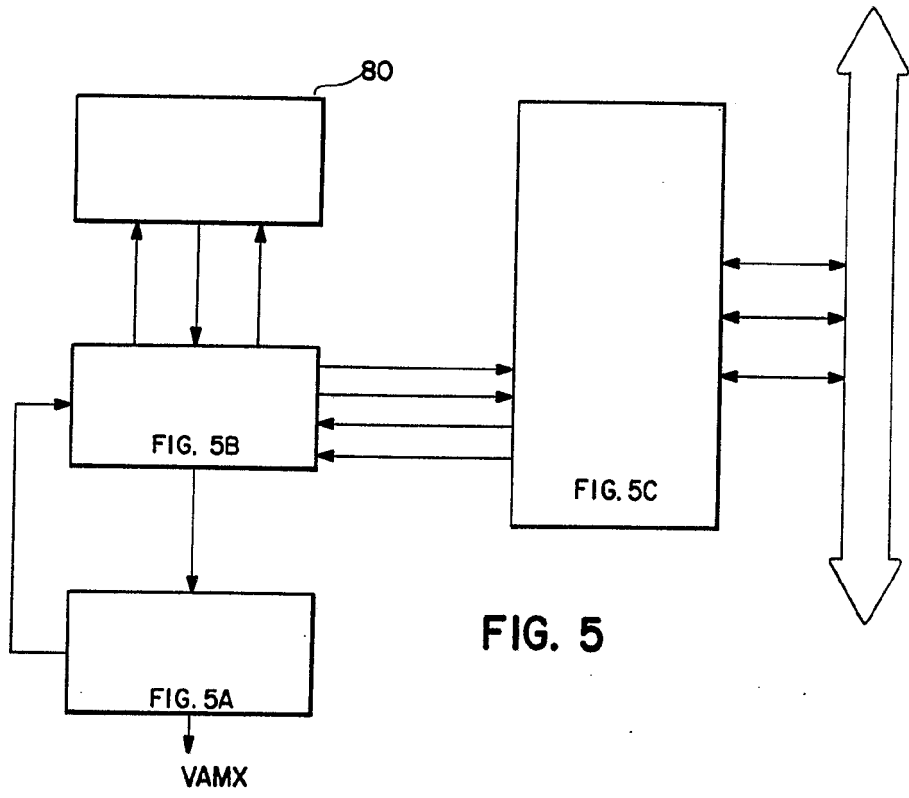


FIG. 5

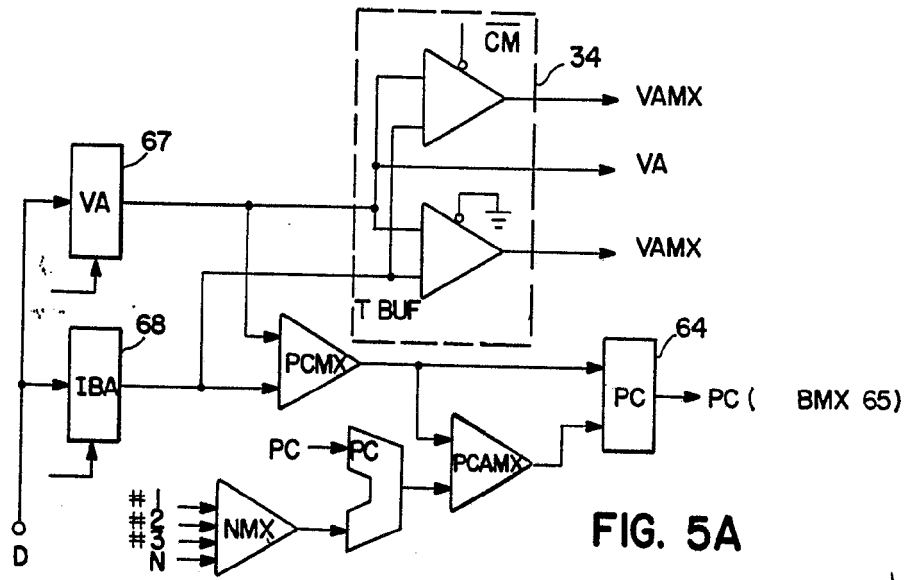


FIG. 5A

[Handwritten signature]

[Handwritten text]

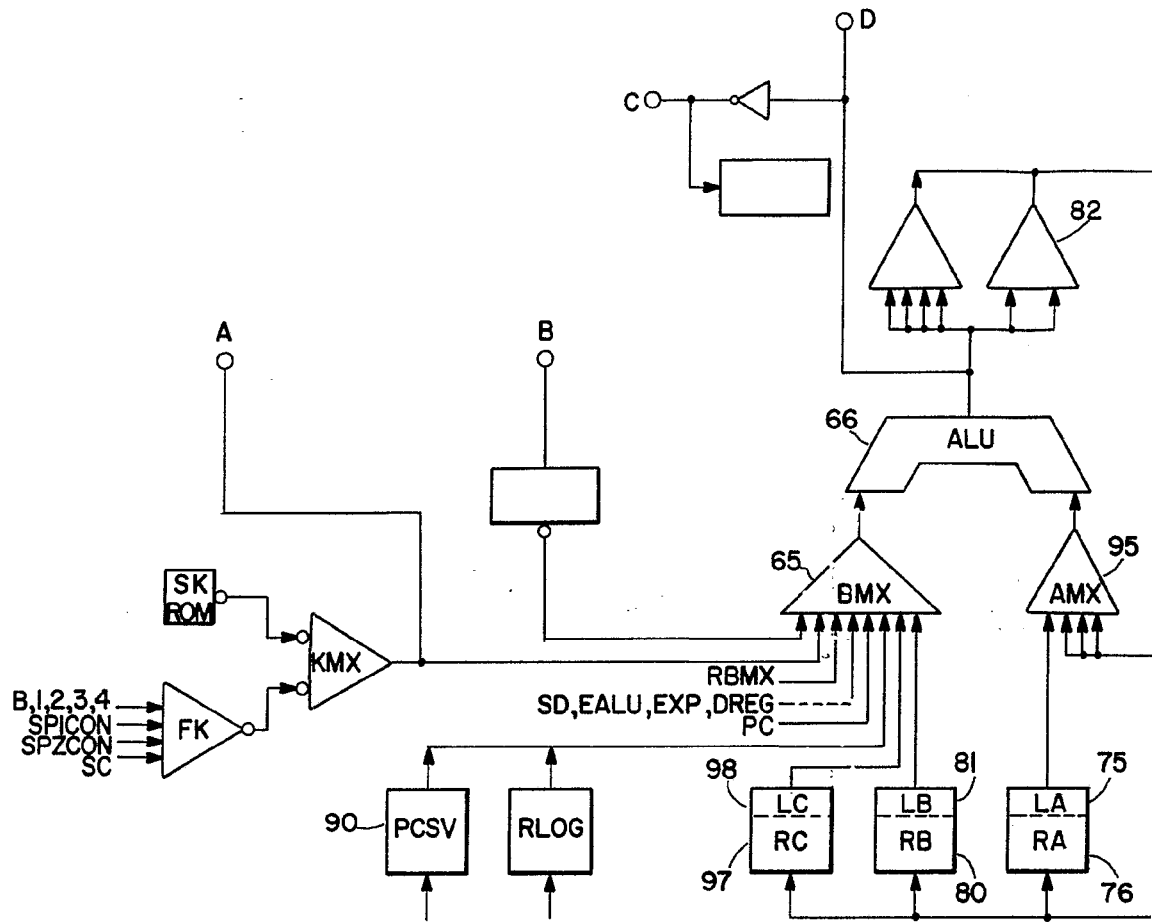
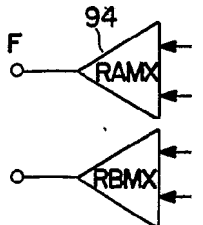
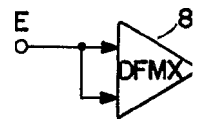


FIG. 5B



1 0	0 0 0 1 1 0 1 1	VSRC ASRC	
3 2	0 0 0 1 1 0 1 1	1 2 4 8	
5 4	0 0 0 1 1 0 1 1		
7 6	0 0 0 1 1 0 1 1		

FIG. 6B

FIG. 6C

	R=PC	R≠PC		
0	00	00	02	01/08
1	00	00	02	01/03
2	00	00	02	01/03
3	00	00	02	01/03
4	0C	1C	--	ID
5	04	14	06, 16	07, 17, 05, 15
6	08	18		
7	0A	1A		
8	09	19		
9	0B	1B		
10	0D	0D		
11	0F	0F		
12	0D	0D		
13	0F	0F		
14	0D	0D		
15	0F	0F		

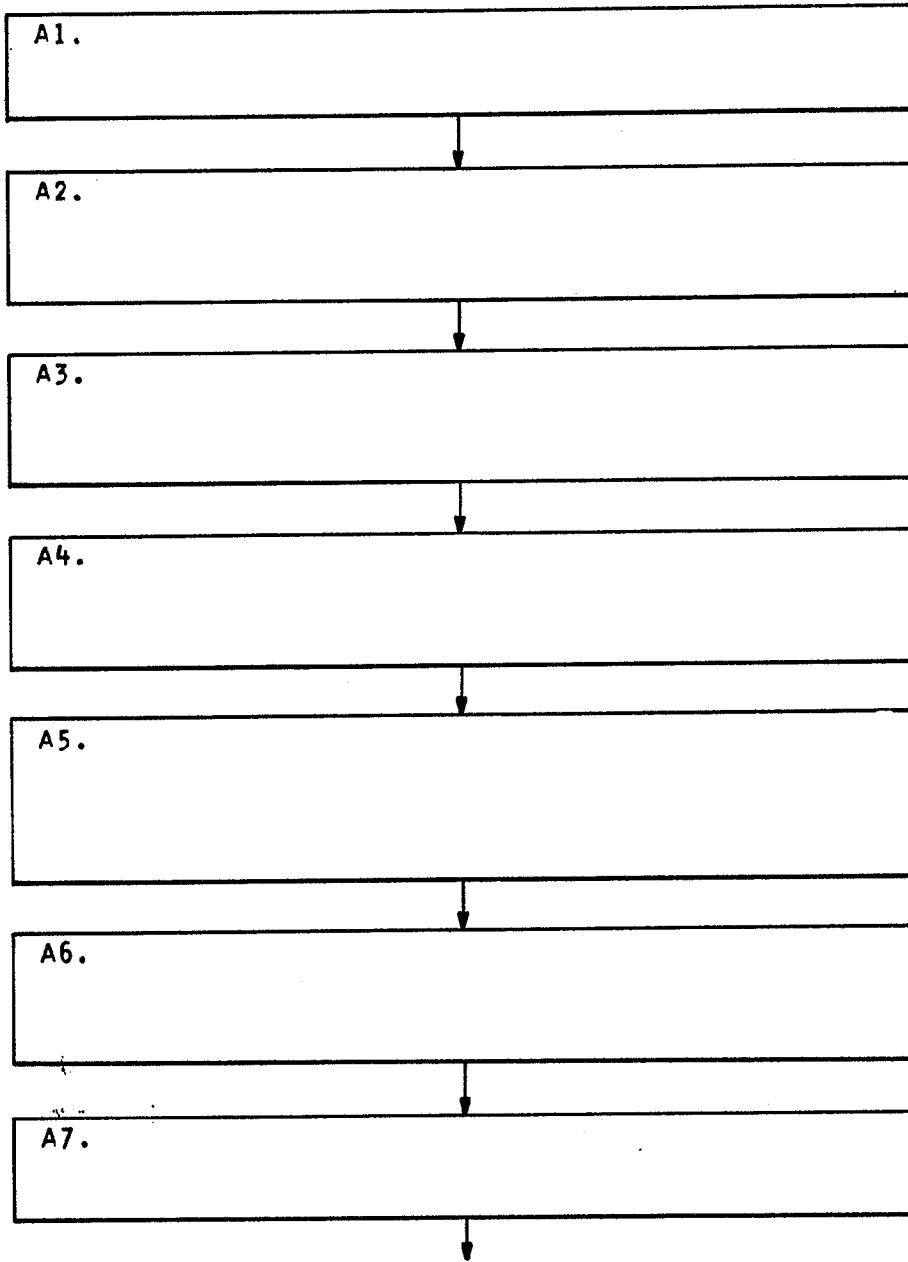


FIG. 7

~~XXXXXXXXXX~~
[Handwritten signature]

CT222

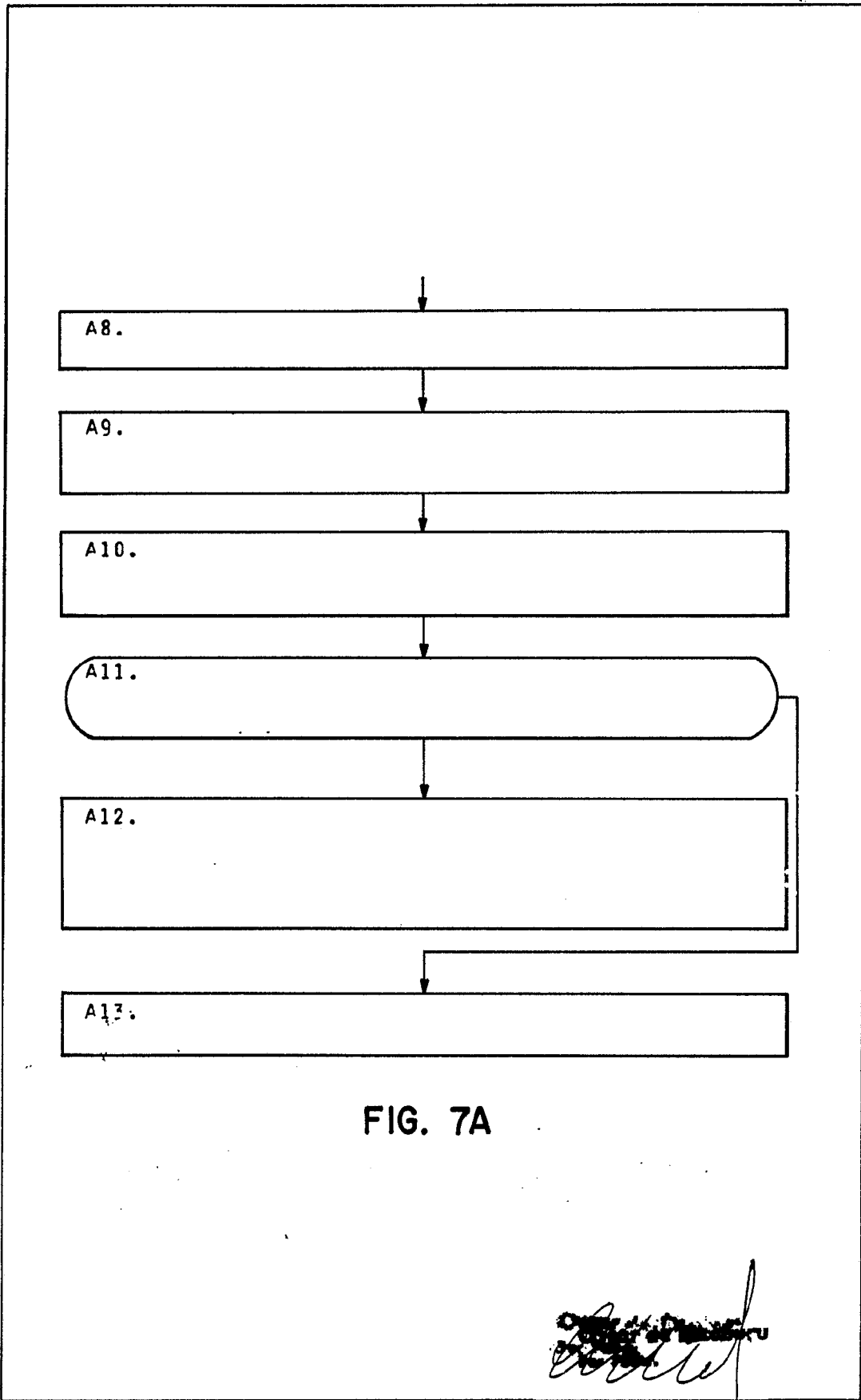


FIG. 7A

[Handwritten signature]

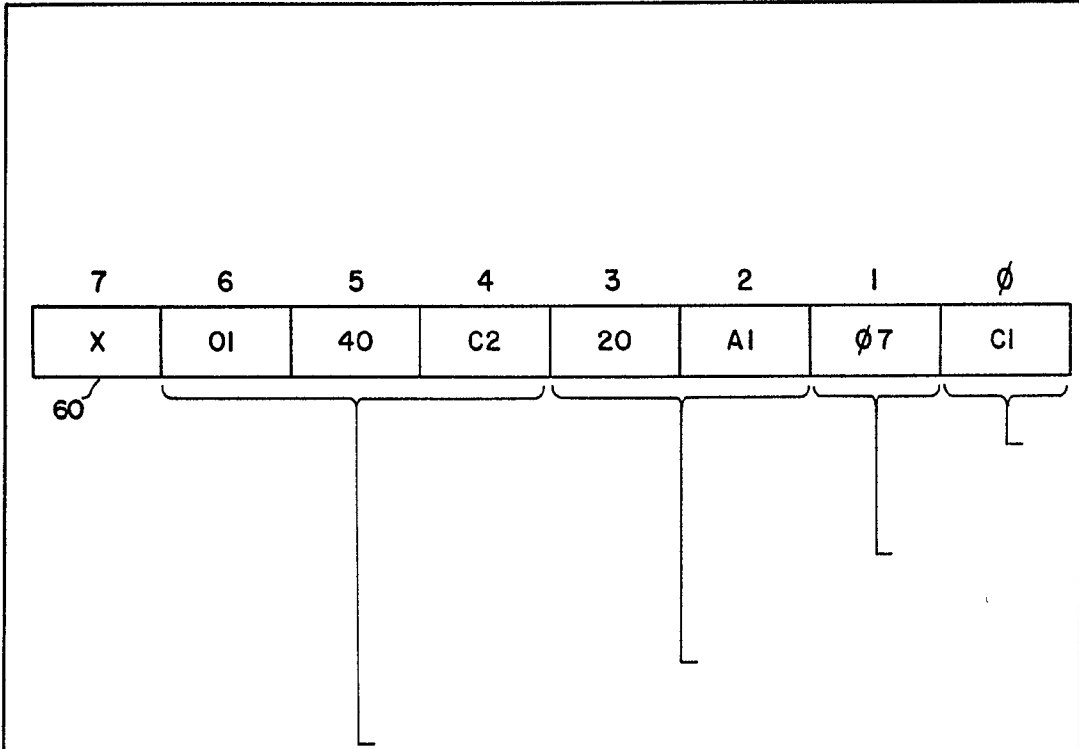


FIG. 8A

		7	6	5	4	3	2	1	0
C1	00	0	1	0	0	1	0	0	0
	01	0	1	0	0	1	0	0	0
	10	X	X	1	1	X	X	X	X
	11	1	0	0	0	1	0	0	0
C2	00								

FIG. 8B

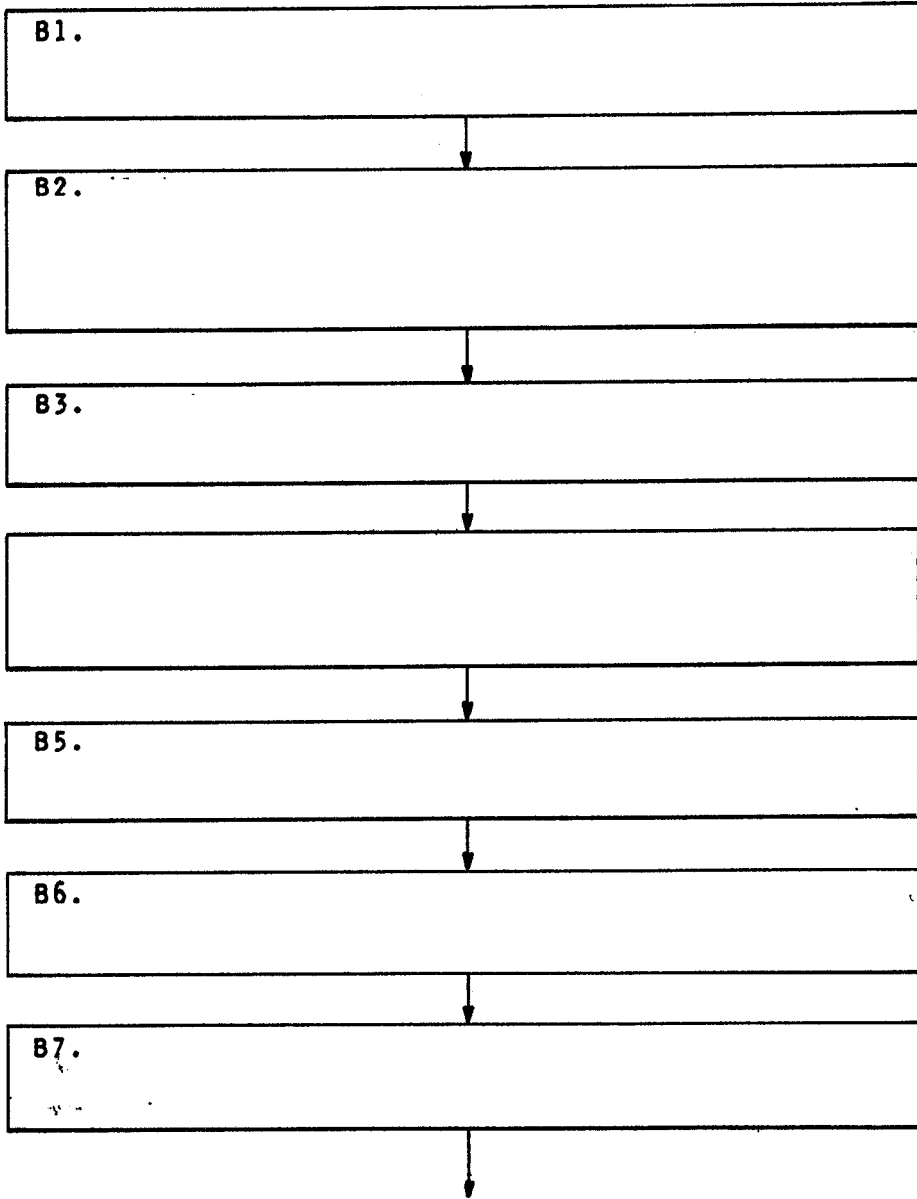


FIG. 8C-1

[Handwritten signature and scribbles]

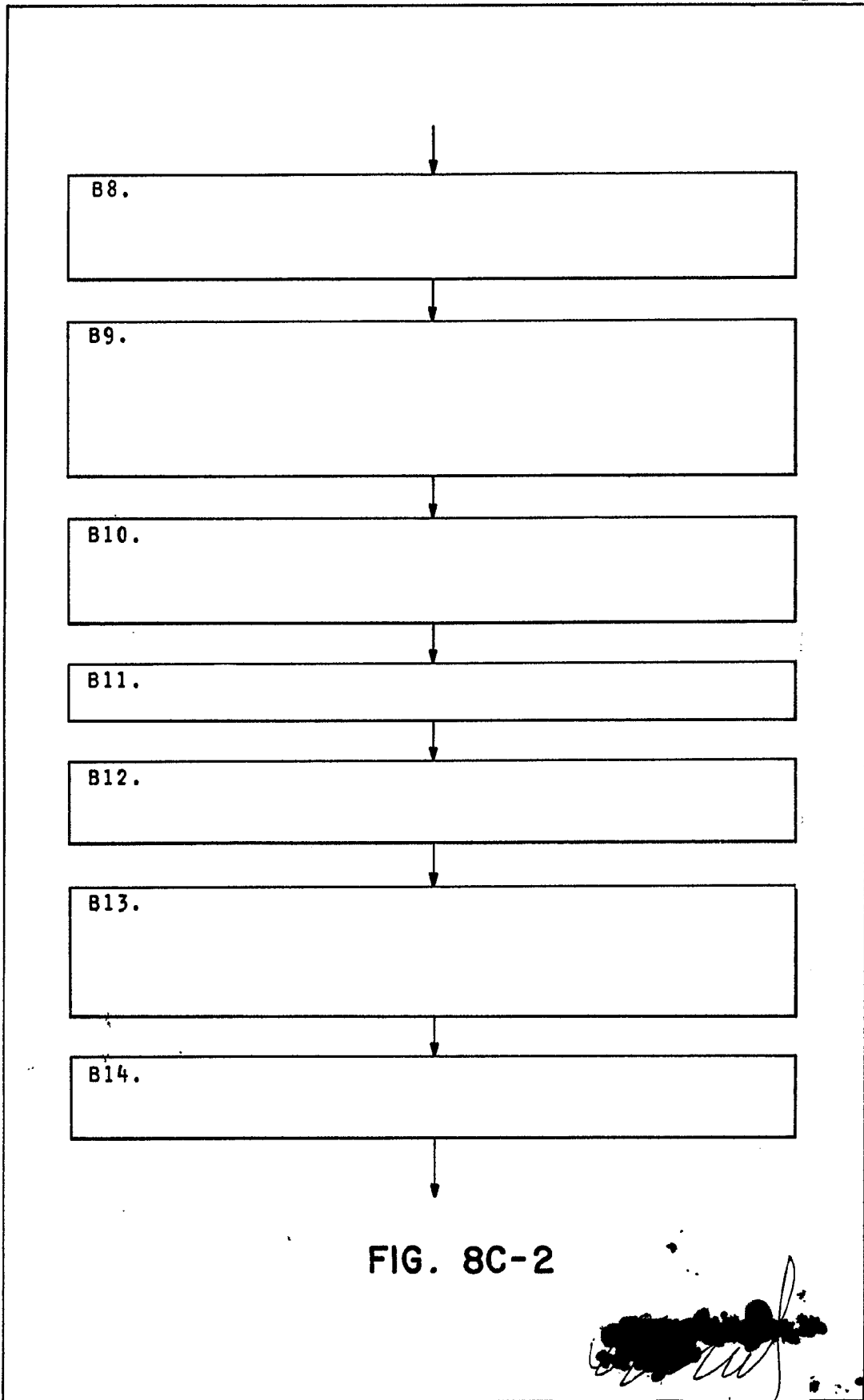
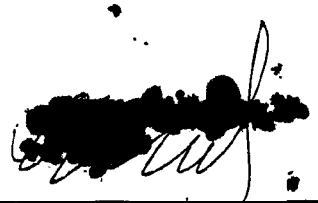


FIG. 8C-2



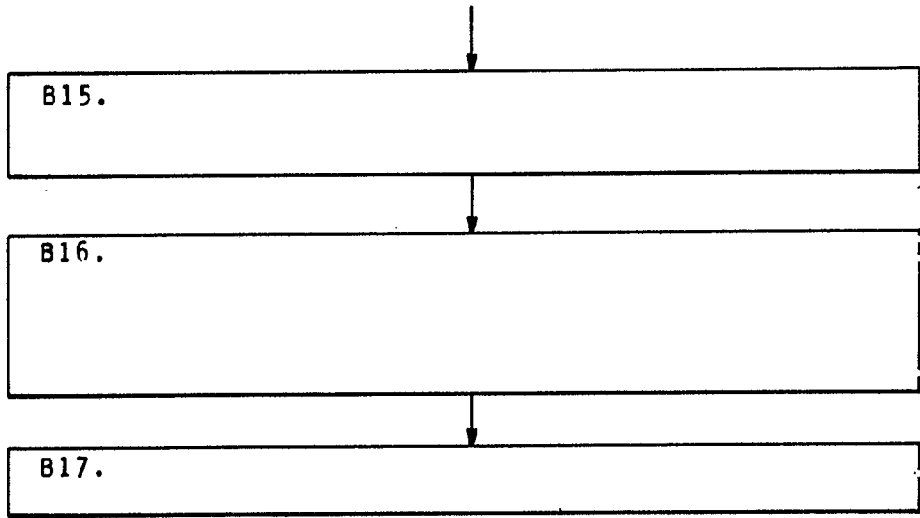


FIG. 8C-3

[Handwritten signature]

70232

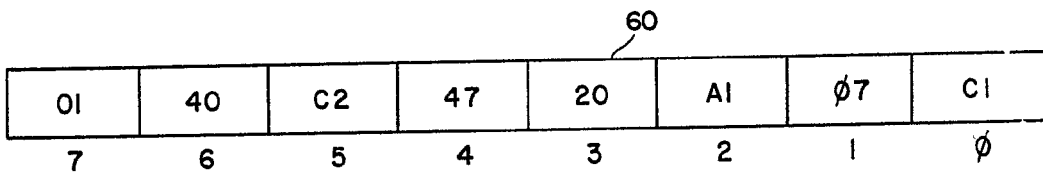


FIG. 9A

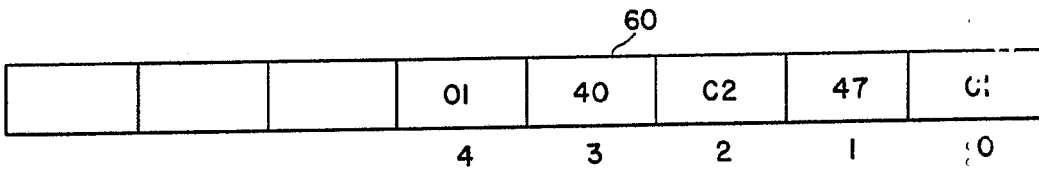


FIG. 9B

[Handwritten signature]

570232

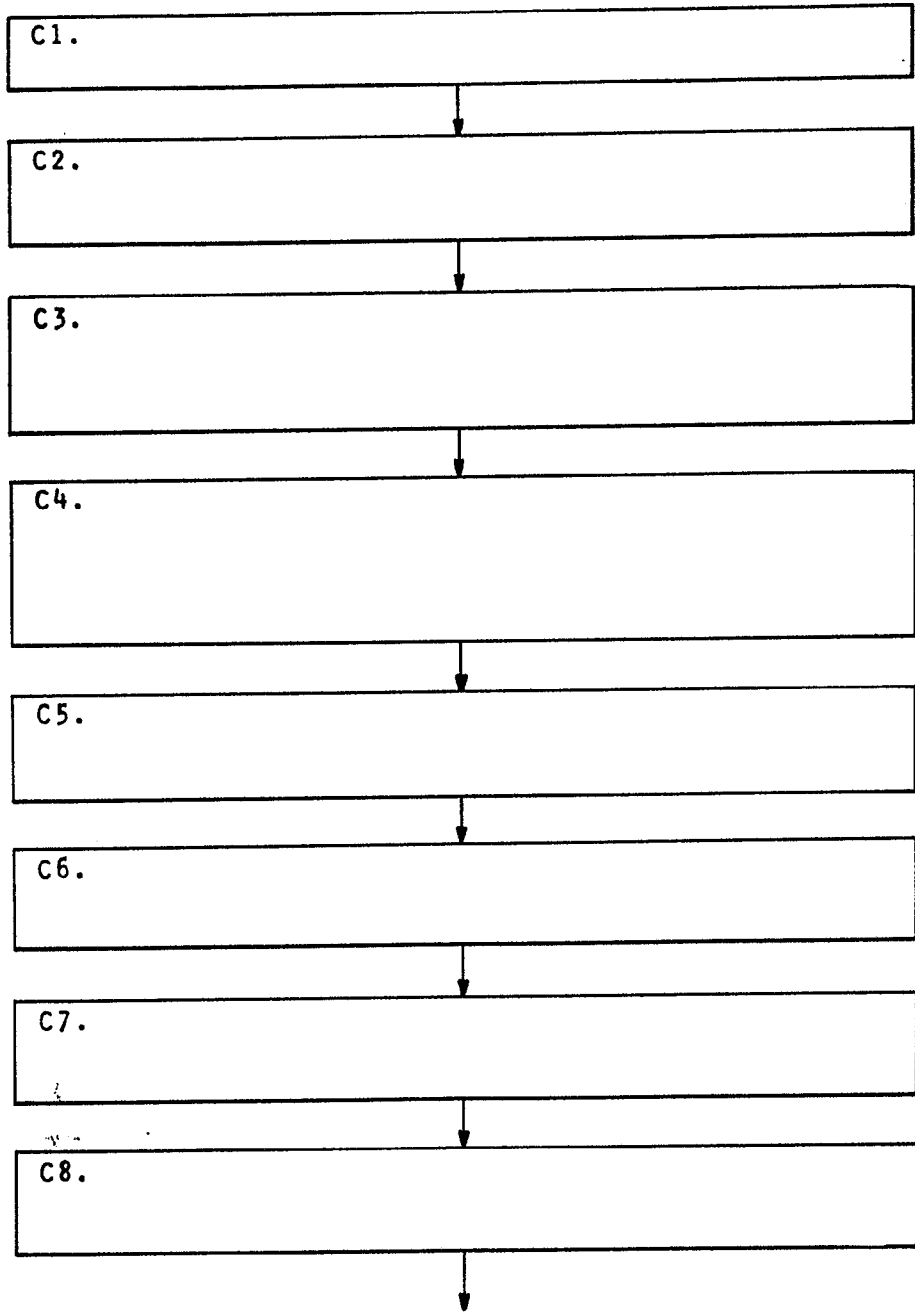
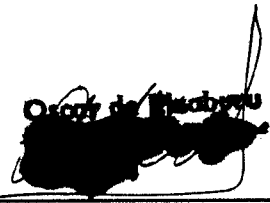


FIG. 9C-1

Original of [illegible]



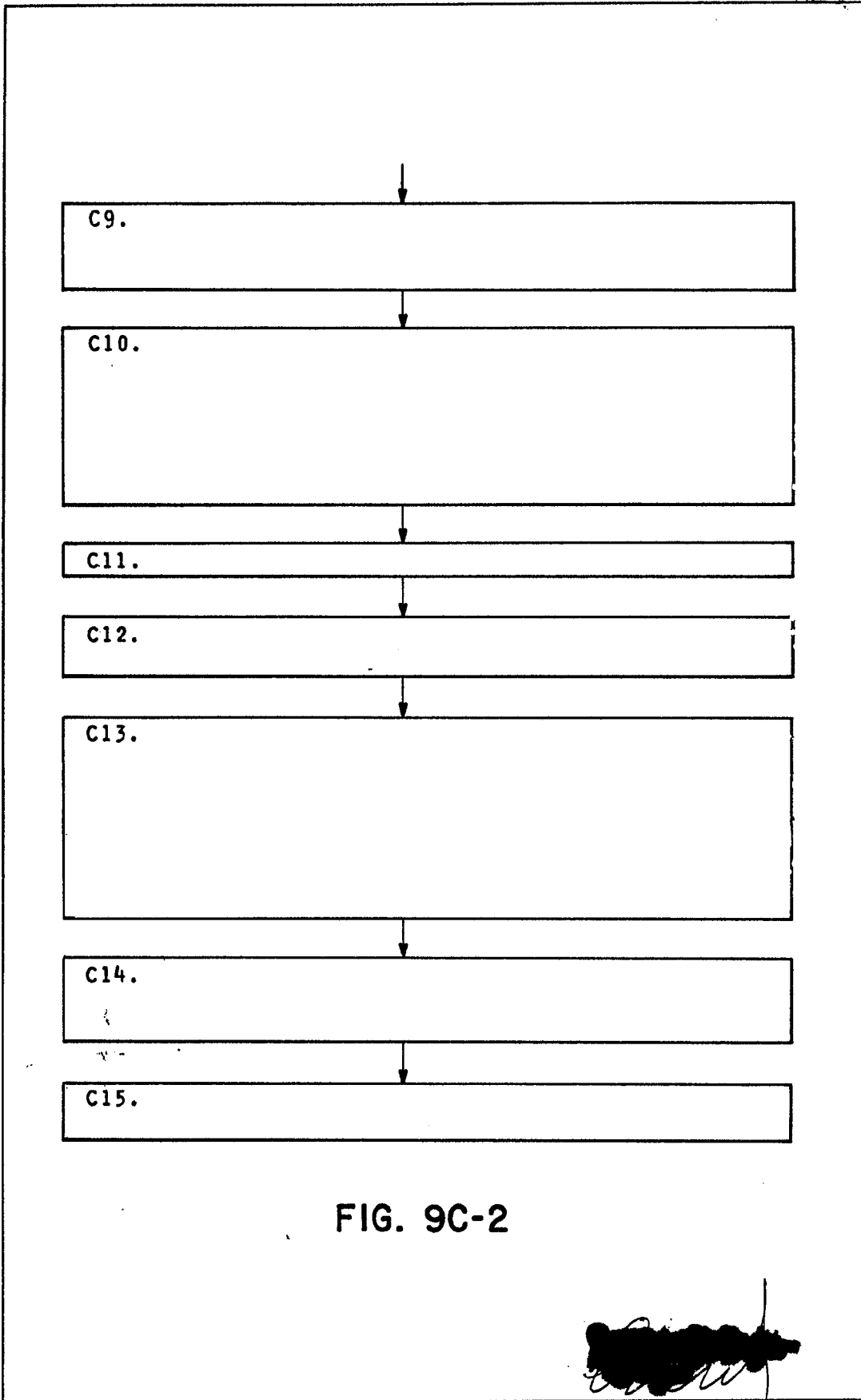


FIG. 9C-2



FIG. IOA

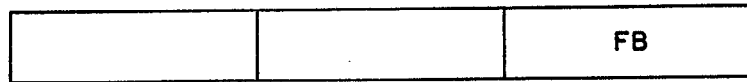


FIG. IOB

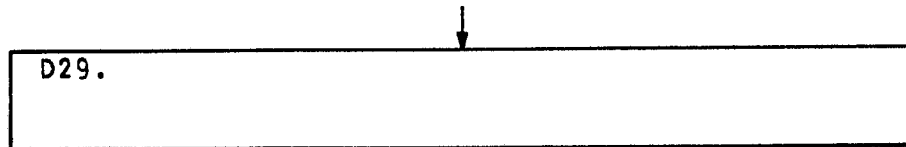


FIG. IOC-4

[Handwritten signature]

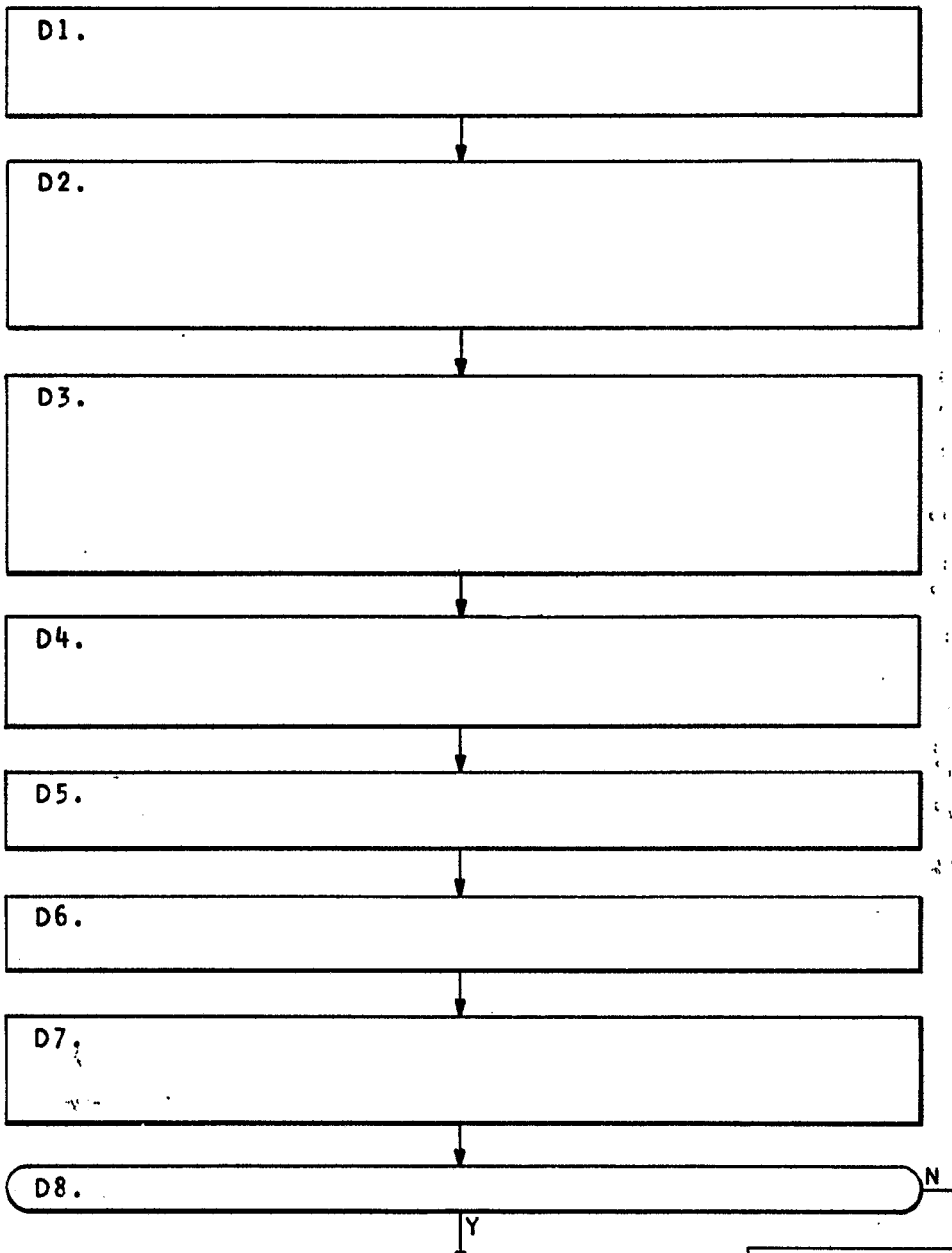


FIG. 10C-1

FIG. 10C-2A

FIG. 10C-2B

[Handwritten signature]

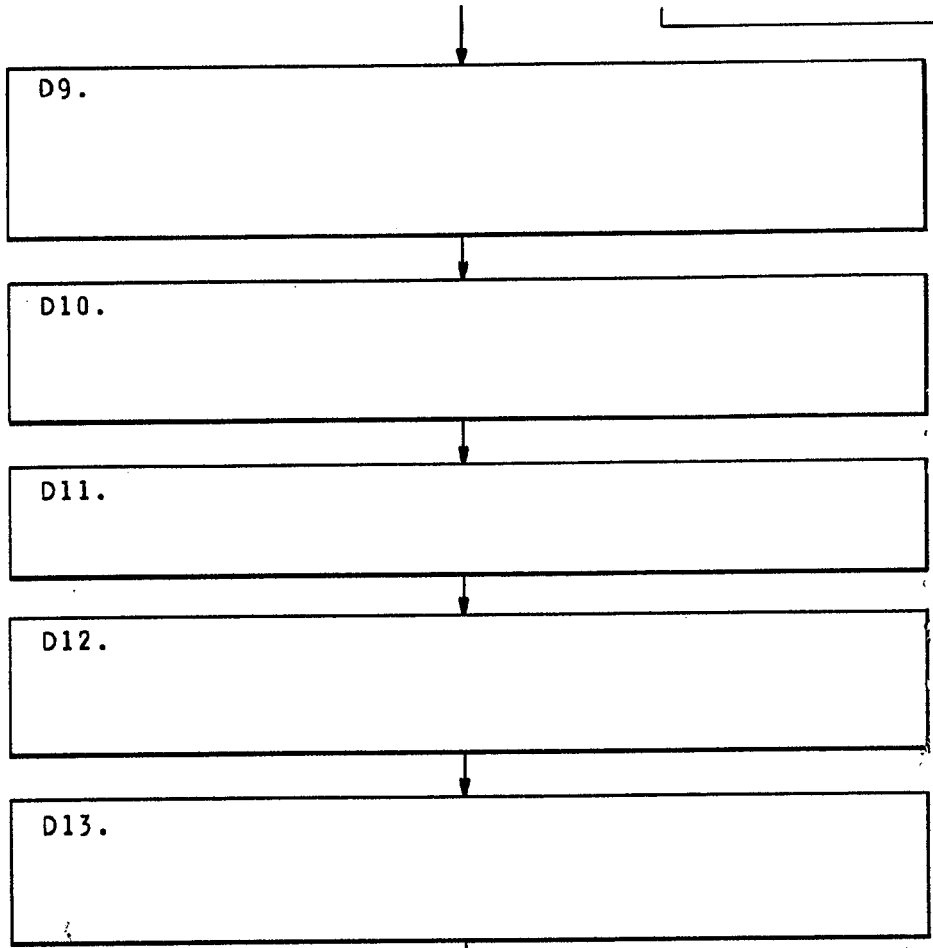


FIG. IOC-3

FIG. IOC-2B

FIG. IOC-2A

[Handwritten signature and scribbles]

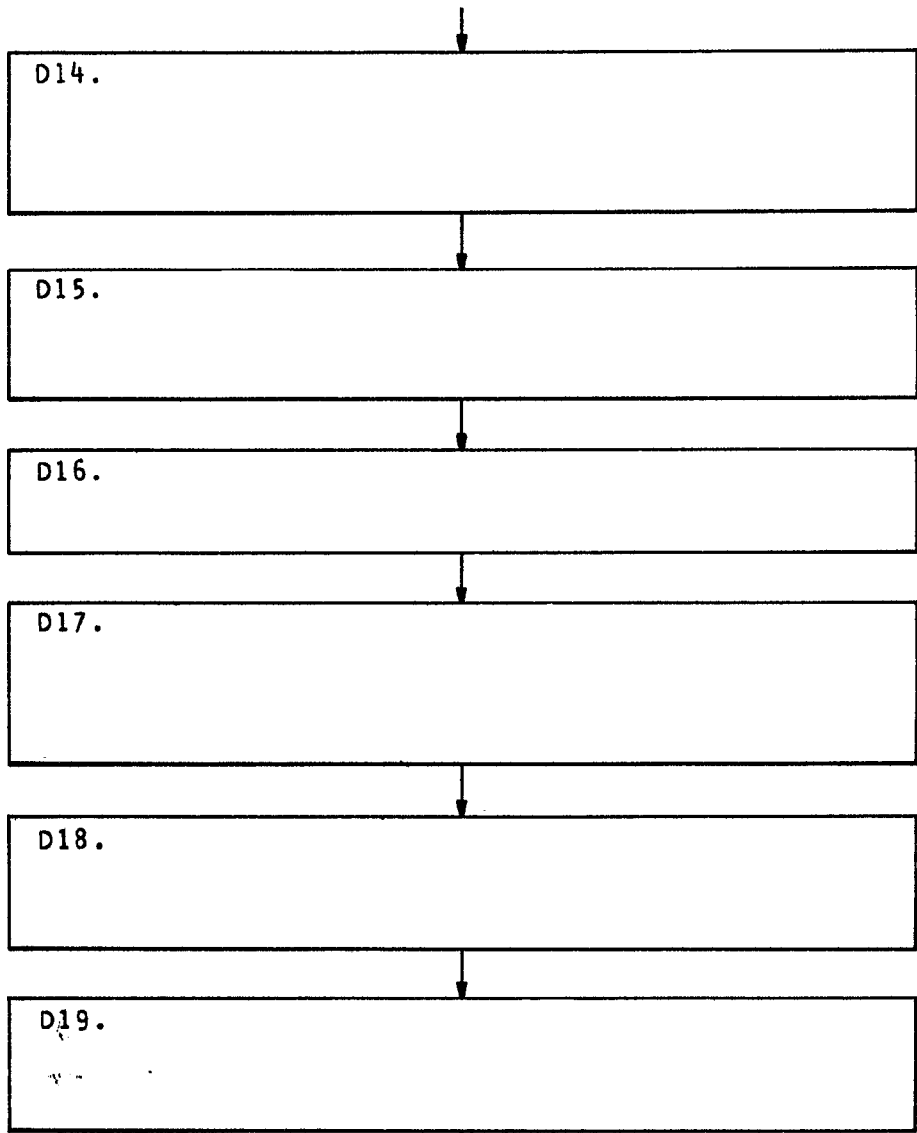


FIG. IOC-3
FIG. IOC-2B

[Handwritten signature]
Center for Digital
Equipment Corporation
1970

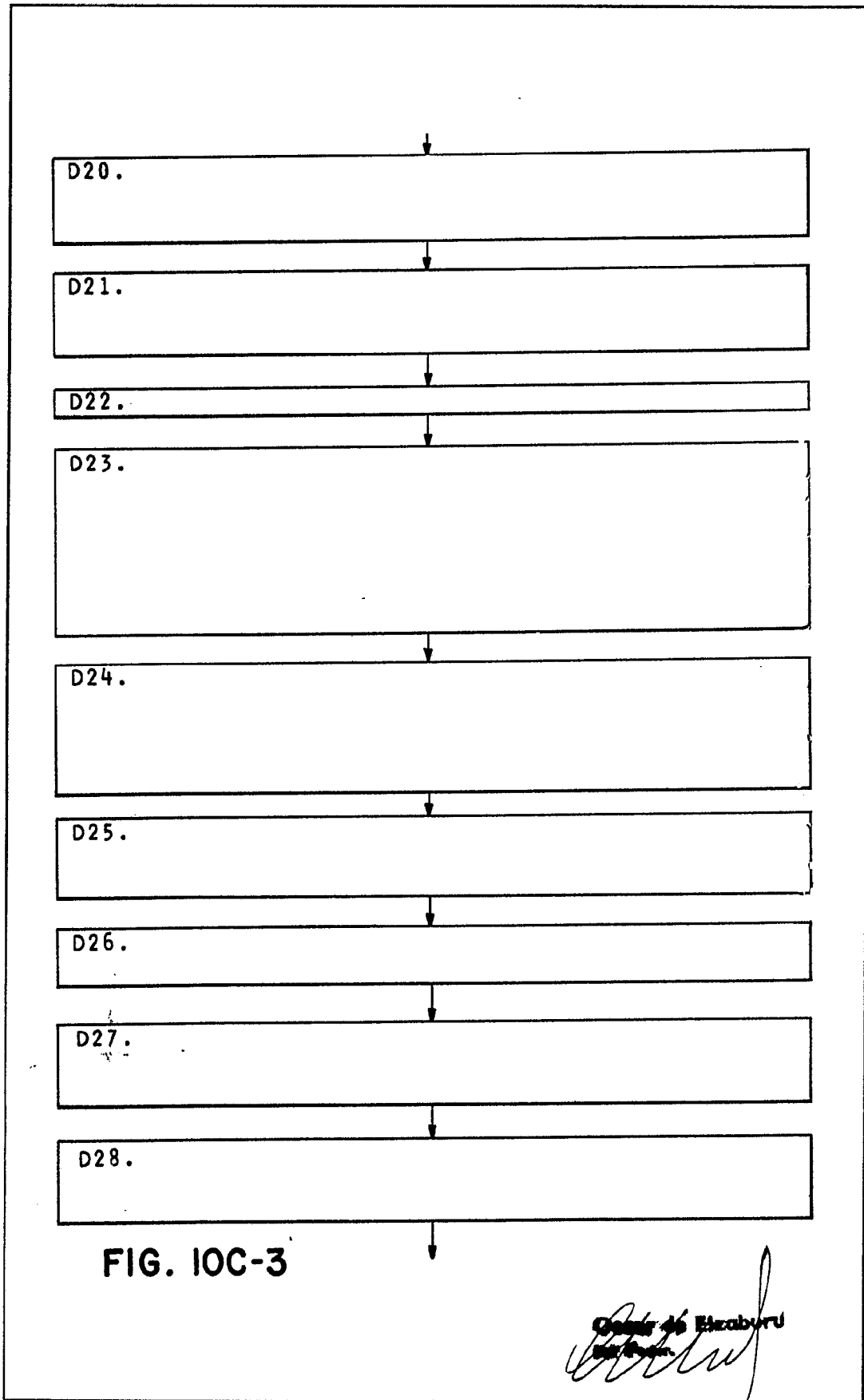


FIG. 10C-3

Charles A. Elizabeth
[Signature]