

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

18 ES	11 NUMERO	19 A1
	474.140	
	21 FECHA DE PRESENTACION	
	11 OCT. 1978	

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
841.365	12 de octubre de 1.977	EE.UU. de A.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04J	

64 TITULO DE LA INVENCION
Perfeccionamientos en conmutadores para interconectar señales de llamadas digitales respectivas de trayectos de llamadas de comunicación diferentes.

71 SOLICITANTE (S)
WESTERN ELECTRIC COMPANY, INCORPORATED

DOMICILIO DEL SOLICITANTE
222 Broadway, New York, New York 10038 EE.UU. de A.

72 INVENTOR (ES)
Harold Gene Alles.

73 TITULAR (ES)

74 REPRESENTANTE
D. José Miguel Gómez-Acebo y Pombo.

5. Esta invención se refiere a un conmutador de un sistema de comunicaciones que proporciona trayectos de conmutación para señales digitales, que comprende una primera memoria para almacenar señales digitales de entrada en una primera serie de lugares de memoria, una segunda memoria para almacenar señales digitales de salida en una segunda serie de lugares de memoria.

10. Se conocen diversos tipos de conmutadores de señales y algunos ejemplos comprenden matrices de conmutación de división de espacio, sistemas de transferencia resonantes, y sistemas en los cuales se interconectan pares de línea de abonados activadas por tiempo a través de una vía de tiempo compartido. La mayoría de los sistemas de conmutación existentes

15. se han diseñado principalmente para manejar señales analógicas continuas o muestras separadas de dichas señales analógicas. No obstante, se han utilizado matrices de división de espacio, frecuentemente junto con intercambiadores de segmentos de tiempo, para conmutar muestras de señales de codificación digital. Además, se conocen técnicas para efectuar

20. la conmutación de las señales de llamada limitadas introduciendo muestras de señal codificada digitalmente en una memoria tampón y tomando después lectura de las mismas en segmentos de tiempo apropiados para efectuar sus transferencias

25. a un segundo abonado en una conexión de llamada. No obstante ninguno de los sistemas anteriores tiene dispositivos convenientes para procesar señales de llamadas para, v.g., inserción acostumbrada de pérdida o ganancia para compensar en

30. parte factores tales como longitudes de línea diferentes entre el conmutador y el equipo terminal del abonado.

5. En los sistemas de conmutación de la tecnología anterior, la capacidad de conferencia se ha cumplido frecuentemente empleando un tipo adicional de fuente de conferencia en el cual las señales de llamada de todos los participantes de la conferencia se combinan y el resultado combinado se devuelve a cada circuito de línea de cada participante individual donde la señal de entrada del participante se resta prácticamente de la combinación. La necesidad de equilibrar estos circuitos de conferencia contra la regeneración de la señal es un problema actualmente presente y se ha agudizado de un modo particular según aumenta el número de participantes en la conferencia. En éste caso de nuevo, el puente de conferencia normalmente no sirve para otra finalidad útil en el sistema en ausencia de una necesidad presente para la función de conferencia.

10.

15.

20. Los sistemas de conmutación electrónica, en el grado en que se han aplicado a la conmutación de señales de codificación digital, pueden prestar muchos servicios a los abonados por utilización de las capacidades de un procesador de control común, pero dichos servicios están limitados normalmente a servicios de administración de llamadas en lugar de servicios de modificación de la señal de llamada. Además, dichos sistemas dependen todavía en general del empleo de una matriz de conmutación de división de espacio, controlada, separada, para la conmutación de los trayectos de llamadas, y en general no se consideran prácticos para el proceso de señales de llamadas para proporcionar v.g., la acostumbrada pérdida o ganancia en conexiones de llamadas individuales.

25.

30. El problema se resuelve según la invención en un conmutador de un sistema de comunicaciones en el cual se conecta

un procesador a cada una de las memorias para transferir cada señal almacenada de entrada a su lugar de memoria de salida correspondiente en una secuencia de transferencia, siendo arbitrario el tiempo de transferencia para cada conexión del trayecto.

5. Por lo tanto, un objeto de la presente invención es proporcionar conmutadores de un sistema de comunicaciones.

Otro objeto es facilitar la provisión de servicios especiales además del servicio de conmutación de la señal de llamada primario realizado por un conmutador del sistema.

10. Los objetos anteriores y otros objetos de la invención se consiguen en una modalidad ilustrativa en la cual las muestras de las señal de llamada para una pluralidad de conexiones de llamada se acoplan desde una primera memoria tampón de muestra, en cualquier orden cualquiera que sea el destino de la señal de llamada, hasta una segunda memoria tampón de muestras en lugares predeterminados por destinos predeterminados respectivos por cada muestra para efectuar la conmutación de las llamadas.

15. En una modalidad, el acoplamiento se realiza por un procesador de señal que comprende medios programables de una forma selectiva para procesar las señales de llamada durante el tránsito a través del procesador con objeto de efectuar otras funciones del sistema de conmutación.

20. Una característica de una modalidad de la invención es que el procesador de conmutación comprende trayectos de señal múltiples elegibles de una forma programable cada uno de los cuales comprende por lo menos un registrador cronometrado por programa en el trayecto entre los accesos de entrada y de salida del procesador para mantener segmentos de trayectos de señal sin cronometrar relativamente cortos con el

25.

30.

fin de facilitar el funcionamiento a velocidades superiores a las halladas normalmente en los procesadores de sistemas de conmutación disponibles actualmente.

5. Otra característica es que el repertorio de instrucciones del procesador de conmutación está desprovisto de instrucciones de salto y emplea, por el contrario, instrucciones ejecutables de una forma condicional con el fin de facilitar el tipo mencionado de funcionamiento del procesador a gran velocidad.

10. Una característica adicional de la invención comprende la cooperación del procesador de conmutación con elementos adicionales de conmutación de la central, tales como trayectos de comunicaciones de llamadas de llegada o de salida de la central, fuente de cronometración de la central, procesadores de exploración y de servicio, y un procesador de control común en una forma que es análoga a la forma en que un conmutador tradicional actúa conjuntamente con dichos elementos adicionales de la central de conmutación.

15. Otra característica adicional de una modalidad de la invención es que el procesador de conmutación se comunica a través de una primera región de memoria con circuitos que llevan señales de llamada al conmutador y desde el conmutador y se comunica a través de una segunda región de memoria que dá servicio a circuitos de los tipos conocidos comúnmente para proporcionar funciones de administración de comunicación de llamadas como la generación y detección de todo y análisis de números marcados. La segunda región de memoria comprende también convenientemente un área temporal de memoria de "apuntes" para facilitar el proceso de los cálculos

20. que se exigen al procesador de conmutación en la realización

25.

30.

de ciertas funciones de conmutación elegidas.

5. Otra característica de la invención comprende la inclusión en el procesador de conmutación de un registrador indicador cronometrado que se carga con la entrada del procesador o su salida y cuyo registrador tiene su salida alimentable de una forma selectiva para localizar una u otra de las dos regiones de memoria mencionadas en sustitución a las fuentes de señales de localización proporcionadas de otro modo por un contador de programa o salidas de la memoria del programa.

10.

Otra característica adicional es que una pluralidad de conmutadores del tipo descrito se pueden interconectar convenientemente para ensanchar la capacidad en el manejo de tránsito general.

15.

El invento se comprenderá mejor, así como sus diversos objetos, características y ventajas, por una consideración de la descripción detallada que sigue con relación a las reivindicaciones adjuntas y por los dibujos adjuntos en los que:

20.

La figura 1 es un diagrama de conjuntos simplificado de una central de conmutación general de comunicaciones que utiliza un módulo de conmutación según la presente invención.

25.

Las figuras 2 a 4 comprenden un diagrama de conjuntos más detallado de las memorias y el procesador de conmutación utilizado en la central de la figura 1.

30.

La figura 5 ilustra campos de salida de instrucciones de la memoria de programa típica para instrucciones de conversión de datos, instrucciones de movimientos de datos y para instrucciones aritmética/ lógicas en el procesador de

conmutación.

La figura 6 es un diagrama de temporización que ilustra operaciones elegidas del procesador de conmutación de las figuras 2 y 3 y

5. La figura 7 es un diagrama de conjuntos y líneas que ilustra un modo de interconectar módulos de conmutación plura-
les del tipo ilustrado en la figura 1.

10. La figura 1 ilustra una central de señales de llama-
das de comunicaciones. Esta central funciona con diversos tipos
de muestras de señales de llamada de comunicaciones. Supondre-
mos, a título ilustrativo, que cada muestra consiste por lo
menos en un bitio de una señal digital codificada y, en la ma-
yoría de los casos, la muestra es una muestra de señal digital
codificada de bitios múltiples. Esta central, por convenien-
15. cia de descripción se describirá principalmente refiriéndonos
a la conmutación de señales de un sistema telefónico codifi-
cado de una forma digital. No obstante, se comprenderá que
la central de conmutación tiene aplicación similar a la con-
mutación de otras señales de codificación digital como son las
20. muestras de señales de datos transmitidas entre diferentes
máquinas comerciales o de negocios.

25. Las señales de codificación digital procedentes del
equipo terminal de los abonados del sistema telefónico u otros
usuarios de la red (no ilustrada) se suministran, en una ter-
minología de tipo telefónico, desde un abonado en un trayecto
de conversación contenido en uno de los circuitos de entrada
coaxial 10 y se acoplan a una memoria tampón de entrada 11.
Desde la memoria tampón 11 las señales se acoplan a través de
un procesador de conmutación 12 a una memoria tampón de sali-
30. da 13 para acoplarse además en un trayecto de escucha al otro

- abonado por cada conexión de llamada. Los trayectos de escucha se incluyen en uno o más circuitos de salida 16. En un sistema de comunicación digital normal, cada uno de los circuitos de entrada 10 y los circuitos de salida 16 comprenden convenientemente muchas muestras de señal digital multiplexadas, y en un sistema se incluyen 128 muestras de 16 bitios procedentes de 128 líneas de abonados en un solo circuito en cada periodo de muestra. Por conveniencias de descripción, las señales de entrada a la memoria tampón 11 se llaman a veces "señales de boca" y las señales de salida de la memoria tampón 13 se llamarán a veces "señales de oído". Cada una de las memorias tampón 11 y 13 se dividen en dos memorias o áreas de memoria. Comprenden las memorias 17 y 18 en la memoria tampón 11 y las memorias 19 y 20 en la memoria tampón 13. En un sistema de comunicación ilustrativo cada uno de los cables coaxiales funciona a un ritmo de 16.384 megabitios por segundo, y dicho ritmo se indica simplemente en la presente memoria como 16 mb/s o 16M. En dicha operación se codifican digitalmente señales de series de bitios en un esquema de codificación posicional ordenado como, por ejemplo, un sistema de codificación de modulación de códigos de impulsos de comprensión-expansión de un tipo que se utiliza cada vez mas en telefonía. En dicho sistema de comprensión-expansión se utilizan 8 bitios de código para definir 256 niveles posibles de amplitud de la señal, 128 positivos y 128 negativos. Dicho sistema proporciona un equivalente de resolución de 13 bitios de código en un sistema de codificación de impulsos lineal.

En cada tiempo de muestreo de la central, v.g, un tiempo en el cual se recibe una muestra de llamada de codificación digital procedente de cada fuente en cualquier línea de entra-

da dada, las dos memorias de cada memoria tampón 11 y 13 sirven para funciones diferentes y en el tiempo de muestreo siguiente de la central intercambian funciones bajo control de una señal derivada del reloj de la central MUESTRA PAR/IMPAR ilustrada en la figura 1. Dichas funciones alternas de memoria causan a veces la alimentación a la memoria de la operación denominada "ping-pong". Los grupos de conmutadores se parados 21 a 23 en la memoria tampón 11 y los conmutadores 24 a 26 en la memoria 13 se utilizan para representar esquemáticamente este tipo de operación para trayectos de señales digitales codificadas, y la agrupación a la señal PAR/IMPAR represente esquemáticamente control simultáneo de estos conmutadores en respuesta al reloj de la central.

En las posiciones ilustradas para los conmutadores de la figura 1, se cargan muestras de señal de boca de codificación digital de todos los circuitos de entrada 10 en la memoria 17, mientras que las muestras de señal de oído procesadas se alimentan simultáneamente a los circuitos de salida 16 de la memoria 19. Al mismo tiempo, las muestras de boca de todos los circuitos de entrada 10 que se han almacenado en la memoria 18 durante un tiempo de muestreo anterior, se acoplan ahora a través del procesador de conmutación 12 para una conmutación apropiada y cualquier otro proceso necesario antes de almacenarse en lugares elegibles aleatoriamente en la memoria de salida 20 según la ruta apropiada de cada señal de llamada. En el tiempo de muestreo siguiente de la central, los conmutadores 21 a 26 funcionan en sus posiciones alternas ilustradas para intercambiar las funciones de la memorias 18 y 20 para comunicación con los circuitos, mientras que las memorias 17 y 19 proporcionan funciones de memoria tampón de entrada y de memoria tampón de

salida, respectivamente, para datos de muestras de llamadas que se han de elaborar en el procesador de conmutación 12.

5. Las muestra de señales de datos se acoplan convenientemente entre las memorias tampón 11 y 13 por el procesador 12 y de una forma de bitios paralelos. Las representaciones esquemáticas de las memorias tampón se consideran que incluyen cualquier sistema lógico adicional no ilustrado de una forma separada, que sea apropiada para la conversión entre el formato de señales digitales utilizado en los circuitos y el formato de
10. señales digitales utilizado por el procesador 12.

- Las memorias 17-20 de la figura 1 se localizan cada una desde un contador de reloj 1 o las salidas del procesador de conmutación, que se describirán, en un circuito funcional 2. La selección entre estas dos fuentes se representa esquemáticamente en el dibujo por conmutadores adicionales 3-6 agrupados para funcionar junto con los conmutadores 21-26 por la señal del número de muestra PAR/IMPAR en sincronismo con el funcionamiento del contador de reloj 1. Según se ilustra, las memorias 17 y 19 se acoplan a los cables de entrada y de salida, respectivamente, y se localizan con la misma información de localización procedente del contador 1. De un modo similar, las memorias 18 y 20 se acoplan al circuito procesador, y uno u otro se localiza en cualquier instante dado por señales procedentes de dicho circuito. Este dispositivo puede manejar 16 circuitos de entrada y salida suponiendo una operación de 16M y el empleo del procesador 12 que se describirá.
- 15.
- 20.
- 25.

30. El funcionamiento del procesador de conmutación 12 se expondrá con detalle con relación a las figuras 2 y 3. Será suficiente en éste momento hacer varias observaciones de significación general. El procesador de conmutación 12 actúa con-

5. juntamente con las memorias tampón 11 y 13 para efectuar un tipo de operación de conmutación sin bloqueo. Dicho procesador es convenientemente un tipo de unidad de microprocesador que no solamente efectúa la conmutación para que cualquier trayecto de entrada de espacio de tiempo de circuito se conecte con cualquier otro trayecto de salida de espacio de tiempo para efectuar trayectos de conexión de llamada duplex multiplex, sino que también efectúa un proceso adicional elegible de señales acopladas a través del procesador 12. Dicho proceso adicional se aplica determinado por la naturaleza del trayecto de la señal del abonado individual, v.g. introduciendo ganancia o pérdida a la medida para facilitar la consecución de una necesidad de nivel de pérdida predeterminada por la central. También se aplica un proceso adicional de acuerdo con la naturaleza de una conexión de llamada particular, 10. v.g. cálculos para conferencias o para multiplexación a medida de señales de abonados de una pluralidad de entradas en un solo canal de espacio de tiempo de salida. 15.

20. El funcionamiento del procesador de conmutación 12 está determinado por una memoria de programa 28 que tiene, a título ilustrativo, una capacidad de aproximadamente 1.500 palabras. Dicha memoria se escribe por un control común 29 para contener un subprograma separado (del cual se describirá ejemplos) por cada conexión de llamada que ha de ser elaborada por el procesador 12 al efectuar el acoplamiento de memoria 25. memoria tampón 11 a memoria tampón 13. La memoria 28 se lee completamente en respuesta a señales de localización generadas por el reloj de la central una vez durante cada tiempo de muestreo de la central. Por cada conexión de llamada, el subprograma define un lugar de señal de boca en una u otra de las 30.

memorias de la memoria tampón de entrada 11 y define además por lo menos un registrador en el procesador 12 al cual se traslada la señal de boca. El subprograma define también cualquier proceso a medida necesario para la línea del abonado correspondiente y la llamada en cuestión, y designa un registrador en una u otra de las memorias de la memoria tampón de salida 13 (o en un registrador de almacenamiento temporal en una memoria de datos del procesador 30, a la que ha de trasladar la señal de oído procesada.

5.

10.

Estos subprogramas del procesador de conmutación no se tienen que ejecutar necesariamente en cualquier secuencia especial, porque todas las conexiones de llamadas se procesan necesariamente así una vez durante cada periodo de muestreo.

15

Esto es posible porque, durante cualquier tiempo de muestreo dado de la central, existen disponibles al procesador 12 en una base de localización aleatoria en una memoria de la memoria tampón 11 muestras de entrada de todas las llamadas tomadas en el tiempo de muestreo anterior de la central como una fuente de datos, y todos los lugares de una memoria en la memoria tampón 13 aparecen disponibles sobre una base localizable de una forma aleatoria como un pozo de datos para muestras de salida de todas las llamadas para el tiempo de muestreo siguiente de la central.

20.

25.

El control común 29 realiza funciones de control de programa almacenado del sistema de conmutación para dar servicio a un conmutador de comunicaciones. Comprende un procesador de exploración (que no se ilustra por separado) para observar los estados de las líneas de abonados individuales (no ilustrados) servidas por el sistema y cuyas señales respectivas aparecen en una forma de codificación digital en un formato

30.

5. conveniente intercalado en el tiempo en los circuitos 10 y 16. El control común comprende también un procesador que se precisa para responder a solicitudes de cambio de servicio acordadas en las líneas de abonados, mantenimiento del sistema y asignación de recursos (manteniendo en memoria mapas y tables del estado de utilización del equipo de la central como son las memorias operatorias).

10. Por ejemplo, el procesador de control común responde a nuevas condiciones de teléfono colgado o teléfono descolgado. El procesador de control común efectúa también las traslaciones necesarias de números e inicia cambios de trayecto de llamadas correspondientes introduciendo o borrando su programas apropiados en la memoria de programa 28. Una traslación de números normal produce, a partir del número de la 15. guía telefónica de un abonado que efectúa la llamada o que recoge la llamada, los tipos de servicios a que tiene derecho el abonado particular. Asimismo se incluye en dicha salida de traslación, en una modalidad de la presente invención, una indicación del nivel de ganancia o pérdida que se ha de aplicar por parte del procesador de conmutación 12 a señales de 20. diversas amplitudes para cualquier línea de abonado particular con el fin de conseguir un plan de nivel de pérdida del sistema predeterminado. La salida de traslación indica también si las señales para dicho abonado deben o no estar en formas de codificación lineal o de compresión-expansión. 25.

30. La memoria de datos 30 comunica datos de una forma bidireccional al control común 29, el procesador de conmutación 12, o un procesador de servicio 31. Una modalidad de la presente invención comprende una capacidad de reserva suficiente en el procesador 12 y memoria de datos 30 para permitir

- que esta memoria de servicio de un modo similar por lo menos a un acceso adicional 34 en comunicación con equipo externo, pero dicha capacidad de reserva no se considera generalmente de un modo adicional en la descripción que sigue. La memoria
5. 30 se localiza a partir de una de diversas fuentes elegibles (no ilustradas en la figura 1) incluyendo un registrador indicador en el procesador de conmutación 12 para emplear localizaciones calculadas, un registrador de órdenes en el procesador 12 para proporcionar localizaciones de acuerdo con
10. instrucciones del procesador, el contador de reloj de la central para proporcionar localización en secuencia periódica y el procesador de control común en el control común 29 para proporcionar acceso calculado o programado adicional a la memoria.
15. La memoria de datos 30 tiene dos funciones principales: Una de ellas es proporcionar en un área de servicio una memoria tampón, análoga a las memorias tampón 11 y 13, para establecer comunicación entre el procesador de conmutación 12 y el
20. procesador de servicio 31. Por ejemplo, durante los periodos que son de interés para administración de la red, el control común 29 establece un trayecto de señal de boca desde el lugar del abonado que efectúa la llamada en la memoria tampón de entrada 11 hasta el procesador de conmutación 12 y después
25. hasta una localización especificada en el área de servicio de la memoria 30 antes de pasar al procesador de servicio 31. Este tipo de señales podría comprender, por ejemplo, señales de marcación de números recibidas de una línea que efectúa la llamada. De un modo similar, a través de trayectos de
30. señal de oído a los abonados que efectúan la llamada y que la reciben, el procesador de servicio 31 genera señales que

que se desplazan desde dicho procesador hasta el área de servicio de la memoria de datos 30 y desde ésta hasta el procesador de conmutación 12 en camino hacia la memoria tampón de salida 13. Estos tipos de señales podrían comprender, por ejemplo, señales de tono de marcación, o señales de vuelta de llamada para el abonado que efectúa la llamada, o señales de llamada para el abonado llamado. De otro modo, a través de un trayecto de señal de boca desde el abonado llamado, se utiliza la información de la señal de llamada por el procesador de servicio para detectar si el teléfono del abonado llamado está descolgado para efectuar funciones de disparo de llamada.

La memoria 30 comprende también un área de "anotaciones" para proporcionar almacenamiento temporal para retener un valor producido en el funcionamiento del procesador de conmutación 12, bien durante el proceso de la señal de la red o cuando esta fuera de línea en un sentido de llamada, que se debe retener para futuro uso. La expresión "proceso de señal de la red" se refiere a conmutación de muestreo digital de llamadas y en algunos casos, modificación por el procesador 12. Un ejemplo de la función de "anotaciones" es el uso de un lugar en dicha área para acumular amplitudes de señal de boca de entrada para una suma de señales de conferencia.

Las figuras 2 y 3 comprenden un diagrama de conjuntos y de líneas ensamblados según se indica en la figura 4, que indican con mayor detalle la estructura y cooperación de la función de la memoria tampón y el procesador de conmutación 12 en asociación con el control común a través de las memorias de programa y de datos. Todos los bloques indicados son circuitos integrados disponibles en mercado o se componen de una

5. forma directa partiendo de dichos circuitos para producir ciertas funciones lógicas que se describirán más adelante. El ensamble de estos elementos representa, no obstante, una combinación de microproceso que permite el funcionamiento del procesador de conmutación 12 en la forma que se describirá para mejorar los medios de conmutación de comunicaciones.

10. El procesador de conmutación 12 y los circuitos correspondientes se activan convenientemente de una forma síncrona por medio de un reloj de la central 52 que, a título de ilustración, funciona a una frecuencia de aproximadamente 16 Hz .La señal de salida de éste reloj activa un contador de cronometración binario 37 (correspondiente al contador 1 en la figura 1) para producir bitios de contador de salida CT Ø-10 a diversos lugares del procesador de conmutación 12 y sus circuitos correspondientes,La señal de salida del contador 37 se alimenta también a un circuito indicado como circuito lógico de control 86 que produce señales de cronometración funcional adicionales para controlar a los circuitos correspondientes. Una señal de salida del contador adicional 20. CT 11 se utiliza por separado para la finalidad que se describirá más adelante.

25. Un contador de programa 51 se activa también por la señal de salida del reloj 52. No obstante, este contador recibe también por la señal de G/P del circuito lógico de control 86 y que se utiliza dentro del contador para evitar la alimentación de cada cuarto impulso procedente del reloj 52 de modo que los contajes del programa se interrumpan correspondientemente con la finalidad que se describirá más adelante. La señal de salida del contador de programa 51 se 30. alimenta a través de un multiplexador 49 para localizar la

memoria de programa 28 según se describirá más adelante. O sea, una señal de salida de 11 bitios, indicada por la línea diagonal a través del conductor ilustrado y por el número correspondiente 11. Además, la señal de salida del contador 51 se alimenta también al circuito lógico de control 86.

5.

El circuito lógico 86 responde a las señales de salida del contador de cronometración 37 y el contador de programa 51, así como a las señales adicionales de control de interfase suministradas desde el procesador de control común 29 por medio del circuito lógico de acoplamiento 55, CL, pa-

10.

ra generar señales representadas en los conductores de salida del circuito lógico 86. Algunas de éstas señales son periódicas y otras dependen por lo menos en parte de señales de control procedentes del procesador de control común (CCP) 29 para reconciliar al procesador de conmutación cronometrado 12 con el funcionamiento del CCP 29 que es asincrónico con el procesador de conmutación 12.

15.

Las señales periódicas principales del circuito lógico 85 se ilustran en la figura 6 y comprenden señales indicadas como C/P, SRVI, SRVO y CCPEN con la finalidad que se describirá más adelante. Dicha figura ilustra también las cinco salidas menos expresivas CT0-CT4 del contador 37, y un estado de contaje de todos ceros para dichas etapas aparece hacia el lado de la derecha del diagrama. La señal de salida CT0 es de la primera etapa y, por lo tanto, ilustra un régimen de 8 MHz puesto que el contador se activa por impulsos de 16 MHz procedentes del reloj 52. La señal C/P del circuito lógico 86 tiene un ritmo de 4 MHz con un ciclo de trabajo de tal naturaleza que comprende un impulso, de la longitud de un impulso CT0, cada cuatro tiempos de reloj. Esta

20.

25.

30.

5. señal se utiliza para dividir en el tiempo el acceso a una sola memoria 32 correspondiente a las memorias 17-20 en la figura 1, entre los circuitos 10 y 16 (C/P alto) y el procesador 12 (C/P bajo). La onda A de la figura 6 es igual que la onda C/P, pero tiene leyendas diferentes para indicar cuando algunas de las señales del circuito lógico 86 aparecen durante periodos de acceso a la memoria 32, v.g., mientras el procesador de conmutación 12 se desactiva por carecer de instrucción debido a que el contador de programa 51 ya se ha desactivado según se ha indicado. Las señales del circuito lógico 86 indicadas por las leyendas son SRVI, SRVO y CCP, así como EXTI y EXTO relativas al acceso adicional mencionado 34 en la memoria de datos 30. Las señales correspondientes a las tres primeras leyendas se ilustran también en la figura 2.

10. Las señales proporcionadas a través del circuito lógico de acoplamiento 55 son normales de las previstas para una función de interfase o interacoplamiento entre procesadores y comprenden, por ejemplo, procedente del CCP 29' una señal de sincronización SYNC, y señales adicionales que indican 15. o que el CCP 29' necesita aceptar señales del procesador de conmutación 12 o que necesita enviar señales a dicho procesador y sus circuitos de memoria correspondientes. Además, se proporciona una señal normalmente del procesador 12 por medio del circuito lógico de control 86 que constituye una 20. señal de réplica del procesador que advierte al CCP 29' que el dato solicitado previamente se ha ensamblado y está dispuesto en un registrador de memoria tampón de salida, que se describirá, para el CCP 29'.

25. Las señales de salida del circuito lógico de control 86 se utilizan principalmente para controlar las fun- 30.

5. ciones de activación de carga y de salida de diferentes registradores de interfase asociados con las memorias de procesador y el CCP 29'. Estas señales de control se ilustran en algunos casos en el diagrama de temporización de la figura 6 y su modo de utilización se expone de otro modo en la descripción que sigue del circuito lógico de interfase entre el CCP 29' y las memorias del procesador de conmutación. Un transmisor-receptor 48 proporciona acoplamiento bidireccional de señales de datos y localizaciones entre sí y el CCP 29' en una vía bidireccional de 16 bitios. Asimismo se asocia con el transmisor-receptor 48 una vía de entrada unidireccional de 16 bitios indicada como BIN ϕ -15 para recibir señales de datos y localizaciones de las memorias asociadas con el procesador de conmutación 12. De un modo similar, una vía de salida de 16 bitios indicada como BOUT ϕ -15 suministra señales de datos y localizaciones del procesador de control común a estas memorias. La dirección de acoplamiento de las señales en el transistor-receptor 48 en cualquier instante se controla por una lógica perfectamente conocida dentro de la representación esquemática del registrador y que normalmente acopla señales a través del mismo en dirección de salida del CCP 29' en ausencia de una señal de control que indica la coincidencia de una señal CCP que solicita datos y una señal del procesador de conmutación que indica por su estado de señal de réplica que el dato está dispuesto.

30. Los bitios de la señal de la vía BOUT ϕ -15 del transmisor-receptor 48 tienen varias aplicaciones. Se alimentan directamente a la memoria de programa 28 para suministrar datos de entrada que cargan la memoria con las instrucciones de ru-

- tina de programa apropiadas para controlar el procesador 12 con el fin de efectuar conmutación y proceso de señales de llamadas. Las mismas señales BOUT Ø-15 se acoplan también a un registrador de memoria tampón CCPIN 80 como datos para cargar la memoria de datos 30. Las señales se cronometran en el
5. registrador 80 por una señal CCPRW del circuito lógico de control 86 y que se producen al aparecer la onda de la señal CCPEN representada en la figura 6, siguiendo a una señal de control de acoplamiento procedente del circuito lógico 55 indicativa de que el CCP 29 necesita enviar datos a la memoria de datos
10. 30. La señal de salida del registrador 80 se activa por la señal CCPEN de origen regular procedente del circuito lógico 86. De éste modo, la señal de salida del registrador se activa periódicamente para cargar la memoria de datos 30 tanto si
15. existe como si no nuevos datos presentes en el registrador 80 pero la carga en la memoria 30 tiene lugar solamente con la señal WRTDM del circuito lógico 86. Las señales BOUT Ø-15 se alimentan también a un registrador de localizaciones 50 al aparecer la señal de sincronización mencionada del CCP 29. Esta
20. información de localización en el registrador 50 aparece continuamente disponible a otra entrada del multiplexador 49 para localizar la memoria de programa 28. Dicho multiplexador se controla por la señal de C/P para alimentar señales de salida del registrador 50 durante periodos de acceso a la memoria 32 y alimentar salidas del contador 51 durante periodos
25. de acceso del procesador 12 a la memoria 32.

Además, con relación a la carga de datos en la memoria de programa 28, una señal de WRTPM del circuito lógico 86 activa la escritura o introducción en la memoria. Esta señal aparece en el impulso de cronometración CCPEN de la figura

30.

6 siguiente a las señales de control y localización del CCP 29' indicando que el control común necesita introducir datos en la memoria de programa. El CCP 29' está equipado convenientemente con capacidad de asignación de recursos de un tipo perfectamente conocido para desplazar información almacenada en la memoria 28 según se establecen trayectos de llamadas con el fin de asegurar lugares de almacenamiento contiguos adecuados por cada subrutina nueva que se ha de almacenar.

5. Dos fuentes de señales BIN Ø-15 al transmisor-receptor 48 se ilustran en la figura 2. Una de estas es de la salida de datos de la memoria de programa 28 por medio de un registrador de CCP 65. Dicho registrador se cronometra por una señal de cronometración de función RDPM del circuito lógico 86 que se deriva de una señal procedente del circuito lógico de acoplamiento 55 indicativa de que el CCP 29' necesita tomar lectura de datos de la memoria de programa 28. La señal de salida del registrador de CCP 65 se activa por una señal ENBLM del circuito lógico 86 indicando que el CCP 29' necesita recibir datos de éste registrador y que se ha recibido una señal de sincronización del procesador 29' y que el registrador 65 se ha cargado de la memoria de programa 28, v.g., la respuesta está lista. Una fuente adicional de señales BIN Ø-15 es un registrador CCPOUT 83 que tiene datos al aparecer la señal de RWCCP del circuito lógico 86 después de aparecer una señal del CCP 29' indicativa de que necesita datos de esta fuente. De un modo similar, la señal de salida del registrador 83 al transmisor-receptor 48 se activa de una forma asin-
10. 15. 20. 25. 30. croma por la señal ENBLM mencionada en una indicación de que el CCP 29' necesita datos de ésta fuente. Se proporciona acoplamiento de interfase adicional entre el procesador de

5. conmutación 12 y el procesador de servicio 31 por medio de la memoria de datos 30 y los registradores de memoria tampón SRVIN 79 y SRVOT 82. El registrador 79 se carga convenientemente desde el procesador de servicio por el bitio del contador de cronometración CT 3; no obstante, en algunas aplicaciones, es más conveniente proporcionar dicho tipo de señal de cronometración del procesador de servicio 31. La señal de salida del registrador 79 a la memoria 30 se activa por la señal SRVI periódica de la figura 6 que aparece como una salida del circuito lógico 86. De un modo similar, el registrador 82 se carga desde la memoria 30 por la señal SRVO periódica y su salida se activa continuamente para cualquier función que muestree el procesador de servicio.

10. El resto de la descripción presente se refiere a detalles del procesador de conmutación 12 y su funcionamiento con respecto a las señales acopladas por el procesador entre partes diferentes de memoria 32 con la cooperación de la memoria de datos 30 y bajo control de la memoria del programa 28 y el procesador de control común 29. En la figura 2, la memoria tampón de llamadas 32 representa las funciones combinadas de las memorias 17-20 en la figura 1. La memoria 32 se localiza por un conjunto simple de señales de localización en un periodo desde un multiplexador 33, y se suministran datos de entrada a través de un multiplexador 36. Ambos multiplexadores se controlan por la señal derivada del reloj C/P que permite acceso de línea a la memoria 32 durante uno de cada cuatro periodos de cronometración del reloj de la central y para permitir que el procesador de conmutación 12 tenga acceso a la memoria 32 durante uno o más de los periodos restantes de los cuatro periodos de cronometración.

15.

20.

25.

30.

- La memoria tampón de llamadas 32 es una memoria simple utilizada para realizar la función de memoria del tipo de "ping-pong" mencionada descrita con relación a las cuatro memorias 17-20 de la figura 1. La memoria simple 32 de la
5. figura 2 funciona en una base de tiempo compartido para hacer un uso eficaz de una formación única de memorias de tipo comercial para una pequeña central del tamaño ilustrado, v.g., 256 abonados. Empleando memorias comerciales con la técnica descrita con relación a la figura 1 se obtienen normalmente
10. una formación que es apropiada para centrales mayores, pero tiene una gran cantidad de espacio de memorias sin utilizar cuando se emplea en unacentral pequeña. Por ejemplo, a título de ilustración, un procesador 12 con un campo de localizaciones de instrucción de 11 bitios puede dar servicio aproximadamente a 350 abonados (indicados 256 para la modalidad ilustrativa); pero aumentando apropiadamente el campo de localizaciones y aumentando la dirección en la ejecución de instrucciones, el mismo tipo de procesador puede dar servicio
15. aproximadamente a 2.000 abonados al mismo ritmo de funcionamiento del reloj de 16 MHz.
- 20.

- En la figura 2, los cables 10 de entrada A y B se acoplan a través del circuito lógico de formato 39 de cualquier tipo apropiado para cambiar el formato de muestreo de señal de codificación digital de los cables de entrada a
25. un formato que permite que la memoria 32 proporcione dichas señales al procesador de conmutación 12 del modo conveniente para el proceso de la señal. En la modalidad ilustrativa que contempla muestras codificadas de impulsos digitales, el formato que es conveniente para el proceso es un formato de
30. bitios en paralelo y palabras en serie en el cual los bitios

- de cada palabra aparecen en posiciones de bitios ordenados de una forma normal para la regla de codificación empleada. En sistemas de transmisión comerciales normales las señales de FGM se suelen transmitir en un formato de bitios en serie y palabras en serie sobre una pluralidad de cables. Por consiguiente, estas últimas señales se deben convertir al formato de bitios en paralelo y palabras en serie con palabras de muestra procedentes de los cables A y B intercalados en el tiempo v.g., alternados en la modalidad ilustrativa. El circuito lógico 39, que se cronometra por la señal de salida de 16 MHz del reloj 52 realiza esta función y suministra el trén de señales intercaladas de palabras a una entrada del multiplexador 36. Se conocen diversas técnicas diferentes para realizar la conversión del formato necesario. Un ejemplo consiste en utilizar registradores de corrimiento para realizar la conversión del formato de serie a paralelo por cada cable y emplear después un multiplexador cronometrado para intercalar las muestras de bitios en paralelo.

- El multiplexador 36 se controla por la señal de cronometración periódica C/P mencionada para intercalar, entre palabras de muestra sucesivas procedentes del circuito lógico 39, tres muestras de señales de codificación digital, estructuras de un modo similar, procedentes de un circuito de salida 38 del procesador de conmutación 12. La señal de salida del multiplexador 36 se alimenta como entrada de datos a la memoria tampón de llamadas 32.

- La salida de datos de la memoria 32 aparece en un circuito de acceso de salida 40 y se acopla a través de otro lógico de formato 41 que efectúa operaciones inversas a las del circuito lógico 39, para alimentar muestras de señal co-

dificada digitalmente en bits en serie y palabras en serie a los cables respectivos de salida A y B 16. La señal de salida de la memoria 32 se alimenta también a una entrada de un multiplexador 42 que suministra señales a un circuito de entrada 43 del procesador de conmutación 12 de la figura 3.

5. La señal C/P activa la entrada de la memoria 32 al multiplexador 42 solamente durante periodo de acceso de la señal de C/P al procesador en la figura 6 y permite el funcionamiento del circuito lógico 41 solamente durante tiempos de acceso al circuito coaxial de la misma onda de la señal. Durante los últimos periodos de acceso, el multiplexador 42 acopla la salida de la memoria 30 al circuito de acceso 43.

10.

La memoria 32 se divide en la figura 2 en partes superior e inferior 32A y 32B que corresponden, por ejemplo, a los pares de memoria 17,19 y 18, 20, respectivamente, de la figura 1. O sea, en el periodo de muestreo cuando una parte, v.g., 32A, tiene acceso por los cables, la otra parte v.g., 32B, tiene acceso por el procesador de conmutación 12, y dichos accesos se dividen en tiempos según se ilustra en la onda C/P de la figura 6. Durante los periodos del acceso de circuito coaxial, los circuitos tienen acceso en una secuencia cíclica A-IN, B-IN, A-OUT, B-OUT según se ilustra, en el periodo de muestreo siguiente se intercambian las funciones de las dos partes de la memoria, y dicho intercambio se ve afectado en la figura 2 por la señal CT 11 de periodo de muestreo PAR/IMPAR que hace que las localizaciones afecten a regiones diferentes de la memoria 32.

15.

20.

25.

La localización de la memoria 32 se efectúa a través del multiplexador 33 que elige entre dos conjuntos de señales de entrada de acuerdo con los dictados de la señal C/P.

30.

- Se utilizan 9 bitios de localización más la señal CT 11 por el multiplexador 33 de tal manera que localiza varios lugares de palabras en la memoria 32 para producir, en salida, las mismas capacidad de espacio de lectura y escritura que se han descrito respecto a la figura 1 de las memorias 17-20. Durante la parte de división de tiempo del cable, la memoria 32 se localiza por las señales de contador de cronometración CT-2-1 y durante la parte de las divisiones de tiempo del procesador, se localiza por localizaciones desarrolladas por el procesador PA Ø-8 de un multiplexador 46. Dicho multiplexador elige entre dos conjuntos adicionales de señales de localización de entrada de acuerdo con el estado de los bitios de instrucciones del procesador OPA9,1 en disyunción-conjunción OPA Ø-8 y bitios de localizaciones del registro indicador PTR Ø-8. La capacidad de acceso de la memoria tampón de llamadas 32 desde el registrador indicador es un elemento adicional de la flexibilidad del sistema, pero no se utiliza en señales de la red de rutinas o subprogramas.
- 5.
- 10.
- 15.

- Las localizaciones suministradas por el procesador para la memoria 32 proporcionan acceso aleatorio a la memoria. No obstante, se podrá ver por la figura 6 y las localizaciones suministradas al contador CT2-1 que las muestras de señal de entrada y de salida en secuencia del cable se alternan a través del lugar de palabras de la memoria 32 en la parte de la memoria 32A y de nuevo en la parte de la memoria 32B. Esto asegura una plena utilización de 1024 lugares en la memoria 32, y como se utilizan las señales de contador CT2-1, en lugar de CTØ-8, no se saltan lugares durante los tres intervalos de tiempo de cronometración cuando solamente el procesador 12 puede tener acceso a la memoria 32. Una señal WRTEW pro-
- 20.
- 25.
- 30.

- cedente del circuito lógico de control 86 activa la escritura en la memoria 32 durante cada uno de los periodos del circuito en la onda de temporización C/P de la figura 6. La función de escritura se activa también durante las partes del procesador de conmutación de la onda C/P cuando la instrucción del procesador exige traslado de datos a la memoria 32.
- 6.
- El procesador 12 se ilustra en la figura 3 y se controla por instrucciones proporcionadas desde la memoria del programa 28 en la figura 2, por medio de un registrador de órdenes 27. Los datos que aparecen en el circuito de entrada del procesador 43 se alimentan de una forma selectiva a uno o más de un registrador B 53, un registrador A 56, o un multiplexador 57, a través del cual se alimenta para almacenamiento en un registrador indicador 58. Los registradores mencionados son todos ellos registradores de basculador de enganche de tres estados de un tipo conocido en el cual las señales se cargan en paralelo cuando las entradas del registrador se cronometran y desde el cual se derivan señales en bitios en paralelo cuando se activa la salida del registrador pasando a un estado de baja impedancia en el cual la información almacenada durante un periodo de cronometración de entrada anterior aparece disponible. Cuando no se activa de éste modo, las salidas del registrador se encuentran en estado de alta impedancia en el cual los estados de información almacenada no quedan disponibles en las salidas. La salida del registrador indicador 58 se activa normalmente de una forma continua por una señal de tierra no ilustrada por separado en el dibujo. No obstante, es evidente en este punto que cada uno de los diversos posibles trayectos para la transmisión de datos desde el circuito de acceso de entrada 43 a través
- 10.
- 15.
- 20.
- 25.
- 30.

del procesador 12 comprende necesariamente por lo menos un registrador cronometrado.

5. La señal de salida del registrador B 53 se alimenta a una vía de datos procesador 59 en la cual aparecen señales con la identificación PDØ-15. Dicha vía se conecta al circuito de salida del procesador 38 que, a su vez, se extiende hasta una entrada de la memoria 32 en el multiplexador de entrada de datos 36. La vía de datos procesados 59 se extiende también hasta la entrada de datos 60 de la memoria de datos 30 y a conexiones de entrada para el circuito de conversión de códigos 61, cuya salida se alimenta también después de una cronometración adicional a la vía 59.

10. El circuito de conversión de códigos 61 se ha concebido para realizar un cambio elegible de los cambios de formato de la señal de convertir la codificación de impulsos lineal a codificación comprimida-expandida, codificación comprimida-expandida a codificación lineal, y comprimida-expandida a comprimida-expandida con niveles diferentes elegibles de ganancia o pérdida. Las 16 señales de bitios PDØ-15 se alimentan al circuito 61 en todo momento. Los bitios PDØ-11 se alimentan específicamente a un convertidor lineal a comprimido-expandido lógico cableado 62, que recibe también PD12 (el bitio del signo del dato codificado linealmente de 13 bitios). El convertidor 62 funciona de acuerdo con un algoritmo de conversión conocido para producir una salida comprimida-expandida de 7 bitios que comprende tres bitios de salida del número de segmento y cuatro bitios que definen la amplitud aplicables a cualquier segmento. Estos siete bitios se acoplan a un conjunto de entradas de un multiplexador 66.

15. 20. 25. 30. En el circuito 61 se incluye también un grupo de memo-

- rias de lectura solamente (ROM) indicadas por la referencia 63 de un modo colectivo. Seis memorias se incluyen a titulo ilustrativo en el circuito 61, y todas ellas son localizables por bitios de vias de datos procesados PD0-6 que definen 128 magnitudes diferentes (localizaciones en la memoria ROM)
5. en un sistema de codificación de compresión-expansión. Los bitios de instrucciones OPA5-7 del procesador 12, según se describirá, eligen una de las seis memorias ROM 63 para tomar lectura de acuerdo con la información de localización previamente calculada y el dato almacenado de acuerdo con la función asignada a dicha memoria ROM. Una de éstas funciones es la conversión de compresión-expansión a lineal, y las otras cinco (compresión-expansión a compresión-expansión) son de 2, 3, 5 y 6 dB de atenuación y 2 dB de ganancia. Las memorias ROM 63 proporcionan 12 bitios de salida (para salidas de compresión-expansión solamente los siete bitios menos expresivos contienen información) a un segundo conjunto de entradas al multiplexador 66.
- 10.
- 15.
20. El multiplexador 66 se controla por el estado de la señal de bitio de instrucción OPA1 para elegir la salida comprimida-expandida del convertidor 62 o la salida (lineal o comprimida-expandida) de las memorias ROM 63. El conjunto de señal elegido se acopla para cargarse en un registrador C 68 cuando hay presente una señal CCLK. Una instrucción de traslado ulterior hace que una señal CEN active la salida del registrador 68 a la vía 59 para quedar disponible para cronometración a un lugar apropiado. Cada conjunto de entrada al multiplexador 66 tiene también conexiones para pasar los bitios de via de datos procesados PD13-15 a través de uno u otro conjunto puesto que están disponibles para utilizarse
- 25.
- 30.

5. como bitios de control en la central para comunicación entre unidades de interfase de control común y de líneas de abonados. Además, el multiplexador tiene conexiones para poner el bitio de signo PD12, a partir de señales de entrada lineales al circuito 61, en la posición de bitios de salida correctos, v.g., el octavo, para la salida comprimida-expandida del convertidor 62. De un modo similar, el circuito lógico de coincidencia, no ilustrado que responde a los estados de los bitios de instrucción OPA5-7 pone el bitio de signo en la posición del octavo bitio para salidas comprimidas-expandidas de las memorias ROM 63 y permite que el octavo bitio de la salida de la memoria ROM pase a través del multiplexador 66 para salidas de codificación lineal.

10. Otro trayecto posible para las señales en el procesador 12 es a través de un dispositivo de corrimiento 69 desde la vía de datos procesados 59 hasta una entrada B de una unidad aritmética/lógica (ALU) 70. Cuando se activa, el dispositivo de corrimiento 69 corre los bitios de datos recibidos en una o dos posiciones de bitios a la derecha, o una posición de bitio a la izquierda, o no hace corrimiento alguno según dirija un campo de dos bitios en instrucciones que exigen el funcionamiento del ALU 70.

15. El registrador A 56 recibe los bitios de salida MD0-15 del multiplexador 42 al aparecer una señal ACLK. No obstante, los bitios MD13-15 se alimentan al registrador 56 por medio de un multiplexador de extensión de signo 54 que responde bitios de instrucciones del procesador predeterminados para extender de una forma selectiva el estado binario del bitio de signo MD12 de una palabra de codificación lineal para volver a escribir los bitios MD13-15 que de otro modo

20.
25.
30.

se emplean para comunicación de control de unidad de líneas del abonado con el control común y el procesador de servicio 31. Si se ha de actuar con una palabra que tenga dichos bitios de control, una coincidencia de las señales SE y ALUEX hace que el multiplexador 54 elija el bitio de signo MD12 para sustitución en las posiciones MD13-15, por lo que estas posiciones de bitios se pueden utilizar para rebose o exceso del cálculo y por lo tanto los bitios de control no estorbarán a los cálculos. De otro modo, el multiplexador de extensión de signo 54 simplemente pasa a los bitios MD13-15 al registrador A 56 con bitios MD-12. La señal de salida del registrador 56 se alimenta a la entrada A del ALU 70 al aparecer una señal de control AEN.

Existe un trayecto adicional desde la vía 59 hasta la entrada B del ALU 70 por medio de un circuito lógico de alcance 71 y un registrador R 72. El circuito lógico de alcance se utiliza para restablecer bitios de control eliminados por el multiplexador de extensión de signo 54, a su posición correcta en la salida del ALU resultante y para truncar cualquier sobrante en dicha salida. Se consigue haciendo recircular la salida a través del circuito lógico de alcance donde se examinan los cuatro bitios más expresivos de la palabra para detectar un estado de sobrante. Si los cuatro bitios no están en el mismo estado, se ha producido un sobrante positivo o negativo, y los doce bitios menos expresivos se fuerzan en el registrador 72 a su valor máximo de 12 bitios basado en el estado binario del bitio de signo y en el circuito lógico instalado. Si no existe un estado de rebose, los mismos 12 bitios de la vía de datos procesados 59 se mantienen en el registrador 72 para acoplarse después directamente a la entrada B del ALU. Para restablecer los tres bitios de control, la palabra original (antes

de la extensión de signo) se extrae de nuevo de la memoria 32 llevándola al registrador B 53 y desde el registrador B a través de un circuito 64 al circuito lógico de alcance para re-combinarse en el registrador 72 con los 13 bitios de orden inferior para alimentación a la entrada B del ALU. En éste instante, el registrador A 56 se desactiva y el carácter completo en la entrada B sale a un destino determinado por la instrucción.

El ALU 70 combina señales en sus entradas A y B en un tipo de operación dirigida por un campo de bitios del ALU en instrucciones al procesador 12. La salida del ALU70 se alimenta a cualquiera de los registradores Y 73, Z 76 (elegidos por señales de cronometración respectivas YCLK o ZCLK generadas por campos de bitios de destino de instrucción y por señales de cronometración de la central), una entrada del multiplexador de entrada del registrador indicador 57, o a un circuito lógico de banderas 77. Las salidas de los registradores Y y Z 73 y 76 pasan al circuito de acceso de salida del procesador 38 a la via de datos procesados 59.

El registrador indicador 58 recibe los 11 bitios menos expresivos de las palabras de datos de 16 bitios por medio del multiplexador 57 desde el circuito de acceso de entrada 43 o la salida del ALU 70 dependiendo de si se activa o no el ALU por una señal ALUEX. Las salidas del registrador 58 se utilizan en los multiplexadores en tandem 46 y 33 para localizar la memoria tampón de llamadas 32. En ciertas condiciones de campo de bitios de instrucciones se utiliza también para localizar la memoria de datos 30 por medio de un multiplexador 78 durante partes de operación del procesador de la división de tiempo del ciclo de la señal C/P. Este último uso de las sali-

das del indicador para localizar medios de la memoria de datos, por ejemplo, la formación de tablas de ganancia para las memorias ROM 63 o la multiplexación de muestras de señales de abonados múltiples en un canal de llamadas de salida procedente del conmutador.

5.

El circuito lógico de banderas 77 en la figura 3 detecta de un modo ilustrativo un estado de todos ceros en la salida del ALU 70 y la utiliza para muestrear los estados de dos bitios de instrucciones, cuando se activa el ALU 70, para generar una señal de bandera que determina si se han de ejecutar o no la siguiente o más instrucciones condicional, según se describirá.

10.

El registrador de ordenes 47 almacena temporalmente instrucciones de 16 bitios de la memoria del programa 38 para proporcionar bitios de instrucciones OPA0-15 representación del registrador en la figura 3 y utilizadas de una forma varia por el procesador 12 y los circuitos correspondientes. Además, el circuito lógico de descodificación acoplado a varias salidas del campo de bitios desarrolla las señales de cronometración, activación y control para el procesador 12 según se ha indicado en la figura 3. Las instrucciones son de tres tipos principales, y la figura 5 ilustra los diversos campos de bitios de instrucciones en cada tipo. Estos tres tipos utilizados en la modalidad ilustrativa presente comprenden instrucciones de conversión de señales (CONV), instrucciones de traslado de señales (MOV) e instrucciones de la unidad aritmética/lógica (ALU). En los tres tipos, los tres bitios más expresivos OPA13-15 (OPI-3 en la figura 5) proporcionados por el registrador 47 comprenden un código de operación que tiene uno de ocho valores representados en la tabla I junto con la función dirigida co-

15.

20.

25.

30.

respondiente.

	<u>Valor de código OP</u>	<u>Función instruida</u>	<u>Señal de control descodificada</u>
	0	NOP/CONV	---
5.	1	mover Y a la memoria	YEN
	2	" C " " "	CEN
	3	" B " " "	BEN
	4	" la memoria a B	BCLK
	5	" " " " A	ACLK
10.	6	" " " " Ptr	OCLK
	7	Operación del ALU	ALUEX

Como "memorias" se entienden un lugar localizado en la memoria 30 o la memoria 32. El valor del código 0 es interpretado por la máquina como un código sin operación (NOP) excepto en aquellos casos en que el bitio de salida OP11 del registrador 47 se encuentra en el estado de UNO binario y el bitio OP12 se encuentra en el estado de CERO binario. En este último caso, la instrucción se interpreta como una instrucción CONV. Excepto para estas instrucciones de CONV, el procesador 12 se ve obligado a quedar inactivo por el código NOP aún durante los periodos de cronometración de la central en que la memoria tampón de llamadas 32 está de otro modo disponible para el procesador. El valor 7 del campo de código de operación exige que se realice una operación de ALU, y este valor de los bitios del código de la operación se utiliza para activar la operación del ALU 70 de acuerdo con una de ocho diferentes funciones identificadas por los bitios del código OPA5-7 del ALU.

Se utiliza un bitio condicional CON (OPA12 en la figura 3) en instrucciones de MOV y ALU de la figura 5, para determinar si ha de ejecutar una instrucción o no en salidas sin

- condición. La señal de salida CON del registrador 47 se pone en disyunción-conjunción en una puerta 47 con la salida $\overline{\text{FLAG}}$ del circuito lógico de banderas 77 para producir una señal EXEC que, al coincidir el bitio de bandera de reposición y el bitio de condición de colocación inicial, desactiva el circuito lógico de descodificación para OPA13-15, Si se ha de ejecutar una instrucción determinada por una condición, dicha condición se habrá de haber establecido en una instrucción previa en términos de utilizar la salida de la unidad aritmética/lógica 70 en el mismo estado predeterminado v.g., el estado de todos ceros según se ha indicado anteriormente para esta modalidad ilustrativa, para establecer una bandera. Dicha bandera se establece de un modo indicado por los bitios de control de banderas $F_2 F_1$ (OPA0-1 en la figura 3) de la misma instrucción que calcula la condición. Por lo tanto, los bitios de control de banderas producen los efectos indicados en la tabla siguiente II donde la referencia a la salida de ALU significa dicha salida para la instrucción anterior mencionada que calcula la condición de salida del ALU:

20.

TABLA II

<u>Valores</u>	<u>Estado de bandera</u>	<u>Estado de salida del ALU</u>
\emptyset	Colocación inicial	$\neq \emptyset$
1	" "	= \emptyset
2	" "	-
3	NOP	-

25.

Si una instrucción contiene la condición NOP en los bitios de control de banderas, simplemente significa que el bitio de bandera no se puede cambiar a pesar del estado de la salida del ALU. El estado de bandera "colocación inicial" significa una salida de uno binario del circuito lógico de banderas

30.

77. Evidentemente, el bitio de bandera se puede forzar al estado de cero binario por una instrucción que se movería, v.g., una constante predeterminada sin cero desde la memoria de datos 30 a través del ALU en una operación B solamente cuando los bitios de control de bandera tienen el valor uno. Como la condición requerida no se cumple por la constante, el bitio de bandera se repone al estado de cero binario.

5. Para instrucciones MOV, un bitio de extensión de signo SE (OP11 en la figura 3) se interpreta como una dirección para prolongar el estado del bitio de signo MD12 a los bitios MD13-15 de una palabra de datos de codificación lineal que se mueve desde el multiplexador 42 según se ha descrito. De otro modo, durante instrucciones de MOV, los bitios restante A0-A10 (OPA0-10 en la figura 3) especifican una localización en la memoria tampón de llamadas 32 o la memoria de datos 30 al que se ha de mover el dato.

10. Para operaciones de ALU, los bitios S_1 S_2 (OP11-11 y SH0-1 en la figura 3) identifican uno de los cuatro corrimientos de datos elegibles que se han de realizar en el dispositivo de corrimiento 69 cuando pasan los datos desde la vía 59 hasta la entrada B del ALU 70. Los corrimientos disponibles para los valores 0-3 de estos bitios son dos posiciones de bitio a la derecha, una posición de bitio a la derecha, ningún corrimiento, o una posición de bitio a la izquierda, respectivamente. Este tipo de dirección de corrimiento se utiliza cuando el dispositivo de corrimiento 69 se activa por una señal SEN procedente del circuito lógico de coincidencia no ilustrada por separado que responde a un cero binario en cualquier bitio de OPA5-7.

15. Los bitios de instrucciones de ALU IN_1 , IN_2 (OPA8-9 en

30.

5. la figura 3) designan una de estas tres fuentes que tiene su salida activada para proporcionar señales de salida que se alimentan al dispositivo de corrimientos 69. Para los cuatro valores 0-3 de estos bitios, las fuentes elegidas son: Ninguna, registrador Y 73, registrador Z 76 y registrador B 53, respectivamente.

10. Los bitios de instrucciones de ALU $SC_1 - SC_3$ (OPA5-7 en la figura 3) definen una de las ocho posibles operaciones del ALU de acuerdo con la tabla III siguiente para valores respectivos de estos bitios.

TABLA III

<u>Valores del campo de bitios</u>	<u>Operación del ALU</u>
0	B solamente
1	B menos A
15. 2	A menos B
3	A más B
4	A ÷ B
5	A + B
6	AB
20. 7	Alcance

25. Las operaciones indicadas para los valores 1-3 son aritméticas, mientras que las indicadas de otro modo son operaciones lógicas. Además, el valor de la operación RANGE (alcance) hace que la señal REN active el funcionamiento del circuito lógico de alcance 71.

30. Finalmente, los bitios de instrucciones OUT_1-3 (OPA2-4 en la figura 3) identifican un destino para las señales de salida del ALU 70. En la modalidad presente se emplean los valores 1, 2 y 4 de estos tres bitios y controlan la generación de señales de cronometración de entrada para cargar el regis-

trador Z 76 el registrador Y 73, o el registrador indicador 58.

- Para las instrucciones CONV de conversión de señales, ZERO en los bitios OP1-3 y CV2 (OPA12-15 en la figura 3) y UNO en el bitio CV1 (OPAl1) indican dicha instrucción y hacen que se produzca la señal CCLK para cronometrar datos convertidos en el registrador C 68 después de la transmisión a través del circuito convertidor 61. El bitio R/C (OPAl en la figura 3) indica si el multiplexador 66 proporciona señales de ROM o señales de entrada de compresión-expansión al registrador C 68. Los bitios SR₂, SR₁ (OPA8-9 en la figura 3) se emplean para indicar la señal de activación apropiada para la fuente de las señales que se han de convertir, v.g., uno de los registradores Y, Z o B. Los bitios R₃, R₂, R₁ (OPA5-7 en la figura 3) designan una de las tablas de ROM que se han de utilizar para la conversión, según se ha indicado anteriormente con relación a la figura 3, de acuerdo con sus valores indicados en la tabla IV siguiente:

TABLA IV

<u>Valores de bitios de ROM</u>	<u>Funciones de la tabla de ROM</u>
0	2 db atenuación
1	3 db "
2	5 db "
3	6 db "
4	2 db gain
5	Compresión-expansión a conversión lineal

- La memoria de datos 30 en la figura 2 contiene lugares de palabras de áreas de servicio y lugares de palabras de área de "anotaciones" (SCR). En la modalidad ilustrativa presentada en esta memoria, se incluyen 256 lugares de palabras en el área de servicio para proporcionar comunicación entre el procesador de servicio 31 y el procesador de conmutación 12; se incluyen

640 lugares de palabras en el área de anotaciones; y se mantienen en reserva 128 lugares. Estos últimos se pueden utilizar, v.g., para comunicación el acceso externo 34 de la figura 1.

5. El dato en la memoria de datos 30 aparece en un circuito de entrada 60 procedente de la vía de datos procesador 59, un registrador de entrada en servicio (SRVIN) 79, o un registrador de entrada de control común (CCPIN) 80. La salida de la memoria 30 aparece en un circuito de salida 81 desde el cual se alimenta a una entrada del multiplexador 42, un registrador de salida de servicio (SRVOUT) 82, o un registrador de salida del procesador de control común (CCPOUT) 83. Las señales de control ya se han descrito para cronometrar datos introduciéndolos y sacándolos de los registradores mencionados 79, 80, 82 y 83 con relación a la exposición de los circuitos para interfazar o interconectar el procesador de control común 29' con el procesador conmutación 12.
- 10.
- 15.

20. El multiplexador 78 proporciona señales de localización a la memoria de datos 30 desde uno de cuatro conjuntos elegibles de señales de entrada determinados conjuntamente por señales de división de cronometración C/P y por señales FEN que definen periodos de disponibilidad de acceso de aparición periódica para los procesadores 12 y 29', según se ilustra en la figura 6. El procesador 12 localiza la memoria 30, desde salidas del registrador 47 o el registrador 58, durante los periodos en que el procesador tiene acceso a la memoria 32. De un modo similar, el CCP 29' tiene acceso a la memoria 30, desde el registrador de localizaciones 50, durante los periodos en que el procesador puede tener acceso según se ilustra en la figura 6. De otro modo, la localización está determinada por las salidas del contador de cronometración 37.
- 25.
- 30.

Un conjunto de señales de localización elegibles comprende las señales CCF \emptyset -11 proporcionadas desde el registrador de localizaciones 50. Los bitios \emptyset -9 en éste conjunto de señales permiten que el procesador de control común 29' tenga acceso al área de memoria de anotaciones y al área de servicio. El bitio 11 indica localización de la memoria 30 o la memoria 28, y el bitio 10 se reserva en lo que se refiere a la memoria 30. Las señales de datos asociadas con las localizaciones se acoplan por medio de los registradores CCPIN y CCPOUT 80 y 83, respectivamente.

Un segundo conjunto de señales de localización elegibles comprende bitios de salida CT2-1 procedentes del contador de cronometración de la central 37 para tener acceso a lugares del área de servicio en la memoria 30 en una secuencia fija. Este acceso tiene lugar durante cada octavo periodo de cronometración (según se ilustra en la figura 6) para tomar lectura de la memoria al registrador SRVOUT 82 o introducir en la memoria da datos del registrador SRVIN 79 en accesos alternos tanto si fluyen realmente datos en dichos periodos como si no. Los bitios CT4-1 se emplean convenientemente como los siete bitios de localización menos expresivos que definen 128 lugares contiguos. El bitio CT3 se utiliza como el bitio siguiente más expresivo para alimentar las localizaciones a uno u otro de dos conjuntos de 128 lugares, v.g., los bloques SRVI y SRVO. El bitio CT2 se utiliza de un modo similar como un bitio adicional más expresivo para localizar un bloque diferente de 128 lugares que se utiliza en las funciones EXTI y EXTO indicadas en la figura 6. Los bitios \emptyset ,1 no se utilizan directamente para localizar la memoria 30.

5. El tercer conjunto de señales de localización para el multiplexador 78 comprende bitios de instrucciones OPAØ-1 procedentes del registrador de órdenes 47 para definir un lugar en el área de servicio (para prolongar las comunicaciones del procesador de servicio al procesador de conmutación 12) o el área SCR (para colocar datos para uso futuro o utilizar datos almacenados previamente). Los bitios Ø-9 indican la localización en la memoria 30 y el bitio 1 indica la localización de dicha memoria o la memoria 32. El dato leído o introducido por el procesador 12 pasa necesariamente por medio de la vía de datos procesados 59 o el multiplexador 42.

10. Un conjunto final de señales de localización elegibles para el multiplexador 78 comprende bitios de salida PTRØ-1 procedentes del registrador indicador 58 para proporcionar acceso al área SCR para el procesador de conmutación 12. Estos bitios se alimentan igual que los bitios mencionados OPAØ-1. Los datos correspondientes a estas localizaciones se comunican por medio de la vía 59 y el multiplexador 42, por ejemplo, para tener acceso a tablas o para utilizar un indicador nuevo o actualmente calculado para tener acceso a una localización en el área de SCR para que el dato pase a un canal de línea de salida, v.g., un registrador adicionador de SCR para un proceso de llamadas de conferencia.

15. Una señal de WRTDM procedente del circuito lógico 86 activa la escritura de introducción en la memoria de datos 30. Dicha señal se obtiene del circuito lógico de tipo de disyunción para permitir la escritura o introducción cuando las diversas fuentes de localizaciones y de datos tienen oportunidades respectivas para la introducción. Por ejemplo, aparece

20.

25.

30.

- WRITDN durante cada tiempo de SRVI en la onda A de la figura 6. Aparece también en periodos de CCP de la misma onda y CCP 29'ha enviado una señal indicativa de la necesidad de dar salida a datos de la memoria 30. WRITDM aparece también durante
5. periodos del procesador de conmutación de onda A si, v.g., las instrucciones de funcionamiento del procesador 12 han indicado una localización de la memoria 30 (o registrador 59) como destino de datos y la señal EXEC como una señal de estado alto.
10. Los programas e información de instrucciones del tipo ilustrativo para conmutación de llamadas y otros procesos de señal de la red en el procesador de conmutación 12 se consideran a continuación. Solamente se expondrán las capacidades básicas ilustrativas del procesador 12 en un ambiente
15. de conmutación de la central. Resultará evidente a los expertos en la materia que la arquitectura de tipo de microprocesador del procesador 12 tiene mucha más capacidad. For ejemplo, se pueden conseguir conversiones entre formatos de codificación de compresión-expansión y codificación lineal en
20. el proceso de la señal de la red mediante elementos de programación (software) empleando algoritmos perfectamente conocidos; pero como consumen un tiempo sustancial de procesador, se han utilizado elementos fijos (hardware) para las conversiones de rutina o subprogramas.
25. Definiciones de instrucciones y anotaciones del procesador de conmutación de la red 12:
- mov instrucción de traslado
 - alu instrucción de unidad aritmético lógica
 - cmov instrucción de traslado condicional (si se establece
30. bandera)

- calu instrucción de alu condicional (si se establece bandera)
5. mov_se traslado instantáneo con datos de 13 bits, signo extendido hasta la posición del 16 bits y ruta indicada como fuente-) destino
- conv la instrucción de conversión traslada una palabra de 16 bits desde un registrador fuente a través del circuito lógico 61 en el registrador C con tablas del tipo de conversión elegible y de cambio de nivel de la memoria ROM
10. C compresión-expansión a lineal
L lineal a compresión-expansión
CRØ,1, compresión-expansión a compresión-expansión a través de una de cinco memorias ROM de cambio diferente de nivel con capacidad de ganancia o pérdida predeterminada
15. ABYZ registradores de la máquina
20. P registrador indicador de localizaciones calculadas
- zf nf establecimiento de bandera por la salida de alu de cero/no cero.
- (A ÷ B) funciones de alu o de corrimiento
25. <<1 corrimiento a la izquierda de una posición de bitio hacia MSB
>>1,2 corrimientos aritméticos a la derecha uno o dos posiciones de bitios hacia LSB
+ adicción
30. - substracción

CONJUNCION l6gica

DISYUNCION l6gica

DISYUNCION EXCLUSIVA l6gica

5. dato de 14 bitios de alcance ajustado por defecto o exceso y 3 bitios de control procedentes de B instruducidos; las constantes hexadecimales comienzan con una X: X00ff,Xc0c0.

10. Cada d6gito numerico siguiente a la X representa cuatro bitios de codificaci6n binaria del valor del d6gito. Cada d6gito alfab6tico, v.g., a a f representa un conjunto diferente de cuatro bitios de codificaci6n binaria que tiene valor 12₈ a 17₈, respectivamente. Por lo tanto, cuatro digitos hexadecimales definen una m6scara de 16 bitios o una constante de 16 bitios.

15. A continuaci6n se exponen algunos programas de muestra. En inter6s de una presentaci6n clara, se ha supuesto un sistema todo lineal de modo que se pudieran omitir las diversas instrucciones de CONV puesto que cada una comprende trasladar datos solamente al circuito l6gico de conversi6n 61 y seguir con una instrucci6n de traslado para pasar el resultado desde el registrador C 68 al circuito 38 u otro destino apropiado.

25. El subprograma siguiente se utiliza para iniciaci6n de llamadas de conferencia para limpiar cualquier dato indeseable de los lugares de la memoria 30 SCR que se utilizan para la llamada:

```
mov X0000-> B /localizaciones del contenido de la memoria 30 que contienen X0000 al registrador B 53
```

30. mov B-> confsuml /iniciaci6n de los registradores adicionales de llamadas de conferencia en la memoria de datos 30

```
mov B-> confsum2
      ⋮
      B-> confsumN
```

La conmutación de llamadas de rutina se realiza por el subprograma siguiente para un trayecto normal.

5.

```
mov boca 1-> B
mov B-> oido 2
mov boca 2-> B
mov B-> oido 1
```

10. Es evidente que se consigue una capacidad de despliegue de salida en abanico siguiendo la segunda instrucción anterior con otros para mover el contenido del mismo registrador B a oido 3, oido 4 oido n. No obstante, solamente uno de estos recipientes n puede responder a la vez. El cambio de nivel de señal de llamada se realiza reemplazando la primera instrucción de señal de oido por v.g.,

15.

```
CONV          GRI
mov           C-oido 2
```

20. Se efectúan cambios similares en cualquier subprograma para nivel de señal o formato de código. Los expertos en la materia comprenderán que esta capacidad para poner a la medida el nivel de la señal en las señales a cada abonado o de cada abonado ofrece la posibilidad de reducir cualquier tendencia hacia la inestabilidad en las conexiones de llamadas de conferencia.

25. En una llamada de conferencia, una señal de boca de abonado se añade a la señal de suma de conferencia por:

```
mov   confsum->A   registrador de adicción de conferencia
mov_se boca->B     /muestra de señal de boca de signo
                        extendido
```

30.

```
alu   (A - B)->Y
```

```

alu      (Z alcance)->Z/ corrección de exceso-defecto
mov      Z->oido      / suma de otras bocas

```

- También se pueden multiplexar señales de datos con el procesador de conmutación 12, v.g., señales de máquinas de oficina, que tienen lugar a regímenes de bitios diferentes procedentes de abonados diferentes sobre un canal de tiempo de salida común que pasa a un destino común de abonados. Por ejemplo, si hay tres abonados A, B y C que suministran datos en ritmos de 16 kilobitios/segundo, 16 kilobitios/segundo y 32 kilobitios/segundo, respectivamente, se pueden cumplir adecuadamente con sus necesidades asignando a los abonados A, B y C grupos de bitios de 2, 2 y 4 bitios de tamaño, respectivamente, en cada palabra de muestra de salida (muestra de odio) para el canal de tiempo común. Un programa ilustrativo para efectuarlo se expone a continuación. Conjuntamente con la carga de este programa en la memoria 28, el CCP 29' hace que se carguen en área SCR de la memoria 30 dos máscaras constantes X0003 y X000f, para combinarlas con palabras de muestras de entrada respectivas con el fin de limitar los bitios útiles a los requeridos para los abonados respectivos. A continuación se expone un programa de multiplexación ilustrativo:

- ```

25. mov X0003-> A
 mov boca A-> B
 ALU A & B-> Y /muestra de dato de la máscara A (boca)
 en el registrador Y

 mov X0003-> A
 mov boca B-> B
 ALU (A & B)-> Z /muestra de la máscara B en Z
 ALU (Z<<1)-> Z /corrimiento de la muestra B a la izquierda
 por el tamaño del bloque de bitios de A

30. ALU (Z<<1)-> Z

```

- 5.      mov    Z-> ruta      /desplazamiento de la muestra B a la memoria 30 en ruta al registrador A
- mov    ruta-> A
- ALU   (A+Y)-> Y    /pone muestra A y B en el registrador Y
- mov    X000f->
- mov    boca C-> B
- ALU   (A& B)-> Z
- ALU   (Z<<1)-> Z
- ALU   (Z<<1)-> Z
- ALU   (Z<<1)-> Z
- 10.      ALU   (Z<<1)-> Z
- mov    Z-> ruta
- mov    ruta-> A
- ALU   (A+Y)-> Y
- 15.      MOV    Y-> earcom   /traslado de palabra simple con todas las muestras A-C al lugar de comunicación de oído del canal de salida en la memoria 32.

Otro modo de realizar la multiplexación de señales plurales de abonados en un canal de salida común es asignar las señales de boca de los abonados respectivos al canal de salida en una secuencia cíclica de estos abonados. Para esta modalidad, cada uno de los abonados n debe repetir su señal durante n periodos de muestreo y esta producción de bits efectivos es  $\frac{8\text{KHz}}{n} \times 13$  bits por segundo. Las señales se reciben de otro modo de una forma normal y se traslada a un lugar predeterminado para el abonado en el área de SCR de la memoria 30. En dicha área se mantiene también un indicador que contiene inicialmente la localización en la memoria 30 asignada al primero de los n abonados una constante igual a la localización inicial, una constante igual a la unidad para aumentar el indicador y una constante igual al valor n para utilización en el proceso

de la operación de multiplexación.

- En un periodo conveniente en la secuencia de instrucciones procedente de la memoria de programa 28 después que el subprograma para cargar la última de las muestras del abonado n en la memoria de datos 30, se carga en la memoria 28 un subprograma que efectúa la salida de las muestras en la secuencia cíclica mencionada. En esencia este subprograma comprende lectura del indicador en el registrador indicador 58, utilizando el valor a través del multiplexador 78 para localizar la memoria 30 y leer el lugar del abonado llevandolo al registrador B 53 desde el cual la señal sale pasando al lugar de oído del canal de salida común. El indicador se incrementa entonces llevando su valor desde el área de SCR hasta el registrador B, llevando la constante de unidad al registrador A y sumando ambas en el ALU. La suma se devuelve al lugar de indicador en la memoria 30 y se mantiene también en el registrador indicador 58. Después el procesador da instrucciones para trasladar la constante n al registrador A 56 y se realiza una operación de resta de ALU con respecto al indicador no incrementado, todavía en el registrador B 53, utilizandose el resultado para establecer la salida del circuito lógico de banderas 77 si la diferencia es cero. Después, en operaciones de traslado condicional la constante del valor inicial del indicador se lleva al registrador B y se devuelve al lugar de indicador en la memoria 30. Por consiguiente, el valor inicial del indicador se utiliza para reintroducir el valor incrementado solamente si el valor de incremento previo ha sido n. Por lo tanto, en cada periodo de muestreo las muestras procedentes de abonados diferentes se recogen y se envía una diferente, en cada periodo de muestreo sucesivo, al canal de salida común.
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

Puede ocurrir que un abonado que tenga solamente una so-  
la línea desee transmitir simultáneamente una señal de frecuen-  
cia vocal a un destino y señales de datos relacionados o sin re-  
lacionar a un destino diferente. También se puede realizar esta  
5. operación con el procesador de conmutación 12 de la presente  
invención. Suponiendo, v.g., una señal de frecuencia vocal de  
13 bitios de codificación lineal y un sistema en el cual se re-  
quieren para servicios solamente dos de los tres bitios de con-  
trol según se ha expuesto anteriormente, existen entonces un bi-  
10. tío completo en cada palabra de 16 bitios multiplexada en los  
circuitos coaxiales de la central utilizado por el abonado. Di-  
cho bitio representa un ritmo de transmisión de datos de 8 KHz  
en el sistema ilustrativo en consideración. Es posible un ritmo  
mayor de 48 KHz si la frecuencia vocal es en un código de com-  
15. presión-expansión de 8 bitios. También es posible frecuentemen-  
te, al menos en sistemas de codificación lineal, dar uno o dos  
de los bitios menos expresivos, de un modo adicional, sacrifi-  
cando algo la calidad de la reproducción de la voz que el abona-  
do puede tolerar, para aumentar la capacidad de transmisión de  
20. datos. En el caso de compresión-expansión o en el caso lineal,  
la señal de frecuencia vocal se procesa de una forma normal, no  
teniendo en cuenta los bitios de datos que no son necesarios pa-  
ra la frecuencia vocal en su destino único, v.g., la memoria  
tampón de salida 13 en la figura 1. La información de datos se  
25. extrae entonces por enmascaramiento apropiado y se procesa del  
modo normal a su destino único en la memoria de salida 13. Si  
está en curso una llamada de frecuencia vocal cuando es neces-  
ario establecer una llamada de datos que comprenda la misma lí-  
nea del abonado, se utiliza uno de los bitios de control mencio-  
30. nados para alertar a la central respecto a la necesidad de reco

ger bitios de datos en el área de servicio de la memoria 30 en periodos de muestreo sucesivos para obtener información del destino de llamadas. Las técnicas expuestas para el programa de multiplexación se utilizan para cargar dichos bitios en partes de bitios diferentes de una palabra de área de servicio asignada.

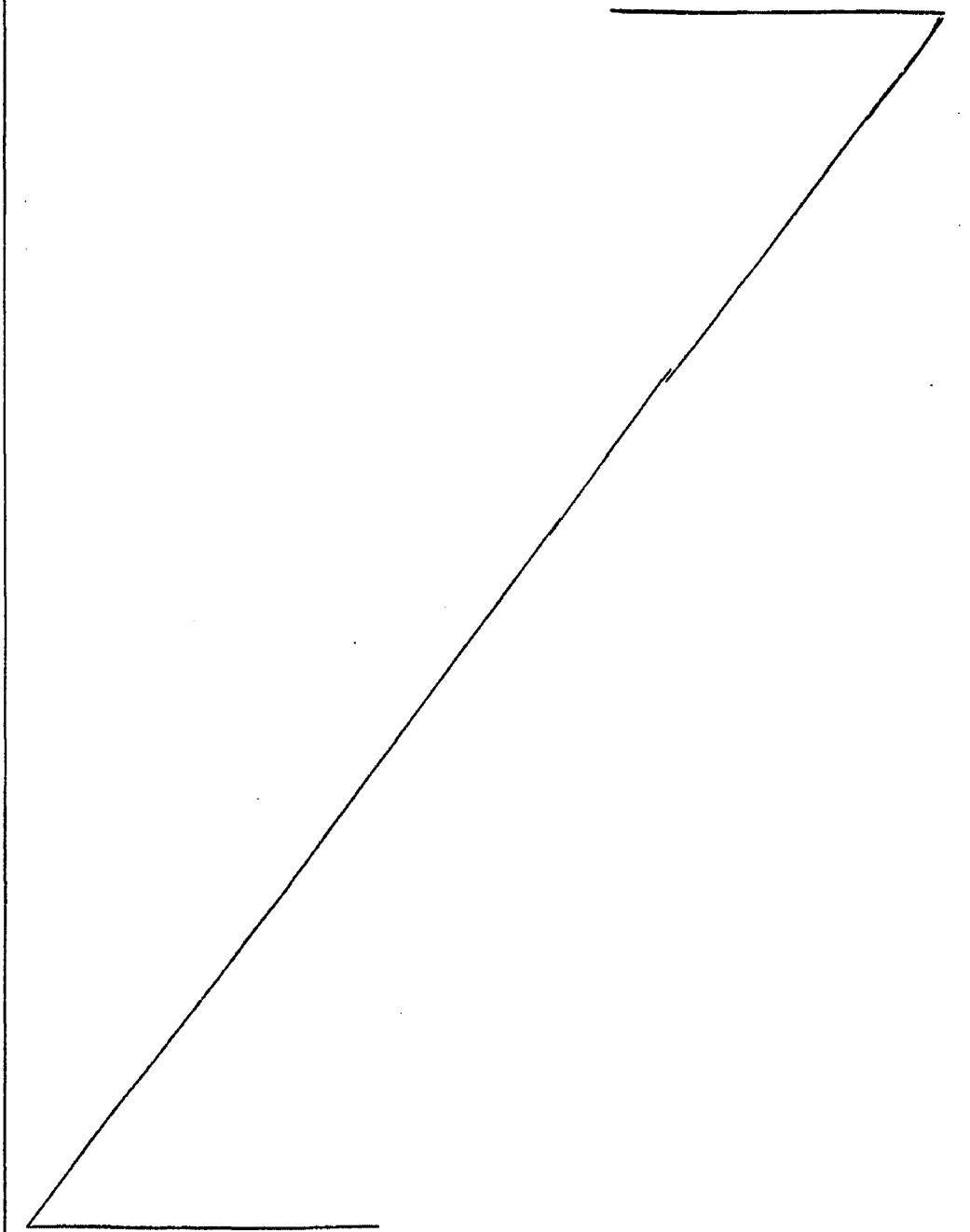
- 5.
- La figura 7 ilustra una modalidad para interconectar módulos de conmutación plurales del tipo ilustrado en la figura 1, para cooperar con un solo control común 29 con el fin de aumentar las capacidades de manejo de tránsito de una central. Cada módulo, solamente el módulo número 0 y el módulo número N (indicado de otro modo por la referencia 87 y 88) se ilustran realmente en la figura 7, comprende un procesador de conmutación y memorias tampón correspondientes, memoria de datos, memoria de programa y procesador de servicio. Los dispositivos de almacenamiento de memoria tampón del tipo ilustrado en la figura 1, capacidad de localización del procesador de prolongación 12, permite que cada procesador de conmutación de módulos pase a una capacidad plena. Un procesador de control común 29' permite que aproximadamente cuatro de dichos módulos funcionen a través de sus medios de vías típicas. Para permitir que cualquier abonado pueda llegar a cualquier otro abonado, un circuito coaxial de salida de cada módulo se acopla a un circuito coaxial de entrada del otro módulo según indican los circuitos 89 y 90 en la figura 7.
- 10.
- 15.
- 20.
- 25.

Aunque la presente invención se ha descrito con relación a una modalidad particular, se comprenderá que resultarán evidentes a los expertos en la materia otras modalidades, modificaciones y aplicaciones, que queden comprendidas dentro del espíritu y alcance de la invención.

30.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

5.



REIVINDICACIONES

5. 1.- Perfeccionamientos en conmutadores para interconectar señales de llamadas digitales respectivas de trayectos de llamadas de comunicaciones diferentes, entre accesos de conmutación elegible de una forma aleatoria correspondientes a los trayectos, caracterizados porque cada conmutador comprende: medios para almacenar las señales de accesos de entrada del conmutador en una primera serie predeterminada de lugares de almacenamiento, respectivamente: medios para procesar de una forma variable las señales almacenadas de acuerdo con subprogramas predeterminados relacionados al menos para efectuar la interconexión elegible de un modo aleatorio de las señales y subprogramas adicionales elegibles de una forma discrecional relacionados con características predeterminadas de una llamada de comunicaciones de las que dichas señales formen parte, para producir señales de llamada procesadas; y medios para almacenar las señales procesadas en una segunda serie predeterminada de lugares de almacenamiento correspondientes a accesos de salida, respectivamente, del conmutador.
- 10.
- 15.
- 20.

25. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el conmutador se emplea en un sistema de comunicaciones para señales digitales codificadas, comprende: un primer dispositivo para almacenar señales digitales codificadas en una primera serie de lugares de almacenamiento, un segundo dispositivo para almacenar señales digitales codificadas en una segunda serie de lugares de almacenamiento; medios para procesar de una forma variable señales digitales codificadas procedentes del primer dispositivo de almacenamiento para acoplar por lo menos dichas señales a lugares elegibles de una
- 30.

forma aleatoria del segundo dispositivo de almacenamiento para efectuar por lo tanto conexiones de señales de llamada a través del conmutador; y medios de proceso que comprenden por lo menos un registrador de almacenamiento para mantener temporalmente cualquier señal digital dada en el procesador durante el tránsito a través del procesador.

5.

3.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende además medios para ejecutar de una forma elegible el proceso programable adicional de señales acopladas a través del dispositivo de proceso.

10.

4.- Perfeccionamientos según la reivindicación 3, caracterizados porque cada conmutador comprende, además; medios para suministrar un trén ciclico de instrucciones de bitios multiples para controlar el dispositivo de proceso; y medios que responden a un campo de bitios predeterminado en cada una de las instrucciones para activar o desactivar de una forma condicional la ejecución de dicha instrucción por el dispositivo de proceso en función al estado de una señal predeterminada en el dispositivo de proceso.

15.

20.

5.- Perfeccionamientos según la reivindicación 3, caracterizados porque el dispositivo de ejecución elegible comprende medios para cambiar el nivel de la señal de señales digitales codificadas acopladas por el dispositivo de proceso entre el primer y el segundo dispositivos de almacenamiento.

25.

6.- Perfeccionamientos según la reivindicación 3, caracterizados porque el dispositivo de ejecución elegible comprende medios para cambiar el tipo de codificación de las señales digitales codificadas acopladas por el dispositivo de proceso entre el primer y el segundo dispositivos de almacenamiento.

30.

to.

5. 7.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende medios para multiplexar una pluralidad de las señales digitales en diferentes lugares del primer dispositivo de almacenamiento, en uno de los lugares del segundo dispositivo de almacenamiento.

10. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque cada uno de los lugares del primer y segundo dispositivos de almacenamiento comprende un número de posiciones de almacenamiento de bitios; porque cada una de las pluralidad de señales digitales exige solamente una parte de los bitios de un lugar para la información importante de dicha señal y la suma de las partes de los bitios es igual o menor que el número predeterminado; y porque el dispositivo de proceso comprende un registrador para recoger las partes de bitios importantes de la pluralidad de señales digitales del primer dispositivo de almacenamiento en posiciones de partes de bitios diferentes del registrador colector; y medios para colocar el contenido del registrador colector en el citado lugar del segundo dispositivo de almacenamiento.

15. 20.

25. 9.- Perfeccionamientos según la reivindicación 7, caracterizados porque se habilitan medios para cargar un conjunto diferente de señales digitales en los lugares del primer dispositivo de almacenamiento en tiempos de muestreo de señales sucesivos, y porque el dispositivo multiplexador comprende medios para acoplar las señal digital en diferentes lugares del primer dispositivo de almacenamiento en uno de los lugares predeterminados del segundo dispositivo de almacenamiento en una secuencia cíclica de los lugares del primer dispositivo de almacenamiento en tiempos de muestreos sucesivos.

30.

5. 10.- Perfeccionamientos según la reivindicación 2, caracterizados porque cada uno de los lugares del primer y segundo dispositivos de almacenamiento comprende un número predeterminado de posiciones de almacenamiento de bitios de señal; y porque el dispositivo de proceso comprende medios para acoplar partes diferentes de posiciones de bitios de una señal digital almacenada en un lugar del primer dispositivo de almacenamiento a diferentes lugares, respectivamente, del segundo dispositivo de almacenamiento.
10. 11.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende: medios para acumular aritméticamente en cada periodo de muestreo una pluralidad de las señales digitales en lugares diferentes del primer dispositivo de almacenamiento para formar una suma de llamada de conferencia; y medios para restar por separado cada una de las señales de la pluralidad de suma y trasladar la señal digital de diferencia separada resultante a un lugar del segundo dispositivo de almacenamiento correspondiente al lugar del primer dispositivo de almacenamiento de la señal digital restada.
15. 12.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende: un acceso de señal de entrada y un acceso de señal de salida; trayectos múltiples de señal que se extienden entre los accesos de entrada y de salida; y porque en uno de los trayectos está incluido el registrador de almacenamiento y cada uno de los trayectos múltiples está incluido por lo menos un registrador de almacenamiento temporal.
20. 13.- Perfeccionamientos según la reivindicación 12, caracterizados porque uno de los trayectos de señal múltiples del procesador comprende, además, un segundo registrador de almace-
25. 30.

namiento temporal y una unidad lógica aritmética conectada en  
también entre un registrador y el segundo registrador del tra-  
yecto.

5. 14.- Perfeccionamientos según la reivindicación 13, ca-  
racterizados porque el dispositivo de proceso comprende: un re-  
gistrador de almacenamiento indicador, y medios para acoplar  
de una forma selectiva como entrada al registrador indicador  
el acceso de entrada del procesador o una salida de la unidad  
aritméticologica; y porque el conmutador comprende: una memoria  
10. de datos localizable de una forma selectiva por una pluralidad  
de fuentes para intercambiar datos con el dispositivo de pro-  
ceso; y medios para acoplar una salida del registrador indica-  
dor para proporcionar una de las fuentes plurales.

15. 15.- Perfeccionamientos según la reivindicación 2, ca-  
racterizados porque el dispositivo de proceso comprende: medios  
para almacenar una secuencia de instrucción del dispositivo de  
proceso separada por cada conexión de llamada efectuada a través  
del conmutador; y medios, que responden a la secuencia de ins-  
trucciones, para controlar el dispositivo de proceso y efectuar  
20. las conexiones de llamadas.

25. 16.- Perfeccionamientos según la reivindicación 2, ca-  
racterizados porque el dispositivo de proceso comprende un pro-  
cesador de señal programable; medios para almacenar una secuen-  
cia de instrucciones del procesador separadas por cada conexión  
de llamada efectuada a través del conmutador; medios, que res-  
ponden a la secuencias de instrucciones, para controlar al pro-  
cesador y efectuar las conexiones de llamadas; medios para car-  
gar un conjunto diferente de señales digiteables en los lugares  
del primer dispositivo de almacenamiento en tiempos de muestreo  
30. de señales sucesivos; y porque el dispositivo de almacenamiento

de secuencia de instrucciones comprende medios para tomar lectura de todas las secuencias pasandolas al dispositivo de control del procesador una vez en cada uno de los tiempos de muestreo.

5. 17.- Perfeccionamientos según la reivindicación 2, caracterizados porque cada uno del primer y segundo dispositivos de almacenamiento comprende un par diferente de memorias: porque hay previstos medios para introducir un conjunto diferente de señales digitales en memorias alternas del par de memorias del primer dispositivo de almacenamiento en tiempos de muestreo de la señal sucesivos y para extraer un conjunto diferente de señales digitales de memorias alternas del par de memorias del segundo dispositivo de almacenamiento en los tiempos de muestreo sucesivos de la señal; y porque hay previstos medios en cada uno de los tiempos de muestreo para acoplar el dispositivo de proceso a una de las memorias en cada uno de los pares que se encuentra en dicho tiempo de muestreo en que no se produce escritura o introducción o lectura o extracción por el dispositivo de escritura y lectura.
10. 15.

20. 18.- Perfeccionamientos según la reivindicación 2, caracterizados porque el primer y segundo dispositivos de almacenamiento comprenden: una primera y una segunda partes de un dispositivo de almacenamiento común, teniendo cada una de las partes un sector de tiempo de muestra impar y un sector de tiempo de muestra par; medios para introducir un conjunto diferente de señales digitales en el sector par del primer trayecto en una primera parte de cada tiempo de muestreo y para tomar lectura de un conjunto diferente de señales digitales desde el sector par de la segunda parte en una segunda parte de cada tiempo de muestreo par, realizando el dispositivo de escritura y lectura de un modo similar la introducción y extracción de
25. 30.

sectores impares de la primera y segunda partes en cada tiempo de muestreo impar; y medios para acoplar el dispositivo de proceso al sector impar de la primera parte y al sector impar de la segunda parte en una tercera parte de cada tiempo de muestreo par, ejerciendo el dispositivo de acoplamiento de un modo similar el acoplamiento del dispositivo de proceso a los sectores pares de la segunda parte en cada tiempo de muestreo impar.

19.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende un procesador de señales programable y medios para suministrar señales para controlar el procesador; y porque el primer y segundo dispositivos de almacenamiento comprenden medios para localizar los lugares de almacenamiento desde las señales elegibles del dispositivo de suministro de señales de control para comunicar las señales digitales codificadas entre el dispositivo de almacenamiento y el procesador.

20.- Perfeccionamientos según la reivindicación 9, caracterizados porque el dispositivo de proceso comprende medios para suministrar una secuencia periódicamente cíclica de señales de localización; y porque el dispositivo de localización comprende medios para localizar periódicamente de una forma alterna el primer y segundo dispositivos de almacenamiento desde el dispositivo de suministro de la señal de control y el dispositivo que suministra la secuencia de señales periódicas de localización.

21.- Perfeccionamientos según la reivindicación 20, caracterizados porque el dispositivo de localización comprende además medios, que responden a un estado predeterminado de las señales de control del procesador para sustituir, por el dispositivo que suministra las señales de control, para localizar

los lugares de almacenamiento, un conjunto de señales codificadas digitales de un registrador del dispositivo de proceso.

- 22.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo de proceso comprende: una memoria de datos; un procesador de señales programables que tiene un acceso de entrada y un acceso de salida; un primer dispositivo para acoplar de una forma alternativamente cíclica el acceso de entrada para recibir señales de datos del primer dispositivo de almacenamiento y la memoria de datos; y un segundo dispositivo para acoplar de una forma cíclica el acceso de salida y suministrar datos al segundo dispositivo de almacenamiento.
5. 10.

- 23.- Perfeccionamientos según la reivindicación 22, caracterizados porque se habilitan medios para que funcionen en ambos dispositivos de acoplamiento cíclicos de modo que los acoplamientos de los accesos de entrada y de salida al primer y segundo dispositivos de almacenamiento se superpongan en el tiempo al menos parcialmente.
- 15.

- 24.- Perfeccionamientos según la reivindicación 22, caracterizados porque se habilitan medios para recibir señales digitales codificadas; porque el segundo dispositivo de acoplamiento cíclico comprende medios para acoplar de una forma alterna el acceso de salida al segundo dispositivo de almacenamiento y las señales del dispositivo receptor al primer dispositivo de almacenamiento; y porque se habilitan medios para que funcione el dispositivo de acoplamiento alterno mencionado en último lugar y el primer dispositivo de acoplamiento cíclico de modo que el acoplamiento del dispositivo receptor al primer dispositivo de almacenamiento y de la memoria de datos al acceso de entrada del procesador se superpongan en el tiempo al menos parcialmente.
20. 25. 30.

25.- Perfeccionamientos según la reivindicación 2, caracterizados porque se prevee medios para recibir señales digitales codificadas; medios para presentar señales digitales codificadas conmutadas para transmisión; y medios para acoplar alternativamente de una forma cíclica: (a) el dispositivo receptor a la entrada del primer dispositivo de almacenamiento o la salida del segundo dispositivo de almacenamiento al dispositivo presentador, y (b) el dispositivo de proceso al dispositivo receptor y al dispositivo presentador.

10. 26.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados comprende una pluralidad de módulos de conmutación que incluyen cada uno un primer dispositivo para almacenar señales digitales codificadas en una primera serie de lugares de almacenamiento; un segundo dispositivo para almacenar señales digitales codificadas en una segunda serie de lugares de almacenamiento; y medios para procesar de una forma variable señales digitales codificadas del primer dispositivo de almacenamiento para acoplar por lo menos dichas señales a lugares elegibles de una forma aleatoria del segundo dispositivo de almacenamiento con el fin de efectuar conexiones de señales de llamadas a través del conmutador; y porque el dispositivo de proceso comprende por lo menos un registrador de almacenamiento para retener de una forma temporal cualquier señal digital dada en el procesador durante el tránsito a través del procesador; y medios para interconectar el segundo dispositivo de almacenamiento de cada uno de los módulos con el fin de ilustrar señales al, primer dispositivo de almacenamiento de módulos elegibles de todos los demás módulos.

25. 27.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque para acoplar cualquiera de una

30.

5. pluralidad de muestras de señales de llamadas recibidas desde fuentes diferentes a cualquiera de una pluralidad de destinos de señales de llamadas el conmutador comprende: un primer dispositivo de almacenamiento de señales que tiene un lugar de almacenamiento de muestreo para cada una de las fuentes un segundo dispositivo de almacenamiento de señal que tiene un lugar de almacenamiento de señales por cada uno de los destinos; y medios para elegir muestras de señal del primer dispositivo de almacenamiento en cualquier orden, cualquiera que sea el destino de dicha muestra, y acoplar la muestra en el segundo dispositivo de almacenamiento en un lugar determinado por el destino de la muestra de señal.

10. 28.- Perfeccionamientos segun la reivindicación 27, caracterizados porque cada una de las muestras es por lo menos un bitio de una señal digital codificada.

15. 29.- Perfeccionamientos segun la reivindicación 27, caracterizados porque el dispositivo selector y de acoplamiento comprende medios para procesar de una forma variable las muestras de señal, comprendiendo el proceso por lo menos el acoplamiento de cada muestra de señal en el primer dispositivo de almacenamiento a cualquier lugar predeterminado en el segundo dispositivo de almacenamiento.

20. 30.- Perfeccionamientos en conmutadores para interconectar señales de llamadas digitales de trayectos de llamadas de comunicaciones diferentes, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

25.

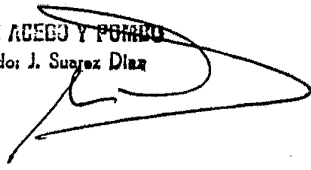
Esta Memoria consta de sesenta y una hojas escritas a máquina por una sola cara.

Madrid, 1 OCT. 1978

WESTER ELECTRIC COMPANY, INCORPORATED.

J. M. GOMEZ ACEBO Y POMBO

p. p. Firmado: J. Suarez Diaz



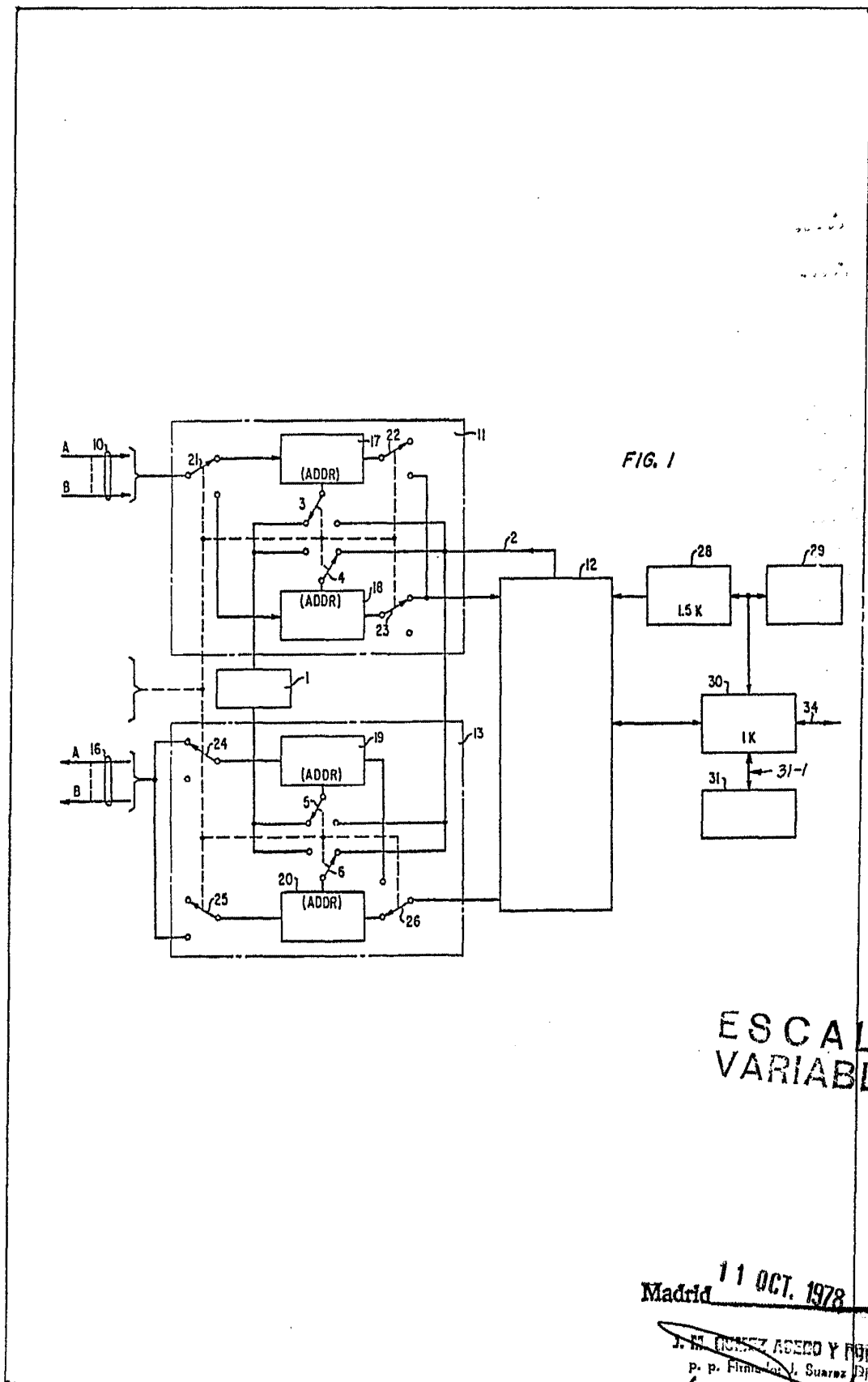


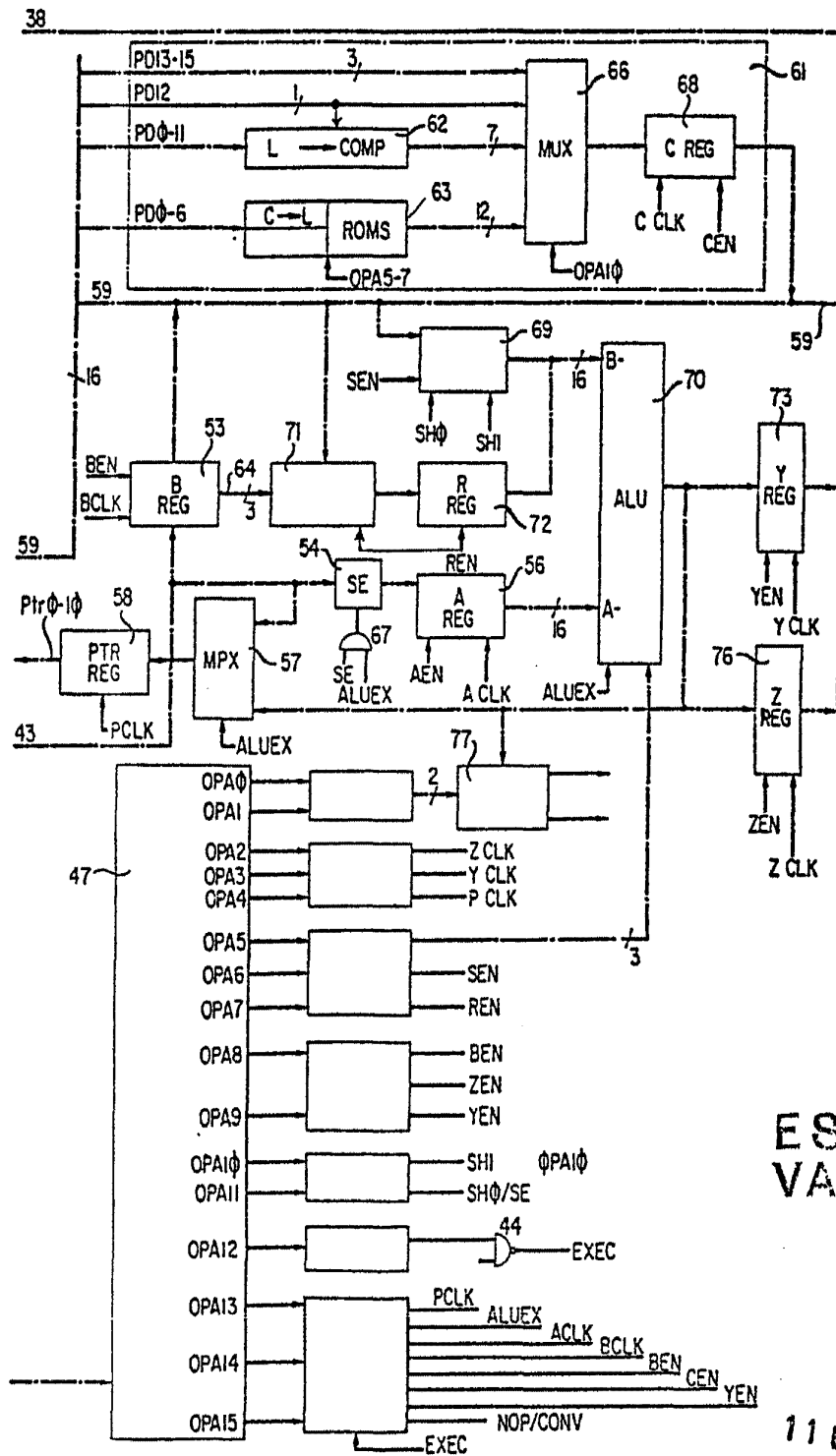
FIG. 1

ESCALA  
VARIABLE

Madrid 11 OCT. 1978  
J. M. GONZALEZ AGUDO Y COMPAÑIA  
p. p. Financ. L. Suarez Diaz  
*[Signature]*



FIG. 3



ESCALA VARIABLE

11 OCT. 1978

Madrid

J. M. GOMEZ ARECO Y CA  
Pape. Firmador 27, GOMEZ ARECO

FIG. 7

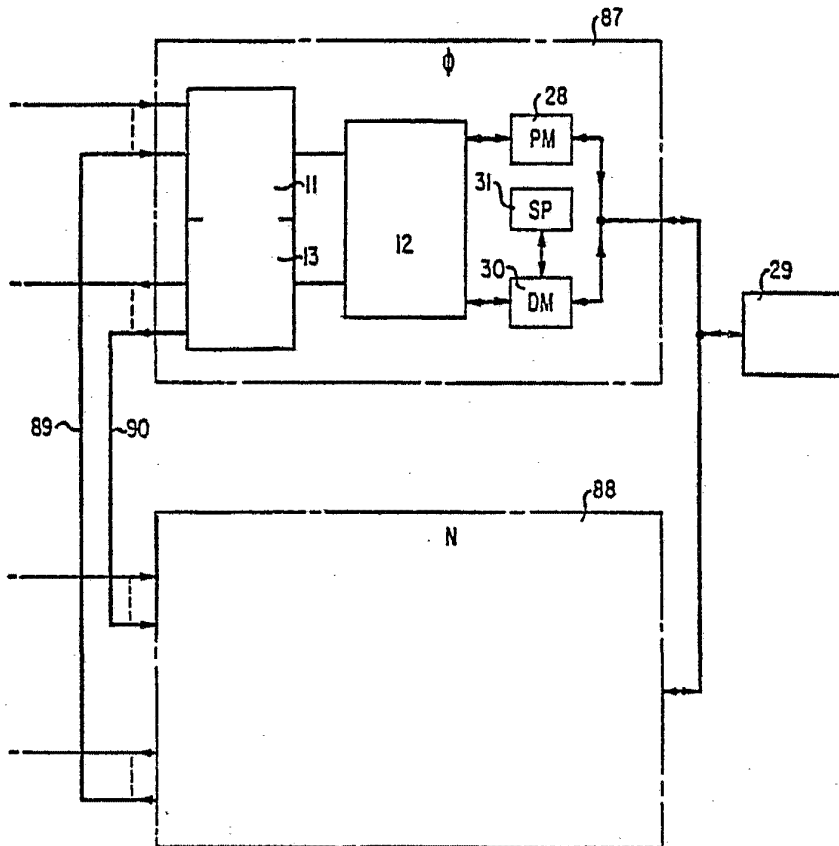
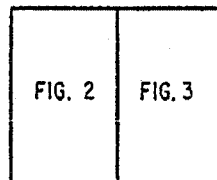


FIG. 4



ESCALA  
VARIABLE

11 OCT. 1973

Madrid

J. M. GÓMEZ AGUIRRE Y PAREDO  
P. P. Firmador J. Suarez Diaz

FIG. 5

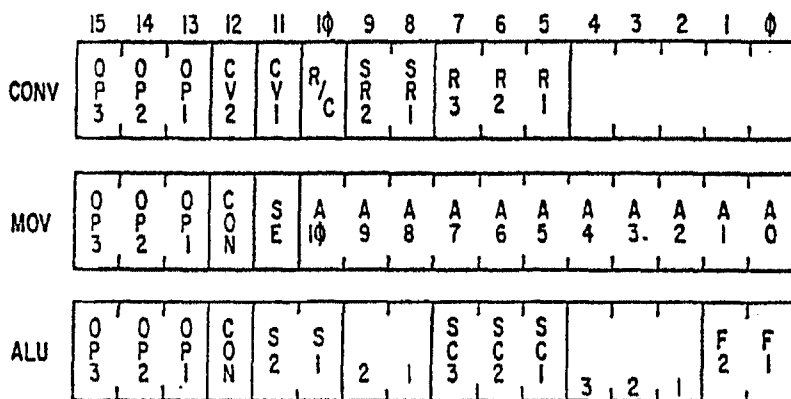
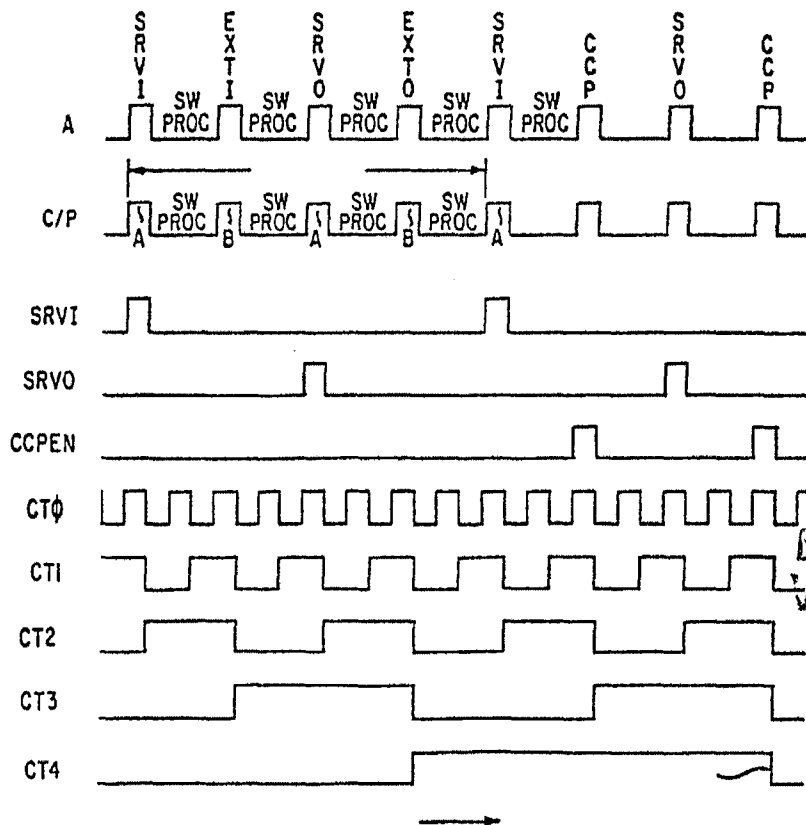


FIG. 6



ESCALA  
VARIABLE

11 OCT. 1978

Madrid

J. M. GONZALEZ AGUIAR  
D. P. Firmador