

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

19 ES	11	NUMERO	10 A1
	21	473021	
	22	FECHA DE PRESENTACION	

PATENTE DE INVENCION

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.
Pl. 1-11-79

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
829.669 G. 237	1.Sept.77	Estados Unidos
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04M	
64 TITULO DE LA INVENCION		
"UN SISTEMA DE TELECOMUNICACIONES POR DIVISIO DE TIEMPO"		
71 SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5.		
72 INVENTOR (ES)		
Gordon Wayne Couturier Nicola Ljotic Jovic Simeon Aymeloglu		William George Bartholemey Melvin Winn Suhas Ghosh
73 TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
74 REPRESENTANTE		
D. Eugenio Barroso Espinosa de los Monteros		

POOR
QUALITY

El presente invento se refiere a un sistema de Telecomunicaciones por división de tiempo, que puede realizarse en muchas configuraciones. La configuración más sencilla y más pequeña es la formada por un solo módulo o unidad controlada por un solo procesador utilizando conmutación por división de tiempo. Dentro de un módulo, un procesador y su memoria asociada proporcionan memoria de programa y controlan el funcionamiento de un excitador explorador automático, interconectando el excitador explorador el procesador y los circuitos terminales del sistema. Además, el excitador explorador automático tiene capacidad para almacenar temporalmente la información durante el proceso de la llamada a través de una malla de conmutación por división de tiempo. Para configurar sistemas más grandes, se combinan varias unidades modulares, combinándose dichas unidades con elementos de control común al sistema tales como un procesador de control, que incluye una memoria y un interface procesador a módulo y un interface módulo a procesador. Los elementos comunes actúan para controlar la aplicación de la información entre módulos. De esta manera, una familia de sistemas puede proporcionar sistemas de cualquier tamaño deseado, desde pequeños (50 líneas) a muchos miles de líneas.

Ya son bien conocidos los sistemas telefónicos controlados por procesador. En estos sistemas, existen generalmente al menos dos procesadores centrales. En algunos de estos sistemas tales como el de la Patente U.S. 3.557.315 de Kobus, los dos procesadores centrales comparten la carga de llamadas sobre una base continua. En otros sistemas, tales como el sistema ESS-1 de Bell mostrado en la Patente U.S. 3,570.008 de Downing, los dos procesadores centrales funcionan

en disposición sincronizada. El presente sistema cae en la última categoría, esto es, activo-reserva.

También son conocidos en esta técnica los sistemas de telecomunicaciones que utilizan la conmutación por división de tiempo. Por ejemplo ver la Patente U.S. 3.937.892 de A. Block. Dentro de tales sistemas, la subdivisión de aberturas de tiempo se muestra en la Patente U.S. 3.991.276 de A. Regnier y la Patente U.S. 3.941.936 del 2 de Marzo de 1976 por Graham describe otros sistemas por división de tiempo que tiene algunas similitudes con el presente sistema.

Debido al avance en los microprocesadores, se ha desarrollado para sistemas computadores la tecnología del procesador distribuido. Con procesadores distribuidos, pueden realizarse muchas de las complejas y costosas funciones de control sobre una base más localizada disminuyendo el coste del sistema.

El presente invento está dirigido a un sistema de telecomunicaciones controlado por procesador que puede adquirir una pluralidad de configuraciones. En su forma más sencilla, se equipa un módulo o agrupamiento con su propio procesador. La comunicación telefónica intermodular está controlada por un procesador del sistema y la transferencia de información.

Cada uno de los procesadores, tanto si es un procesador de módulo como un procesador común, comprende uno o un par de microprocesadores con memoria add-on, y cuando los microprocesadores están en pares funcionan en un modo activo-reserva. Cada microprocesador puede ser un dispositivo de circuito integrado en gran escala producido comercialmente

como ya es conocido.

Dentro de cada módulo, se realizan por un excitador explorador automático muchas de las funciones de control tales como el control de tiempo y de ciclo. El excitador explorador automático interconecta los circuitos terminales (líneas, enlaces, etc) para pasar las órdenes de control y datos desde el procesador a los circuitos terminales y viceversa.

Dentro del excitador explorador automático existen localizaciones de memoria temporales para cada circuito direccionable, tales como los circuitos terminales, correspondientes a cada abertura de tiempo de transmisión (Tx) y cada abertura de tiempo de recepción (Rx). Además, existen memorias como buffers para las órdenes entre componentes del sistema, y para el estado de varios componentes del sistema.

La memoria y el lógico están distribuidos a lo largo del sistema realizando el procesador la recuperación y control de la memoria de programa, el control de interrupción y la supervisión y mantenimiento del sistema, y proporcionando el excitador y explorador automático la memoria buffer y ciertas funciones de registro transportando las órdenes del procesador e informar al procesador del estado de las operaciones de excitación y exploración.

Por lo tanto, un objetivo del presente invento es producir un sistema de telecomunicaciones múltiplex por división de tiempo mejorado que sea de construcción modular para hacer posible la utilización del sistema en centrales de tamaño medio y oficinas centrales.

Otr objetivo del presente invento es proporcio-

nar un sistema de telecomunicaciones que utiliza el sistema múltiplex por división de tiempo empleando uno o más microprocesadores para proporcionar funciones de control según demande el tamaño del sistema.

5 Todavía otro objetivo del presente invento es proporcionar un sistema de telecomunicaciones utilizando el muestreo múltiplex por división de tiempo a cada cadencia considerablemente más rápida que la necesaria para proporcionar un apropiado muestreo de la conversación, haciendo posi-
10 ble la cadencia de muestreo elevada la utilización de filtros digitales baratos.

 Otro objetivo del presente invento es proporcionar un sistema de conmutación por división de tiempo en
 dónde una abertura de tiempo se asigna para cada parte de
15 la conversación, estando las aberturas de tiempo inter-rela-
 cionadas a través de los intercambios de abertura de tiempo para cada parte de la llamada.

 Otro objetivo del presente invento es proporcionar un sistema para conmutar una ruta por división de
20 tiempo utilizando una red de control incluyendo una ruta de control, utilizando la transferencia de información en ambas rutas las mismas aberturas de tiempo.

 Todavía otro objetivo del presente invento es proporcionar un nuevo y mejorado sistema de conmutación
25 tiempo-espacio-tiempo.

 Estos y otros objetivos, características y ventajas del invento aparecerán en la siguiente especificación, junto con los dibujos que se acompañan en los cuales:

 La Fig. 1 es un diagrama bloque simplificado;
30 de un módulo del sistema utilizando el presente invento;

La Fig. 2 es un diagrama bloque simplificado de un sistema de varios módulos utilizando el presente invento;

5 La Fig. 3 es un diagrama bloque de un circuito de línea que comprende uno de los circuitos terminales de las Figs. 1 y 2;

La Fig. 4 es un diagrama bloque de un circuito de enlace que comprende uno de los circuitos terminales de las Figs. 1 y 2;

10 La Fig. 5 es un diagrama bloque del excitador explorador automático de las Figs. 1 y 2;

La Fig. 6 es un diagrama bloque de un complejo de procesador de las Figs. 1 y 2;

15 La Fig. 7 es un diagrama bloque del circuito intercambiador de aberturas de tiempo de la Fig. 2;

La Fig. 8 es un diagrama bloque del MUX del circuito de interface de la Fig. 7;

La Fig. 9 es un diagrama bloque de interface de sub-módulo como se muestra en la Fig. 2,

20 La Fig. 10 es un diagrama bloque de un sistema dúplex de procesador e interface de sub-módulo;

La Fig. 11 es un diagrama bloque que muestra el interface de sub-módulo de la Fig. 9 con mayor detalle;

25 La Fig. 12 es un diagrama bloque del control de memoria de la Fig. 6

La Fig. 13 es una carta de tiempo que muestra la interacción de aberturas de tiempo para el sistema, y

30 La Fig. 14 es un diagrama bloque simplificado de las vías de conversación de un sistema de módulo múltiple que utiliza la conmutación espacio-tiempo.

En la Fig. 1 se muestra un sistema de telecomunicaciones de pequeña capacidad, con una capacidad de hasta 512 circuitos terminales. Al sistema pequeño lo denominaremos aquí un módulo, estando definido un módulo como una combinación de circuitos esencialmente capaces de funcionar en modo de soporte solo, como una central, o de poder unirse a otros módulos para multiplicar el número de circuitos terminales que pueden ser controlados dentro de una central o estación.

La Fig. 1 muestra un módulo que incluye varios circuitos terminales 12. El término "circuitos terminales" se utiliza así como un término genérico que incluye circuitos de línea, circuitos de enlace, circuitos de tono, circuitos de operadora, circuitos de conferencia, receptores de tono, emisores de tono y similares. Los circuitos terminales están agrupados en grupos de seis circuitos estando conectados cuatro o cinco de tales grupos a un circuito intercambiador de abertura de tiempo 14 y estando adaptado el sistema a bien el MIC (modulación por impulsos codificados) 255 de 24 canales o al MIC A bajo de 30 canales. Cada intercambiador de abertura de tiempo 14 (de los que se muestran dos en la Fig. 1) proporciona asignación de abertura de tiempo y memoria para las vías de conversación, en el bus de conversación multiplexado en tiempo 18, formando los circuitos intercambiadores de abertura de tiempo en combinación la malla de conmutación por división de tiempo para el intercambio de datos en forma digital entre los circuitos terminales.

Para controlar el proceso de la llamada, supervisión, mantenimiento, pruebas y similares, existe un complejo de procesador 20 constituido por un microprocesador

22 y la memoria asociada 24. El microprocesador 22 puede ser también cualquier procesador disponible comercialmente de diez y seis bits, tal como el microprocesador TMS9900 fabricado por Texas Instruments, Inc. El complejo de procesador puede
5 incluir un microprocesador duplicado utilizado en configuración activo-reserva (no mostrado en las Figs. 1 y 2).

El Bus por División de Tiempo 18 es una bus DC de 8 bits paralelos que transporta 96 aberturas de tiempo bidireccionales durante cada cuadro. La cadencia de muestreo
10 de conversación en este punto es de 8 Kw/s y es compatible con el formato codificado en MIC del Sistema D3 de Bell.

La adaptación entre el complejo de procesador 20 y los circuitos terminales 12 es una unidad excitadora exploradora automática 30 que detecta la condición de un
15 circuito terminal, aplica una indicación de esta condición al complejo de procesador 20 y mantiene una memoria de esta condición para referencia del procesador.

Puede equiparse un terminal de interface hombre-máquina 32 que puede ser un teleimpresor, un CRT o
20 dispositivo de entrada salida similar o combinación de dispositivos para comunicar con el sistema de una manera convencional.

Así, el sistema de la Fig. 1 comprende un sistema de telecomunicaciones controlado por división de tiempo y programa almacenado para dar servicio a un número re-
25 lativamente pequeño de circuitos terminales.

Cuando se excede la capacidad de circuitos terminales del sistema de la Fig. 1, pueden unirse diferentes módulos para constituir el sistema más grande de la Fig. 2.
30 En la Fig. 2 se muestra un sistema de dos módulos, incluyendo

cada módulo un complejo de procesador 20, un excitador explorador automático 30, los circuitos intercambiadores de apertura de tiempo 14 y los circuitos terminales 12, comunicándose a través del bus de conversación por división de tiempo
5 21.

Un complejo de procesador común 36 (que incluye la memoria 38) controla la interacción de los procesadores de módulo por un interface de sub-módulo 40. El complejo de procesador 36 es muy similar a un complejo de procesador de
10 módulo 20 en sus componentes incluyendo un procesador tal como un microprocesador TMS 9900.

A fin de aumentar en capacidad desde un sistema de módulo único a uno de varios módulos, existe un procesador común con elementos para comunicar entre procesadores,
15 denominado aquí un interface de sub-módulo. Para sistemas más grandes, pueden añadirse módulos adicionales con cambios de programa en el procesador central, en su memoria y por adiciones al interface de sub-módulo para acomodar los módulos añadidos.

La Fig. 14 muestra un sistema con mayor capacidad que utiliza un conmutador por división de espacio 41 en lugar del bus del sistema, y que utiliza un controlador 43 para el conmutador por división de espacio, como explicaremos después.

También se muestran en la Fig. 2 circuitos periféricos tales como una unidad de cinta magnética 42 y un dispositivo de recarga 44 cuya función en sistemas de telecomunicaciones son bien conocidas para sistemas que almacenan registros y base de datos y para recargar estos en
30 el sistema cuando sea necesario.

En esta configuración, la unidad de cinta magnética 42, el dispositivo de recarga 44, y el interface hombre-máquina 32 están conectados al interface de submódulo 40, permitiendo así que cualquier complejo de procesador pueda comunicarse directamente con cualquier otro complejo de procesador sin pasar a través de un proceso o complejo intermedio.

El método de conmutación en el sistema es tal que cuando tiene que hacerse una conexión entre dos Circuitos Terminales localizados en el mismo Submódulo, se asigna una abertura de tiempo en la ruta por división de tiempo local. Durante cada período en que la abertura de tiempo aparece en el bus, los dos Circuitos Terminales están conectados al bus local y se establece la comunicación. En el caso en que los dos Circuitos Terminales estén localizados en dos módulos diferentes, la conexión se establece bajo el control del Procesador Central. Las asignaciones de aberturas de tiempo del submódulo están bajo el control del Procesador del Submódulo. El Procesador de Submódulo trabaja en el bus del Interface de Submódulo (SMI) y el Complejo de Procesador del Control Central. A su vez, el Procesador de Control Central asigna la vía en el Conmutador de Espacio y ordena la asignación de abertura de tiempo en el segundo módulo comunicándolo a través del SMI.

Para conseguir un diseño simplificado del sistema por división de tiempo que sea de tamaño compacto y puede fabricarse económicamente, los convertidores (analógico a digital y digital a analógico) están localizados en los circuitos terminales. Todos los datos transferidos desde los circuitos terminales al Circuito Intercambiador de Abertura

de Tiempo lo son en forma de palabra digital serie para su multiplexión en el bus por división de tiempo. Los convertidores analógico a digital muestrean la conversación a una cadencia de 4 millones de muestras por segundo para producir un bit binario (uno ó cero) por cada muestra. Las muestras se acumulan y comprimen (MIC) en palabras de ocho bits producidas a 8.000 palabras por segundo. La muestra de voz digitalizada se multiplexa en forma paralelo en el bus por división de tiempo. A la cadencia de 8000 palabras por segundo, una muestra de voz aparece cada 125 microsegundos. Un cuadro de tiempo recurrente de 125 μ seg. está dividido en 96 canales de tiempo de dos direcciones, durando cada uno 1,3 microsegundos. De esta manera, una abertura de tiempo de una dirección comprenden 650 nano-segundos. Dentro de la abertura de tiempo de 650 nano-segundo, puede incluirse ocho bits de aproximadamente 80 nano-segundos de duración. Para sistemas de 30 canales, existen 128 canales de tiempo de dos direcciones, durando cada uno 960 μ seg. Así, una abertura de tiempo de una dirección comprende 480 nano-segundos y ocho bits de 60 nano-segundos de duración.

Para la transmisión de voz puede utilizarse cualquier código MIC de ocho bits apropiado, proporcionando los convertidores A/D el código digitalizado y los convertidores D/A la decodificación de las palabras para producir la conversación de salida.

En la Fig. 3 se muestra un circuito de línea que acopla una estación de abonado al sistema. Los circuitos de línea para los sistemas por división de tiempo digitales son bien conocidos. Por ejemplo, ver la Patente U.S. 3.997.738 del 14 de Diciembre de 1976 por V. Korsky y la Patente U.S.

3.420.961 del 7 de Enero de 1969 por R.M. Aver-11.

Los circuitos de línea están agrupados por grupos de seis circuitos de línea, con cuatro o cinco de tales grupos acoplados a un único intercambiador de abertura de tiempo. Un circuito de línea responde a los cambios de condición de línea, tales como el descolgado del abonado el colgado y, como consecuencia, proporciona una señal que puede ser leída por el excitador explorador automático para que el sistema responda a este cambio de condición. El circuito de línea debe proporcionar codificación y decodificación alimentación de batería y otras características normales de un circuito de línea. El mismo adapta el intercambiador de abertura de tiempo (TSI) a un par de terminales y adapta el excitador explorador automático a un terminal de señalización bidireccional común a otros circuitos terminales.

En la Fig. 3, se muestra un juego de contactos 301 que corresponde al gancho conmutador de un aparato de abonado. Este juego de contactos LCI se cierra cuando el terminal descuelga. Este cierre proporciona una tierra en una entrada de la puerta-NAND, 303. Cuando esta tierra coincide con un impulso de tiempo que indica la abertura de tiempo asignada a tal circuito de línea dentro del intercambiador de abertura de tiempo, se envía una señal al excitador explorador automático por el terminal 305.

De la misma manera, cuando el terminal o circuito de línea de la Fig. 3 está siendo llamado, y se ha comprobado el estado encontrándose que está libre, se opera el relé R en respuesta a la orden recibida desde el excitador explorador automático por el conductor 307 para dar paso a la orden a través de las puertas NAND sucesivas 331 y 333

al latch 309 a fin de cambiar el estado de este último, operar el relé R y llamar a la estación a través del repartidor principal.

La vía de conversación puede trazarse desde
5 los terminales de extremo y llamada al transformador de aislamiento 311 en dónde tiene lugar la conversión de dos a cuatro hilos, a los convertidores analógico a digital 315. La vía de conversación continúa a través de los circuitos de temporización y procesamiento de la señal al intercambia-
10 dor de abertura de tiempo; como ya es conocido en esta tecnología.

Un circuito de tono situado como un circuito terminal de la misma abertura de tiempo que la línea llamada, emite sus señales de tono al circuito de línea a través del
15 intercambiador de abertura de tiempo. Cuando la estación llamada responde descolgando al microteléfono, se cierran los contactos 301 y ponene una tierra en una entrada de la puerta 303 para señalar el distribuidor explorador automático que el corresponsal ha descolgado y hacer desaparecer
20 la señal de llamada de la línea.

En la Fig. 4, se muestra en forma de bloque los elementos de un circuito de enlace, siendo el circuito de enlace un circuito terminal seleccionado por el procesador para las llamadas que han de enviarse fuera de la central
25 de las Figs. 1 ó 2.

Existen cuatro terminales de entrada/salida a la línea de la central, los de terminación y llamada para la conversación y los terminales E y M para señalización, como es convencional. Los terminales de conversación pasan
30 a través del terminal de frecuencia vocal e interface de

señalización 401 y un convertidor de 2 hilos a 4 hilos y el filtro 403 (similar al transformador 311 de la Figl 3), los convertidores A/D 405 y el elementos de procesamiento de la señal común 407.

5 Para la señalización existe un lógico de circuito 411 y un lógico común 413 que realizan generalmente la función de las puertas 303, 331 y 333 de la Fig. 3 para proporcionar una señalización bidireccional al excitador explorador, según el estado y las órdenes.

10 El excitador explorador automático de la Fig. 5 proporciona señalización bidireccional entre los circuitos terminales y el procesador. El exctiador explorador automático (ASD) detecta el estado de los diferentes Circuitos Terminales, tales como, un cambio en la condición de colgado o descolgado y viceversa. El cambio de estado se envia al
15 procesador que está programado para dar curso a este cambio de estado. En el lado de salida del procesador, las instrucciones de supervisión y señalización se dirigen a los Circuitos Terminales a través de los circuitos ASD.

20 La señalización que indica el estado de los diferentes terminales se extrae del flujo de bits y se comprueba por persistencia. El procesador compureba el ASD cada 10 milisegundos para detectar los cambios de estado. Cuando existe un cambio, el nuevo estado y el número del equipo se
25 envían al procesador.

 Las órdenes destinadas para los circuitos terminales se cargan en una memoria de órdenes por el procesador. La memoria de órdenes se lee cíclicamente y los resultados se insertan en el flujo de bits que se envía a los circuitos de interface.
30

En el circuito de la Fig. 5, se muestra el excitador explorador alimentando bidireccionalmente información entre el bus del procesador y los enlaces serie dirigidos a los circuitos terminales.

5 Dentro del excitador explorador la información serie se recibe dentro del Lógico de Encaminamiento 502. Este Bloque Lógico tiene unos Registros de Conversión de 32 bits bidireccionales para la entrada de datos serie relativos a los circuitos terminales, enlaces serie o enlaces TSI, y
10 un segundo registro de conversión de 32 bits para la salida de información en forma serie por los enlaces serie.

Los datos de entrada se puer-tean a una u otra de las salidas dependiendo de si se requiere o no análisis de desigualdad. Los datos que deben ser revisados periódicamente, tales como los procedentes de los circuitos de línea
15 y circuitos de enlace deben enviarse al Filtro Digital 504 y Memoria de Estado 506, mientras que los datos que no necesitan ser analizados de esta manera se aplican al Codificador de Prioridad y MUX 508. El Codificador de Prioridad es esencialmente un camino de derivación para los datos que no necesitan ser filtrados ni analizados para desigualdad. La
20 decisión sobre a qué vía deben conmutarse los datos se realiza analizando uno o más bits de datos.

El codificador de Prioridad multiplexa los
25 datos del Lógico de Encaminamiento y selecciona las entradas para el Reg. de Control I/O, 510.

Los datos de entrada que deben analizarse pasan al filtro digital. Este filtro que muestrea a una frecuencia más elevada que la necesaria para impedir lecturas
30 erróneas debido al ruido o señales espúreas, actúa como

un contador para computar los resultados de exploraciones sucesivas y determinar los cambios actuales de la condición, tal como el descolgado del abonado. Cuando cambia la condición según se indica por un cambio de uno a cero o de cero a uno de un bit específico en el flujo de bits, el filtro actúa para integrar el cambio y realizar su continuación. De esta manera, los transitorios que causan un cambio momentáneo de la condición pueden descontarse e ignorarse. Solamente se nota un cambio en la condición que persiste durante un período de cuenta, como una no-coincidencia y se envía a la memoria de estado.

La memoria de estado y el lógico de no-coincidencia 506 comprende una memoria RAM con una posición de almacenaje para cada circuito terminal adaptada para ser escrita bajo el control del procesador.

En cada localización se almacenan ocho bits, cinco bits se utilizan para el estado y tres para el control. Los bits de estado se usan para comparación con una no-coincidencia sobre una base de última-consulta. La sección del estado comprende una sección de última-consulta y una sección de condición en curso para cada circuito terminal. La sección de última-consulta se actualiza solamente por el procesador cuando el procesador ha actuado sobre una no-coincidencia señalizada al mismo por la memoria y el Lógico 506. Tal memoria y lógico se muestran en la Patente U.S. 4.001.514 registrada por W.K. Wurst el 4 de Enero de 1977 por Un Multiplexor Digital de Abonado Con Concentración por División de Tiempo.

Además, la memoria de estado 506 contiene para cada circuito terminal, la información de control para cada

circuito terminal. Tal información controla si el circuito terminal tendría que explorarse o no y la velocidad a la que debería realizarse dicha exploración. Cuando se detecta una no-coincidencia, una puerta exclusiva OR señala dicha no-coincidencia a la memoria FIFO de Control I/O 510.

En relación con la velocidad de exploración, o más concretamente, la cadencia a la que se analiza la información de entrada, se utiliza una velocidad de exploración normal de 100 milisegundos. Cuando se desea una exploración más corta, por ejemplo, cuando deben analizarse impulsos de disco, se utiliza una velocidad de exploración de 10 milisegundos. La determinación de a que velocidad deben explorarse los datos se hace por el procesador y se envía a la memoria de estado para su realización y control.

El registro FIFO de Entrada/Salida 510 proporciona memoria buffer entre la memoria de estado 506 y el procesador. Las palabras de ocho bits se envían a los buses respectivos, al Control y Dirección de Datos para la transmisión al procesador. Una palabra de diez y seis bits se carga en paralelo al Control 510 y se temporiza en serie en los terminales del procesador.

En la Fig. 6 se muestra un diagrama bloque de un complejo de procesador 20 de la Fig. 1 aún cuando en el bloque de la Fig. 6 solamente se muestra un CPU 602, quedando entendido que podría incluirse un segundo CPU con su memoria asociada 604.

En la configuración, el CPU único mostrado puede ser un microprocesador del tipo mostrado como el TMS 9900 fabricado por Texas Instruments, Inc.. El TMS 9900 y su literatura descriptiva están disponibles desde finales

de Diciembre de 1975. Este procesador es un microprocesa-
dor de chip único de 16-bits que utiliza tecnología de puer-
ta de silicio y canal -N, MOS. Toda la información dentro y
fuera del procesador 602 se almacena temporalmente en los
5 buffers respectivos 610, 612 y 614 a los buses respectivos
para la dirección de los datos y el control; estando dirigi-
dos los buses al excitador explorador automático. Este pro-
cesador tiene solamente cuatro líneas de interrupción de
tal manera que pueden existir solamente diez y seis niveles
10 de interrupción como máximo.

Los buses intermedios están dirigidos a otros
módulos (si existen) por el interface de sub-módulo. Estos
buses proporcionan también acceso entre el excitador explora-
dor y la memoria. La memoria incluye un planificador de memo-
15 ria 620 para la expansión de dirección en el direccionamiento
del módulo de memoria 604, actuando el planificador a tra-
vés del control de memoria 622. El planificador de memoria,
por si mismo, es una función conocida que puede comprender
la paginación de la manera indicada en la Patente U.S.
20 3.972.025 de V.J. Taddei registrado el 26 de Julio de 1976.

El control de memoria 622 proporciona señales
de lectura y escritura para la memoria, comprobaciones de
memoria, comprobaciones del código de corrección de error o
paridad y control de refresco de memoria.

25 El módulo de memoria 604 consiste de un con-
junto de 16X1 dispositivos RAM. La temporización y los pa-
rámetros eléctricos de estos dispositivos RAM pueden obtenerse
de las especificaciones del fabricante:

El módulo de memoria básico puede ser un blo-
30 que de 64K X 22-bits si se incluye código de corrección de

error, o un bloque de 64K X 17-bits si se incluye comprobación de paridad.

El módulo de memoria constituido por las RAM puede organizarse en cuatro filas, conteniendo cada una bien
5 22 o 17 dispositivos RAM por fila.

Adicionalmente, un módulo de memoria puede permitir la posibilidad de incluir dispositivos RAM y PRAM.

Utilizándose el planificador de memoria, se utilizan los dos bits más significativos del campo de dirección de 16 bits para identificar cada uno de los cuatro
10 bloques de palabras de 16K del módulo. Los cuatro bits más significativos (17-20) se utilizan para decodificar 1 de 16 módulos de memoria. El último caso sería una parte de la función de control de memoria. En un sistema sin planificador
15 el bit más significativo del bus de dirección (15 en total) se utilizará para identificar dos bloques de 16K de memoria.

Es preferible que los dispositivos de memoria tengan unas velocidades de funcionamiento que sean compatibles con el procesador. Sin embargo, esto no es obligatorio
20 porque las funciones de listo y espera del procesador permiten una operación independiente sin importar que memoria se utilice.

Los dispositivos I/O 630 están considerados parte del espacio de memoria. Esto permite que los datos de
25 entrada/salida a ser direccionados por la memoria se refieran a instrucciones tipo. Por esta razón, el último bloque de la memoria lógica está dedicado a dispositivos DMA e I/O (máximo de 256 dispositivos).

Un portador I/O ó DMA tendrá incorporadas las
30 siguientes posibilidades

- (1) Introducción o Extracción de datos;
- (2) Palabra del estado de extracción del dispositivo de I/O ó DMA o introducción de una orden desde el procesador.

5 En el caso de un dispositivo de I/O, las capacidades en (1) y (2) anteriores se realizan bajo el control del programa.

 Cualquier dispositivo I/O p dispositivo I/O DMA debera poder generar una interrupción que aparecerá en el nivel asignado del circuito codificador de interrupción de prioridad (PIE) 634. Estos dispositivos mantienen la condición de interrupción hasta que es contestada por el procesador. El procesador reconoce una interrupción generando una orden para reponer el bit de alarma de la palabra DMA o I/O.

10

15

 El acceso a la memoria directo (DMA) tiene la capacidad de que un dispositivo externo acceda a la memoria del procesador para realizar funciones de lectura y escritura sin la ayuda del procesador.

20 En muchos aspectos, el portador DMA será similar a un dispositivo I/O. Además, el DMA proporciona lo siguiente:

- (1) El control de tres estados (O, L, H-Z) de los datos, las señales HOLD y HOLDA de las líneas de dirección y control del procesador
 - (2) Dos registros con control de incremento y/o decremento. El primer registro contiene la dirección de comienzo del bloque de memoria asignado a la facilidad del DMA. El segundo registro contiene bien la última dirección del bloque de memoria o la cuenta
- 25
- 30

de palabra del bloque de memoria a ser transferido. La situación inicial de estos parámetros se consigue bajo el control del programa.

5 (3) En general, una interrupción de terminación DMA aparece en el PIE en un nivel diferente que un dispositivo I/O. Estas interrupciones de terminación son el resultado de las terminaciones de transferencia normal o de condiciones de error.

10 (4) Las facilidades de DMA requeridas aparecen solamente en el interface del submódulo. Sin embargo, los dispositivos periféricos, tales como discos o cintas magnéticas, que pueden estar dedicadas al complejo de procesador central, también pueden basarse en el DMA.

15 Una unidad de conmutación 640 se introduce solamente en la configuración del complejo de procesador dúplex, como se muestra en la Fig. 11. La unidad de conmutador cambiador (S0) (640, 642) se diseña para confiabilidad en la configuración dúplex. Un circuito de comprobación cruzada del hardware controla la operación y/o las alarmas.

20

Esta unidad realiza la conmutación para utilizar el procesador activo o el procesador de reserva, cuando se requiera, o cuando surgen problemas en un procesador. La unidad S0 controla también la escritura cruzada de información en la memoria del procesador activo y también del procesador de reserva.

25

En la Fig. 7, se muestra el intercambiador de abertura de tiempo 14 que conmuta la conversación entre una estación que llama y otra llamada. Un intercambiador (TSI) tal como el que muestra la Fig. 7 está acoplado a los

30

circuitos terminales 96 ó 120 para recibir información en forma digital desde estos circuitos. El intercambio de abertura de tiempo se conoce ya de la Patente U.S. 3.787631 de Lewis fechada el 22 de Enero de 1974.

5 Dentro del TSI, cada terminal asignado a una abertura de tiempo dedicada de tal manera que una llamada de un terminal a otro se completa a través de una abertura de tiempo del sistema en el bus por división de tiempo (de la Fig. 7) que convierte la conversación de la abertura de tiempo dedicada a la abertura de tiempo del sistema. Como 10, se mencionó anteriormente una abertura de tiempo del sistema se asigna por el procesador para manejar una llamada.

 Como puede verse en la Fig. 7, el TSI incluye dos secciones principales (según se ve en las líneas de tra- 15 zos) la malla de intercambio y el complejo de memoria de control.

 El Intercambiador de Abertura de Tiempo 14 convierte los canales dedicados en canales de abertura de tiempo aleatorios para el bus por división de tiempo (TDB). 20 El TSI está controlado por el Excitador Explorador Automático 30 y registra la información de marca en su memoria de control. El TSI puede ser un chip LSI que será asignado sobre la base de 24 canales.

 El TDB introduce la concentración en el sistema. El número de TSI que se acoplará con el TB se deter- 25 mina por la capacidad de transporte de tráfico. Para un sistema de submódulo único y bajo tráfico (por ejemplo, 3 ccs/línea) el número de terminales (líneas, enlaces, etc) incluidos en el sistema puede ser del orden de 1000. Sin embar- 30 go, para un sistema de submódulo múltiple y tráfico moderado,

un Submódulo no manejará más de 500 a 600 terminales. Consecuentemente, el número máximo de TSI podría ser de 40 a 45 unidades.

La malla de intercambio de la Fig. 7 contiene
5 una memoria de transmisión 702 y una memoria de recepción
704 que sirven para el intercambio de datos. Cada abertura
de tiempo del sistema está dividida en dos mitades. (Ver Fig.
13). En el lado de transmisión, durante la primera mitad de
la abertura de tiempo, se lee la información de la memoria
10 TX en forma "aleatoria" sobre el bus por división de tiempo.
Esta forma aleatoria está determinada por el complejo de la
memoria de control, que describiremos después. Durante la
segunda mitad, las muestras de conversación que llegan desde
los interfaces de circuito terminal se escriben en la memoria
15 TX de una manera cíclica después de haber sido apropiadamente
multiplexados. En el lado de recepción, tiene lugar la inversa.
Durante la primera mitad de la abertura de tiempo, se lee
la información de la memoria RX de una manera cíclica y des-
pués se procesa (demultiplexa, etc..), mientras que durante
20 la segunda mitad se escribe la información en esta memoria
de una manera "aleatoria".

El complejo de control (de la Fig. 7) tiene como su
elemento principal, la memoria de control 706 que se utiliza
para el almacenaje de la dirección del canal(es) que está(n)
25 tomando parte en la conversación durante una abertura de tiempo
del sistema dada. Además, esta memoria almacena un código que
determina el modo de operación, concretamente, la naturaleza
de la comunicación (una o dos direcciones, interna o externa,
relaciones de fase, etc..). La información de marca llega al
30 TSI en forma serie por una línea separada. Además, el complejo

de la memoria de control incluye algún lógico que controla la operación de lectura-escritura así como la selección de las memorias de salida de la malla de intercambio.

5 Además de las dos memorias de salida 702 y 704, el TSL incluye un multicircuito de selección para seleccionar entre un direccionamiento cíclico o aleatorio de las memorias, como explicaremos con más detalle.

10 En el sistema, el bus por división de tiempo acomodará 96 aberturas de tiempo bidireccionales. Ya que el muestreo se hace a una cadencia de 8 Kw/seg., cada cuadro es de 125 μ seg. de longitud, lo que a su vez significa que cada abertura de tiempo bidireccional tendrá una dirección de 1,3 μ seg. (650 nanosegundos para cada dirección). La temporización para todo el sistema se determinará teniendo siempre en cuenta que las

15 aberturas de tiempo del bus por división de tiempo se consideraran como referencia para el submódulo.

Esta memoria de transmisión y recepción sirven como elementos por los que se realiza el intercambio de abertura de tiempo. Esto se asegura por un direccionamiento apropiado

20 de estas memorias y la lectura y escritura en ellas. Durante un intervalo de tiempo de 1,3 μ seg. cada una de estas memorias tendrá que ser direccionada 4 veces, a fin de cumplir la necesidad en el pero de los casos, concretamente, la comunicación interna (dos líneas en el mismo TSI).

25 Como se ve en la carta de tiempos de la Fig. 13 las fases ϕ_1 y ϕ_2 indican la primera y segunda mitad de la abertura de tiempo TDB. En el lado TX, durante 325 nseg, que corresponde a t_1 y t_3 (si la comunicación no es interna, solamente t_1 ó solamente t_2 es válido, dependiendo de los bits de modo

30 de la memoria de control) la memoria se direcciona de una ma-

nera "aleatoria" (que corresponde a la abertura de tiempo TDB) y se lee la muestra de conversación que estaba escrita en esta localización durante el cuadro anterior. Durante los siguientes 325 nseg. (t_2 y t_4), la memoria se direcciona cíclicamente y se escribe una nueva muestra en ella. Nótese que la memoria TX se escribe dos veces durante la misma muestra durante el intervalo de tiempo t_2 y t_4 . Esto se hace solamente para facilitar la realización del circuito y no es una función necesaria.

10 Cada vez que se lee una muestra en la memoria TX, se sitúa en un latch asegurando así que permanece en el bus por división de tiempo durante los 650 ó 480 nseg., esto es, durante toda la mitad de una abertura de tiempo TDS (ϕ_1 ó ϕ_2) asignada a esta transmisión de una dirección particular.

15 La selección entre el direccionamiento cíclico o aleatorio se hace a través de un multicircuito de selección que selecciona entre la salida de un generador de dirección cíclica y el lado de la salida del complejo de memoria de control TX.

20 Ya que el TSI sirve a 96 o 120 circuitos, el tamaño máximo de memoria que se requiere será de 96 X 8 ó 120 X 8 para acomodar hasta 96 ó 120 muestras de 8 bits cada una. Consecuentemente, el direccionamiento de la memoria requiere una dirección de 7 bits. De estos, los dos bits menos significativos vendrán de un contador que se utiliza para multiplexar los 4 interfaces de circuito terminal (contador de interface de terminal) mientras que los 5 bits más significativos vendrán de un contador que corresponde al número de canal de cada interface de circuito terminal (contador de canal).

30

En el lado del receptor tiene lugar la operación inversa, concretamente las muestras de voz se leen a través del direccionamiento cíclico de la memoria RX, mientras que las muestras se escriben en ella de una manera aleatoria, viniendo el direccionamiento aleatorio del lado RX del complejo de la memoria de control.

El control del multicircuito de selección así como el control de R/W de las dos memorias se hace desde el complejo de la memoria de control.

El interface del circuito terminal (TCI) se muestra esquemáticamente en la Fig. 8 para el lado de transmisión. El mismo incluye una conversión serie a paralelo (S/P) de palabras de ocho bits en los registros SIPO (entrada serie-salida paralelo) 802, 804, 806 y 808. Los bits paralelo se aplican a los latches respectivos 812, 814, 816 y 818 después de lo cual se puertean al multiplexor 820. En el lado del receptor, la demultiplexión y conversión P/S se hará de una manera similar y no la describiremos aquí.

El flujo de bits llega desde cada uno de los cuatro interfaces de circuito terminal (TCI) a la cadencia de 1,544 Mb/seg. ó 2,032 Mb/seg. (El resto de la descripción se concentrará sobre el sistema law, pero es igualmente aplicable al sistema law A). Cada palabra MIC compandida de 8 bits se convierte a la forma paralelo y se situa en un latch. El latch puede dispararse en cualquier momento después de que haya aparecido el octavo bit en la salida de SIPO. En la Fig. 8, la fase ϕ_2 del reloj (unos 162 nseg. retardada respecto al reloj de 1,544 Mb) se utiliza para hacer este disparo.

Las muestras permanecen en el latch durante 5,2 μ seg. En ese momento están apropiadamente multiplexadas, asegurando

así que cada muestra aparece en la entrada de la memoria TX durante 1,3 μ seg. La multiplexión se hace utilizando un contador de 2-bits (contador TCI).

Los diagramas de tiempo para el intercambiador de
5 abertura de tiempo se muestran en la Fig. 13. Esta figura que solamente se representa para el lado de transmisión, incorpora tanto la temporización de la memoria de salida como la multiplexión de las cuatro entradas TCI. Naturalmente que, para el lado de recepción, podemos dibujar un diagrama similar.
10

La temporización asociada con el direccionamiento de las memorias de salida ya se ha descrito. Solo hace falta mencionar que las aberturas de tiempo TDB así como el flujo de bits de entrada se toman como referencia porque se determinan por el resto del sistema y el TSI no tiene control sobre ellos. De esta manera, se determinan acordemente todas las configuraciones del reloj necesarias.
15

Un punto importante a considerar es que durante un Canal X, las cuatro entradas TCI del TSI reciben simultáneamente una palabra MIC separada. Estas palabras se retienen durante el octavo bit y luego se multiplexan. Sin embargo, se ve fácilmente que se registran en la memoria TX durante el tiempo en que la entrada de TSI está recibiendo las palabras MIC del canal (x+1). A fin de impedir esta desadaptación,
20 la memoria TX se direcciona a través de un multicircuito de "decremento" 720 que disminuye la salida del contador de canal en 1. Similarmente, en el lado RX, un circuito "incrementador" 722 aumenta la salida del contador de canal en 1 para realizar la función inversa. Nótese también que en el lado TX el canal
25 23 debe convertirse al canal 0 y en el lado RX a la inversa.
30

El circuito de control de abertura de tiempo del complejo de la memoria de control como puede verse en la Fig. 6, genera las direcciones para las memorias de salida. La memoria de control almacena las direcciones de canal de las partes en comunicación, y las lee luego en el momento apropiado.

La memoria de control comprende una RAM 706 de 96X18, en donde las 96 palabras corresponden a las 96 aberturas de tiempo del sistema. Cada palabra está constituida por 18 bits (7 para la dirección del canal TX, 7 para la dirección del canal RX y 4 para el modo de operación). Como se ha indicado la organización interna de esta memoria es como sigue:

Los bits de modo determinan si (a) es una comunicación interna o no, (b) si es una comunicación unidireccional o no, y si es que sí, si el canal particular está solamente transmitiendo o recibiendo, y (c) si es una comunicación bidireccional con otro TSI, la fase de la abertura de tiempo del bus por división de tiempo (TDB) para transmitir o recibir. Así, el circuito lógico 708 activa durante el cuadro de tiempo apropiado los excitadores y receptores del bus triestado, que sirven para adaptar el TSI con el TDB. Además, este circuito lógico controla un multicircuito de selección 724 que aplica las direcciones a las memorias de salida TX y RX. Es importante hacer notar aquí que en una comunicación interna (esto es, entre dos canales sobre un mismo TSI) tanto la dirección TX como la dirección RX de la memoria de control tendrán que aplicarse a ambas memorias de salida durante una abertura de tiempo del sistema. La memoria de control se direcciona por un generador de dirección cíclico. Este es un contador de 7-bits síncrono y cuenta de 0 a 95. El reloj que se utiliza para incrementar este contador se genera dividiendo

el reloj MC1544 por 2. Este contador está sincronizado con la señal en el conductor FPI, una señal baja activa que ocurre durante el bit de orden 193 de cada cuadro. Una señal en el conductor FPI llega a la tarjeta de TSI desde el circuito de distribución del reloj.

La información de marca llega al complejo de la memoria de control desde el CPU a través del explorador excitador automático 30 (ASD) por una línea única.

La información de marca está compuesta por 25 bits. De ellos, 7 son para la dirección de abertura de tiempo del sistema, 7 para la dirección de canal TX, 7 para la dirección del canal RX y 4 para el modo de operación. Un impulso bajo indica el comienzo del tren de datos para la información de marca. Cuando toda esta información se reúne en el TSI, se registra en la memoria de control en el complejo durante el siguiente impulso FPI (bit de orden 193 del cuadro). Este impulso activa la entrada R/W de la memoria de control, y también el circuito de multiplexión a fin de direccionar la memoria de control con la abertura de tiempo TDB que debe utilizarse. El impulso bajo que precede al tren de datos se utiliza también para detener el reloj que se utiliza para reunir los bits de datos de marca de entrada cuando se han reunido todos estos bits. Después de haberse registrado la información de marca, se activa de nuevo este reloj, y esta vez envía hacia atrás todos los datos de marca al ASD por el mismo conductor, para comprobar para correcciones. Al mismo tiempo, libera el registro de marca escribiendo todos unos en el mismo. Si la información de marca que llega del CPU (a través del ASD) al TSI está por la misma razón retrasada, se repite el proceso anterior.

Tambien se utilizan como circuitos de control dos flip-flops tipo-D: 761, 763, uno de los cuales controla el R/X de las memorias TX y RX, y el otro controla el multicircuito de selección en la malla de intercambio. Ambos FF están temporizados a la misma cadencia de $2 \times 1,544$ MHz y sincronizados por la señal FPl.

La función de la detección de un fallo de potencia 812 (Fig. 6) es detectar cualquier fallo de alimentación a nivel de tarjeta. Cuando reaparece la alimentación, el circuito 812 realiza además la inicialización de la memoria de control. Una salida de señal "baja" activa de este circuito dirigida hacia el complejo de la memoria de control, fuerza a la memoria de control al modo "escritura". Cuando toda la memoria de control está liberada de toda la información escrita en ella, esta señal pasa a "alto" para permitir el funcionamiento normal del TSI.

El circuito de detección de un fallo del reloj (mostrado como un único bloque con el bloque de detección 812) funciona exactamente como el circuito de detección de un fallo de la alimentación. Cuando falla el reloj, emite una señal de alarma baja activa (CLALR).

El contador de canal da una salida de 5 bits y cuenta los 24 canales durante cada cuadro. Se dispara por la salida de otro contador que se dispara por el reloj MC1544 y cuenta 8 veintitrés veces y nueve la vigésimo cuarta vez en cada cuadros.

El contador de interface de circuito terminal tiene una salida de 2 bits y sirve para multiplexar los 4 interfaces del circuito terminal.

Además, un circuito de generación de fase genera to-

das las fases del reloj de 1,544 MHz que se necesitará para la distribución de reloj necesaria durante el diseño del circuito.

5 En funcionamiento normal un impulso bajo por el conductor de información de marca indica el comienzo del tren de datos que llega desde el CPU a través del ASD.

10 Cuando los datos están reunidos en el registro de marca, el reloj utilizado para reunirlos se detiene. Así, los datos reunidos con la dirección de la abertura de tiempo del sistema, la dirección de TX, la dirección de RX, el modo y la fase.

15 Durante el primer impulso FPl después de haberse reunidos todos los datos, la memoria de control se direcciona por la dirección de la abertura de tiempo del sistema y el R/W pasa a bajo para registrar los datos en la memoria.

Los datos se envían al ASD, Mientras se están enviando los datos de marca al ASD, el registro de marca se llena con unos. La sección de control está lista.

20 Cuando la comunicación ha terminado, el ASD envía una señal al MTSI situando la dirección del sistema en el modo.

TTTTTTT	ZZZZZZZ	ZZZZZZZ	111Z	Ø
Sistema	Sin cuidado		Modo	

T.S.

25 Dirección.

El TSI introduce un retardo absoluto máximo de un cuadro o 125 seg., debido al hecho de que la información se escribe y luego se lee en la memoria TX (o RX) de salida. El peor caso es el de una conversación entre dos terminales que están en submódulos diferentes.

30

Como puede verse, el retardo máximo entre la entrada del TSI y la salida del TSI 4 es de casi 4 cuadros ó 500 μ s. Los retardos que se añaden a los anteriores durante la propagación o debido a la conmutación de espacio son insignificantes.

5

Cuando varios módulos de la Fig. 1 tienen que combinarse en un sistema como el mostrado en la Fig. 2, existen un interface de sub-módulo 40, un procesador central 36 con su memoria 30 y varios circuitos periféricos. Relacionado con la operación del sistema es el funcionamiento del interface de sub-módulo 40, y la división de funciones entre los procesadores de módulo 22 y el procesador central 36.

10

La estructura del bus de interface del bus-módulo (SMI) se muestra mejor en la Fig. 9. Por cada módulo a ser añadido al sistema existe un enlace de comunicación serie 1010 que tiene los datos, el bus y los conductores de control dirigidos a cada procesador de módulo. Cada uno de tales enlaces tiene una conexión de cuatro conductores a un bus de SMI con cuatro conductores de bus, siendo el cuatro bus, un bus de destino. El procesador común se acopla al SMI a través de un enlace de comunicación paralelo, teniendo también este enlace acceso a la memoria del sistema por los tres buses, dirección, datos y control.

15

20

Un generador de dirección cíclico 1020 existen en el bus de dirección, proporcionando el generador una dirección de siete bits con una capacidad máxima de 128 direcciones. La frecuencia de reloj básica proporciona una anchura de impulso de 650 nanosegundos para cada abertura de tiempo.

25

30

Por la utilización del dispositivo de bus, la señal

de control puede intercambiarse entre procesadores de módulos y el procesador central. Como se mencionó anteriormente, el sistema puede utilizar un único procesador con memoria para cada módulo en una disposición simplex. Alternativamente, los procesadores de módulo pueden duplicarse en una configuración dúplex como muestra la Fig. 10. En esta disposición un microprocesador A y un microprocesador B, cada uno con su propia memoria están equipados con buffers de tal manera que puede trazarse una vía desde cada procesador a través de un buffer a un enlace serie y del bus al procesador central.

Como se muestra en las Figs. 9-11, la parte central del interface de submódulo (SMI) es un sistema de bus por división de tiempo. El SMI incluye cuatro buses: un Bus de Dirección de Origen, un Bus de Dirección de Destino, un Bus de Datos y un Bus de Control. Un Generador de Dirección cíclico (CAG) está asociado con el Bus de Dirección de Origen. El generador direcciona todos los portadores del bus de SMI en secuencia cada $62,5 \mu s$.

Debido a las restricciones del sistema, existe un máximo de 96 portadores. Como consecuencia, la cadencia de transferencia máxima del MSI es de 32 MBS ($16 \text{ bits} \times 96 \text{ canales} / 62,5 \mu s$). Es importante hacer notar que el SMI es un sistema de bus paralelo a muy alta velocidad que está casi desprovisto (excepto para el Generador de Dirección Cíclico CAG) de cualquier información. Pueden interadaptarse con el bus hasta N controladores de módulo cuya función principal es el control del equipo telefónico. Típicamente, existe un portador por controlador de módulo.

El controlador Central (CC), por una parte, puede

tener hasta cuatro configuraciones. Dependiendo del tráfico, los periféricos o terminales pueden agruparse como se muestra con un interface, o cada uno con su propio interface. Una memoria común que contiene los datos y/o programas también es parte del sistema. Finalmente, cualquier función tal como las adaptaciones hombre-máquina, desde una localización remota o local, pueden aparecer también como periféricos en el bus. La diversidad de elementos que comprende el conjunto SMI es otra característica importante del SMI.

5
10 La Fig. 11 muestra los modos posibles de adaptar varios elementos al bus de SMI. En esta figura, se muestra un enlace de comunicación serie (SCL) constituido por tres partes, un circuito de Final Cercano (NE-cerca del procesador) un circuito de Final Lejano (FE-lejos del procesador) y un
15 enlace metálico entre los circuitos Finales Cercano y Lejano.

En general, todos los controladores de módulo y unidades remotas utilizan el SCL para comunicar con el bus de SMI. Como se ve en la Fig. 10, el enlace de comunicación paralelo a paralelo 1050 está dedicado al proceso de control central y a la memoria común, mientras que los controladores de módulo utilizan enlaces serie con un procesador de módulo como el procesador principal (para establecer la conexión). Este procesador de módulo PC puede ser un procesador dedicado para esta función o podría ser un controlador de equipo telefónico con la adición de esta tarea a sus funciones
20
25 normales.

Todos los elementos que tienen acceso a la red del bus del SMI se comunican entre ellos a través de mensajes. Como consecuencia, la unidad básica de comunicación es el
30 mensaje que está siempre precedido por una etiqueta y se

compone de un número variable de palabras. La etiqueta contiene todos los parámetros necesarios de transmisión, tales como origen y destino, nivel de interrupción y número de palabras del mensaje. Ya que un mensaje es siempre unidireccional, deben distinguirse el origen y el destino. En el modo de operación dúplex total, un portador puede ser tanto un origen como un destino simultáneamente.

Un mensaje parte de un procesador hacia el módulo que actúa como origen de la llamada, siendo la única función de este procesador insertar los parámetros de transmisión en el WC (cuenta de palabra) y BAR (comienzo del registro de dirección) (ver Fig. 12) donde el mensaje está localizado en los registros de memoria al circuito NE. Cuando se completan estas funciones, el procesador de módulo abandona el control. Entonces el circuito NE, en el modo de acceso directo a la memoria, extrae la etiqueta y otras palabras del mensaje de la memoria. Después de cada extracción la etiqueta o palabras se transfieren en forma serie al circuito FE y el WC y el BAR se decrementan e incrementan respectivamente. Cuando WC=0 se señala al procesador un final de mensaje a través de una interrupción y al circuito FE a través del control.

En el circuito FE la etiqueta se despoja de su registro de dirección de destino y el resto de la etiqueta se almacena en el registro de datos cuando el FE de origen se direcciona por el Generador de Dirección Cíclico a través del bus de dirección de origen, los datos del registro se leen sobre el Bus de Datos y el contenido del registro de dirección de destino aparece en el Bus de Dirección de Destino. De una manera similar, otras palabras del mensaje se sitúan en el bus bajo el control del generador. Se considera

que ha sido aceptada una palabra de la etiqueta solamente si se recibe una señal de reconocimiento desde el circuito de FE de destino. El FE de origen se utiliza esta señal de reconocimiento para requerir una nueva palabra o liberar el registro DA.

5 El circuito de FE de destino, cuando se direcciona, compara su propio nivel de interrupción (almacenado previamente en el codificador de interrupción de prioridad por el controlador de módulo) con el transportado por la etiqueta. Si la comparación tiene éxito, el circuito FE de destino envía una señal de reconocimiento al circuito FE de origen que vuelve a componer la etiqueta leyendo la dirección de origen que aparece en el bus de dirección de origen (SAB) y desactivando el codificador de interrupción de prioridad (PIE) de tal manera que ahora el nuevo mensaje puede iniciarse hasta que transmita el presente. La etiqueta reconstruida además del código y la cuenta de palabra, transporta ahora la dirección de origen en lugar de la de destino. El resto del mensaje se transfiere exactamente de la misma manera. Además, cada palabra excepto la etiqueta se acompaña por una señal de enlace, generada por el circuito FE de origen que sirve a modo de santo y seña y únicamente identifica todas las palabras del mensaje aceptado.

15 El circuito de FE de destino alerta entonces a su circuito de la parte de contador de NE de que existe un mensaje pendiente y activa el control para transferir la etiqueta. Una vez que la etiqueta está en el circuito NE éste provoca una interrupción en el controlador de módulo. El controlador de módulo lee la etiqueta y la contesta, almacena los parámetros de transmisión en el Registro de Cuenta de Palabra (WC)

y en el Registro de Dirección de Comienzo (BAR). El resto de la operación es exactamente para que el mensaje se escriba en la memoria, Al final del mensaje ($WC = 0$), el circuito NE señala al circuito FE de destino para activar el codificador de interrupción de prioridad PIE permitiendo así

5 que se acepten nuevos mensajes.

En esta operación deben considerarse ciertos puntos acerca del SMI:

- 10 a) La implicación activa del microprocesador en la operación es mínima; el mismo se interrumpe solo una vez en el envío y dos veces en la recepción. Durante los cortos periodos de acceso directo a la memoria, sus actividades se suspenden solo momentáneamente.
- 15 b) Dos portadores, a los que se permite la conexión se convierten en ocupados e inaccesibles para otros portadores en lo que dura un mensaje. Ya que solamente puede transferirse una palabra por ciclo cualquier otro portador que desee acceder
- 20 a estos dos portadores se le somete a un retardo en lo que dura el mensaje. Sin embargo, debido a la velocidad a la que se ejecuta el SMI, la probabilidad de un retardo máximo de 400 us, es menor que 0,01 durante el pico de hora cargada, suponiendo
- 25 unas características telefónicas típicas y un muy gran número de controles de módulo tratando de conseguir acceso al SMI.
- 30 c) Todos los portadores son igualmente tratados y un portador puede ser asignado a cualquier procesador o dispositivo.

d) No existe información en el sistema del bus del SMI debido a su elevada velocidad de operación. Esto requiere que todos los circuitos de FE se localicen cerca del bus mismo SMI.

5 e) El mantenimiento del bus SMI consiste de dos etapas sencillas:

i. Un microprocesador puede comprobar su propio enlace haciendo con la dirección de destino lo mismo que con su propia dirección de origen permitiendo así que una distribución de comprobación se refleje en él mismo.

10 ii. El sistema SMI puede probarse mediante un tipo de reacción en cadena de prueba por la que un procesador inicia una distribución de prueba, y la envía a otro procesador, el cual a su vez devuelve un reconocimiento al de origen y la distribución misma a otro procesador. El proceso se repite hasta que la distribución de prueba es recibida por el de origen.

20 En cada uno de los casos anteriores, si la distribución no se adapta, o no se recibe un reconocimiento en un tiempo dado, se genera una alarma y se inicia una rutina de análisis del fallo. Ambas pruebas pueden hacerse periódicamente o sobre demanda.

25 f) En la Fig. 10 se muestra, con fines de aplicación, el sistema SMI dúplex y su relación con el equipo telefónico.

En un sistema de módulo múltiple, el proceso de una llamada puede explicarse brevemente como sigue, consistiendo
30 el ejemplo de una llamada de línea a enlace desde una estación

o línea que tiene marcación rotatoria.

El origen de una llamada se detecta por el excitador/
explorador y se reporta al procesador de módulo, que a su
vez reporta la condición al procesador central. Se selecciona
5 una abertura de tiempo por el procesador central y se envía
el tono de marcación por un generador de tono a través del
excitador/explorador de origen a la estación que llama en la
abertura de tiempo seleccionada.

Cuando la estación que llama oye el tono de marcar,
10 el usuario de la misma comienza la marcación. El procesador
local empieza a conmutar dígitos los analiza y reporta al
procesador central la indicación del código de acceso del
enlace de salida. El procesador central selecciona un enlace
libre y una abertura de tiempo libre para este enlace. Se
15 envía entonces un mensaje al módulo que tiene el enlace se-
leccionado como uno de sus circuitos terminales, y activa
el intercambiador de abertura de tiempo de terminación. El
módulo de terminación captura el enlace seleccionado para
enviar la llamada. El procesador central notifica al pro-
20 cesador del módulo de origen que active su intercambiador
de abertura de tiempo para la transferencia de datos con el
intercambiador de abertura de tiempo del módulo de termina-
ción.

La transmisión entre las dos aberturas de tiempo
25 en los respectivos intercambiadores de abertura de tiempo
se establece y el tono de marcar que indica la capacidad
del sistema para recibir más dígitos se devuelve a la es-
tación de origen.

El procesador del módulo de origen reúne los restan-
30 tes dígitos y los envía directamente al procesador del módulo

de terminaci3n por la red del bus de interface de sub-m3dulo. El procesador del m3dulo de terminaci3n genera los d3gitos para su transmisi3n por el enlace. Las aberturas de tiempo utilizadas para procesar la llamada se usan como las aberturas
5 de tiempo de conversi3n estando controlada la v3a de llamada por los procesadores de origen y terminaci3n.

Al liberarse una estaci3n, su excitador/explorador detecta la liberaci3n y la notifica al m3dulo local. Se notifica al procesador central y la llamada se repone dejando
10 libre las aberturas de tiempo.

En el sistema descrito, los procesadores de m3dulo pueden y deben comunicar directamente uno con otro por el interface de sub-m3dulo sin asistencia del procesador central. El mismo n3mero de aberturas de tiempo se utilizan para procesar una llamada de un m3dulo a otro sin importar el tipo
15 de llamada, esto es, l3nea a l3nea, l3nea a enlace o l3nea a operadora.

En la Fig. 14 se muestra la utilizaci3n de un conmutador por divisi3n de espacio entre los intercambiadores de conmutador de tiempo en un sistema de m3dulo m3ltiple similar
20 al de la Fig. 2. El conmutador por divisi3n de espacio proporciona conexi3n entre los intercambiadores de abertura de tiempo TSI de varios m3dulos. El conmutador por divisi3n de espacio puede ser cualquier dispositivo de conmutador sencillo controlado por un contador conmutador, El conmutador
25 puede ser una serie de dos puertas AND de entrada o cualquier otro apropiado dispositivo de conmutaci3n. El controlador conmutador puede tener memoria y v3as de conversaci3n apropiadas entre los intercambiadores de abertura de tiempo.
30 De esta manera, con un peque1o n3mero de conmutadores (tal

como cuadro) existen suficientes vías disponibles para transportar suficientemente el tráfico del sistema.

De esta manera, utilizando el sistema sencillo de la Fig. 1 puede configurarse un sistema de módulo único. Se consigue un sistema mayor bien según el sistema de la Fig. 2 ó el de la Fig. 14. El sistema de las Figs. 2 y 14 comprende un múltiplo del módulo de la Fig. 1, apropiadamente adaptado y equipado con un procesador central y una memoria que dirige las actividades de los módulos individuales.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo, y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en USA el día 1 de Septiembre de 1977, señalada con el Nº 829,669 G. 237 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un sistema de telecomunicaciones por división de tiempo para funcionar en múltiplex por división de tiempo, que comprende varios circuitos terminales agrupados en unidades modulares, cada una de las cuales incluye un concentrador por división de tiempo para asociar los circuitos terminales de un grupo con el lado de entrada de dicho concentrador, un bus múltiplex por división de tiempo en el lado de salida de dicho concentrador una malla de conmutación por división de espacio para completar las conexiones entre los circuitos terminales de diferentes unidades, comprendiendo
10 dicha malla varias vías de entrada y varias vías de salida cada una de las cuales está acoplada a uno de dichos concentradores.

15 2.- Un sistema, según la reivindicación 1, en donde cada uno de dichos concentradores incluye una primera memoria para almacenar muestras de datos transmitidos y recibidos,
20 y una segunda memoria para almacenar direcciones de aberturas de tiempo para controlar el intercambio de dichas muestras entre unidades de dicho sistema.

25 3.- Un sistema según la reivindicación 2, en donde cada abertura de tiempo de una unidad está dedicada para ser utilizada por uno de los circuitos terminales, y en donde un concentrador por unidad controla el direccionamiento de las aberturas de tiempo dentro de una unidad para completar una llamada entre dos circuitos terminales diferentes de una
30 dad.

4.- Un sistema, según la reivindicación 3, en donde cada una de dichas unidades incluye un controlador de procesamiento de llamada y elementos para la adaptación entre un controlador y los circuitos terminales de su unidad para enviar señales de control de supervisión entre los circuitos terminales y el procesador.

5.- Un sistema según la reivindicación 4, en donde existe un procesador de sistema en comunicación con los procesadores de cada unidad para controlar el intercambio de información de supervisión entre los procesadores de unidad.

6.- Un sistema según la reivindicación 5, en donde existe varias redes de bus para la interconexión entre el procesador de sistema y los procesadores de las unidades para el intercambio de datos de control de la llamada y direcciones por uno o más buses de dicha red de bus.

7.- Un sistema según la reivindicación 1 que utiliza múltiplex por división de tiempo para controlar la interconexión de los circuitos terminales para las respectivas llamadas desde un circuito terminal que llama a un circuito terminal seleccionado, estando agrupados los circuitos terminales de dicho sistema en módulos cada uno de los cuales incluye: un procesador de control de llamada, elemento de adaptación entre un procesador y sus circuitos terminales sobre una base de división de tiempo para intercambiar los datos de la llamada, un concentrador por división de tiempo para proporcionar una abertura de tiempo como una vía de conversación para una llamada implicando a un circuito terminal de su módulo, enlazando también dichos elementos de adaptación el procesador de módulo con el concentrador de ese módulo para proporcionar los datos de temporización y de dirección del circuito

terminal a dicho concentrador por un bus separado del de la vía de conversación.

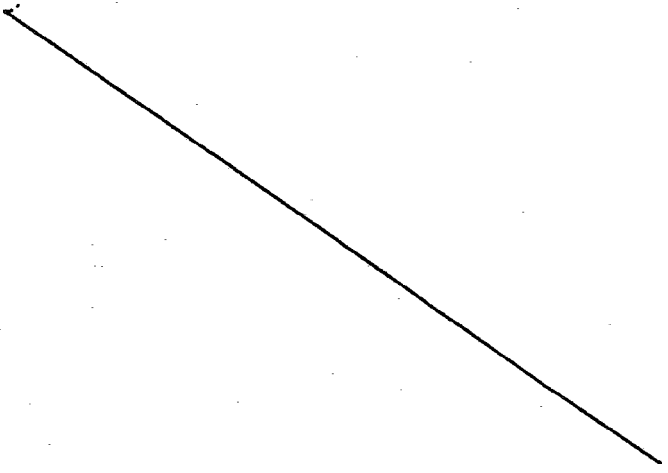
8.- Un sistema, según la reivindicación 7, en donde dichos elementos de adaptación exploran la condición de los circuitos terminales y una memoria para almacenar una indicación de dicha condición.

9.- Un sistema, según la reivindicación 8, en donde dichos elementos de adaptación incluyen una última memoria para determinar los cambios en la condición del circuito terminal para la transmisión de una indicación del cambio de condición al procesador.

10.- Un sistema, según la reivindicación 9, en donde existe un procesador de sistema en comunicación con cada uno de los procesadores de módulo por varias redes de bus para el control de las llamadas entre circuitos terminales de diferentes módulos.

11.- Un sistema, según la reivindicación 10, en donde los concentradores del sistema están en comunicación por una red de bus por división de tiempo separada de la red de bus del procesador.

12.- Un sistema de Telecomunicaciones por división de tiempo.



Tal y como se ha descrito en la memoria que antecede representado en los dibujos que se acompañan y a los fines especificados.

5 Esta memoria consta de cuarenta y cuatro hojas escritas por una sola cara.

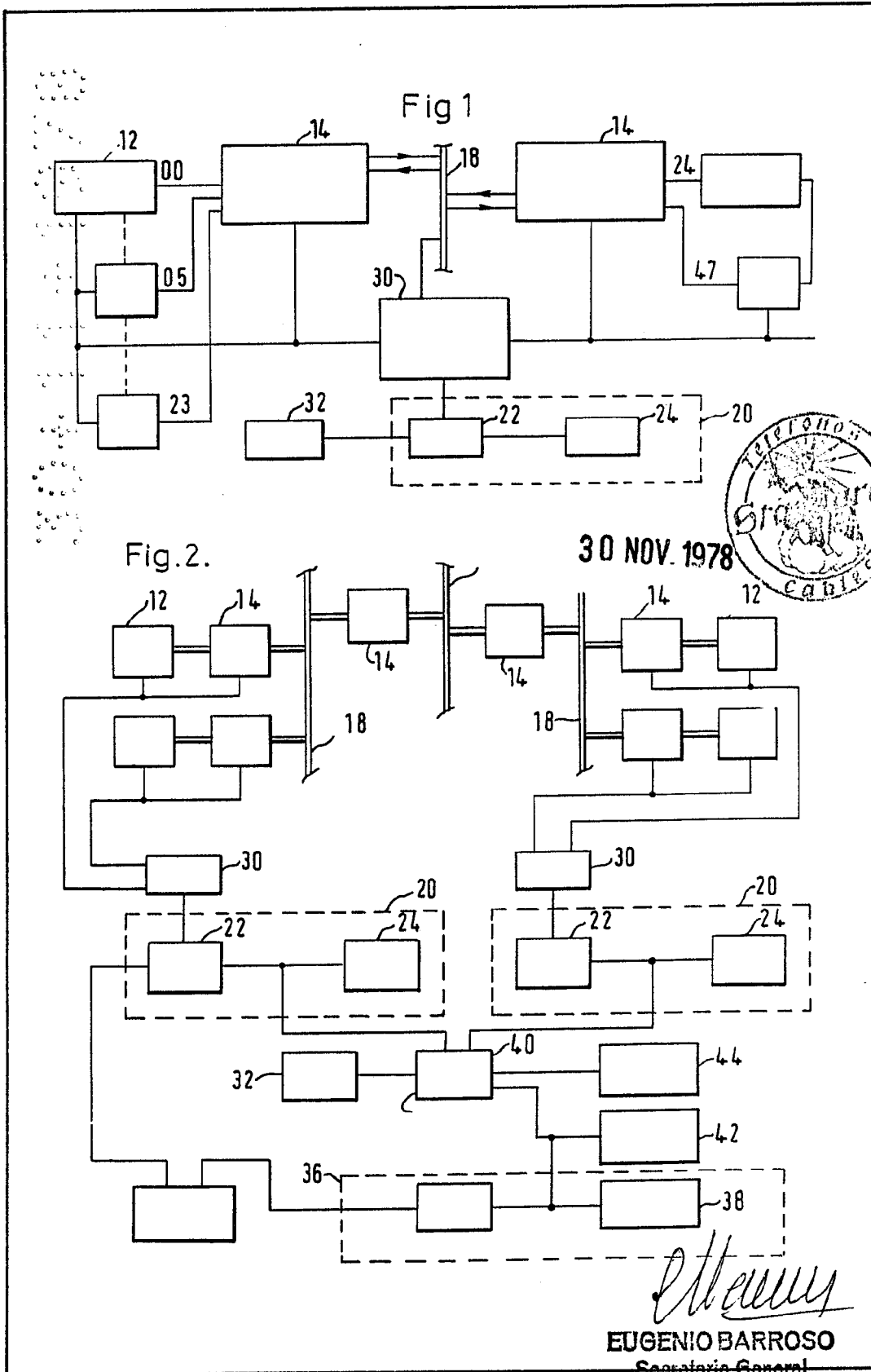
Madrid, 17 ABR. 1979



EUGENIO BARROSO
Secretario General



11/1



1/2

STANDARD ELECTRICA, S. A.

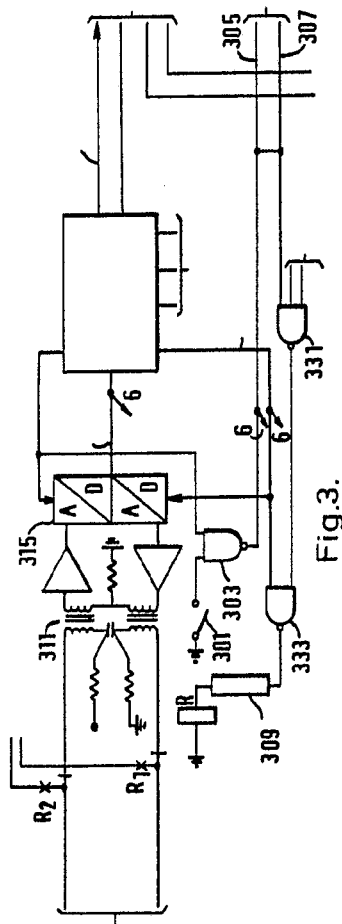


Fig. 3.

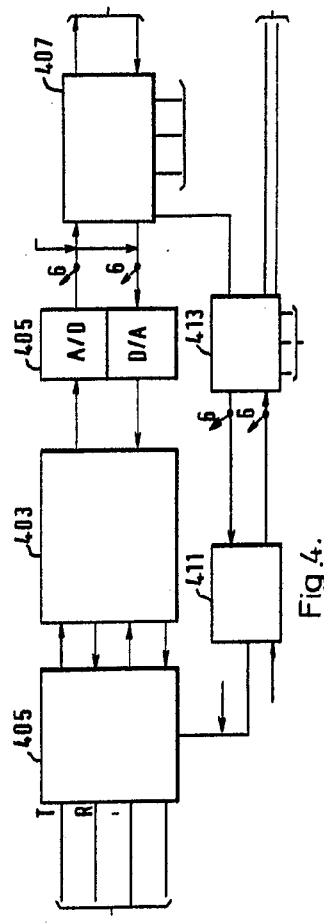


Fig. 4.

30 NOV. 1978



Eugenio Bartoso
EUGENIO BARTOSO
Secretario General

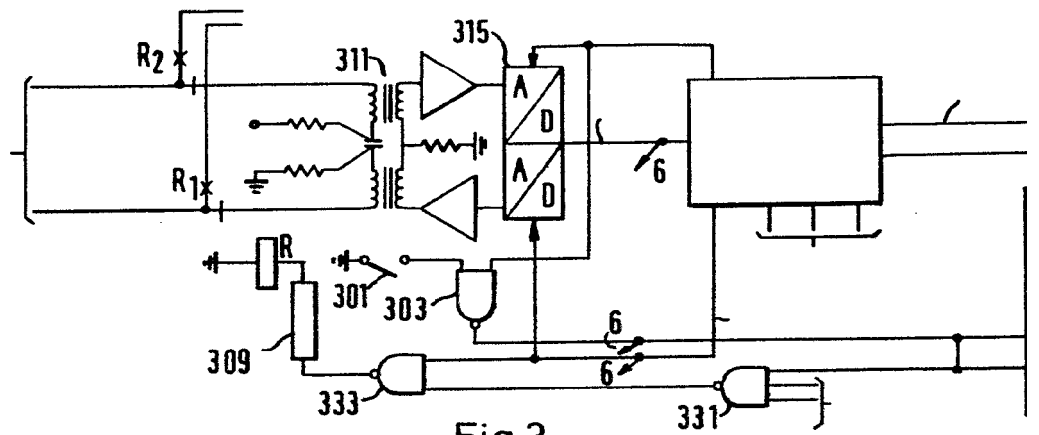


Fig. 3.

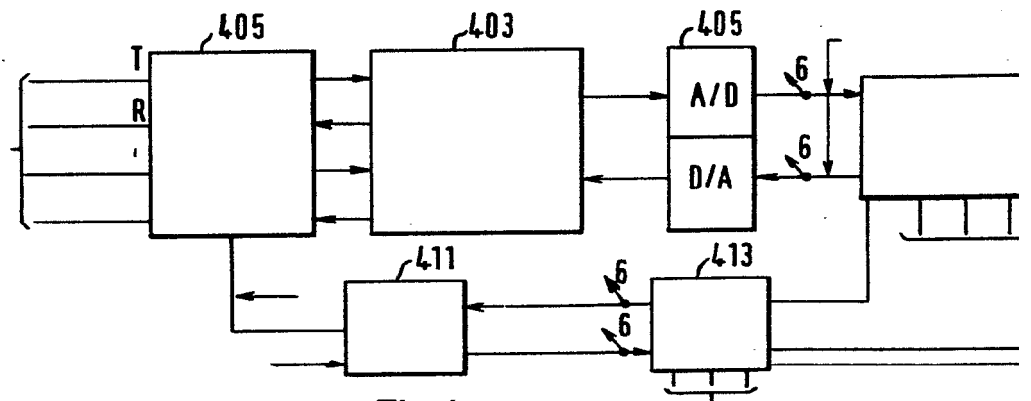
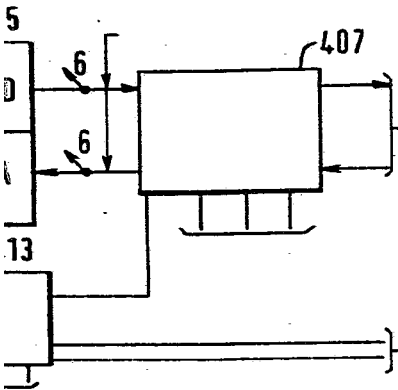
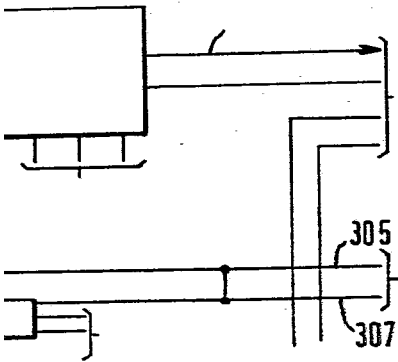


Fig. 4.

11/2

STANDARD ELECTRICA, S. A.



30 NOV. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

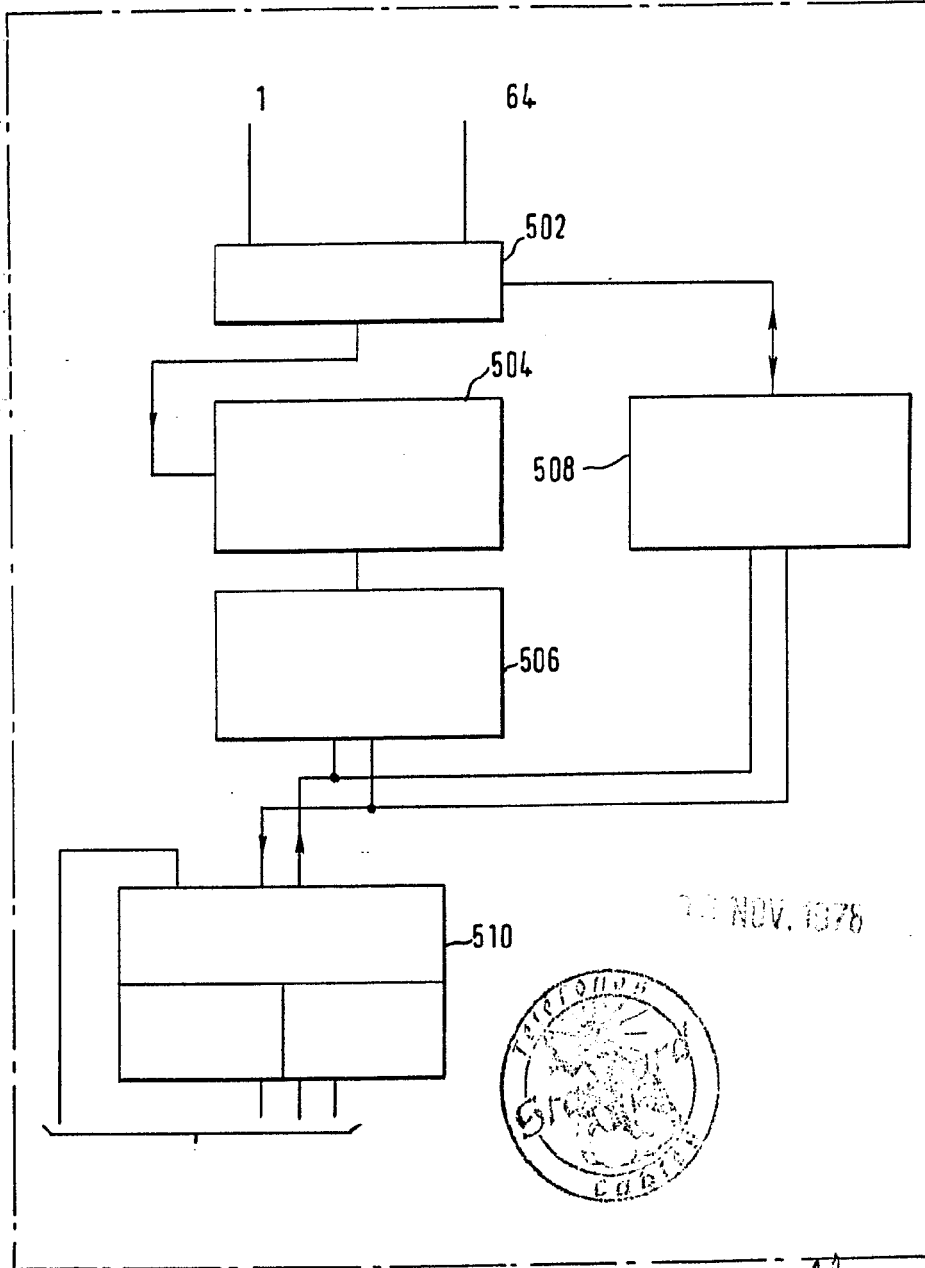
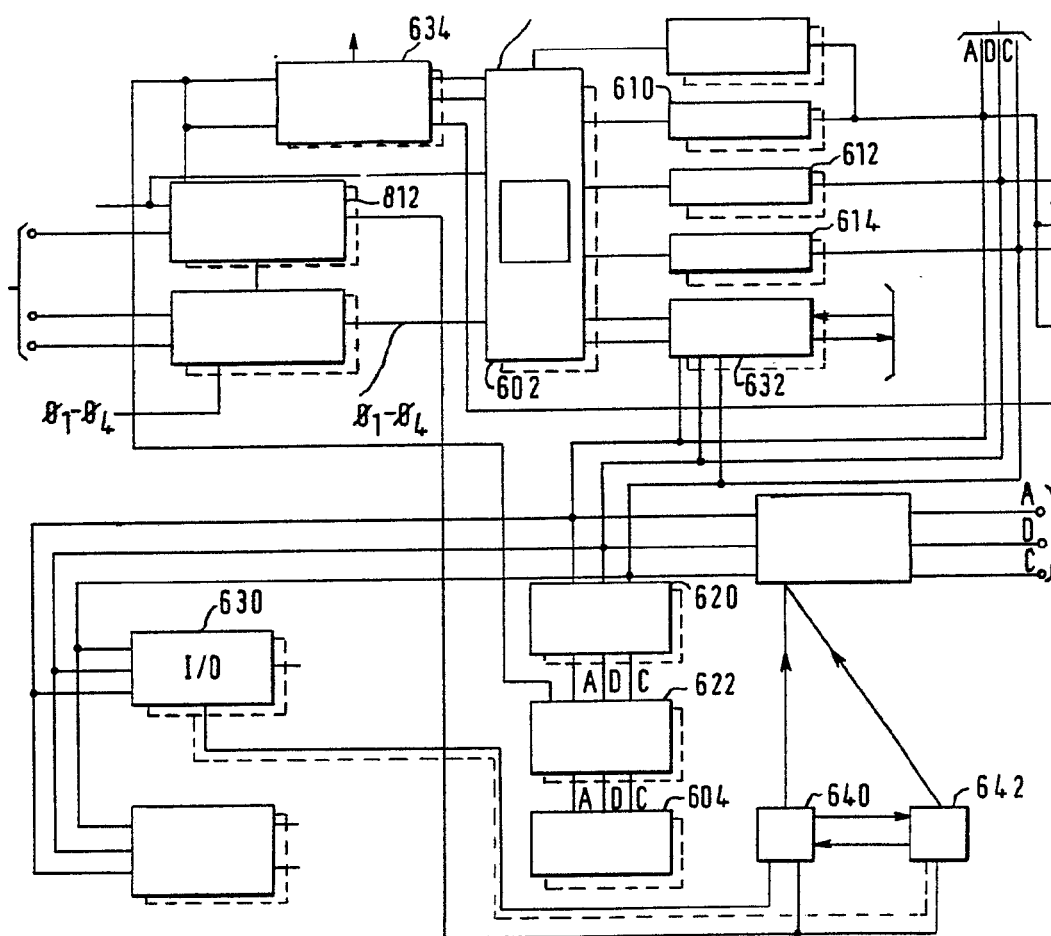


Fig. 5.

Eugenio Barroso
EUGENIO BARROSO
Secretario General



M/4

STANDARD ELECTRICA, S. A.

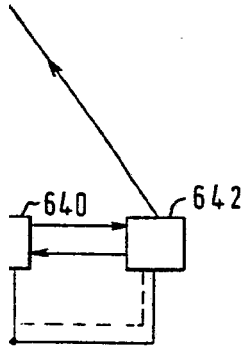
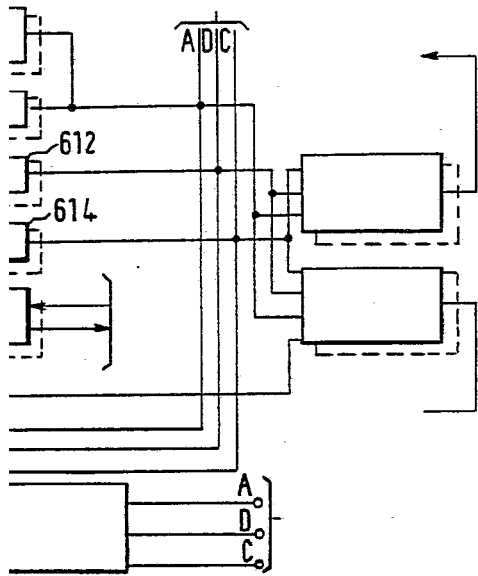


Fig.6.

30 Nov 1978

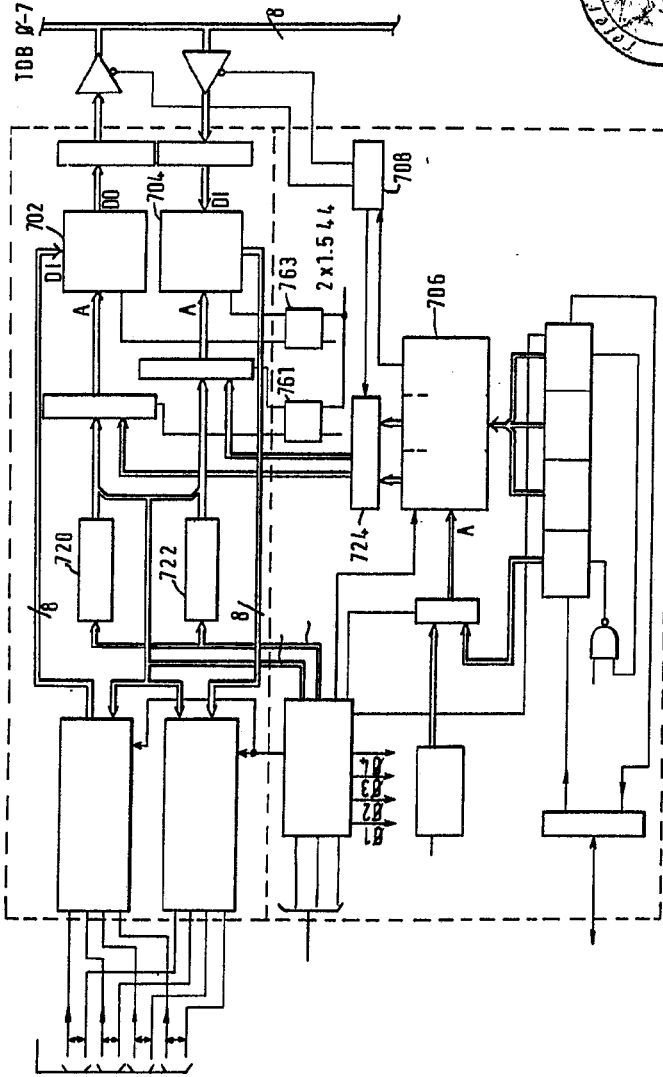


Eugenio Barroso
EUGENIO BARROSO
Secretario General

11/5

STANDARD ELECTRIC S. A.

Fig. 7.

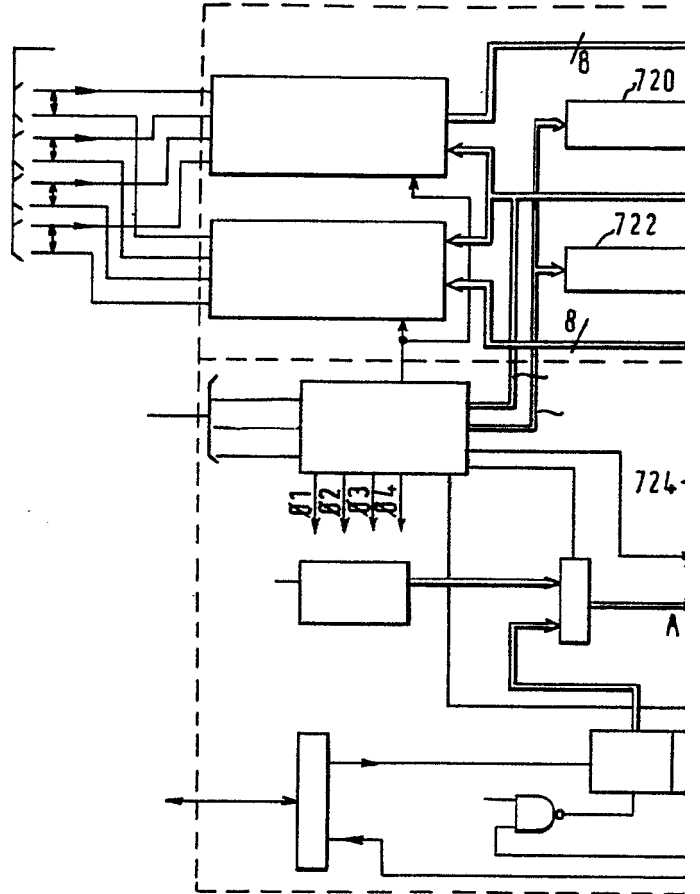


30 NOV. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

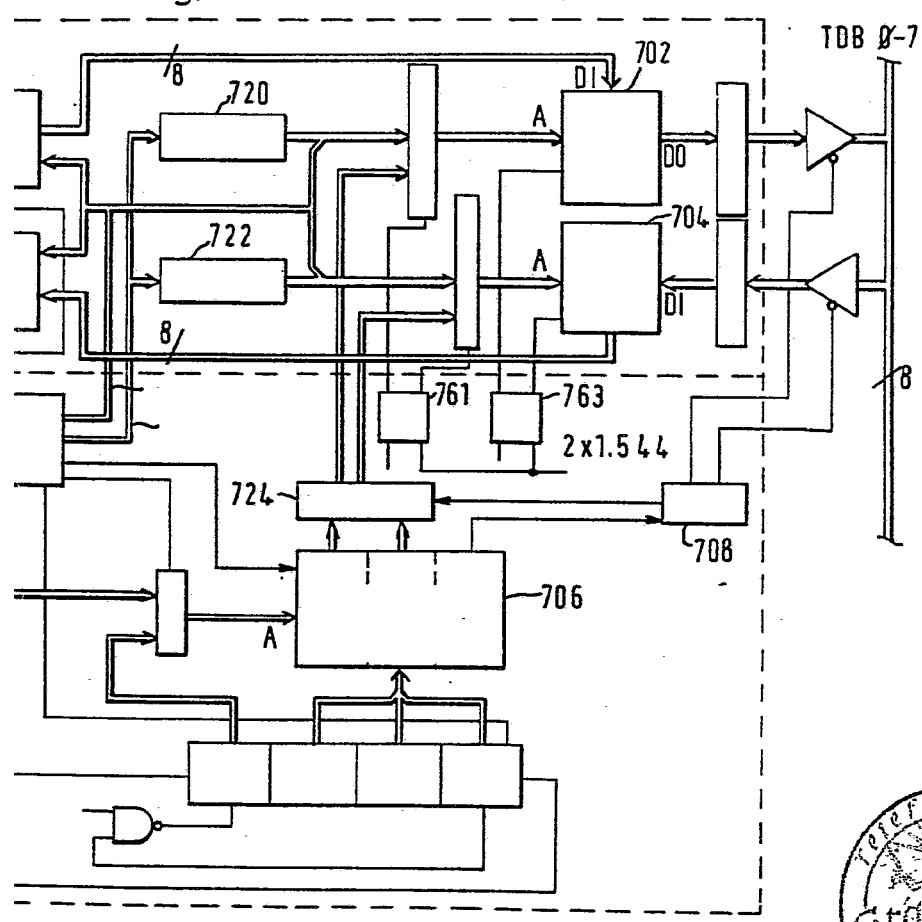
Fig.7.



M/5

STANDARD ELECTRIC S. A.

Fig.7.



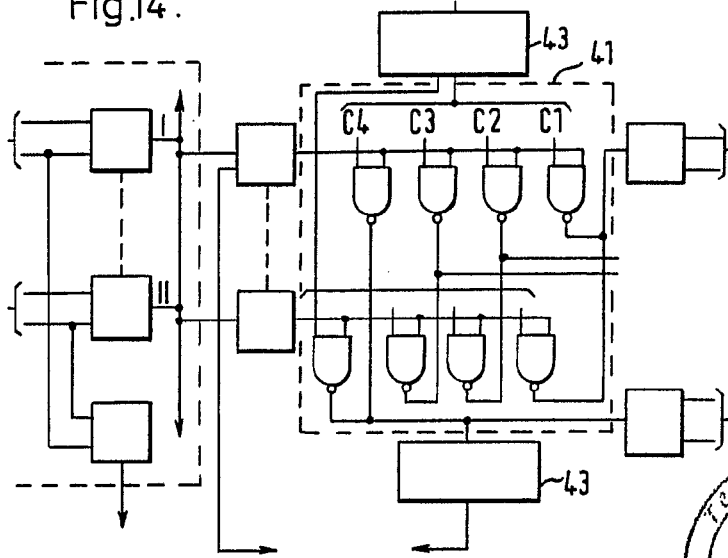
30 NOV. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

11/6

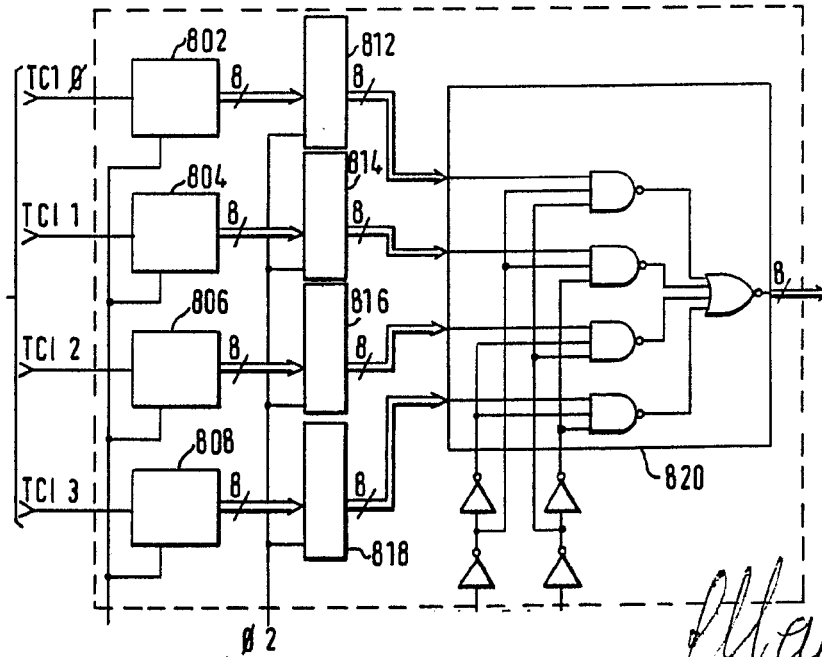
Fig.14.



30 NOV. 1978



Fig.8.

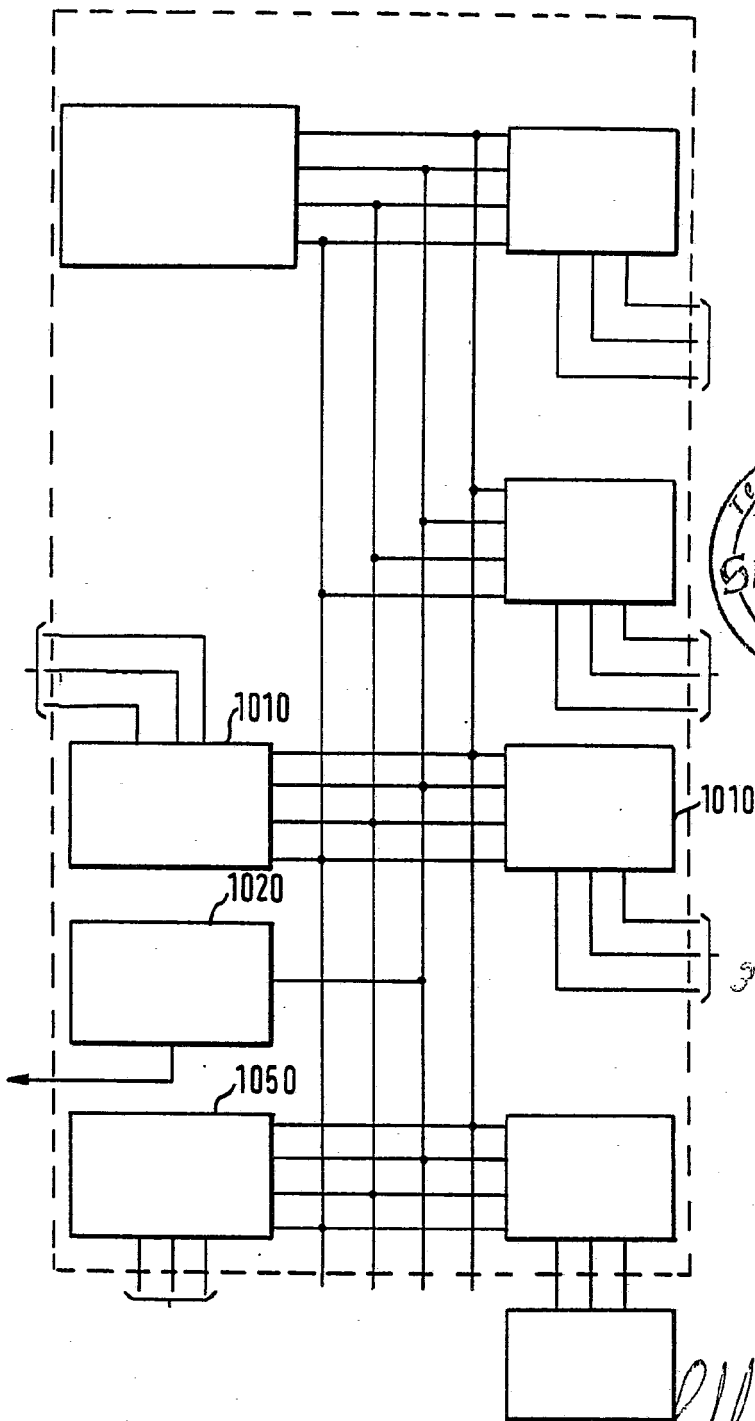


Eugenio Barroso
EUGENIO BARROSO
 Secretario General

11/7

STANDARD ELECTRICA, S. A.

Fig. 9.



30 JUN 1956
U.S. AIR FORCE

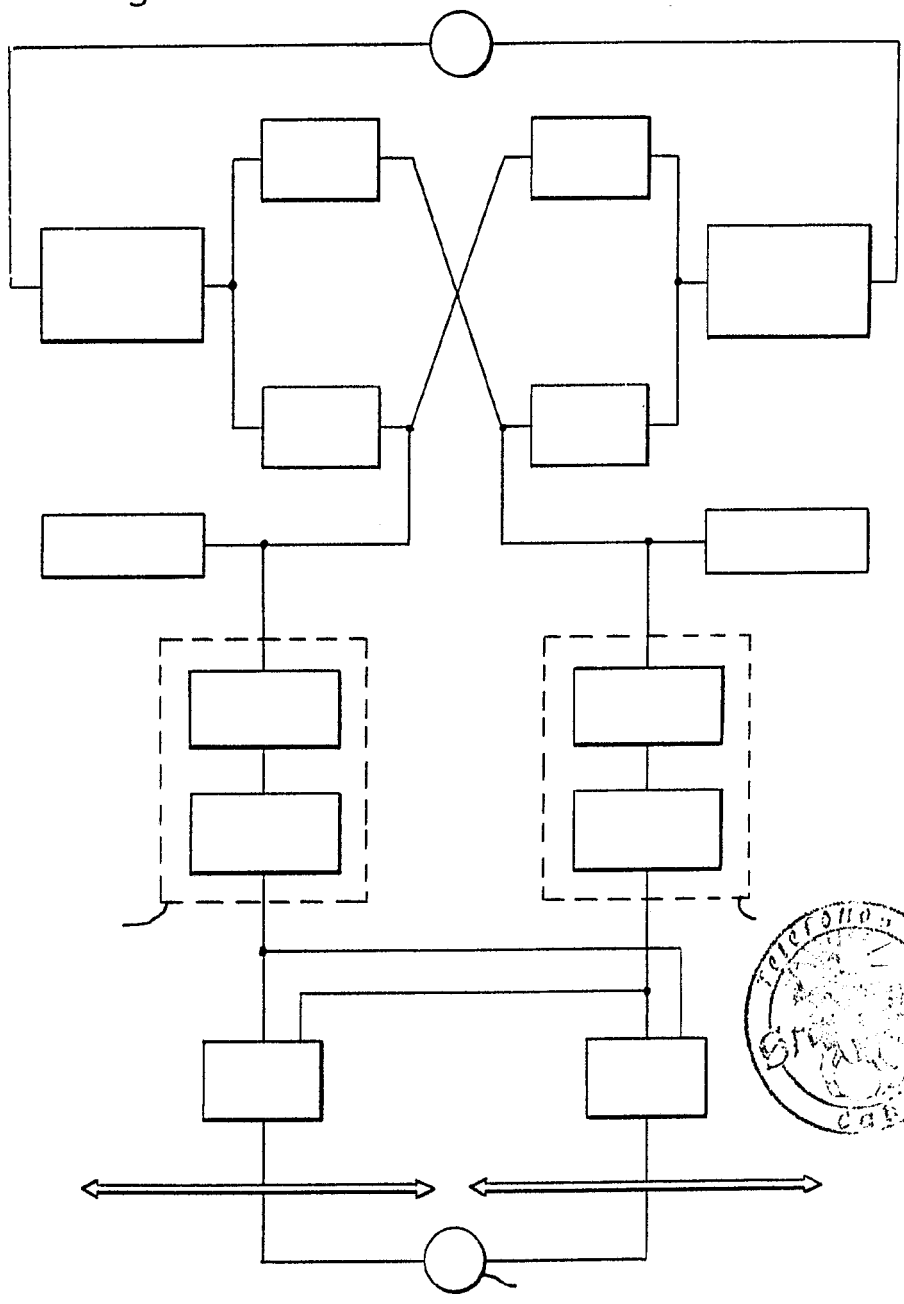
E. Barroso

EUGENIO BARROSO
Secretario General

M/S

Fig.10.

30 NOV. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

149

STANDARD ELECTRICA, S. A.

80 NOV. 1979



Eugenio Barroso
EUGENIO BARROSO
Secretario General

Fig.11.

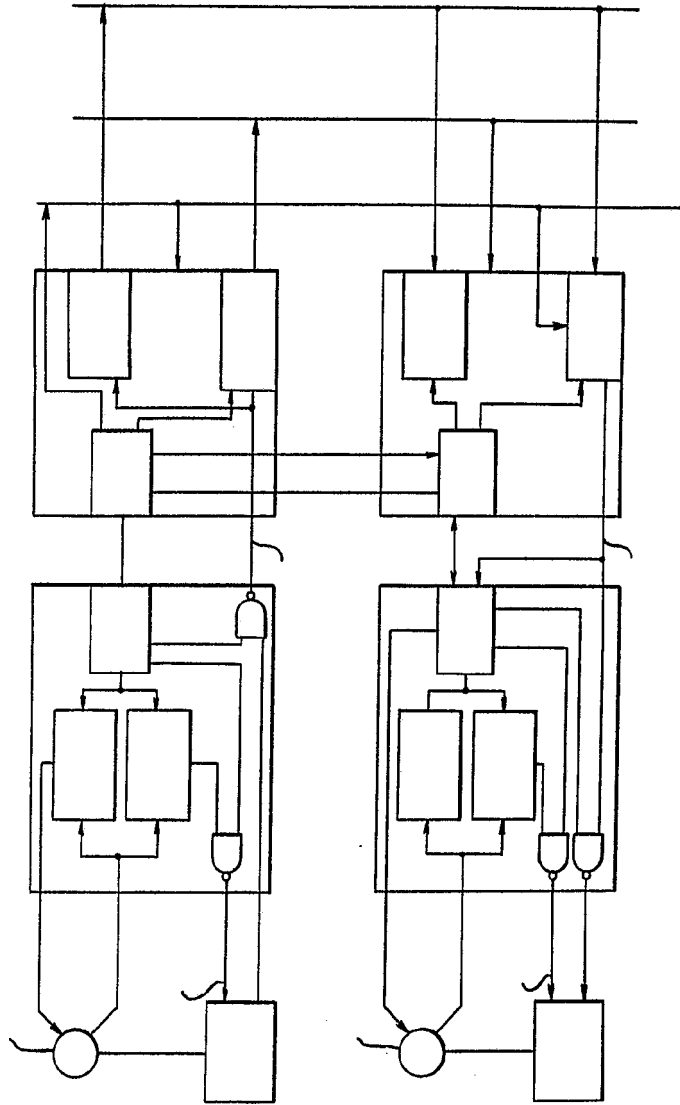
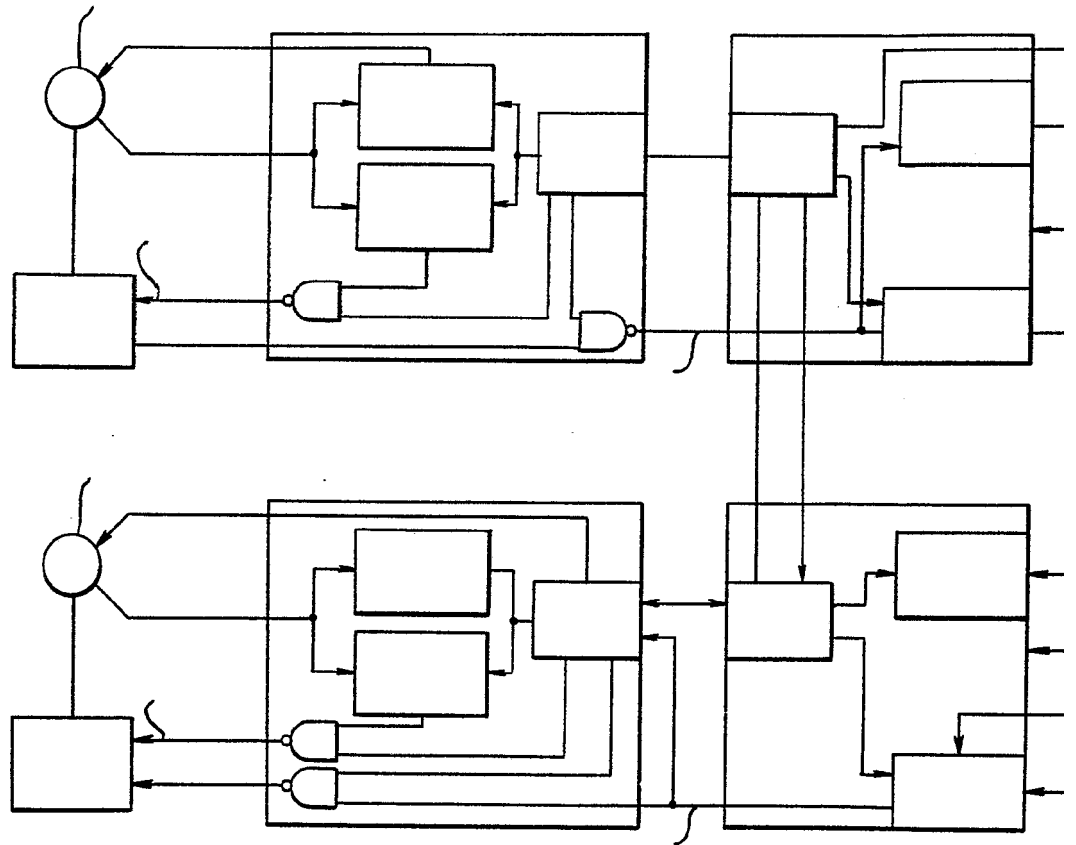
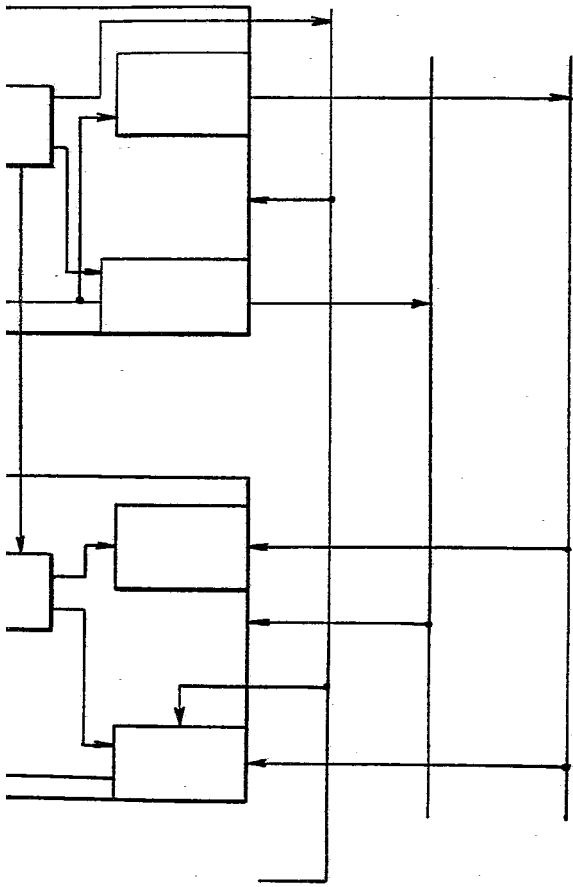


Fig.11.



M/9

STANDARD ELECTRICA, S. A.



30 NOV. 1973

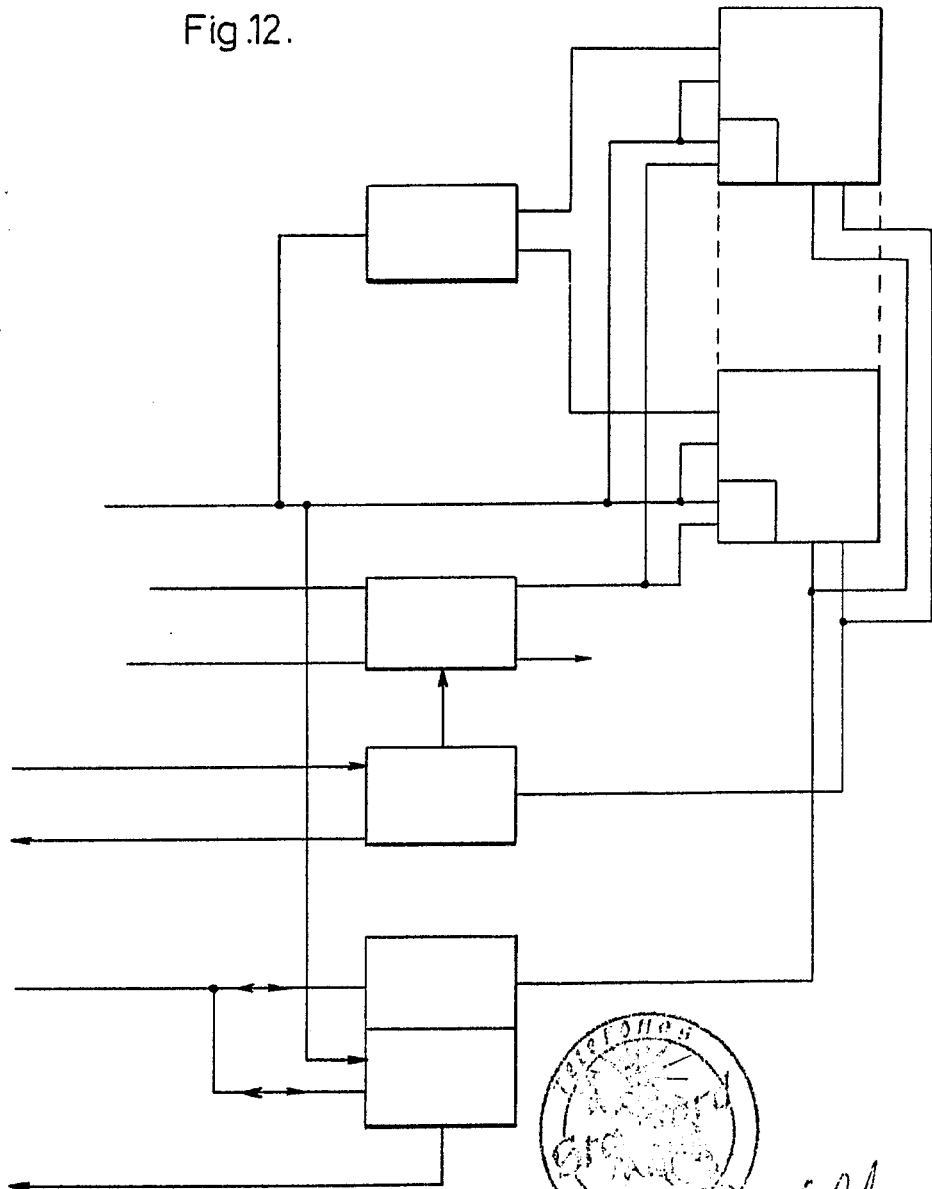


Eugenio Barroso
EUGENIO BARROSO
Secretario General

M/10

14. 1978

Fig.12.

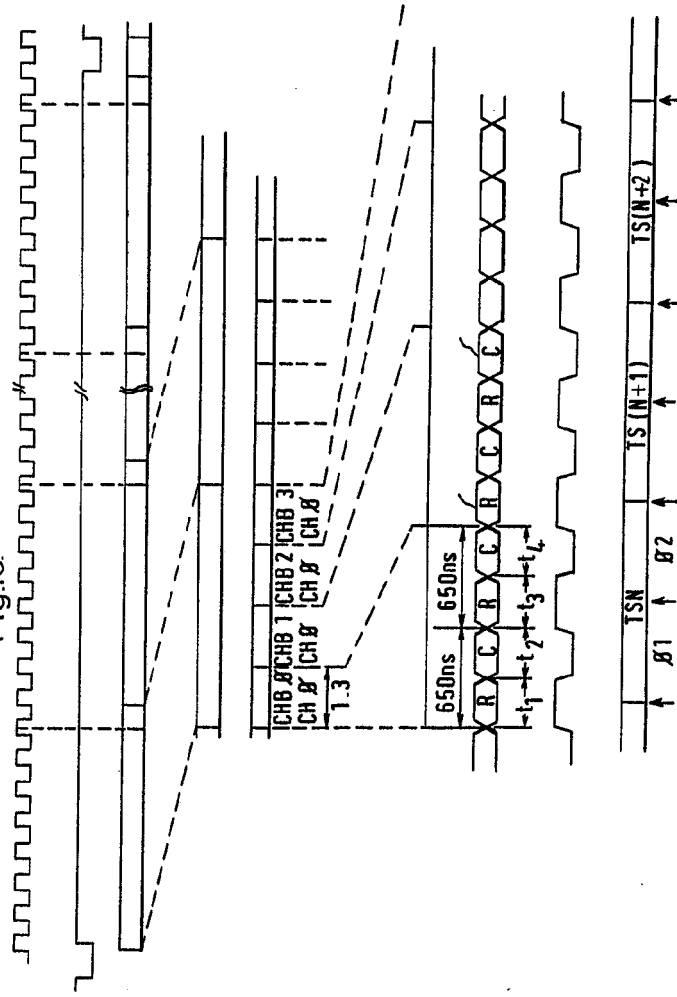


Eugenio Barroso
EUGENIO BARROSO
Secretario General

MH

STANDARD ELECTRICA, S. A.

Fig.13



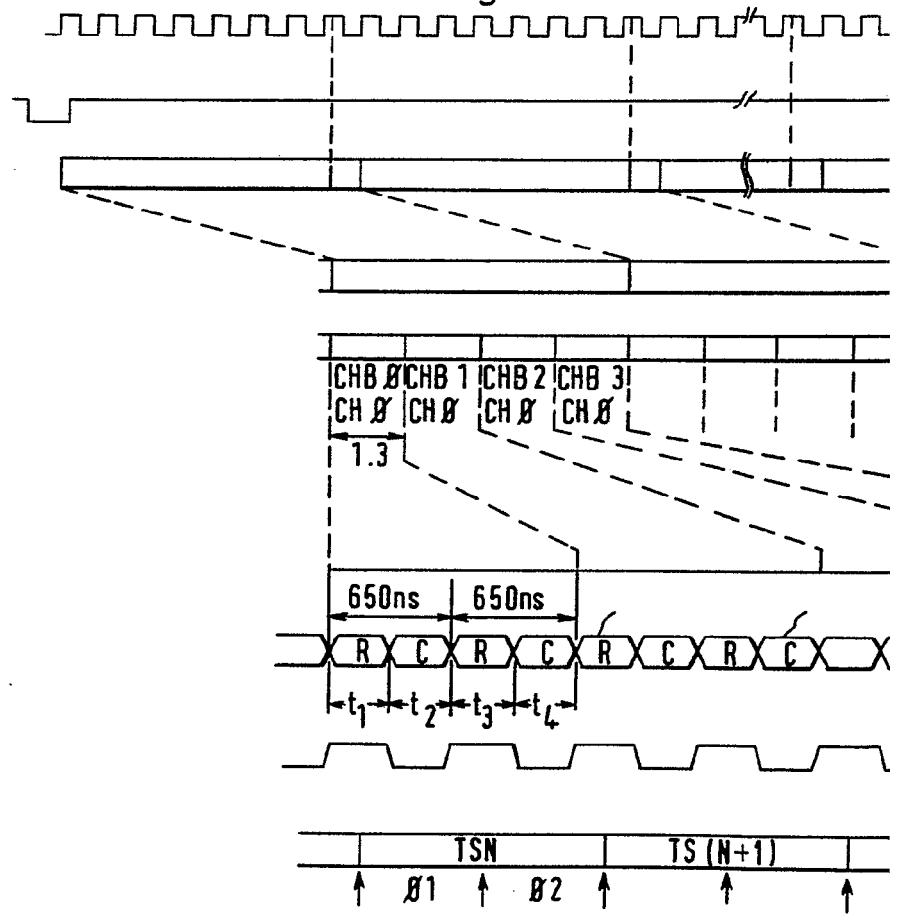
30 NOV. 1978



Eugenio Barroso

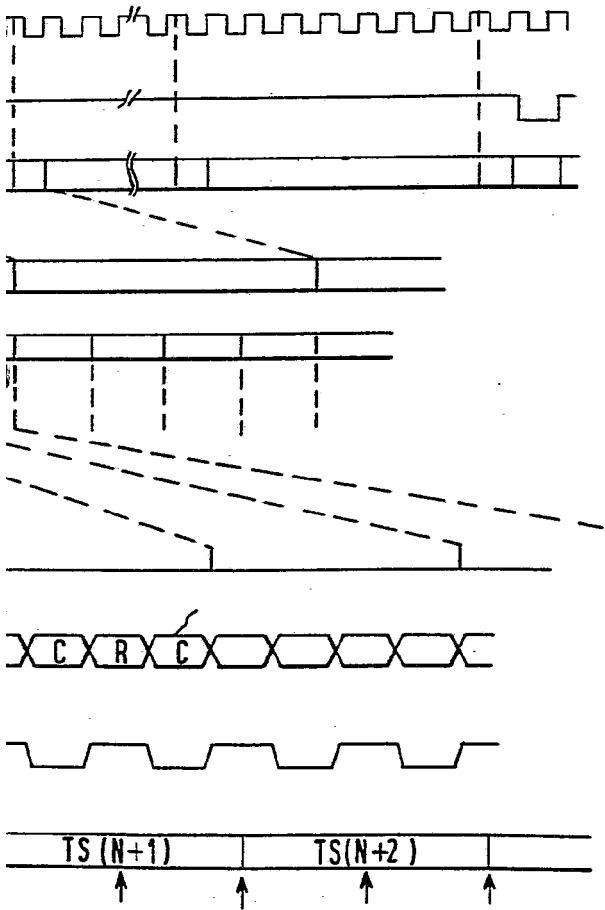
EUGENIO BARROSO
Secretario General

Fig.13.



M/S

STANDARD ELECTRICA, S. A.



30 NOV. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General