

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

(11) NUMERO
473.001
(22) FECHA DE PRESENTACION
31-8-78.

(10) A1

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
829.570	31 de agosto de 1.977	EE.UU. de A.

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(52) PATENTE DE LA QUE ES DIVISIONARIA
	G 11 C	

(64) TITULO DE LA INVENCION
Perfeccionamientos en memorias integradas solamente de lectura.

(71) SOLICITANTE (S)
WESTERN ELECTRIC COMPANY, INCORPORATED,

DOMICILIO DEL SOLICITANTE
222 Broadway, New York, New York 10038, EE.UU. de A.

(72) INVENTOR (ES)
DONALD EDGAR BLAHUT., JAMES ALBERT COOPER, JR

(73) TITULAR (ES)

(74) REPRESENTANTE
D. José Miguel Gómez-Acebo y Pombo.

Este invento se refiere a memorias solamente de lectura en circuitos integrados semiconductores del tipo que emplea una formación de matriz de conductores.

5. Una característica común de las formaciones de circuitos integrados semiconductores, como es una memoria solamente de lectura (ROM), es un modelo de conductores eléctricos  $x$  e  $y$  que se intersectan en puntos de cruce en los cuales se definen lugares para los bitios. Es también común que los conductores  $x$  e  $y$  se formen con dos materiales diferentes (metal y polisilicona) en dos niveles diferentes adyacentes al material semiconductor y se separen por una capa aislante.

10. Frecuentemente, los conductores  $y$ , que en adelante se denominarán "conductores de bitios", se alternan con líneas de tierra eléctricamente conductores formadas al mismo nivel. La información se almacena permanentemente en dicha memoria, por ejemplo, formando un cortocircuito conmutable entre un conductor  $y$  elegido y una línea de tierra, conmutado por un conductor  $x$  en un lugar de bitio en la intersección de los dos conductores. La conmutación se realiza, por ejemplo, por un dispositivo MOS de N canales con una puerta a la que se tiene acceso por el conductor  $x$ .

15. En éste tipo de dispositivo, es común que cada conductor de bitios se conecte a un electrodo de descarga de un dispositivo MOS de P canales, por ejemplo, cuya fuente se conecta a un voltaje de suministro  $V_{DD}$ . Las puertas de los dispositivos de P canales se conectan de un modo similar eléctricamente en paralelo a una fuente de señales  $\phi$ . Las líneas de tierra se conectan eléctricamente en paralelo a la descarga de un dispositivo MOS de N canales, cuya fuente se conecta a tierra. Las señales  $\phi$  se alimentan también a la puerta del dispositivo de
- 20.
- 25.
- 30.

- N de canales (común). Así, cuando se activan los dispositivos de P canales, se desactiva el dispositivo de N canales y viceversa. La información se almacena permanente en dicho dispositivo conectando un conductor de bitios eléctricamente a la línea de tierra adyacente siguiente en un punto de cruce predeterminado entre el conductor de bitios y el conductor x intersecante, efectuándose la conexión a través del dispositivo de N canales activado por el conductor x según se ha descrito anteriormente.
- 5.
10. Por lo tanto, la información almacenada de la memoria ROM está definida por unos y ceros digitales almacenados permanentemente en los puntos de cruce o intersecciones de los conductores y y x. Cada cero está definido por una conexión de cortocircuito entre el conductor y y un conductor de potencial de referencia (o tierra), y un uno está definido por un circuito abierto, o la no conexión entre el conductor y y tierra.
- 15.
20. En el ejemplo ilustrativo que se describiré más adelante, la memoria ROM se organiza por palabras y, por consiguiente, los conductores x se denominan conductores de palabras. En el funcionamiento de dicha memoria ROM con líneas a tierra, según se describe, las señales  $\phi$  se alimentan a las puertas de todos los dispositivos de P canales y el dispositivo de N canales (común) y las corrientes eléctricas fluyen a través de los conductores de bitios a las líneas de tierra correspondientes, donde existen cortocircuitos en lugares de bitios previamente elegidos, a través del dispositivo de N canales a tierra. Cuando un conductor de bitios y una línea de tierra correspondiente no se cortocircuitan, existe una diferencia de voltaje entre los mismos y un detector conectado a
- 25.
- 30.

Los conductores de bitios indica esta circunstancia.

5. Una memoria ROM va acompañada por un traductor o descodificador que funciona para elegir conductores de palabras durante el funcionamiento. En dispositivos de circuitos integrados, el descodificador y la memoria ROM se forman como parte de un solo circuito integrado donde el descodificador tiene una forma similar a la memoria ROM pero girado  $90^{\circ}$  con respecto a la misma y con conductores de bitios metálicos conectados eléctricamente a conductores de palabras de polisilicona de la memoria ROM.

10. En un microprocesador, las estructuras del descodificador y la memoria ROM se utilizan a veces también como una formación (así llamada) lógica programable (PLA) que funciona para controlar otros diversos circuitos lógicos definidos en una sola pastilla semiconductor. Los conductores eléctricos que conectan los conductores de bitios de la memoria ROM en dispositivos de la tecnología anterior se unen por una conexión externa, en un extremo de los conductores de bitios, en un trayecto de comunicación (vía) que sigue la mejor parte de dos lados de la memoria ROM ocupando una zona considerable de la pastilla.

15. En microprocesadores y en la mayoría de las estructuras ROM es importante conservar área de la pastilla y utilizarla lo más eficazmente posible, siendo este problema al que se dirige el invento.

20. Se puede demostrar que en la mayoría de los programas ROM, según se ha descrito anteriormente, existe un cierto número de lugares de conductores de palabras a lo largo de los cuales las últimas intersecciones, y una pluralidad de intersecciones sucesivas anteriores a la última intersección, definen

30.

5. cada uno un uno binario. Cada uno binario está definido por un circuito abierto entre el conductor de palabras y un potencial de referencia. Por conveniencia, dicha sucesión de unos en el extremo terminal del lugar del conductor de palabras se denominará cadena terminal.

10. Como el número de conductores de palabras suele exceder notablemente del número de conductores de bits, la memoria comprende con más frecuencia por lo menos un número de conductores de palabras igual al número de conductores de bits cuando tiene lugar dichas cadenas terminales. Se ha averiguado además que se puede cortar un conductor de palabras en cada instante en que aparece dicha cadena terminal y que se puede hacer conexión eléctrica a un conductor de bits en el espacio que deja disponible el conductor de palabras acortado. Las conexiones eléctricas se pueden hacer utilizando polisilicona en el mismo nivel que los conductores de palabras (polisilicona) y aparecen como interrupciones en los conductores de palabras. De éste modo se consigue notables ahorros de espacio.

20. La figura 1 es un diagrama de conjuntos de una parte de un microprocesador en circuito integrado.

La figura 2 es un diagrama esquemático de una memoria ROM y un descodificador para el PLA del microprocesador de la figura 1, y

25. La figura 3 es un diagrama en sección transversal de la memoria ROM de la figura 2 en una intersección.

30. La figura 1 ilustra un diagrama de conjuntos de una pastilla de circuito integrado IC que funciona como un microprocesador. La pastilla comprende una formación lógica, PLA, que comprende un descodificador 11 y una memoria ROM 12. Tanto

el descodificador como la memoria ROM son elementos conocidos que no se describirán con detalle. Por el contrario, los elementos y su organización se representan esquemáticamente para ilustrar la naturaleza topológica del invento y sus ventajas.

5.

El diagrama de conjuntos de la figura es representativo de la utilización de espacios de un IC. La figura ilustra, en líneas imaginarias, un área 13 que estaría normalmente ocupada por conexiones a los conductores de bitios de acuerdo con las enseñanzas de la tecnología anterior. Esta área se ahorra cuando los conductores de palabras de una formación lógica terminan en una intersección con un conductor de bitios en el cual existe un elemento de cortocircuito a tierra y más allá del cual no se precisan otros elementos de cortocircuitos.

10.

15.

La figura 2 ilustra, esquemáticamente, la organización del PLA en la figura 1. La memoria ROM comprende conductores de bitios y líneas de tierra  $15_M, 15_{M+1}, 15_{M+2} \dots$  que se extienden horizontalmente según se vé en la figura, con conductores de palabras intersecantes. Los conductores de palabras intersecantes. Los conductores de palabras están indicados como  $16_1, 16_2, 16_3 \dots$ , y se extienden verticalmente según se vé en la figura. Los conductores de palabras se forman normalmente con material de polisilicona en un plano o nivel adyacente a la capa semiconductor. La capa de polisilicona se recubre con una capa aislante como preparación para un segundo nivel de metal en el que se forman los conductores y líneas de tierra. Los conductores de bitios y los conductores de palabras se intersectan para formar lugares de bitios en los cuales se colocan dispositivos MOS de una forma

20.

25.

30.

selectiva para incorporar información según se sabe.

5. La figura 3 ilustra una sección transversal de un dispositivo MOS formado en dicha intersección. Una construcción típica emplea un subtrato de silicón de tipo N 20 en el cuál se forma una capa de tipo P (TUB) 21 normalmente por difusión. Una capa de óxido 22 se configura para definir regiones de tipo N difundidas 23. Los conductores de palabras de polisilicón están representados en 24 con conductores metálicos de bitios representados en 25. Las líneas de tierra están representadas en 27.

10. Los elementos de cortocircuito están previstos en intersecciones predeterminadas de una forma conocida. Por ejemplo, en la intersección 30 de la figura 2, el elemento de cortocircuito 31 conecta el conductor de bitio  $15_M$  en la abertura 32 de la capa de óxido. El elemento 31 conecta también la línea de tierra  $15_{M+1}$  en la abertura 33. A causa del elemento de cortocircuito, cuando se alimenta la señal  $V_{DD}$  el conductor de bitios  $15_M$  se pone a tierra a través del elemento 31, la línea de tierra  $15_{M+1}$ , y el dispositivo de canal N (ahora cerrado) 31. El modelo de elementos de cortocircuito determina qué conductores de bitios se encuentran a un potencial alto en respuesta a las señales  $V_{DD}$  cuando se alimenta la señal  $\phi$  a los dispositivos de canal P (P36 y P37).

20. La lectura de la memoria tiene lugar en respuesta a una señal alimentada al conductor de palabras (v.g., el conductor de palabras pasa a un potencial alto). Este punto se podrá comprender por la vista representativa en sección transversal de la figura 3. Consideremos que el conductor de palabras de polisilicón 24 de la figura 3 corresponde al conductor de palabras  $16_2$  de la figura 2 y que el conductor

25.

30.

- de bitios 25 y la línea de tierra 27 de la figura 3 corresponden al conductor de bitios  $15_M$  y la línea de tierra  $15_{M+1}$  de la figura 2. Una señal en el conductor de palabras  $16_2$  produciría entonces un canal de conducción entre las regiones
5.  $N+23$  de la figura 3. Ausencia de un dispositivo MOS de canal N en 31, se observa una señal de salida en el conductor de bitios  $15_M$ . Debido a la presencia del elemento 31 no se genera señal. Es evidente entonces que el modelo de elementos de cortocircuitos determina la salida de una memoria ROM.
10. La selección de conductores de palabras para una operación de lectura está determinada por la parte descodificadora 11 del FLA. Esta determinación, así como la organización del descodificador, se conoce en la tecnología y no se expondrá con detalle.
15. Lo importante para comprender el invento es que el modelo de conductores de bitios y conductores de palabras definen intersecciones y que el modelo de elementos de cortocircuitos asociados con dichas intersecciones determina la información almacenada por la memoria ROM. La memoria ROM se
20. caracteriza por una pluralidad de elementos de cortocircuito asociados con cualquier conductor de palabras particular. O sea, si miramos a lo largo de un conductor de palabras dado de una memoria ROM, hallamos un número de elementos de cortocircuito asociados con las intersecciones definidas a lo
25. largo del conductor de palabras. Por ejemplo, en la figura 2, los elementos 40 y 41 se asocian con intersecciones definidas a lo largo de la línea de palabras  $16_3$ . De un modo similar, se puede comprender que un cierto número de elementos de cortocircuito se asocien con la línea de palabras  $16_2$ . tomándose
30. el elemento 31 como el último elemento asociado con la inter

sección 30. El conductor de palabras  $16_2$  termina en la intersección 30, dejando sin utilizar el espacio en la capa de polisilicona superyacente al conductor de bitios  $15_{M+2}$  y otras líneas de tierra y conductores de bitio (no ilustrados) por debajo según se comprenderá. Es precisamente este espacio inu-  
5. tilizado el que se emplea para hacer conexiones a los conductores de bitios expuestos por la terminación de los conductores de palabras a media memoria según éste invento.

Este acortamiento de las longitudes de los conductores de palabras con respecto a las longitudes que tendrían ordinariamente deja espacio en el nivel de la polisilicona para formar conexiones a los conductores de bitios según  
10. representa el elemento 45 en la figura 2. Se hace una conexión eléctrica a los conductores de bitios por medio de la abertura 46 en la capa aislante entre los niveles de los conductores de palabras y de bitios.  
15.

Una memoria ROM Tipica tiene quizás 150 conductores de palabras y 27 conductores de bitios. Un cierto número de conductores de bitios se conectan a otros elementos funcionales de una pastilla integrada desde el extremo simplemente porque un elemento de función ocupa una posición en la pastilla en el extremo de la memoria ROM. Dicho elemento se ilustra como el conjunto 50 en la figura 1 con el título "CMOS de temporización". Las conexiones de los conductores de bitios  
20. están indicadas por la referencia 51 en la figura 1 y pueden representar seis de las 27 conexiones de conductores de bitios. El área de la figura 1, indicada por la referencia 13, es el área que ocuparían las conexiones de conducción a elementos funcionales como los indicados por el conjunto 52 titulado  
25. "enganches (CMOS)" y el conjunto 53 titulado "descodificadores (CMOS)". El área 13 representa 21 de las conexiones de conducto  
30.

res de bitios de nuestra memoria ROM ilustrativa. Como cada conexión exige quizás 15 micrones, el área 13 es 21 x 15 micrones con un promedio aproximadamente 220 micrones de la longitud o un área de 693.000 micrones cuadrados. Esta área se ahorra por el acortamiento de los conductores de palabras en la memoria ROM para ahorrar espacio en el nivel de polisilicona para conductores eléctricos que conectan los conductores de bitios desde el costado de la memoria ROM. Los conjuntos 52 y 53, así como un área de interconexión, se representan ocupando espacio ocupado anteriormente de una forma innecesaria por conexiones de conductores de bitios.

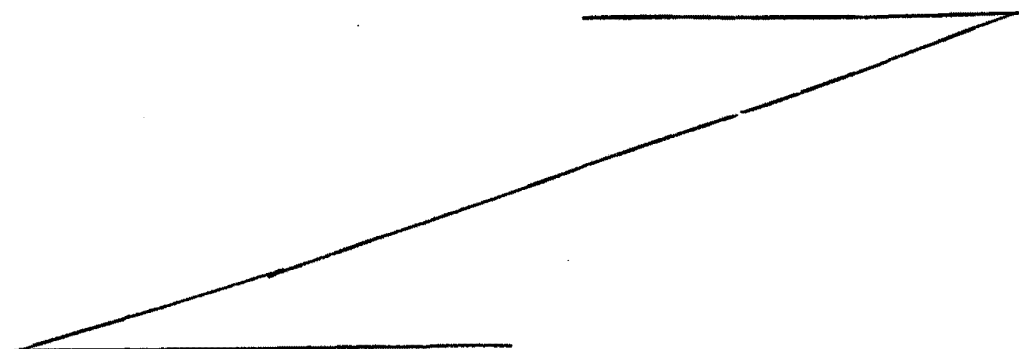
En la memoria ROM ilustrativa se tendrían que acortar 21 conductores de palabras para ahorrar el espacio para la conexión de 21 de los 27 conductores de conexión lateral. El modelo de información en la memoria determina qué conductores de palabras se pueden acortar. Si adoptamos la convención normal de que un elemento de cortocircuito representa un cero binario y la ausencia de dicho elemento representa un uno binario, entonces la aparición de cualquier cadena terminal de unos a lo largo de un conductor de palabras permite el acortamiento del conductor de palabras. En un grupo de 150 conductores de palabras, la probabilidad de que ocurra una cadena terminal de unos se aproxima a uno.

Normalmente, el modelo de información es de tal naturaleza que los conductores de palabras acortados tienen una distribución aleatoria en la memoria ROM. La apariencia en una ampliación fotográfica de la memoria ROM es en cierto modo reminiscente de las carreras en las medias de seda. No obstante, la información se puede organizar de modo que todas las cadenas de unos se acumulen en una sola área según resultará

evidente al experto en la materia. Aunque la acumulación en una sola área no es particularmente importante para el contacto con conductores de bitios, se comprenderá la importancia si recordamos que el descodificador 11 se organiza de un modo similar a la memoria ROM donde las líneas verticales, según se verá en la figura 2, están en el nivel metálico y las líneas horizontales están en el nivel de polisilicona. La acumulación de conductores acortados en el descodificador produce una zona libre que se puede utilizar para un circuito funcional agrandado o adicional. Esto resultará particularmente evidente cuando se considera que las líneas verticales y horizontales se pueden acortar según se ha descrito. Dicha zona libre se ilustra en la figura 1 como la zona 70.

Lo que se ha descrito se considera simplemente ilustrativo de los principios de éste invento. Por consiguiente, los expertos en la materia pueden idear diversas modificaciones dentro del espíritu y alcance de éste invento comprendido por las reivindicaciones adjuntas.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren suprincipio fundamental.



REIVINDICACIONES

5. 1.- Perfeccionamientos en memorias integradas solamente de lectura especialmente para circuitos integrados semiconductores para almacenar información, cuyas memorias solamente de lectura tienen una formación de matriz de conductores de palabras y bitios aislados en sus intersecciones, estando definida la información almacenada por un modelo de elementos en intersecciones elegidas, para cambiar el voltaje en el conductor de bitios en respuesta a una señal en el conductor de palabras correspondiente, siendo el modelo el necesario para que exista por lo menos un lugar de conductor de palabras en el cual haya de haber una secuencia de intersecciones sucesivas en las que no existen elementos de cambio de voltaje, extendiéndose la secuencia de intersecciones desde un extremo terminal del lugar del conductor de palabras en la formación de matriz hasta uno de dichos elementos, caracterizados porque el conductor de palabras en el lugar del conductor de palabras mencionado termina físicamente en dicho elemento inmediatamente antes de la secuencia de intersecciones exponiendo por lo tanto los lugares de los conductores de palabras entre la terminación física del conductor de palabras y el extremo terminal del lugar del conductor de palabras en el borde de la formación de matriz y obteniéndose espacio disponible en el circuito integrado semiconductor.
- 10.
- 15.
- 20.
- 25.

30. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque se incluye un modelo de conductores eléctricos, cada uno de los cuales se superpone a lugares de conductores de bitios expuestos, conectándose eléctricamente cada uno de los conductores eléctricos a uno de los

conductores de bitios.

5. 3.- Perfeccionamientos segun la reivindicación 2, caracterizados porque los conductores de bitios se alternan con un conjunto en paralelo de líneas de tierra, y cada uno de los elementos conectan eléctricamente un conductor de bitios y una línea de tierra próxima adyacente en una de las intersecciones, los medios que responde a una primera señal para conectar eléctricamente los conductores de bitios y poner a tierra las líneas de tierra.

10. 4.-Perfeccionamientos según la reivindicación 3, caracterizados porque las líneas de palabras acortadas se acumulan en una sola área.

15. 5.- Perfeccionamientos segun la reivindicación 1, caracterizados porque los conductores de bitios y de palabras se forman en el primer y segundo niveles junto a dicha capa, dejando los conductores de palabras espacio libre en el segundo nivel superyacente a los conductores de bitios, cuyo segundo nivel comprende también conductores eléctricos alineados con los conductores de palabras y separados de los mismos, conectándose los conductores eléctricos a conductores de bitios previamente elegidos a través de la capa aislante.

20.

6.- Perfeccionamientos en memorias integradas solamente de lectura, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.

Esta Memoria consta de trece hojas, escritas a máquina por una sola cara.

5.

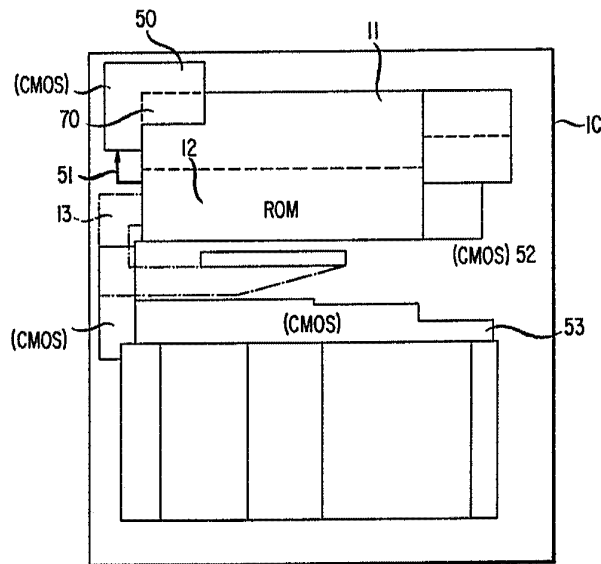
22 ENE. 1979

Madrid,

WESTERN ELECTRIC COMPANY, INCORPORATED.

J. M. [Signature]  
[Signature]

FIG. 1



FEDERAL  
VIA  
2 ENE. 1979

~~RECEIVED  
FEDERAL BUREAU OF INVESTIGATION  
U.S. DEPARTMENT OF JUSTICE  
WASHINGTON, D.C. 20535~~

FIG. 2

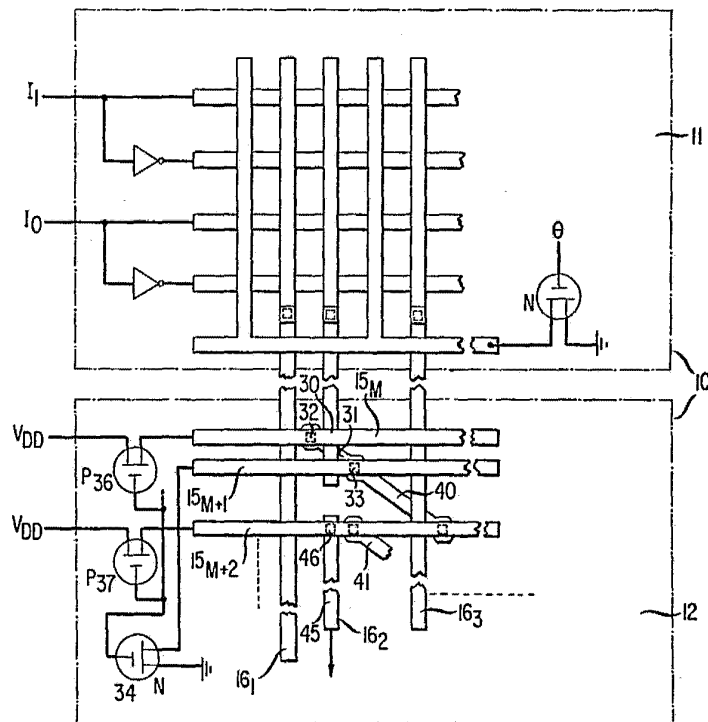
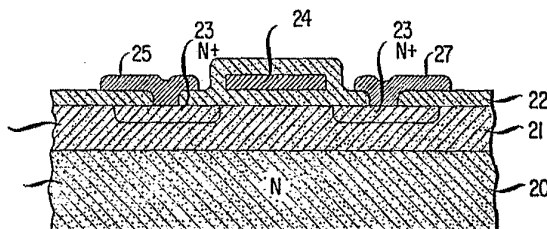


FIG. 3



ESCALA  
VARIABLE

22 ENE. 1979

J. M. GONZALEZ Y POMBO  
p. p. Firmador: J. Suarez Diaz