

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

-5 ENE 1979

NUMERO	471.718
FECHA DE PRESENTACION	14-Julio-1.978

10 A1

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

A1 471718 790201 G 06 F 13/00

10 PRIORIDADES: 11 NUMERO 818.797	12 FECHA 25-7-77	13 PAIS E.U.A.
---	---------------------	-------------------

14 FECHA DE PUBLICIDAD	15 CLASIFICACION INTERNACIONAL G 06 F	16 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

17 TITULO DE LA INVENCION
"UN APARATO DE COMPENSACION DE DATOS DE BLOQUE"

18 SOLICITANTE (ES)
INTERNATIONAL BUSINESS MACHINES CORPORATION
(Docket EN9-76-028)

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, Estados Unidos de América

19 INVENTOR (ES)
James Theodore Moyer

20 TITULAR (ES)

21 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ (P.-69.214)

MCS/.

POOR QUALITY

1 La presente invención se refiere a aparatos compensa-
dores o de memoria compensadora ("buffer") de datos, para
uso con calculadoras numéricas y con ordenadores de datos
numéricos, para compensar la transferencia de datos entre
5 unos dispositivos periféricos de entrada/salida y una uni-
dad de memoria principal asociada al ordenador de datos o
a la calculadora numérica.

Información sobre la técnica ya conocida relacionada con
este invento

10 Las patentes de la técnica ya conocida que se rela-
cionan a continuación dan una información útil sobre los
antecedentes y fundamentos para la presente invención:

15 1) Patente de EE.UU. nº. 3.249.924, concedida a R. J.
Furlong el 3 de mayo de 1966 y titulada "Un sistema asín-
crono de tratamiento de datos";

2) Patente de EE.UU. nº. 3.380.030, concedida a Ro-
bert F. McMahon el 23 de abril de 1968 y titulada "Un apa-
rato para acoplar memorias de distinta longitud de voca-
blos";

20 3) Patente de EE.UU. nº. 3.432.813, concedida a Euge-
ne J. Annunziata y col. el 11 de marzo de 1969 y titulada
"Un aparato para el control de una pluralidad de disposi-
tivos periféricos";

25 4) Patente de EE.UU. nº. 3.488.633, concedida a Le-
wis E. King y col. el 6 de enero de 1970 y titulada "Un -
aparato de bloques o "canales" automático";

5) Patente de EE.UU. nº 3.602.896, concedida a David
Zeheb el 31 de agosto de 1971 y titulada "Una memoria de
acceso aleatorio con linderos de datos flexibles";

30 6) Patente de EE.UU. nº. 3.626.376, concedida a -

1 Lawrence B. Anderson y col. el 7 de diciembre de 1971 y -
titulada "Un circuito de cruce o transposición de bitios
para una memoria";

5 7) Patente de EE.UU. n.º. 3.643.221, concedida a James
B. Chambers el 15 de febrero de 1972 y titulada "Un com-
pensador de bloques o "canales" para un sistema de trata-
miento de datos";

10 8) Patente de EE.UU. n.º. 3.699.530; concedida a Ro-
bert S. Capowski y col. el 17 de octubre de 1972 y titula
da "Un sistema de entrada/salida con compensación de blo-
ques dedicada"; y

15 9) Patente de EE.UU. n.º 3.916.388, concedida a Eve-
rett M. Shimp y col. el 28 de octubre de 1975 y titulada
"Un aparato de desplazamiento para la alineación automáti-
ca de datos".

Antecedentes y fundamentos de la invención

20 Un primer problema con el que se tropieza en la trans-
ferencia de datos entre un dispositivo periférico de en-
trada/salida y una unidad de memoria principal de un orde-
nador de datos es el de la diferencia entre la longitud de
los segmentos de datos pasados al dispositivo de entrada/
salida o recibidos de éste y la longitud de los segmentos
de datos susceptibles de ser inscritos (introducidos) en
25 la unidad de memoria principal, o tomados por lectura de
la misma, durante un solo acceso. Como tipo, el dispositi-
vo de entrada/salida suministra datos a la unidad de -
bloques o "canales" del ordenador de datos, o recibe da-
tos de dicha unidad, de batería en batería de bitios (esto
es, una batería de bitios cada vez). Como tipo, la uni-
30 dad de memoria principal está construída para leer o ins-

1 cribir ocho baterías de bitios de datos a un tiempo. Las
soluciones conocidas de este problema se describen en las
patentes de EE.UU., arriba citadas, nº. 3.488.633 de King
y col. y nº. 3.432.813 de Annunziata y col. Estas paten-
5 tes describen respectivamente la unidad de bloques del ti-
po de selector y la unidad de bloques del tipo de multi-
plador usadas con los ordenadores de datos mayores o más
grandes, del sistema 360, fabricados por la International
Business Machines Corporation de Armonk, Nueva York. En
10 las unidades de bloques descritas en estas patentes se --
usan unos registros discretos o desunidos, de equipo físi-
co, para ensamblar las baterías de bitios recibidas de --
una en una desde el dispositivo de entrada/salida. Des-
pués de acumuladas las baterías de bitios en número sufi-
15 ciente para alcanzar un lindero de vocablo de almacenaje
o memoria, las baterías de bitios ensambladas se transfie-
ren en grupo a la unidad de memoria principal. Un proce-
dimiento inverso se sigue cuando se están transfiriendo -
datos desde la unidad de memoria principal al dispositivo
20 de entrada/salida.

La patente de EE.UU. nº 3.643.221 de Chambers, arri-
ba citada, describe la memoria compensadora de bloques usa-
da en el ordenador de datos modelo 145, del sistema 370,
fabricado por la International Business Machine Corpora-
25 tion de Armonk, Nueva York. En este ordenador, la trans-
ferencia de datos entre el compensador de bloques y la uni-
dad de memoria principal se hace en segmentos de cuatro -
baterías de bitios, en contraposición con los de ocho ba-
terías de bitios. Este compensador de bloques es un tipo
30 especial de registro de desplazamiento de ocho baterías -

1 de bitios, caracterizado por la posibilidad de que los da
tos contenidos en cada posición de batería de bitios, al-
ternativamente, no se desplacen, se desplacen en una sola
5 posición de batería de bitios o se desplacen en dos posi-
ciones de batería de bitios a la derecha, según las condi-
ciones, de llenas o de vacías, de las dos posiciones suce-
sivas de baterías de bitios. Las baterías de bitios de -
datos recibidas de un dispositivo de entrada/salida se --
asientan o introducen por la extremidad izquierda del re-
10 gistro de desplazamiento, y las baterías de bitios trans-
feridas a la unidad de memoria principal se toman en para-
lelo de las cuatro posiciones de batería de bitios de más
a la derecha, del registro de desplazamiento. Recíproca-
mente, cuando se transfieren datos al dispositivo de en-
15 trada/salida, los datos procedentes de la unidad de memo-
ria principal se introducen en paralelo en las cuatro po-
siciones de batería de bitios de más a la izquierda del -
registro de desplazamiento y los datos transferidos al --
dispositivo de entrada/salida se toman, batería de bitios
20 por batería de bitios (esto es, de una en una de éstas) -
de la extremidad derecha del registro de desplazamiento.

La patente de Capowski y col., EE.UU. nº. 3.699.530,
describe el sistema de memoria de compensación (compensa-
dor) de bloques usado con el ordenador de datos modelo --
25 165 del sistema 370 fabricado por la International Business
Machines Corporation de Armonk, Nueva York. En este caso
se prevén varios compensadores para cada bloque o "canal"
de entrada/salida.

La patente de Furlong, EE.UU. nº. 3.249.924, descri-
30 be un compensador de bloques en forma de una disposición

1 regular de memoria de núcleos, de una batería de bitios -
de anchura, capaz de contener hasta dieciséis baterías de
bitios de datos por bloque. Las baterías de bitios de da
tos se transfieren de una en una desde el compensador a -
5 un registro de ensamble de ocho baterías de bitios, desde
el cual se transfieren en grupo a la memoria principal --
después de ensamblado en dicho registro el vocablo comple
to de almacenaje. El proceso de transferir las baterías
de bitios al registro de ensamble se interrumpe temporá--
10 neamente al recibirse una petición de servicio de disposi
tivo de entrada/salida, procedente de una unidad de blo--
que o "canal".

Los mecanismos descritos en las patentes estudiadas
hasta este punto funcionan a toda satisfacción para los -
15 fines a que se destinan. Ahora bien, no resultan del to
do adecuados para uso en sistemas de tratamiento de datos
a muy altas velocidades, poseedores de tasas o frecuen---
cias de datos muy superiores a las que se encuentran en -
la mayoría de los sistemas actualmente en uso. Muchos de
20 los sistemas actualmente utilizados tienen la limitación
relativa al tiempo necesario para efectuar las tareas o -
quehaceres de fondo y de gobierno interior ("housekeeping")
precisas para preparar la unidad de memoria principal pa
ra que haga la lectura o la inscripción efectiva de los -
25 datos. Así, para obtener una mayor tasa o velocidad de -
manipulación de datos, hay que trasladar o transferir un
mayor número de baterías de bitios de datos a o desde la
unidad de memoria principal para cualquier ejecución dada
de las tareas de gobierno interior. En la forma de reali
30 zación que aquí se va a describir, se transfieren hasta -

1 sesenta y cuatro baterías de bits de datos de una a otra
de la memoria compensadora de datos y la unidad de memoria
principal durante cada operación de transferencia de alma-
cenaje, o sea, en otros términos, para cada ejecución de
5 las tareas de gobierno interior. Físicamente, los datos
se mudan o trasladan en segmentos de ocho baterías de bi-
tios, transfiriéndose hasta ocho de tales segmentos duran-
te una sola operación cualquiera de transferencia de alma-
cenaje. Por término medio, esto da una reducción aprecia-
ble del tiempo total requerido para las operaciones de --
10 transferencia de almacenaje.

Con el fin de poder transferir estas mayores cantida-
des de datos hasta o desde la unidad de memoria principal
en un brevísimo intervalo de tiempo, el compensador de da-
15 tos de bloque debe proporcionar una cantidad de compensa-
ción de datos considerablemente mayor que la proporcionada
en los compensadores de datos arriba descritos. En --
otros términos, la capacidad de almacenaje de la memoria
compensadora de datos debe ser considerablemente mayor. -
20 Por razones de economía y similares, esta mayor capacidad
de compensación se obtiene preferiblemente usando para --
ello una disposición regular de memoria de semiconductores
del tipo de circuito integrado, como compensador de datos.
Ahora bien, el uso de una disposición regular de memoria
25 como compensador de datos de bloque presenta problemas de
alineamiento de datos, en relación con la unidad de memo-
ria principal del ordenador de datos.

A los fines de transferir datos desde una formación
o disposición regular de almacenaje o memoria compensadora
30 de grupo a la unidad de memoria principal, por ejemplo, -

1 los datos tomados por lectura de la disposición regular -
de memoria compensadora de grupos durante un solo acceso
tendría la misma alineación de linderos necesitada por la
unidad de memoria principal. Esto puede lograrse mediante
5 la adecuada colocación de los datos en la formación o dis-
posición regular de memoria de compensación. Ahora bien,
esto complica la transferencia de datos desde la unidad -
de bloques a la disposición regular de compensación. Se-
ría mejor y más fácil simplemente "apretar" o densificar
10 los datos que van desde la unidad de bloques a la disposi-
ción regular de memoria de compensación, en el orden en -
que se reciben y sin tener en cuenta ningún requisito de
alineación de la memoria principal. Asimismo, cuando los
datos contenidos en la disposición regular compensadora -
15 de bloques estén alineados respecto a la memoria princi-
pal, la capacidad de encadenamiento de datos es deficien-
te. Así, la densificación de datos en la disposición re-
gular compensadora sin los huecos arbitrarios producidos
por las restricciones de alineación respecto a la memoria
20 principal mejorarían también la capacidad de encadenamien-
to de datos.

Consideraciones similares tienen aplicación cuando -
los datos se estén transfiriendo en el sentido opuesto, -
es decir, desde la unidad de memoria principal a la uni-
25 dad de bloques.

Las patentes de E.E.UU. arriba citadas, n.º. 3.380.030
de McMahon y n.º. 3.626.376 de Anderson y col. se dirigen
al problema de la alineación de datos cuando se están - -
transfiriendo datos entre una memoria compensadora de da-
30 tos de bloque y una unidad de memoria principal. La pa-

1 tente de McMahon describe una disposición de registro de
equipo físico ("hardware") y franqueo de paso ("puertas")
para transferir datos de una a otra de dos unidades de al-
macenaje o memoria que tengan distintas longitudes de vo-
5 cablo de almacenaje, o distintas longitudes de acceso de
datos. Se requieren dos ciclos de máquina, u operaciones
de acceso a memoria, para completar una transferencia cuan-
do los datos que se van a transferir se hallan en dos fi-
10 las distintas, en la unidad de memoria de procedencia o -
"fuente". Entre otras cosas, el aparato de McMahon es más
lento y requiere más equipo físico de control del deseado
a los fines presentes.

15 La patente de Anderson y col. describe un circuito -
de cruce o transposición de bitios, para transponer o cru-
zar a la derecha las baterías de bitios que se estén trans-
firiendo desde la memoria compensadora de datos a la uni-
dad de memoria principal cuando la posición de la batería
de bitios de iniciación en la unidad de memoria principal
esté a la derecha de la posición de batería de bitios de
20 más a la izquierda. Se prevé un registro de equipo físi-
co para atrapar y retener toda batería de bitios que se -
cruce al otro lado del lindero derecho de la unidad de me-
moria principal. En transferencias sucesivas, los datos
se transfieren simultáneamente desde el compensador de da-
25 tos y el registro de equipo físico hasta formar un vocablo
completo para su almacenaje en la unidad de memoria prin-
cipal, introduciéndose luego toda batería de bitios usada,
procedente del compensador de datos, en el registro de --
equipo físico, con objeto de guardarla para un sucesivo -
30 acceso a la memoria principal. Infortunadamente, para --

1 los fines presentes, el aparato de Anderson y col. requiere
re el empleo de un registro de equipo físico adicional y,
además, no tiene en cuenta el caso en que la posición de
la batería de bitios de iniciación no sea la batería de
5 bitios de más a la izquierda, en la memoria compensadora
de datos.

Aun cuando no hacen mención alguna de los compensado
res de datos de bloques o "canales", las patentes de EE.UU.
números 3.602.896, de Zeheb, y 3.916.388, de Shimp y col.,
10 tienen relación con este invento por el hecho de que se
refieren a la alineación de los datos que se están trans-
firiendo hasta o desde la unidad de memoria principal, --
siendo los datos, en estos casos, transmitidos a o recibi
dos de la unidad de tratamiento de instrucciones. La pa-
15 tente de Zeheb describe una unidad de memoria principal -
de acceso aleatorio, del tipo tridimensional de núcleos,
que tiene una longitud de vocablo de almacenaje o acceso
de almacenaje de cuatro baterías de bitios y una circuite
ría de control de líneas de excitación de núcleos, median
20 te lo cual las cuatro baterías de bitios, a las que se es
tá teniendo acceso, pueden empezar en cualquier posición
de batería de bitios de un vocablo de almacenaje de cuatro
baterías de bitios. Así, el vocablo de datos de cuatro -
baterías de bitios seleccionado para acceso puede superpo
25 nerse a un vocablo de almacenaje adyacente en un lindero
de vocablo de almacenaje. Esto soslaya el problema de --
alineación de la memoria, y permite obtener acceso a cua-
tro baterías de bitios contiguas cualesquiera durante un
solo acceso a la memoria.

30 La patente de Shimp y col. describe un desplazador -

1 de datos de ocho baterías de bits, para alinear automá-
ticamente un segmento de datos de varias baterías de bi-
tios al que se haya tenido acceso desde una unidad de me-
5 memoria principal, de modo que pueda cargarse o introducir-
se en un registro de ordenador, con justificación a la de-
recha. Recíprocamente, también desplaza automáticamente
los datos tomados de un registro de ordenador de modo que
tengan la alineación adecuada cuando se metan en la uni-
10 dad de memoria principal. Se requieren dos operaciones -
de acceso a memoria principal cuando el segmento de datos
se halle a ambos lados de un lindero de vocablo de almace-
naje. Este desplazador de datos es de particular interés
por el hecho de que, como se verá, puede usarse también -
para efectuar la acción de desplazamiento de datos usada
15 en relación con el presente invento.

Las patentes de la técnica ya conocida arriba cita-
das representan lo que el solicitante considera ser lo me-
20 jor de la técnica anterior, actualmente conocida de él. -
No se quiere decir, no obstante, que no exista realmente
nada mejor que esto en la técnica anterior a este invento.
Tampoco se quiere dar a entender que las interpretaciones
precedentes sean las únicas que cabe enunciar sobre esta
técnica anterior.

Resumen del presente invento

25 Es objeto de la presente invención realizar un apara-
to compensador de datos de bloque, nuevo y perfeccionado,
para permitir la transferencia de datos entre un bloque o
"canal" de entrada/salida y una unidad de almacenaje o me-
30 moria de un ordenador de datos, de manera eficaz y menos
laboriosa (con menos consumo de tiempo).

1 Otro objeto de la invención reside en un aparato compensador de datos de bloque nuevo y perfeccionado, que simplifica la manipulación de datos, y reduce al mínimo el --
equipo físico necesario para transferir datos entre un bloque o "canal" de entrada/salida y una memoria compensadora
5 de datos, del tipo de formación o disposición regular.

Otro objeto más de la invención reside en un aparato compensador de datos de bloque, nuevo y perfeccionado, que simplifica la manipulación de datos y reduce al mínimo el
equipo físico necesario para transferir datos entre una memoria compensadora de datos, del tipo de formación o disposición regular, y una unidad de almacenaje o memoria de un
10 ordenador de datos.

Es objeto adicional de la presente invención un aparato compensador de datos de bloque, nuevo y perfeccionado, para mejorar la tasa o velocidad de encadenamiento de datos de bloque en un sistema numérico de tratamiento de datos.
15

Conforme a la presente invención, se habilita un aparato compensador de datos para uso en un sistema de tratamiento de datos dotado de circuitería de bloque o "canal", para enviar datos a y recibir datos de unos dispositivos
20 de entrada/salida y una unidad de memoria principal, para almacenar los datos que se vayan a tratar. El aparato incluye una memoria compensadora de datos, para compensar --
los datos que se estén transfiriendo entre la circuitería de bloques y la unidad de memoria principal. La memoria compensadora de datos está eléctricamente estructurada de
25 modo que presenta columnas y filas de lugares de almacenaje, de una batería de bitios de anchura. Cada columna consta de una formación o disposición regular de almacenaje --
30 de varias filas de una batería de bitios de anchura, que

1 tiene su propio mecanismo de acceso para obtener acceso a
cualquiera de las filas de la misma, la que se desee. --
Las filas correspondientes de las distintas formaciones o
disposiciones regulares sirven para proporcionar en con--
5 junto las correspondientes filas de varias baterías de bi
tios para el compensador de datos. El aparato incluye --
además una circuitería de transferencia de datos, de va--
rias baterías de bitios, para transferir segmentos de da--
tos de varias baterías de bitios entre la memoria compen--
10 sadora de datos y por lo menos una, u otra, de la circui-
tería de bloque y la unidad de memoria principal. El apa-
rato incluye también una circuitería de acceso a la memo-
ria compensadora de datos, para suministrar una dirección
de acceso de varios bitios al mecanismo de acceso de cada
15 formación o disposición regular de almacenaje o memoria.
Tal circuitería de acceso incluye una circuitería para mo
dificar la dirección de acceso suministrada a por lo me--
nos uno de los mecanismos de acceso, cuando ello se re---
quiera para obtener acceso a un segmento de almacenaje, --
20 de varias baterías de bitios, situado o localizado en dos
filas distintas de la memoria compensadora de datos.

Para una mejor comprensión del presente invento, en
unión de otros objetos y rasgos característicos adiciona-
les del mismo, se hace referencia a la descripción siguien-
25 te tomada en relación con los dibujos adjuntos, señalándo-
se el ámbito de la invención en las reivindicaciones fina-
les.

En los dibujos adjuntos:

30 - la figura 1 es un esquema funcional de principio,
o de niveles altos, que muestra las unidades principales

1 de un sistema tipo de tratamiento de datos numéricos e --
ilustra la localización, en dicho sistema, de una unidad
de memoria compensadora de datos de bloque o "canal" cons-
truida con arreglo a la presente invención;

5 - la figura 2 es un esquema funcional de niveles in-
termedios del sistema de tratamiento de datos de la fig.
1, e ilustra con mayor detalle la construcción de la uni-
dad de memoria compensadora de datos de bloque, la unidad
de memoria principal y la unidad de tratamiento de instruc-
ciones;

10 - la figura 3 es un diagrama de tiempos usado para
explicar el funcionamiento de la unidad de memoria compen-
sadora de datos de bloque;

15 - la figura 4 es una representación generalizada de
una unidad de ensamblador o "reunidor", de la cual se usan
diversas formas en diferentes sitios, en la construcción
detallada de la unidad de memoria compensadora de datos -
de bloque;

20 - las figuras 5a y 5b, colocadas una al lado de la
otra, ilustran con considerablemente mayor detalle la --
construcción del aparato compensador de datos de bloque --
de la fig. 2;

25 - las figuras 6A a 6F son una serie de diagramas usa-
dos para ilustrar una transferencia tipo de datos desde --
la unidad de bloques al compensador de datos de bloque;

- las figuras 7A a 7E son una serie de diagramas --
usados para ilustrar una transferencia tipo de datos des-
de el compensador de datos bloque a la unidad de memoria
principal;

30 - la figura 8 es un esquema funcional que ilustra -

1 - con mayor detalle la forma de construcción de la unidad -
de excitación de inscribir indicada en la fig. 5a;

5 - la figura 9 es un esquema funcional que ilustra -
con mayor detalle la forma de construcción de la unidad -
de control de acceso a compensador, de ST (transferencia
a memoria), de la fig. 5a;

10 - la figura 10 ilustra con mayor detalle la forma -
de construcción de uno de los elementos de ensamblador --
usados en la fig. 9;

15 - la figura 11 ilustra con mayor detalle la forma -
de construcción de la unidad de lógica de control usada -
en la unidad de control de acceso a compensador, de ST, -
de la fig. 9;

20 - la figura 12 es una gráfica usada para explicar -
el funcionamiento del ensamblador de acceso a compensador,
de ST, de la fig. 9;

25 - la figura 13 es un esquema funcional que ilustra
con mayor detalle la forma de construcción del control de
acceso a compensador, de CT (transferencia de bloque o --
"canal"), el control de inscripción de CT y el control de
lectura de CT, de la fig. 5a;

30 - la figura 14 ilustra con mayor detalle la forma -
de construcción del contador de acceso a compensador, de
CT, de la fig. 5a;

35 - la figura 15 ilustra con mayor detalle la forma -
de construcción del contador de acceso a compensador, de
ST, y de la unidad de control de transferencia de la fig.
5a; y

40 - la figura 16 ilustra con mayor detalle la forma de
construcción de la unidad de control de recuento de com--

1 - pensador de datos, de la fig. 5a.

Descripción de la forma de ejecución preferida

5 Con referencia a la fig. 1, se ilustra en ella, de manera general, las unidades o secciones funcionales principales de una calculadora numérica o un sistema ordenador de datos numéricos típico en los que la presente invención puede usarse con ventaja. Las interconexiones de línea llena representan barras colectoras de señales de datos, y las interconexiones de línea interrumpida representan barras colectoras de señales de control. Para el caso de una operación de lectura de dispositivo de entrada/salida, se transfieren los datos, una batería de bitios cada vez, desde uno de los dispositivos periféricos de entrada/salida (I/O) hasta una unidad de bloques o "canal" 11 de I/O. Los datos se transfieren luego, por una barra colectora de datos de dos baterías de bitios, a una unidad 12 de memoria compensadora de datos de bloque, del tipo de formación o disposición regular ("array"), para su almacenaje transitorio o temporáneo en la misma. Los datos acumulados en la unidad de memoria compensadora 12 de datos se transfieren a intervalos apropiados, por medio de barras colectoras de datos de ocho baterías de bitios, a una unidad de memoria principal 13 (pasando por una porción de una unidad 14 de tratamiento de instrucciones). Para una operación de inscribir en dispositivo de entrada/salida, el movimiento de datos se hace en el sentido contrario, es decir, desde la unidad de memoria principal 13 a uno de los dispositivos 10 de I/O, por medio de la unidad 14 de tratamiento de instrucciones, la unidad 12 de memoria compensadora de datos y la unidad de bloques o

10

15

20

25

30

1 "canal" 11. La unidad 12 de memoria compensadora de datos
está construida con arreglo a la presente invención y sir
ve para llevar a un grado óptimo el proceso global de - -
5 transferencia de datos, de modo que, a pesar de los dife-
rentes requisitos operativos de la unidad de bloques 11 y
de la unidad 13 de memoria principal, es posible transfe-
rir datos de una a otra, a velocidad relativamente alta.

En un caso típico, los datos de instrucciones y los
datos de operando para un programa de calculadora particu
10 lar se transfieren de la manera arriba indicada, desde un
dispositivo periférico 10 a la unidad de memoria princi-
pal 13. En este caso, el dispositivo periférico 10 puede
adoptar la forma, por ejemplo, de una máquina lectora de
tarjetas o una unidad de cinta magnética. A continuación,
15 el programa es ejecutado por la unidad de tratamiento de
instrucciones (IPU) 14. La unidad 14 de tratamiento de -
instrucciones extrae las intrucciones y operandos de la -
unidad 13 de memoria principal de una menra secuencial, -
efectúa los cálculos u otros procedimientos indicados por
20 las instrucciones y devuelve los resultados a la unidad -
13 de memoria principal. Hasta ocho baterías de bitios -
pueden transferirse desde la unidad 13 de memoria princi-
pal a la unidad 14 de tratamiento de intrucciones, o vice
versa, en cualquier instante dado, por medio de una barra
25 colectora de datos de ocho baterías de bitios que interco
nectan estas unidades. Las operaciones elementales efec-
tuadas por la unidad 14 de tratamiento de instrucciones -
están controladas por unas señales de control proporciona
das por una unidad de control primaria o principal 15. -
30 En el caso de una operación de I/O (entrada/salida), algu

1 nas de estas acciones de control sirven para desarrollar
nuevas señales de control, adicionales, que se suministran
a las otras unidades 11 a 13. A los fines del control, -
las unidades 11 a 13 envían diversas señales de estado y
5 de petición a la unidad 14 de tratamiento de instruccio--
nes. Esta unidad (IPU) 14, a su vez, pone a disposición
de la unidad de control 15 varias señales de estado.

En algún punto durante o después de la terminación -
del programa, los datos de resultado contenidos en la uni-
dad 13 de memoria principal se trasladan o transfieren, -
10 por medio de la unidad 12 de memoria compensadora de da--
tos y la unidad de bloques 11, a uno (apropiado) de los -
dispositivos periféricos 10 de I/O. En este caso, el dis-
positivo periférico 10 puede adoptar la forma de, por - -
15 ejemplo, una máquina de escribir o una unidad impresora.

A este punto, servirá de ayuda explicar algo de la -
terminología que aquí se usará. Como es sabido en gene--
ral, una "batería de bitios" es una secuencia de dígitos
binarios, o "bitios", adyacentes sobre los que normalmen-
te se opera como unidad conjunta y que constituyen la más
20 pequeña unidad de datos seleccionable para acceso en el -
sistema. A título de ejemplo, se supone aquí que cada ba-
tería de bitios está compuesta de ocho bitios de datos bi-
narios y un bitio de verificación de paridad. Para mayor
25 sencillez, el bitio de verificación de paridad no se men-
cionará aquí, en general.

La convención aquí empleada para numerar las posicio-
nes de bitios de datos de equipo físico ("hardware") es -
la de numerarlos de izquierda a derecha a partir del núme-
ro cero, siendo la posición de bitio de más a la izquierda
30

1 la posición del bitio de orden más alto, o más significa-
tivo, y siendo la posición de bitio de más a la derecha -
la posición del bitio de orden más bajo, o el menos signi-
5 ficativo, del grupo que se esté considerando. Así, quan-
to más alto sea el número de posición del bitio, menor se
rá el orden de significación del bitio. Este mismo con-
venio se sigue el numerar una secuencia de posiciones de
batería de bitio contiguas o adyacentes, numerándose tam-
bién las posiciones de batería de bitios de izquierda a
10 derecha a partir del número cero. Cuando el orden de sig-
nificación venga a cuento, la batería de bitios de la iz-
quierda es la de orden superior o más significativa, y la
batería de bitios de la derecha es la de orden inferior,
o menos significativa.

15 Tal como aquí se emplea, el término "operación de --
lectura de entrada/salida, o I/O" se usa para hacer refe-
rencia al caso en que se están tomando datos por lectura
de uno de los dispositivos IO de I/O. Como tal, este tér-
mino se refiere a una operación de entrada/salida en la -
20 que se estén transfiriendo datos desde la unidad de blo-
ques 11 a la unidad 12 de memoria compensadora de datos,
y luego a la unidad 13 de memoria principal. Este térmi-
no se abreviará a veces, poniéndolo como "leer I/O" o sim-
plemente con el símbolo "IOR".

25 De igual modo, el término "operación de inscribir en
entrada/salida" se refiere aquí al caso en que se estén -
inscribiendo datos en uno de los dispositivos IO de I/O.
Como tal, este término se refiere a una operación de entra-
da/salida en la que se estén transfiriendo datos desde la
30 unidad 13 de memoria principal a la unidad 12 de memoria

1 compensadora de datos y luego a la unidad de bloques o --
"canal" 11. Este término se abreviará a veces, figurando
como "inscribir en I/O" o simplemente con el símbolo - -
"IOW".

5 El término "transferencia de bloque/compensador" (o
a veces, simplemente, "transferencia de bloque") se usará
aquí para hacer referencia a una transferencia de datos -
entre la unidad de bloques 11 y la unidad 12 de memoria -
compensadora de datos, en sentido general y sin limitación
10 en cuanto al sentido del traspaso o transferencia. La --
transferencia puede ser en uno u otro sentido, es decir,
desde la unidad de bloques 11 a la unidad 12 de memoria -
compensadora de datos, o viceversa.

15 De la misma manera, el término "transferencia de me-
moria/compensador" (a veces, simplemente, "transferencia
de almacenaje" o "entre memorias") se usará aquí para ha-
cer referencia a una transferencia de datos entre la uni-
dad 12 de memoria compensadora de datos y la unidad 13 de
memoria principal, en sentido general y sin limitación en
20 cuanto al sentido de la transferencia. La transferencia
puede ser en uno u otro sentido, es decir, desde la unidad
12 de memoria compensadora de datos a la unidad 13 de me-
moria principal, o viceversa.

25 Con referencia ahora a la fig. 2, la unidad 12 de me-
moria compensadora de datos de bloque incluye una forma--
ción o disposición regular 20 de memoria compensadora de
datos, del tipo de circuito integrado de semiconductores,
de lectura no destructiva, para almacenar datos temporá-
nea o transitoriamente. Una circuitería de transferencia
30 de datos, que incluye un registro de datos de llegada de

1 bloque 21, (CDIR), de dos baterías de bitios, se usa para
transferir hasta dos baterías de bitios de datos a un --
tiempo desde la unidad de bloques 11 a la memoria compensa-
dora de datos 20. Otra circuitería de transferencia de -
5 datos, que incluye un registro de datos 22 de salida de -
bloque (CODR) se usa para transferir hasta dos baterías -
de bitios de datos desde la memoria compensadora de datos
20 a la unidad de bloques 11. Un registro de datos 23 de
10 transferencia entre memorias (STDR), de ocho baterías de
bitios, se usa para transferir datos desde la memoria com-
pensadora 20 de datos a la unidad 13 de memoria principal
y viceversa. El acceso a la memoria compensadora de da--
tos 20 y otras funciones de control asociadas a la misma
vienen proporcionados por una unidad 24 de control de com-
15 pensador.

La unidad 13 de memoria principal incluye una forma-
ción o disposición regular 25 de memoria principal, muy -
grande, a la que se obtiene acceso por medio de un regis-
tro de acceso a memoria (SAR) 26. Esta memoria principal
20 25 es del tipo de circuito integrado de semiconductores -
y la toma de datos por lectura de la misma es de naturale-
za no destructiva. En la presente forma de realización,
la memoria principal 25 tiene una longitud de acceso a me-
moria de ocho baterías de bitios. Así, es posible inscri-
25 bir en la memoria principal 25, o tomar de ella por lectu-
ra, hasta ocho baterías contiguas de bitios de datos du-
rante un solo acceso a la misma. Los segmentos de ocho -
baterías de bitios que son accesibles durante un solo ac-
ceso se denominan a veces "vocablos de almacenaje". La -
30 dirección de acceso de la primera batería de bitios de --

1 cada uno de estos "vocablos de almacenaje" es un múltiplo de ocho.

5 Un registro de datos 27 de memoria principal (MSDR), de ocho baterías de bitios, se usa para recibir los datos tomados por lectura de la memoria principal 25 y para re- tener los datos que se vayan a inscribir en la memoria -- principal 25. Para transferencias de menos de ocho bate- rías de bitios, hay una unidad 28 de selección de baterías de bitios, capaz de funcionar durante una operación de --
10 inscribir activando menos del complemento completo de -- ocho líneas de control de inscribir, y es capaz de funcio- nar durante una operación de leer produciendo la activa-- ción de menos del complemento completo de ocho posiciones de baterías de bitios en el registro de datos 27 de memo-
15 ria principal. La unidad 28 de selección de baterías de bitios está controlada por los tres bitios de acceso de - orden más bajo presentes en una barra colectora 29 de - - acceso a memoria y por un código de tres bitios de longi- tud obtenido de la unidad de control (CU) 15.

20 En la presente forma de ejecución, la circuitería de transferencia de datos entre la memoria compensadora y la memoria principal hace uso de un desplazador 30 de baterías de bitios, del tipo de paso directo ("flow-through"), de ocho baterías de bitios de anchura, que va colocado en la
25 unidad de tratamiento de instrucciones (IPU) 14 a los fi- nes de proporcionar la acción de desplazamiento necesita- da en diversas operaciones de tratamiento de instruccio-- nes. El desplazador de baterías de bitios 30 es preferi- blemente del tipo descrito en la patente arriba citada, -
30 EE.UU. nº. 3.916.388, concedida a Everett M. Shimp y col.

1 En particular, el desplazador 30 de baterías de bitios es
capaz de desplazar los datos por incrementos del tamaño -
de una batería de bitios, sea a la derecha, sea a la iz--
quierda. En otros términos, el desplazador 30 de baterías
5 de bitios es capaz de recibir ocho baterías de bitios de
datos de entrada y (1) hacerlas pasar directamente hasta
la salida sin desplazamiento alguno, o bien (2) hacerlas
pasar con un desplazamiento de cualquier valor comprendi-
do entre una y siete baterías de bitios a la derecha, o -
10 bien (3) hacerlas pasar con un desplazamiento de cualquier
valor comprendido entre una y siete baterías de bitios a
la izquierda. El desplazador 30 de baterías de bitios in-
cluye un modo operativo de iteración circular o "tirovivo"
en el que los datos que salen desplazados por uno de los
15 extremos del desplazador se devuelven y reintroducen para
su desplazamiento por el otro extremo del desplazador. -
Este modo de iteración se usa aquí para transferir datos
desde la memoria compensadora 20 de datos hasta la memo--
ria principal 25, o viceversa.

20 El desplazador 30 de baterías de bitios está inclui-
do en la unidad 14 de tratamiento de instrucciones a los
fines de proporcionar diversas acciones de desplazamiento
de datos que a veces se necesitan durante la manipulación
de datos dentro de la unidad 14 de tratamiento de instruc-
25 ciones. Asimismo, como se ha dicho en la patente de Shimp
y col., se usa para proporcionar toda alineación de datos
que pueda necesitarse cuando se transfieran datos desde -
la memoria principal 25 a un registro de equipo físico --
contenido en la IPU 14, o viceversa. Así, el desplazador
30 de baterías de bitios se necesita con fines distintos

1 del de justamente transferir datos entre la memoria com--
pensadora 20 de datos de bloque y la memoria principal 25.
Si bien, naturalmente, es más económico que la circuitería
de transferencia entre la memoria compensadora de datos y
5 la memoria principal comparta el uso del desplazador 30 --
de baterías de bitios, se sobrentiende que esto no es un
requisito obligatorio. Si, por alguna razón, no es conve--
niente compartir el desplazador de baterías de bitios de
la IPU, o si la IPU ha de ser de un tipo que no tenga des--
10 plazador de baterías de bitios del tipo de iteración, el
aparato 12 de memoria compensadora de datos puede enton--
ces estar provisto de su propio desplazador de baterías --
de bitios independiente.

Todas las barras colectoras de datos primarios de la
15 fig. 2 son barras colectoras de datos de ocho baterías de
bitios, con la excepción de las usadas para transferir da--
tos entre la unidad de bloques 11 y el compensador de da--
tos 20. Estas últimas barras colectoras son unas barras
colectoras de datos de dos baterías de bitios. Cada barra
20 colectora de datos de ocho baterías de bitios consta de --
setenta y dos conductores para transferir simultáneamente
setenta y dos bitios (sesenta y cuatro bitios de datos más
ocho bitios de paridad) en un modo de paralelo. Las ba--
rras colectoras de datos de dos baterías de bitios cons--
25 tan de dieciocho conductores para transferir simultánea--
mente dieciocho bitios (dieciséis bitios de datos más dos
bitios de paridad), también en un modo de paralelo.

En la presente forma de ejecución, la circuitería de
transferencia de datos para transferir datos desde la memo--
30 ria compensadora 20 de datos a la memoria principal 25 --

1 incluyen, por el orden en que se citan, el registro de da-
tos 23 de transferencia de almacenaje o entre memorias, -
del desplazador 30 de baterías de bitios, el registro de
datos 27 de memoria principal y una barra colectora de --
5 datos 31 de ocho baterías de bitios. Los datos tomados -
por lectura de la memoria compensadora 20 de datos se po-
nen o activan, en un momento apropiado, en el STDR 23. -
Los datos contenidos en el STDR 23 circulan a través del
desplazador 30 de baterías de bitios y, en el momento - -
10 apropiado, se ponen en el MS DR 27. Los datos contenidos
en el MS DR 27 se suministran, por medio de la barra colec-
tora de datos 31, a la circuitería de inscribir que hay -
en la memoria principal 25; y, en el momento apropiado, -
tales datos se inscriben en la memoria principal 25, en -
15 el lugar de vocablo de memoria de ocho baterías de bitios
especificado por la dirección de acceso presente en el --
SAR 26.

20 Cuando se transfieren los datos en el sentido opues-
to, es decir, desde la memoria principal 25 al compensa--
dor de datos 20, la circuitería de transferencia de datos
incluye el MS DR 27, el desplazador 30 de baterías de bi--
tios, el STDR 23 y una barra colectora de datos 32 de ocho
baterías de bitios. Los datos se toman por lectura de la
memoria principal 25 para la dirección de acceso conteni-
25 da en el SAR 26, y se meten o activan en el MS DR 27. Los
datos contenidos en el MS DR 27 circulan por el desplaza--
dor 30 de baterías de bitios y, en el momento apropiado,
por el desplazador 30 de baterías de bitios y, en el mo--
mento apropiado, se meten en el STDR 23. Los datos del -
30 STDR 23 se hacen pasar, por medio de la barra colectora -

1 32 de datos, a la circuitería de inscribir que hay en la
memoria compensadora 20 de datos y, en el momento apropia
do, se inscriben en dicho compensador de datos 20 en un
lugar determinado por la dirección de acceso a compensa-
5 dor proporcionada por el control 24 de compensador.

En la presente forma de ejecución, la unidad de con-
trol principal 15 (CU) se supone ser, por ejemplo, del ti
po microprogramado. Como tal, incluye una unidad de alma
cenaje o memoria de control para almacenar los microvoca-
10 blos de control, un registro de control para recibir los
microvocablos de uno en uno, y una circuitería de descodi
ficador para descodificar los microvocablos y desarrollar
las señales de control que gobiernan las diversas puertas
de control (no representadas) asociadas a las barras co--
15 lectoras de datos de IPU, barras colectoras de acceso, --
etc., y para proporcionar las otras diversas señales de -
control que se necesitan en la IPU. Se prevé una circui
tería de acceso apropiada, para la unidad de memoria de -
control, con el fin de seleccionar la dirección de acceso
20 inicial apropiada para la particular instrucción de pro--
grama que se esté ejecutando, para obtener acceso a los -
microvocablos de manera secuencial, y para cambiar o tomar
una bifurcación a microvocablos alternos cuando las condi
ciones lo exijan.

25 La unidad de tratamiento de instrucciones (IPU) 14 -
incluye una unidad 33 de aritmética y lógica (ALU), una -
unidad de memoria local 34 y varios registros de equipo -
físico, tales como un registro A 35 de ocho baterías de -
bitios, un registro B 36 de ocho baterías de bitios y un
30 registro 37 de destino (D) de ocho baterías de bitios, pa

1 ra uso en la ejecución de las diversas operaciones aritméticas y lógicas con los datos que se estén tratando. Considerando brevemente, de manera general, el procedimiento para una instrucción de programa de lenguaje de máquina -
5 más o menos típica, la primera etapa o acción consiste en traer la instrucción de la memoria principal 25 y ponerla en un registro de instrucciones 38. Esto se consigue tomando la dirección de acceso de instrucción de un contador de instrucciones 39 y poniéndola en el SAR 26 de la unidad
10 de memoria principal, por medio del ensamblador 40 y de la barra colectora de acceso 29. La instrucción seleccionada para acceso se toma por lectura de la memoria principal 25 y se suministra al registro de instrucciones 38 -- por medio del MSDR 27, el desplazador 30 de baterías de -
15 bitios y el registro 37 (D) de destino. Como parte de la operación de búsqueda o extracción de la instrucción, las direcciones de acceso de operando se calculan a partir de los valores de base y desplazamiento contenidos en la instrucción, y tales resultados se ponen en los registros de
20 acceso a operando apropiados de la memoria local 34. Asimismo, se actualiza el contador de instrucciones 39, por medio del sumador 41 de actualización, de modo que contenga la dirección de acceso de la siguiente instrucción del programa.

25 La porción de código de operación (código OP) de la instrucción de programa de lenguaje de máquinas contenida en el registro de instrucciones 38 se envía a la unidad de control principal 15 microprogramada, a los fines de -
30 invocar la secuencia apropiada de microvocablos para poner en ejecución la particular instrucción de programa en

1 cuestión. En un caso más o menos típico (hay muchas va--
riantes distintas), la instrucción se ejecuta trayendo los
operandos de la memoria principal 25 y metiéndolos en unos
registros apropiados de la memoria local 34. Los operan-
5 dos se manipulan luego de la manera deseada, y el resul--
tado se vuelve a poner en la memoria local 34. El resul-
tado se toma después por lectura de la memoria local 34 y
se inscribe en el lugar apropiado (como tipo, uno de los
lugares de operando) de la memoria principal 25. La trans-
10 ferencia de datos desde la memoria local 34 a la memoria
principal 25 se efectúa por medio de un registro B 36, un
desplazador 42 de bitios, el desplazador 30 de baterías -
de bitios, el MS DR 27 y la barra colectora de datos 31. -
Durante estas operaciones, se obtiene acceso a la memoria
15 principal 25 por medio de un registro 43 de acceso a memo-
ria de IPU, al cual se suministran las direcciones de ac-
ceso de operando apropiadas desde la memoria local 34. -
La selección para acceso de los diferentes lugares de re-
gistro en la memoria local 34 se efectúa por medio del re-
20 gistro 44 de acceso a la memoria local, el cual a su vez
recibe de la unidad de control principal 15 la porción de
campo de acceso a memoria local de aquellos microvocablos
que implican una transferencia de datos hasta o desde la
memoria local 34.

25 Para el caso de una determinada forma de instrucción
aritmética de sumar, por ejemplo, los dos operandos que -
se vayan a sumar son tomados por lectura de la memoria --
principal 25 y puestos o activados en la memoria local 34.
Los dos operandos, a continuación, se seleccionan sucesi-
30 vamente para acceso desde la memoria local 34 y se ponen

1 en el registro A 35 y en el registro B 36. Los valores -
de datos contenidos en los registros A y B, 35 y 36, se -
suman luego por medio de la ALU 33, y el resultado se en-
vía de nuevo a la memoria local 34, por medio del regis-
5 tro de destino 37.

El desplazador de bitios 42 y el desplazador 30 de -
baterías de bitios se usan para proporcionar las acciones
de desplazamiento de datos que se necesitan durante la --
ejecución de varias de las instrucciones de programa de -
10 lenguaje de máquina. El desplazador de bitios 42 despla-
za los datos por pasos o incrementos del tamaño de un bi-
tío y, como antes se ha dicho, el desplazador 30 de bate-
rías de bitios desplaza los datos por pasos o incrementos
del tamaño de una batería de bitios. Para desplazar un -
15 operando dado que resida en la memoria local 34, tal ope-
rando se pone en el registro B 36 y después se hace pasar
sucesivamente por el desplazador de bitios 42 y por el --
desplazador 30 de baterías de bitios y se pone en el re-
gistro de destino 37. A partir de ese punto, es posible
20 devolverlo a la memoria local 34 o ponerlo en uno u otro
de los registros, el A (35) o el B (36), según pueda re-
querirse para la particular operación que se esté efec-
tuando. El desplazador de bitios 42, lo mismo que el des-
plazador 30 de baterías de bitios, son del tipo de circula-
25 ción directa. La magnitud de desplazamiento, si lo hay,
proporcionada por cada una de estas unidades está controla-
da por una unidad 45 de control de desplazamiento que, --
cuando llega el momento apropiado, recibe la información
adecuada de control de desplazamiento, desde la unidad de
30 control principal 15.

1 Una operación de entrada/salida se inicia con la --
búsqueda de una instrucción del tipo de I/O (por ejemplo,
una instrucción de START I/O) que se trae de la memoria --
principal 25, y con la puesta de tal instrucción en el re
5 gistro de instrucciones 38. Al comienzo de la operación
de entrada/salida, o I/O, un vocablo de control de unida-
des (UCW) y uno o más vocablos de orden o mandato de blo-
que (CCW) para el dispositivo de I/O en cuestión se traen
de la memoria principal 25 y se ponen en la memoria local
10 34, en un área reservada para la unidad de bloque particu-
lar a la cual vaya conectado el dispositivo de I/O. Es--
tos vocablos de control y de orden o mandato se usan para
proveer la diversa información de control, acceso y esta-
do que se necesita para la ejecución de la operación de --
15 entrada/salida. Parte de esta información (por ejemplo,
la porción de código de mandato de un CCW) se hace seguir
hasta la unidad de bloques 11. Esto se efectúa tomando --
por lectura la información apropiada, sacándola de la me-
20 moria local 34, y enviándola por medio de un registro B
36, la ALU 33, el registro de destino 37 y una barra co-
lectora 46 de control, a la unidad de bloques 11. Por --
ejemplo, las porciones de código de mandato y batería de
bitios denotativos de un CCW, y la dirección de acceso --
25 del dispositivo, se envían de esta manera a la unidad de
bloques 11 y se ponen en unos registros de equipo físico
de la misma. Entre otras cosas, el código de órdenes se
hace pasar hasta el dispositivo de I/O, para decirle lo --
que tiene que hacer. También se usa para fines de control
dentro de la unidad de bloques 11.

30 Otra parte de la información de UCW/CCW contenida en

1 la memoria local 34 se usa en relación con la selección
para acceso de la memoria principal 25. Por ejemplo, --
cuando se vaya a comenzar la selección para acceso efec-
5 tivo de los datos de entrada/salida hasta o desde la me-
memoria principal 25, se toma la porción de acceso de datos
del CCW, por lectura de la memoria local 34, y se pone en
un registro 47 de acceso a almacenaje de bloques. Desde
aquí, es suministrada por medio del ensamblador 40 y de
la barra colectora de acceso 29 al SAR 26 de la memoria
10 principal, para obtener acceso al lugar de iniciación de
la memoria principal 25 para los datos de entrada/salida
que se van a transferir. A medida que progresa la opera-
ción de entrada/salida, se actualiza el campo de acceso
de datos de CCW en la memoria local 34.

15 Con referencia a la fig. 3, se da en ella un diagra-
ma de tiempos que se usará para explicar el funcionamien-
to de la unidad 12 de memoria compensadora de datos de --
bloque. Como allí se indica, la unidad 12 de compensador
de datos usa los mismos impulsos básicos de reloj emplea-
20 dos por la unidad de bloques 11. Cada ciclo de bloque o
"canal" se subdivide en cuatro intervalos de reloj, desig-
nados C0 a C3. Para cada uno de estos intervalos de re-
loj se prevé un tren, por separado, de impulsos repetiti-
vos de reloj. Así, por ejemplo, se prevé un tren de im-
25 pulsos C0 de reloj para regular en el tiempo las operacio-
nes que se vayan a efectuar durante los intervalos C0 de
reloj. Como se verá, la unidad 12 de memoria compensado-
ra de datos se hace funcionar a base de ciclos divididos.
En particular, se usa la mitad de cada ciclo de bloque pa-
30 ra el acceso de los datos de bloque hasta o desde la memo-

1 ria compensadora 20 de datos, en tanto que la otra mitad
de cada ciclo de bloque se usa para el acceso de los da-
tos de la memoria principal hasta o desde la memoria com-
pensadora 20 de datos. Esto está representado en la fig.
5 3 por la subdivisión de cada ciclo en una "tajada" de - -
tiempo de CT (transferencia de bloque) y una "tajada" de
tiempo de ST (transferencia de almacenaje o entre memo---
rias), ocupando la primera de ellas la primera mitad, y -
la última la segunda mitad, de cada ciclo. Se prevén tre
10 nes, por separado, de impulsos repetitivos de CT y ST pa-
ra regular en el tiempo las diversas operaciones que se -
vayan a efectuar durante las "tajadas" o subdivisiones de
tiempo respectivas. Como consecuencia de este funciona--
miento en ciclos divididos, no se produce interferencia -
15 alguna entre las transferencias de bloque/compensador y -
de memoria principal/memoria compensadora.

La fig. 4 es una representación generalizada de una
unidad de ensamblador (ASM), de la cual se usan varias --
formas en distintos lugares de la construcción detallada
20 de la unidad 12 de memoria compensadora de datos de blo--
que. Así, tal como se usa en esta solicitud, el término
de "ensamblador" quiere dar a entender un circuito selec--
tor o conmutador de varias entradas y una sola salida, --
controlado por varias señales de control de selección, pa
25 ra así transferir a la única barra colectora Z de salida
los datos que aparecen en una sola, seleccionada, de las
diversas barras colectoras de entrada V, W, X e Y. Cada
una de las barras colectoras V a Z es del tipo de multitud
de bitios, y cada una tiene el mismo número de líneas de
30 bitio. A título de ejemplo se dirá que la activación o -

1 subida al nivel de uno binario de la línea de control de
selección de X conectará la barra colectora de entrada X
a la barra colectora de salida Z.

5 Con referencia ahora a las figs. 5a y 5b, estas fi--
guras, colocadas una al lado de otra (con la fig. 5a a la
izquierda) ilustran con un detalle considerablemente ma--
yor la forma de construcción de la unidad 12 de memoria --
compensadora de datos de bloque de la fig. 2. Con refe--
10 rencia a la fig. 5b en particular, la memoria compensado--
ra 20 de datos está eléctricamente estructurada para dar
M columnas y R filas de lugares de almacenaje, de la an--
chura de una batería de bitios, siendo M y R números ente--
ros y potencias de 2, y comprendiendo cada una de las M --
15 columnas una formación o disposición regular de R filas de
almacenaje, de la anchura de una batería de bitios, que --
tiene su propio mecanismo de acceso para obtener acceso
a una cualquiera, deseada, de las R filas que contiene. --
En la presente forma de ejecución, M tiene un valor de --
ocho y R tiene un valor de treinta y dos. Así, el compen--
20 sador de datos 20 consta de un juego o grupo de ocho meca--
nismos de disposición regular 50 a 57 de almacenaje o me--
moria, formantes de columna. Cada uno de estos mecanis--
mos 50 a 57 incluye una formación o disposición regular
de almacenaje de treinta y dos filas, de una batería de --
25 bitios de anchura, y un mecanismo de acceso para obtener
acceso a una cualquiera, deseada, de las treinta y dos fi--
las que contiene. La porción de disposición regular de --
almacenaje que hay en cada uno de los mecanismos 50 a 57
es del tipo de lectura no destructiva, de circuito inte--
30 grado de semiconductores. Cada fila, en cada una de es--

1 - tas disposiciones regulares de una anchura de una batería
de bitios, tiene nueve lugares de almacenaje de bitio, pa
ra proporcionar la longitud de fila de una sola batería -
de bitios. A las porciones de disposición regular de al-
5 macenaje de los mecanismos 50 a 57 se les suministran da-
tos por medio de unas de las ocho barras colectoras res--
pectivas de entrada 60 a 67 de nueve bitios. Los datos -
se toman por lectura de las porciones de disposición regu-
lar de almacenaje, de los mecanismos 50 a 57, por medio -
10 de las respectivas barras colectoras de salida 70 a 77 de
nueve bitios, de las cuales hay también ocho.

Cada uno de los mecanismos 50 a 57 incluye también -
su propia porción de descodificador de acceso, para reci-
bir un campo de dirección de acceso de r bitios y, en res-
15 puesta a la codificación del mismo, seleccionar una (par-
ticular) de las R filas de su porción de disposición regu-
lar de almacenaje, siendo r el logaritmo de R en base 2.
Como R tiene un valor de treinta y dos en la presente for-
ma de realización, r tiene un valor de cinco. Cada uno -
20 de estos descodificadores de acceso es del tipo de circui-
to integrado de semiconductores, y está formado en la mis-
ma pastilla de circuito integrado que su porción de dispo-
sición regular de almacenaje asociada, de una batería de
bitios de anchura. La dirección de acceso aplicada al des-
25 codificador de acceso obtiene acceso a una fila particu--
lar, y hace que los datos almacenados en esa fila aparez-
can en la barra colectora de salida de datos, de nueve bi-
tios de anchura, destinada a esa disposición regular. --
Las direcciones de acceso son suministradas a las porcio-
30 nes de descodificador de los mecanismos 50 a 57 por medio

1 de unas barras respectivas, de las ocho barras colectoras
de acceso A0 a A7 de cinco bitios.

5 La porción de disposición regular de almacenaje o me
moria de cada uno de los mecanismos 50 a 57 incluye ade
más una línea de control de inscripción, que debe activar
se antes de que sea posible inscribir los datos en la dis
posición regular de memoria. Las extremidades exteriores
de estas líneas de control de inscripción están designa
das con W0 a W7 en la fig. 5b. Así, por ejemplo, para
10 inscribir datos en la décimotava fila de la disposición
regular de almacenaje de la columna 4ª, es preciso que la
línea de inscribir W4 esté al nivel activo, y que la ba
rra colectora de acceso A4 de cinco bitios esté dando un
código de acceso de 10001. (Nótese que la primera fila
15 tiene como acceso el 00000.) Cuando se satisfacen ambas
condiciones indicadas, los valores de datos binarios que
aparecen en la barra colectora 64 de entrada de datos en
columna 4ª, de nueve bitios, se meten en la décimotava fi
la de la formación o disposición regular de la columna
20 4ª.

Desde un punto de vista general, la memoria compensa
dora 20 de datos puede considerarse como si fuese una
formación o disposición regular de almacenaje unitaria de
25 256 baterías de bitios, dotada de treinta y dos filas se
leccionables para acceso, teniendo cada fila una longitud
de ocho baterías de bitios. Así, a los fines de transfe
rir datos hasta o desde la memoria principal 25, es posi
ble tomar ocho baterías de bitios por lectura de la memo
ria compensadora 20 de datos, o bien inscribirlos en ésta,
30 durante un solo acceso a la misma.

1 Es de notar que el término de "formación" o "disposi-
ción regular" se usa aquí de dos maneras diferentes. A -
veces se usa para designar una sola de las formaciones 50
5 a 57 de una batería de bitios de anchura. Otras veces se
emplea para designar el juego completo de ocho formacio--
nes 50 a 57 como una sola entidad. Así, la memoria com--
pensadora 20 de bloques es una formación o disposición re-
gular de almacenaje que está compuesta de ocho formacio--
10 nes de almacenaje de una batería de bitios de anchura. -
De usarse sin calificativo, se entenderá que el término -
"formación" o "disposición regular" se refiere a la colec-
ción entera de formaciones de una batería de bitios de an-
chura, como una sola entidad.

15 Se sobrentiende además que los términos "columna" y
"fila" se usan aquí en el sentido eléctrico, pero no físi-
co ni mecánico. En particular, los lugares de almacenaje
no tienen que estar necesariamente dispuestos físicamente
de modo que den columnas y filas en el sentido físico. Lo
20 que se quiere decir aquí es que el conexionado para los -
lugares de almacenaje es tal que, desde un punto de vista
eléctrico, éstos parecen estar dispuestos, o comportarse
lo mismo que si estuviesen dispuestos en columnas y filas.

25 La circuitería de transferencia de datos de varias -
baterías de bitios asociada a la memoria compensadora 20
de datos de bloque incluye dos porciones principales, a -
saber: una circuitería de transferencia de datos, de M ba-
terías de bitios, para transferir segmentos de datos de M
30 baterías de bitios entre la memoria compensadora 20 de da-
tos y la memoria principal 25; y una circuitería de trans-
ferencia de datos, de N baterías de bitios, para transfe-

1 rir segmentos de datos de N baterías de bitios entre la -
memoria compensadora 20 de datos y la circuitería de blo-
que contenida en la unidad de bloques 11. M y N son unos
números enteros, siendo M el número de columnas de bate-
5 rías de bitios de la memoria compensadora 20 de datos. -
En la presente forma de ejecución, M tiene un valor de ---
ocho, y N tiene un valor de dos. Cada una de estas por---
ciones principales incluye, a su vez, dos subporciones. -
En particular, la circuitería de transferencia de datos -
10 de M baterías de bitios, o sea de ocho baterías de bitios,
incluye una primera circuitería de transferencia de datos
para transferir segmentos de datos de ocho baterías de bi-
tios desde la memoria principal 25 hasta la memoria com---
pensadora 20 de datos, y una segunda circuitería de trans-
15 ferencia de datos para transferir segmentos de datos de -
ocho baterías de bitios en el sentido inverso, es decir,
desde la memoria compensadora 20 de datos a la memoria --
principal 25. De igual manera, la circuitería de transfe-
rencia de datos de N baterías de bitios, o sea de dos ba-
20 terías de bitios, incluye una primera circuitería de trans-
ferencia de datos para transferir segmentos de datos de -
dos baterías de bitios desde la unidad de bloques 11 a la
memoria compensadora 20 de datos, y una segunda circuite-
ría de transferencia de datos para transferir segmentos -
25 de datos de dos baterías de bitios en el sentido opuesto,
es decir, desde la memoria compensadora 20 de datos a la
unidad de bloques 11.

30 Considerando primero la porción de la circuitería de
transferencia de datos, de ocho baterías de bitios, que -
va de la memoria principal a la memoria compensadora, la

1 porción de la misma representada en la figura 5b incluye
una circuitería de puertas 78 de ocho baterías de bitios,
una barra colectora de datos 79 de ocho baterías de bitios,
5 el registro de datos 23 de transferencia entre memorias
(STDR), la barra colectora de datos 32 de ocho baterías
de bitios, un juego de ocho ensambladores 80 a 87 de una
batería de bitios y las ocho barras colectoras de datos
60 a 67 de una batería de bitios. La circuitería de puer-
tas 78 recibe su entrada del desplazador 30 de baterías
10 de bitios representado en la fig. 2. Las subdivisiones
numeradas del STDR 23 designan las distintas posiciones
de batería de bitios del mismo. Tal como se indica con
el despliegue de la barra colectora 32 de datos, las po-
siciones individuales de batería de bitios de dicha barra
15 de datos 32 van acopladas a distintos ensambladores, del
juego 80 a 87 de éstos, y, por tanto, a distintas forma-
ciones, del juego de formaciones o disposiciones regula-
res de almacenaje 50 a 57 formantes de columnas. Así, -
en los momentos apropiados durante una operación de ins-
20 cribir de entrada/salida (IOW), los datos contenidos en
la posición de la batería de bitios 0 del STDR 23 se su-
ministran a la disposición regular 50 formante de columna
de la batería de bitios 0; los datos contenidos en la -
posición de la batería de bitios 1 se suministran a la -
25 disposición regular 51 formante de columna de la batería
de bitios 1; y así sucesivamente para las demás posicio-
nes de batería de bitios.

Pasando ahora a considerar la porción de la circuite-
ría de transferencia de datos de ocho baterías de bitios
30 que va de la memoria compensadora a la memoria principal,

1 la parte de la misma ilustrada en la fig. 5b incluye las
ocho barras colectoras 70 a 77 de salida de formación, -
de una batería de bitios cada una, la circuitería de - -
puertas 88 de ocho baterías de bitios, el STDR 23 y una
5 barra colectora 89 de ocho baterías de bitios que corre -
hasta el lado de entrada del desplazador 30 de baterías
de bitios indicado en la fig. 2. En los momentos apro--
piados durante una operación de leer I/O (IOR), las bate
rías de bitios 0 a 7 de los datos seleccionados para - -
10 acceso desde las formaciones 50 a 57 se ponen en las res
pectivas posiciones, de las de batería de bitios 0 a 7,
del STDR 23. De esta manera, las posiciones individuales
de batería de bitios de la barra colectora 89 de datos -
reciben datos de las distintas formaciones, del juego de
15 formaciones o disposiciones regulares 50...57 de almace
naje formantes de columna.

Considerando ahora la porción de la circuitería de
transferencia de datos, de dos baterías de bitios, que va
del bloque o "canal" a la memoria compensadora, la parte
20 de la misma representada en la fig. 5b incluye una barra
colectora de datos 90 de dos baterías de bitios, el regis
tro 21 de datos de llegada de bloque (CIDR) de dos bate
rías de bitios, el juego de ocho ensambladores 80 a 87 -
de una batería de bitios y las ocho barras colectoras 60
25 a 67, de entrada a formación, de una batería de bitios -
cada una. La posición de batería de bitios de número par,
es decir, la posición de batería de bitios 0, del CIDR 21
va acoplada a cada uno de los ensambladores de número par
80, 82, 84 y 86 y, por tanto, en los momentos apropiados,
30 a cada una de las formaciones o disposiciones regulares -

1 de almacenaje 50, 52, 54 y 56 que constituyen las colum--
nas de número par 0, 2ª, 4ª y 6ª de la memoria compensado
ra 20 de datos. De igual manera, la posición de batería
5 de bitios 1, del CIDR 21 está acoplada a cada uno de
los ensambladores 81, 83, 85 y 87 de número impar y, por
tanto, en los momentos apropiados, a cada una de las for-
maciones de almacenaje 51, 53, 55 y 57 que constituyen --
las columnas de número impar 1ª, 3ª, 5ª y 7ª de la memo--
10 ria compensadora 20 de datos. Como se verá, a lo sumo só-
lo una de las líneas de control de inscribir W0, W2, W4 y
W6 de número par puede activarse durante cualquier impul-
so CT dado, y a lo sumo sólo una de las líneas de control
de inscribir W1, W3, W5 y W7 de número impar puede acti--
15 varse durante cualquier intervalo de impulso CT dado. Así,
a lo sumo, sólo dos baterías de bitios pueden inscribirse
en la memoria compensadora 20 de datos durante una selec-
ción de acceso cualquiera dada de la memoria compensadora
20 de datos, a los fines de transferencia desde el bloque
20 a la memoria compensadora. En algunos casos, no más de -
una sola batería de bitios, que puede ser de número par o
de número impar, se inscribirá en la memoria compensadora
de datos 20 durante un intervalo de CT dado. En otros ca-
25 sos, puede no inscribirse ninguna batería de bitios en la
memoria compensadora 20 de datos, durante un intervalo de
CT dado.

Cada uno de los ensambladores 80 a 87 es una versión
de dos entradas y salida única del ensamblador genérico -
representado en la fig. 4. Los impulsos de transferencia
30 entre memorias (ST) son suministrados a una primera línea

1 de control de selección de cada uno de los ensambladores
80 a 87. Así, durante cada impulso de ST, las ocho posi-
ciones de batería de bitios quedan conectadas a las barras
correspondientes, de las barras colectoras 60 a 67 de en-
5 trada a formación, de una batería de bitios. Los impul-
sos de transferencia de bloque o "canal" (CT), por otra -
parte, son suministrados a una segunda línea de control -
de selección para cada uno de los ensambladores 80 a 87.
Así, durante cada impulso de CT, las líneas de salida del
10 CIDR 21 se conectan a las barras colectoras 60 a 67 de en-
trada a formación de almacenaje, yendo la línea de salida
de número par conectada a las barras colectoras de entra-
da a formación de número par, y yendo la línea de salida
de número impar conectada a las barras colectoras de en-
15 trada a formación de número impar. Como se indica en la
fig. 3, el impulso de CT aparece durante la primera mitad
de cada ciclo de bloque, y el impulso de ST aparece duran-
te la segunda mitad de cada ciclo de bloque.

Los impulsos de regulación de tiempo de CT y ST se -
20 obtienen de la circuitería 91 de generador de impulsos --
(fig. 5a), que está excitada por los impulsos de reloj C0
a C3 de bloque que se obtienen de la unidad de bloques 11.
Esta circuitería generadora de impulsos 91 puede incluir,
por ejemplo, un par de circuitos biestables de los cuales
25 uno es activado por el borde de ataque de cada impulso C0
y repuesto por el borde de cola de cada impulso C1 para -
producir los impulsos de CT, y el otro es activado por el
borde de ataque de cada impulso C2 y repuesto por el bor-
de de cola de cada impulso C3, para producir los impulsos
30 de ST.

1 Pasando ahora a considerar la porción de la circuitería de transferencia de datos de dos baterías de bitios -
que va de la memoria compensadora al bloque o "canal", la parte de la misma representada en la fig. 5b incluye las
5 ocho barras colectoras 70 a 77 de salida de formación, -- de una batería de bitios, un par de ensambladores 92 y 93 de cuatro entradas y salida única, el registro de datos -
22 de salida de bloque (CODR) de dos baterías de bitios y una barra colectora de datos 94 de dos baterías de bitios,
10 que corre hasta la unidad de bloques 11. Las barras colectoras 70, 72, 74 y 76 de salida de formación de número par, que vienen de las formaciones o disposiciones regulares de posición de batería de bitios 50, 52, 54 y 56 de número par, van acopladas a las cuatro entradas del ensamblador 92 de número par, yendo la salida de este ensamblador 92 conectada a la posición de batería de bitios de número par del CODR 22. De manera similar, las barras colectoras de salida 71, 73, 75 y 77 de formación de número impar, que vienen de las formaciones o disposiciones regulares de posición de batería de bitios 51, 53, 55 y 57 de número impar, van acopladas a las cuatro entradas del ensamblador 93 de número impar, yendo la salida de este ensamblador 93 conectada a la posición de batería de bitios de número impar del CODR 22. Cada uno de los ensambladores 92 y 93 es de la forma representada en la fig. 4. --
25 Cuatro líneas de control R0, R2, R4 y R6 de lectura de número par van individualmente conectadas a las distintas líneas, de las cuatro líneas de control de selección del ensamblador 92, yendo la línea R0 conectada para habilitar o facultar la selección de la barra colectora 70 de salida
30

1 de formación de batería de bitios 0, yendo la línea R2 co
nectada para habilitar la selección de la barra colectora
72 de salida de formación correspondiente a la batería de
bitios 2ª, etc. Como se verá, en cualquier instante dado
5 puede activarse sólo una de las cuatro líneas de control
de lectura R0, R2, R4 y R6 de número par. Así, pues, las
formaciones de almacenaje de batería de bitios de número
par sólo pueden conectarse de una en una a la posición de
batería de bitios 0 del CODR 22. De igual manera, hay --
10 cuatro líneas de control de lectura R1, R3, R5 y R7 de nú
mero impar conectadas a las cuatro líneas de control de -
selección del ensamblador 93. La línea R1 va conectada -
para habilitar o permitir la selección de la barra colec-
tora 71 de salida de formación de batería de bitios 1ª, -
15 la línea R3 está conectada para habilitar la selección de
la barra colectora 73 de salida de formación de batería -
de bitios 3ª, etc. En cualquier instante dado puede acti
varse sólo una de estas líneas de control de lectura de -
número impar. Así, pues, las barras colectoras 71, 73, -
20 75 y 77 de salida de formación de número impar sólo pueden
conectarse de una en una a la posición de batería de bi--
tios 1ª del CODR 22.

Durante el transcurso de cualquier operación dada de
entrada/salida para un dispositivo particular de I/O, só-
25 lo se utilizan dos de las cuatro posibles porciones de --
circuitería de transferencia de datos. Los emparejamien-
tos son como sigue:

Operación de leer dispositivo de entrada/salida (IOR)

- 1) circuitería de inscribir en memoria compensa-
30 dora, de transferencia de bloque o "canal" --

1

(CTBW)

- 2) circuitería de leer en memoria compensadora, de transferencia de almacenaje (STBR)

Operacion de inscribir en dispositivo de entrada/salida (IOW):

5

- 1) circuitería de inscribir en memoria compensadora, de transferencia de almacenaje (STBW)
- 2) circuitería de leer en memoria compensadora, de transferencia de bloque o "canal" (CTBR).

10

El aparato compensador de datos recibe instrucciones acerca de cuál es el tipo de operación de I/O que se va a efectuar, por medio de las señales de control de CTBW, CTBR, STBW y STBR que le van a ser suministradas por la unidad de bloques ll. Estas señales son obtenidas por descodificación del código de orden o mandato de bloque residente en un momento dado en la unidad de bloques ll. Cada una de estas señales de control de CTBW, CTBR, STBW y STBR está al nivel activo (en este caso, el nivel de uno binario), durante cada ciclo de bloque, cuando se va a efectuar su función particular; y cada una está al nivel inactivo (en este caso, el nivel de cero binario), durante cada ciclo de bloque, cuando no se está efectuando su función particular. Así, por ejemplo, aun cuando se usen las señales de control tanto de CTBW como de STBR durante una operación de leer I/O, habrá algunos ciclos de bloque durante los cuales sea sólo la señal de CTBW, y no la señal de STBR, la que esté al nivel activo. La señal de STBR estará al nivel activo para sólo aquellos ciclos de bloque durante los cuales se estén realmente transfiriendo datos desde la memoria compensadora 20 de datos a

15

20

25

30

1 la memoria principal 25. De igual modo, para una opera--
ción de inscribir en I/O, habrá algunos ciclos de bloque
durante los cuales sólo una de las señales de control de
STBW y CTBR estará al nivel activo.

5 El aparato compensador de datos también recibe de,
yusa en, la unidad de bloques 11 los mismos impulsos de
reloj de bloque C0 a C3.

10 Considerando ahora con mayor detalle una operación
tipo de leer I/O, los datos se reciben de la unidad de -
bloques 11 y se ponen en el registro de datos 21 de ile-
gada de bloque. Estos datos se inscriben luego o se al-
macenan en la memoria compensadora 20 de datos, de manera
"apretada" o densificada, en el orden en que se reciben,
15 partiendo de la posición de batería de bitios 0 de la pri-
mera fila (fila 0) de la memoria compensadora 20 de datos.
Después de acumulada una cantidad prefijada de datos en
el compensador de datos 20, el aparato comienza a tomar
por lectura ocho baterías de bitios cada vez, y a trans-
20 ferirlas a la memoria principal 25 por medio de la cir-
cuitería de puertas 88, el STDR 23, la barra colectora -
de datos 89, el desplazador 30 de baterías de bitios - -
(fig. 2) y el MSDR 27 (fig. 2).

25 Cuando los datos se están recibiendo durante una --
operación de leer I/O, la señal de control de CTBW está
al nivel de uno binario. Esto activa un circuito de coin-
cidencia 95 para permitir que los datos se pongan en el
CIDR 21 por efecto de los impulsos de reloj C3. Al mismo
tiempo, los impulsos de reloj C1 activan las líneas apro-
piadas de control de inscribir (dos como máximo) para - -
30 inscribir en la memoria compensadora 20 de datos los da--

1 - tos puestos en el CIDR 21. Cuando se van a transferir -
datos a la memoria principal 25 durante una operación de
leer I/O, la señal de control de STBR activa la circuitería
5 de puertas 88, haciendo que los datos suministrados
a su lado de entrada pasen a su lado de salida. Esta se-
ñal de control de STBR activa además un circuito de coin-
cidencia 96 para permitir que los impulsos de reloj C3 -
pasen al terminal de control de llegada de lectura del -
STDR 23, por medio de dicho circuito de coincidencia 96
10 y de un circuito disyuntivo 97. Esto permite a cada im-
pulso C3 poner en el STDR 23 los datos que hay en las ba-
rras colectoras 70 a 77 de salida de formación o disposi-
ción regular de almacenaje.

15 Durante una operación de leer I/O, las señales de -
control de STBW y CTBR permanecen al nivel de cero bina-
rio. El nivel de cero de la señal de STBW desactiva o -
inhabilita la circuitería de puertas 78. Esto desactiva
también un circuito de coincidencia 98 que, de otro modo,
dejaría pasar los impulsos de reloj C1, por medio del --
20 circuito disyuntivo 97, al STDR 23. El nivel de cero de
la señal de CTBR desactiva un circuito de coincidencia -
99 que, de otro modo, dejaría pasar los impulsos de re--
loj C1 a la línea de control de llegada o introducción -
de datos, del registro de datos 22 de salida de bloque.
25 Así, pues, no se introduce dato alguno en el CODR 22 du-
rante una operación de leer I/O.

30 Se prevén dos mecanismos de acceso por separado para
la memoria compensadora 20 de datos. Durante una opera-
ción de leer I/O, uno de ellos controla el almacenaje de
los datos que llegan de la unidad de bloques 11, y el otro

1 controla la salida por lectura de los datos que se están
transfiriendo a la memoria principal 25. Los dos juegos
o grupos de direcciones de acceso se aplican al compensa
5 dor de datos 20 por medio de un juego de ocho ensamblado
res 100, de dos entradas y una sola salida, que sirven pa
ra controlar la conmutación de una dirección de acceso a
la otra. En particular, el impulso de CT suministrado a
cada uno de los ensambladores 100 hace que las direccio
nes de acceso de transferencia de bloque, de cinco bitios,
10 se apliquen a las barras colectoras de acceso A0 a A7 de
cinco bitios, correspondientes a las respectivas forma--
ciones o disposiciones regulares de almacenaje 50 a 57 -
de una batería de bitios de anchura. De igual manera, el
impulso de ST aplicado a cada uno de los ensambladores -
15 100 hace que las direcciones de acceso de transferencia
entre memorias, de cinco bitios también, se apliquen a -
las barras colectoras de acceso A0 a A7 de cinco bitios.
Puesto que, como se ha indicado en la fig. 3, los impul
sos de CT y ST están apareciendo intercalados o de mane
20 ra alternativa, los datos que llegan de la unidad de blo
ques 11 pueden almacenarse en un determinado lugar, y --
los datos tomados por lectura para su transferencia a la
memoria principal 25 pueden tomarse de un lugar de alma
cenaje distinto, durante el mismo ciclo de bloque o "ca
25 nal".

Las figs. 6A a 6F ilustran una manera típica de trans
ferir datos desde la unidad de bloques 11 a la memoria -
compensadora 20 de datos. Estas seis figuras representan
la transferencia de datos para seis ciclos de bloque suce
30 sivos. Durante un primer ciclo de bloque (fig. 6A), una

1 primera batería de bitios de datos, la batería de bitios
0, se inscribe o almacena en el primer lugar de almacena-
je, del tamaño de una batería de bitios, que hay en el --
compensador 20 de datos: es decir, el lugar correspon-
5 diente a la fila 0, columna 0. Durante el segundo ciclo
(fig. 6B), la batería de bitios 1 de datos se almacena --
en la posición de la fila 0, columna 1. Durante el ter-
cer ciclo (fig. 6C), la batería de bitios 2 de datos se -
almacena en la posición de la fila 0, columna 2. Así, du-
10 rante las tres primeras transferencias ilustradas, se al-
macena sólo una batería de bitios de datos. Durante el -
cuarto ciclo (fig. 6D), son dos baterías de bitios de da-
tos, es decir, las baterías de bitios 3 y 4, las que se -
almacenan, en los lugares correspondientes a la fila 0, -
15 columnas 3 y 4. Durante el quinto ciclo (fig. 6E), las -
baterías de bitios de datos 5 y 6 se almacenan en los lu-
gares de la fila 0, columnas 5 y 6. Durante el sexto ci-
clo (fig. 6F), la batería de bitios 7 de datos se almacena
en la posición de la fila 0, columna 7, y la batería de -
20 bitios 8 de datos se almacena en la posición de la fila -
1, columna 0. Esto ilustra el caso en que, durante un --
único acceso, se requiere obtener acceso a los lugares de
almacenaje de compensación de datos situados en dos filas
distintas de la memoria compensadora de datos 20.

25 Los puntos negros representados en algunos lugares -
de almacenaje, en las figs. 6B a 6F, denotan la presencia
de datos, usándose los números para indicar tan sólo los
datos que se han almacenado durante el ciclo en curso.

30 Por conveniencia del sistema de numeración aquí usa-
do, la primera batería de bitios de datos recibida de la

1 unidad de bloques 11 durante una operación dada de leer -
I/O se trata como batería de bitios de número par; la ba-
tería de bitios siguiente, como de número impar, etc. Te-
niendo esto en cuenta, las baterías de bitios de número -
5 par se suministran a la posición de batería de bitios 0,
o de número par, del CIDR 21; y las baterías de bitios de
número impar se suministran a la posición de batería de -
bitios 1, o de número impar, del CIDR 21.

10 Las figs. 7A a 7E se usan para ilustrar unas transfe-
rencias tipo de datos, desde la memoria compensadora 20 -
de datos a la memoria principal 25. Cada una de las figs.
7A a 7E representa un ciclo de bloque o "canal" diferente.
Como antes, el punto negro en un lugar de almacenaje de -
compensación de datos indica la presencia de datos en di-
15 cho lugar, usándose los números tan sólo para aquellos lu-
gares que interesan o intervienen durante el ciclo parti-
cular que se está considerando. El asterisco en el lugar
de la fila 1, columna 2 de la fig. 7A indica que, para es-
te ejemplo particular, hay datos suficientes para iniciar
20 una transferencia de almacenaje, o entre memorias, después
de almacenadas en la memoria compensadora 20 de datos on-
ce baterías de bitios entrantes, procedentes de la unidad
de bloques 11. Se supone además que el lugar de batería
de bitios inicial de la memoria principal 25 es la posi-
25 ción de batería de bitios 5 de alguna fila de la misma o,
dicho en otros términos, que los tres bitios de acceso de
iniciación, del orden inferior o menos significativo, pa-
ra la memoria principal 25 son "101".

30 Como se verá, el primer objetivo es llegar a un lin-
dero de ocho baterías de bitios en la memoria principal -

1 25. Esto se consigue sacando por lectura todo lo de la
fila 0 de la memoria compensadora 20 de datos y poniéndolo
en el STDR 23. La salida del STDR 23 circula por el
desplazador 30 de baterías de bitios (fig. 2) y, en el
5 momento apropiado, se pone en el MSDR 27 (fig. 2). Tal
como se indica en la fig. 7A, el desplazador 30 de bate-
rías de bitios se activa, produciendo un desplazamiento,
a la derecha, de cinco posiciones de batería de bitios.
La unidad selectora 28 de baterías de bitios (fig. 2) ha
ce que sólo las tres posiciones de batería de bitios de
10 más a la derecha, del MSDR 27, se inscriban en la memo-
ria principal 25. Como se indica en la fig. 7A, esto --
lleva los datos hasta un lindero de ocho baterías de bi-
tios en la memoria principal 25.

15 La fig. 7B ilustra lo que ocurre durante el siguien-
te ciclo de bloque. Aquí también se toman otras ocho ba-
terías de bitios, sacándolas por lectura de la memoria -
compensadora 20 de datos, y se ponen en el STDR 23. En
este caso, en cambio, algunas de las baterías de bitios
20 de datos vienen de la fila 0, y otras de la fila 1, de -
la memoria compensadora 20 de datos. Este acceso de ocho
baterías de bitios contiguas procedentes de dos filas --
distintas se efectúa durante un solo acceso de la memoria
compensadora 20 de datos. Así, las baterías de bitios -
25 3...10 de datos son las que se ponen en el STDR 23 duran-
te el segundo ciclo de bloque. Estas baterías de bitios
de datos son desplazadas a la derecha en cinco posiciones
de baterías de bitios, en el modo de iteración, por el
desplazador 30 de baterías de bitios, y los datos despla-
30 zados se ponen en el MSDR 27. Las baterías de bitios --

1 3 a 10 de datos se inscriben luego en la memoria principal 25, en la "fila" siguiente de la misma.

5 Las figs. 7A a 7E representan el caso en que la longitud de los datos que se van a tomar por lectura del dispositivo de I/O es de setenta y nueve baterías de bitios, y el lugar de iniciación en la memoria principal 25 no coincide con un lindero de sesenta y cuatro baterías de bitios de la misma. En este caso, se efectúa primero una operación de transferencia parcial de almacenaje o entre

10 memorias, para transferir once baterías de bitios de datos a la memoria principal 25, de modo que se alcance el siguiente lindero de sesenta y cuatro baterías de bitios de la memoria principal 25. Como se indica en las figs. 7A y 7B, se requieren dos accesos al compensador de

15 tos 20 para conseguir este propósito. A continuación, después de acumulados suficientes datos en el compensador 20, se efectúa una operación de transferencia completa de almacenaje para transferir las sesenta y cuatro baterías de bitios siguientes de los datos a la memoria principal

20 25. Esto se consigue efectuando ocho transferencias de ocho baterías de bitios desde la memoria compensadora 20 de datos a la memoria principal 25. La fig. 7C representa la primera de estas transferencias, y la fig. 7D representa la última de estas transferencias. A continuación,

25 se efectúa otra operación de transferencia parcial de almacenaje para trasladar las cuatro baterías de bitios de datos restantes a la memoria principal 25, estando indicada en la fig. 7E esta operación de transferencia parcial.

30 Por lo que antecede, puede verse que los datos procedentes de la unidad de bloques 11 se transfieren a la - -

1 memoria compensadora 20 de datos, y se almacenan en ella,
de una en una o de dos en dos baterías de bitios durante
sucesivos ciclos de bloque, hasta que del dispositivo de
I/O se ha tomado por lectura la totalidad de los datos, -
5 para la operación particular de lectura en cuestión. En
unos puntos apropiados intercalados en el tiempo, se toman
los datos por lectura de la memoria compensadora 20 de da
tos y se transfieren o trasladan a la memoria principal -
25, para su almacenaje en ésta. Los datos se trasladan a
10 la memoria principal 25 de ocho en ocho baterías de bitios
y, con la posible excepción de las transferencias primera
y última, se inscriben ocho baterías de bitios de datos en
la memoria principal 25 durante cada acceso a ésta. Según
15 la dirección de acceso inicial de la memoria principal y
la longitud de los datos que se tomen por lectura del dis
positivo de I/O, los datos inscritos en la memoria princi
pal 25 durante una, o ambas o ninguna, de las transferen
cias primera y última pueden ser de menos de ocho baterías
de bitios de longitud. La particular operación de lectu
20 ra de entrada/salida en cuestión se termina después de ins
crita la última de las baterías de bitios de datos en la
memoria principal 25.

Considerando ahora el caso de una operación de inscri
bir de entrada/salida, tal operación se efectúa de manera
25 muy parecida a la inversa de la que acaba de describirse
para una operación de leer I/O. En particular, los datos
se toman por lectura de la memoria principal 25 de ocho en
ocho baterías de bitios, se desplazan por medio del despla
zador 30 de baterías de bitios, si es necesario, y se su
30 ministran por medio de la circuitería de puertas 78 al ---

1 STDR 23. Como la señal de control de STBW está al nivel
de uno lógico, y la señal de control de STBR está al ni-
vel de cero, durante una operación de inscribir en I/O, -
la circuitería de puertas 78 se habilita para dejar pasar
5 las señales de datos y la circuitería de puertas 88 está
inhabilitada o desactivada. Los datos que la circuitería
de puertas 78 deja pasar se ponen en el STDR 23 por efec-
to de los impulsos de reloj C1 suministrados al mismo a -
través del circuito de coincidencia 98. Los datos conte-
10 nidos en el STDR 23 se ponen a disposición de la circuite
ría de inscribir de la memoria compensadora 20 de datos,
por medio de la barra colectora 32 de datos y de los en--
sambladores 80 a 87. Cada segmento de datos de ocho bate
rías de bitios se inscribe en la memoria compensadora 20
15 de datos durante la aparición de diferentes impulsos de -
reloj C3, de los suministrados a un circuito de coinciden
cia 101. Cada impulso C3 aplicado al circuito de coinci-
dencia 101 activa las ocho líneas W0...W7 de control de -
inscribir. La cantidad de desplazamiento proporcionada -
20 por el desplazador 30 de baterías de bitios se ajusta de
modo que la batería de bitios de datos de iniciación toma
da de la memoria principal 25 se almacena en la posición
de columna 0 de la primera fila (fila 0) de la memoria --
compensadora 20 de datos.

25 Durante una operación de inscribir en I/O, el circui
to de coincidencia 95 permanece inhabilitado (CTBW al ni-
vel de cero) de modo que no se pone dato alguno en el - -
CIDR 21. Asimismo, y lo que es más importante, ninguna -
de las líneas de control W0 a W7 de inscribir se activa -
30 durante los intervalos de "tajada" o subdivisión de tiempo

1 de CT. Así, en la memoria compensadora 20 de datos, du--
rante una operación de inscribir en I/O, sólo se inscri--
ben datos procedentes de la memoria principal 25.

5 Nótese que para una operación de inscribir en I/O se
inscriben siempre ocho baterías de bitios en la memoria -
compensadora 20 de datos. Durante la primera transferen--
cia de memoria principal a memoria compensadora, esto pue
de producir el almacenaje de algunos restos o "desperdi--
cios" indeseados en la memoria compensadora 20 de datos,
10 pero esto vendrá aliviado por el hecho de que los res--
tos no deseados quedarán dominados por los datos buenos -
que se les superpongan durante la siguiente transferencia
de ocho baterías de bitios desde la memoria principal 25
a la compensadora 20 de datos.

15 Para una operación de inscribir en I/O, la transfe--
rencia de datos desde la memoria compensadora 20 de datos
a la unidad de bloques 11 se empieza tan pronto como en -
la memoria compensadora 20 de datos hay disponible cual--
quiera de los datos que se están transfiriendo desde la -
20 memoria principal 25. La transferencia de datos a la uni--
dad de bloques 11 se efectúa de dos en dos baterías de bi--
tios, por medio del registro 22 de datos de salida de blo--
que, y de la barra colectora de datos 94 de dos baterías
de bitios. Así, cada impulso de reloj C1 suministrado al
25 CODR 22 por el circuito de coincidencia 99 sirve para me--
ter otras dos baterías de bitios de datos en el CODR 22,
siendo la batería de bitios de número par seleccionada por
el ensamblador 92 y siendo la batería de bitios de número
impar seleccionada por el ensamblador 93.

30 Como antes, hay dos mecanismos de acceso por separa--

1 do, acoplados a los ensambladores 100 de modo que el alma
cenaje de datos recibidos de la memoria principal 25 puede
ocurrir en un lugar distinto que la toma por lectura de --
los datos que se estén transfiriendo a la unidad de blo--
5 ques 11. A causa de la regulación de tiempos de ciclo --
subdividido proporcionada por los impulsos de CT y ST --
aplicados al ensamblador 100, las llegadas de inscripción
que vienen de la memoria principal 25 pueden proseguir in
dependientemente de las salidas de lectura que van a la --
10 unidad de bloques 11 y, cuando es necesario, pueden ins--
cribirse ocho baterías de bitios y sacarse por lectura --
dos baterías de bitios durante un mismo ciclo de bloque o
"canal".

15 Para operaciones tanto de leer I/O como de inscribir
en I/O, la memoria compensadora 20 de datos se hace fun--
cionar en el modo de iteración, o circulación iterativa.
Así, en uno y otro caso, si se van a transferir más de --
256 baterías de bitios durante una operación de I/O dada,
después de llenada la última fila de la memoria compensa--
20 dora 20 de datos, la operación de inscribir en la memoria
compensadora vuelve entonces a la primera fila (fila 0) --
de la memoria compensadora 20 de datos, y sigue a partir
de ahí hasta que se hayan transferido todos los datos, o
bien dando otra vez la vuelta hasta la fila 0 si es nece--
25 sario. La operación de leer la memoria compensadora da --
vueltas iterativamente de igual manera, y las operaciones
de leer e inscribir se coordinan en la extensión necesaa--
ria para impedir que se superpongan datos nuevos encima --
de los datos no leídos, anteriormente almacenados.

30 Con referencia ahora a la fig. 8, se representa en --

1 ella con mayor detalle la construcción de una unidad de --
excitación 102 de inscribir que, como se muestra en la --
fig. 5a, da las señales de mando o excitación para las --
líneas de control W0 a W7 de inscribir. Como se ve en la
5 figura 8, la unidad de excitación 102 de inscribir está --
compuesta de un juego de ocho circuitos disyuntivos lógi-
cos, que tienen cada uno una entrada conectada a la línea
de salida 103 que viene del circuito de coincidencia 101
(fig. 5a). Así, cuando la señal de control de STBW está
10 al nivel de uno binario durante una operación de inscri-
bir en I/O, cada impulso de reloj C3 sirve para activar --
el juego entero de líneas de control W0 a W7 de inscribir.
Durante una operación de leer I/O, en cambio, las líneas
de control W0 a W7 de inscribir que van a las formaciones
15 o disposiciones regulares de almacenaje 50 a 57 de una ba-
tería de bitios de anchura están individualmente controla-
das por medio de unas señales individuales suministradas
a las segundas entradas de los circuitos disyuntivos de --
la unidad de excitación 102, por medio de unos conducto-
20 res 104. Este control es tal que, durante cualquier ciclo
dado de bloque o "canal", se activarán ninguna, una o dos
de las líneas de control W0 a W7 de inscribir.

Con referencia ahora a la fig. 5a, se ilustran en --
ella las unidades funcionales principales incluidas en el
25 control 24 de compensador de la fig. 2. Estas unidades --
funcionales incluyen dos juegos separados o independientes
de circuitería de acceso a memoria compensadora de datos,
para suministrar individualmente unas direcciones de acce-
so de varios bitios a los mecanismos de acceso de cada una
30 de las formaciones de almacenaje 50 a 57, de una batería

1 de bitios de anchura. En particular, se prevé la circuitería de acceso a memoria compensadora de datos, de transferencia de almacenaje o entre memorias (ST), para suministrar campos de direcciones de acceso de varios bitios a las barras colectoras de acceso A0 a A7 durante los intervalos de "tajada" o rebanada de tiempo de ST. Estos campos de acceso de ST se usan para obtener acceso a la memoria compensadora 20 de datos con fines de transferir datos a la memoria principal 25, o de almacenar los datos recibidos de ésta. De igual manera, se prevé la circuitería de acceso a memoria compensadora de datos, de transferencia de grupo o "canal" (CT), para suministrar campos de acceso de varios bitios a las barras colectoras de acceso A0 a A7 durante los intervalos de "tajada" de tiempo de CT. Estos campos de acceso de CT se usan para obtener acceso a la memoria compensadora 20 de datos, a los fines de transferir datos a la unidad de bloques 11 o de almacenar los datos recibidos de esta última.

20 La circuitería de acceso a memoria compensadora de datos, de transferencia de almacenaje, incluye una unidad 105 de control de transferencia y contador de acceso a memoria compensadora, de transferencia de almacenaje (ST). La porción de contador de acceso de ST de esta unidad 105 suministra una dirección de acceso a memoria compensadora, de transferencia de almacenaje (STBA), a una unidad de control 106 de acceso a memoria compensadora, de ST. Esta unidad de control de acceso 106, a su vez, suministra una dirección de acceso de cinco bitios a una primera entrada de cada uno de los ensambladores de barras colectoras de acceso A0 a A7, del grupo de ensambladores 100. La

1 unidad 105 recibe diversas direcciones de acceso de la me
2 memoria principal, señales de reposición de contador y seña
3 les de longitud de datos, desde la unidad 14 de tratamien
4 to de instrucciones, por medio de la barra colectora de -
5 control 46.

6 La circuitería de acceso a memoria compensadora de -
7 datos, de transferencia de bloque, incluye un contador --
8 107 de acceso a memoria compensadora, de transferencia de
9 bloque (CT) y una unidad de control 108 de acceso de CT -
10 que incluye una porción de control de acceso a memoria --
11 compensadora, de CT, una porción de control de inscribir
12 de CT y una porción de control de leer de CT. El conta--
13 dor de acceso 107 de CT suministra una dirección de acce--
14 so a memoria compensadora, de transferencia de bloque - -
15 (CTBA), a la porción de control de acceso que hay en la -
16 unidad 108, porción que a su vez suministra una dirección
17 de acceso de cinco bitios a una segunda entrada de cada -
18 uno de los ensambladores 100 que excitan a las barras co-
19 lectoras de acceso A0 a A7. La porción de control de ins
20 cribir de CT de la unidad 108 recibe la señal de control
21 de CTBW y los impulsos de reloj Cl, desde la unidad de --
22 bloques 11. La porción de control de inscribir de CT re-
23 cibe también señales de control de par e impar (EVEN y --
24 ODD) procedentes de la unidad de bloques 11. La señal de
25 par (EVEN) está al nivel activo cuando hay una batería de
26 bitios de datos válida presente en la porción de la barra
27 colectora de datos 90 que suministra una batería de bitios
28 de datos a la posición de batería de bitios de número par
29 (batería de bitios 0) contenida en el CIDR 21. De igual
30 manera, la señal de control de impar (ODD) está al nivel

1 activo cuando hay una batería de bitios de datos válida -
presenta en la porción de batería de bitios de la barra -
colectora de datos 90 que suministra una batería de bitios
5 de datos a la posición de batería de bitios de número im-
par (batería de bitios 1) del CIDR 21. El contador 107 -
de acceso a memoria compensadora, de CT, recibe de la IPU
14 una señal de reposición de contador, por medio de la -
barra colectora de control 46. Este contador 107 de CT -
10 recibe también una señal de longitud de transferencia de
bloque (CTL) procedente de la unidad de bloques 11. Esta
señal de CTL indica si en la barra colectora de datos 90
hay presentes cero, una o dos baterías de bitios de datos
válidos.

15 Se prevé asimismo una unidad de control 109 de recuen-
to de memoria compensadora de datos para, entre otras co-
sas, decir a la unidad de bloques 11 en qué momento se ha
acumulado, en la memoria compensadora 20 de datos, un nú-
mero de datos suficiente a los fines de iniciar una trans-
20 ferencia desde la memoria compensadora a la memoria prin-
cipal. En este caso, la unidad de bloques 11 hace pasar
las señales de control apropiadas a la unidad de control
principal 15 (fig. 2), a los fines de iniciar la transfe-
rencia desde la memoria compensadora a la memoria princi-
pal.

25 Con referencia ahora a la fig. 9, se ilustra en ella
con mayor detalle la construcción de la unidad de control
106 de acceso a memoria compensadora, de ST, de la fig. -
5a. También se muestra un registro 110 de acceso a memo-
ria compensadora, de transferencia de almacenaje (STBAR)
30 que está situado en el contador 105 de acceso a memoria -

1 compensadora, de ST, y forma parte de él. El STBAR 110 -
se actualiza según necesidades, para contener el lugar de
batería de bitios inicial en curso, en un momento dado, -
en la memoria compensadora 20 de datos, a los fines de la
5 transferencia entre memorias. La anchura del registro --
STBAR 110 es de B bitios, siendo B el logaritmo de base -
dos del producto de M multiplicado por R. En la presente
forma de ejecución, M (el número de columnas de la memoria
compensadora 20) es igual a ocho, y R (el número de filas
10 de la memoria compensadora 20) es igual a treinta y dos.
Así, en la presente forma de ejecución, M multiplicado --
por R es igual a 256, y B es igual a ocho. Así, pues, el
STBAR 110 es un registro de acceso de ocho bitios. Este
acceso de ocho bitios es suficiente para identificar de -
modo único y singular un lugar dado cualquiera de los 256
15 lugares, de una batería de bitios de anchura de la memo--
ria compensadora 20 de datos.

La porción de la circuitería de acceso a memoria com-
pensadora, de ST, representada en la fig. 9 incluye ade-
20 más una circuitería capaz de responder al grupo 0 juego -
de r bitios de acceso de orden superior contenido en el -
registro de acceso a memoria compensadora, de transferen-
cia de almacenaje (STBAR) 110, para producir un juego mo-
dificado de bitios de acceso de orden superior cuyo valor
25 es una unidad de recuento más alto que el del juego no mo-
dificado. Como antes se ha dicho, el factor r es el lo--
garitmo de base dos de R, que es el número de filas de la
memoria compensadora 20 de datos. En la presente forma -
de ejecución, R es igual a 32 y, por tanto, r es igual a
30 cinco. La circuitería capaz de responder al juego de - -

1 cinco bitios de acceso de orden superior (los bitios 0 a
4) del STBAR 110 para producir el juego modificado de bitios de acceso de orden superior está representada por un incrementador 111 de +1. El juego no modificado de cinco bitios de acceso de orden superior es el denominado juego A, y el juego modificado se denomina aquí juego MA. El valor de acceso de MA es superior, en una unidad de recuento, al valor de acceso A.

La circuitería de acceso de ST de la fig. 9 incluye además una circuitería de selector para suministrar, al mecanismo de acceso para cada una de las formaciones de almacenaje 50 a 57 de una batería de bitios de anchura (fig. 5b), sea el juego no modificado de bitios de acceso A, sea el juego modificado de bitios de acceso MA. Esta circuitería de selector está representada por un juego de siete ensambladores 112 a 118 de dos entradas y una sola salida, y una barra colectora de salida 119 no conmutada. Estos ensambladores 112 a 118 y la barra de salida 119 suministran los juegos seleccionados de bitios de acceso a las barras colectoras individuales A0 a A7 de acceso a la formación o disposición regular (fig. 5b), de cinco bitios, por medio de los correspondientes ensambladores 100 (fig. 5a). Como se indica por medio de la barra colectora 119 no conmutada, la barra colectora A7 de acceso a formación, de cinco bitios, recibe siempre el juego no modificado A de cinco bitios de acceso de orden superior, durante los intervalos de "tajada" de tiempo ST.

La fig. 10 ilustra con mayor detalle la forma de construcción de, por ejemplo, el ensamblador 115 que se

1 lecciona los bitios de acceso para la barra colectora de
acceso A3. Por emplearse un circuito lógico 120 de inhi-
bición, o puerta NO, se requiere únicamente una sola lí-
nea de control 121 de selección exterior. Si la línea -
5 de control de selección 121 está al nivel de cero binario,
es el juego no modificado A de cinco bitios de acceso el
que se hace pasar a la barra colectora de acceso A3 de -
cinco bitios. Si, por el contrario, la línea de control
de selección 121 está al nivel de uno binario, lo que se
10 hace pasar entonces a la barra colectora de acceso A3 de
cinco bitios es el juego modificado MA de cinco bitios -
de acceso.

La forma de construcción interna del resto de los -
ensambladores 112 a 118 de la fig. 9 es igual a la del -
15 ensamblador representado en la fig. 10.

La circuitería de acceso a memoria compensadora, de
ST, de la fig. 9 incluye también una circuitería de con-
trol de selector acoplada a la circuitería de selector -
112 a 119 y capaz de responder al juego de m bitios de -
20 acceso de orden inferior del STBAR 110, para determinar
cuál es el juego de bitios de acceso de orden superior -
que se suministra a cada uno de los mecanismos de acceso
para cada una de las formaciones de almacenaje 50 a 57 -
de una batería de bitios de anchura. El factor m es el
25 logaritmo de base dos de M , siendo M el número de colum-
nas de la memoria compensadora 20 de datos. En la presen-
te forma de ejecución, M es igual a ocho y m es igual a
tres. Así, la circuitería de control de selector, que -
está representada en la fig. 9 por la lógica de control
30 122, es capaz de responder al juego de tres bitios de --

1 acceso de orden inferior (los bitios 5 a 7) del STBAR --
110.

La fig. 11 ilustra con mayor detalle la forma de --
construcción de la lógica de control 122 de la fig. 9. --
5 Las diversas líneas de control de salida, numeradas de 0
a 6, van respectivamente conectadas a las entradas de con-
trol de selección de los ensambladores 112 a 118. La fun-
ción lógica desempeñada por la lógica de control 122 es-
tá representada por la tabla de la fig. 12. Si, por --
10 ejemplo, los tres bitios de acceso de orden inferior (los
bitios 5 a 7) del STBAR 110 tienen un valor de 000, enton-
ces es la dirección de acceso A no modificada la que se
aplica a cada una de las ocho barras colectoras A0 a A7
de acceso a formación o disposición regular de almacenaje.
15 En este caso, los ocho lugares contiguos de batería de -
bitios que se seleccionan para acceso en la memoria com-
pensadora 20 de datos se hallan todos en la misma fila -
de dicha memoria compensadora 20 de datos, viniendo esta
fila determinada por el valor de A. Si, en cambio, los
20 tres bitios de orden inferior del STBAR tuviesen un valor
de, por ejemplo, 011, se aplicaría entonces la dirección
de acceso no modificada A a las barras colectoras A3 a -
A7 de acceso a formación, y se aplicaría la dirección de
acceso MA modificada a las barras colectoras A0 a A2 de
25 acceso a formación. Esto representa uno de los casos en
que se requiere obtener acceso a un segmento de almacena-
je de ocho baterías de bitios situado en dos filas distin-
tas, pero contiguas, de la memoria compensadora 20 de da-
tos. El valor de A determina la primera de las dos filas
30 contiguas, y el valor de MA determina la segunda de las -

08088

1 dos filas contiguas. Así, por ejemplo, si A tuviese un
valor de ocho (un valor binario de 01000 para los bitios
0 a 4), MA tendría entonces un valor de nueve (valor bina-
rio de 01001 para los bitios 0 a 4), lo que corresponde
5 ría al caso ilustrado en la fig. 7D. En el caso de la fig.
fig. 7D, a las cinco últimas baterías de bitios de la fi-
la 8 y a las tres primeras baterías de bitios de la fila
9 se tiene acceso durante una misma toma de acceso de la
memoria compensadora 20 de datos.

10 Pasando ahora a considerar la circuitería de acceso
a memoria compensadora, de CT, y con referencia a la fig.
13, se ilustra en ésta con mayor detalle la forma de cons-
trucción de la unidad de control de acceso 108 de CT de
la fig. 5a. Como se ha dicho, esta unidad 108 incluye --
15 una porción de control de acceso a memoria compensadora,
de CT, una porción de control de inscribir de CT y una --
porción de control de leer de CT. La porción de control
de acceso a memoria compensadora, de CT, proporciona los
campos de acceso de cinco bitios que se suministran a las
20 barras colectoras A0...A7 de acceso a formación, por me--
dio de los correspondientes ensambladores 100, durante --
los intervalos de "tajada" o subdivisión de tiempo de --
CT. La porción de control de inscribir de CT proporciona
las señales W0 a W7 de control de inscribir, que se sumi-
nistran a la unidad de mando o excitadora 102 de inscribir,
25 de la fig. 5a. La porción de control de leer de CT con-
trola la activación de las líneas R0 a R7 de control de --
lectura que van a los ensambladores 92 y 93 de salida de
bloque representados en la fig. 5b.

30 En la fig. 13 se muestra también un registro de --

1 acceso a memoria compensadora 124, de transferencia de -
bloque (CTBAR) que está situado en el contador 107 de --
acceso a memoria compensadora, de CT (figura 5a), y for-
ma parte del mismo. El CTBAR 124 se ilustra en la figu-
5 ra 13 con fines de referencia. Este CTBAR 124 proporcio-
na una dirección de acceso a memoria compensadora de da-
tos, de B bitios, para obtener acceso a cualquier lugar
deseado de batería de bitios de iniciación, en la memoria
compensadora 20 de datos, durante un intervalo de "taja-
10 da" de tiempo de CT. El factor B tiene el mismo signifi-
cado arriba descrito en relación con el STBAR 110. Así,
en la presente forma de ejecución, el CTBAR 124 es un re-
gistro de acceso de ocho bitios y, como se verá, la di-
rección de acceso que en él reside se va actualizando re-
15 petidamente durante el transcurso de una operación de en-
trada/salida para así obtener acceso al siguiente lugar
deseado, de batería de bitios de iniciación, en la memo-
ria compensadora 20 de datos.

20 La porción de la circuitería de acceso de transferen-
cia de bloque ilustrada en la fig. 13 incluye también un
registro de formación impar 125 y un registro de forma-
ción par 126, para recibir los bitios de acceso B-1 de -
orden superior (bitios 0 a 6) procedentes del CTBAR 124.
La porción de circuitería de acceso de CT de la fig. 13
25 incluye asimismo una circuitería de incrementador 127, -
para aumentar en uno el valor de recuento contenido en -
el registro de formación par 126 cuando el bitio de or-
den más bajo (el bitio 7) del CTBAR 124 tenga el valor -
binario de uno. Cuando el bitio 7 tenga un valor bina-
30 rio de cero, el incrementador 127 hace seguir los bitios

1 0 a 6 del CTBAR 124 hasta el registro de formación par --
126, sin modificación alguna. Así, cuando el bitio 7 es
cero, el valor binario puesto en el registro de formación
par 126 es igual al valor binario puesto en el registro -
5 de formación impar 125. Cuando el bitio 7 es uno, el va-
lor binario puesto en el registro de formación par 126 es
una unidad de recuento más alto que el valor binario pue-
to en el registro de formación impar 125.

10 La circuitería de acceso de transferencia de bloque
incluye además una circuitería para suministrar el juego
de r bitios de acceso de orden superior, que hay en el re-
gistro de formación impar 125, a los mecanismos de acceso
de cada una de las formaciones o disposiciones regulares
de almacenaje 51, 53, 55 y 57, de una batería de bitios -
15 de anchura y de número impar (las formaciones de columna
1, 3, 5 y 7) de la memoria compensadora 20 de datos. El
factor r tiene el mismo significado que antes, es decir,
es el logaritmo de base dos de R , siendo R el número de -
filas de la memoria compensadora 20 de datos. En la pre-
sente forma de ejecución, R es igual a cinco. Así, los -
20 cinco bitios de acceso de orden superior (bitios 0 a 4) -
contenidos en el registro de formación impar 125 son sumi-
nistrados por la barra colectora de acceso 129 y por los
ensambladores 100 apropiados, a cada una de las barras co-
25 lectoras A1, A3, A5 y A7 de acceso a formación, de número
impar, durante los intervalos de "tajada" de tiempo de --
CT.

30 De igual manera, se prevé una circuitería para sumi-
nistrar el juego de r bitios de acceso de orden superior
contenidos en el registro de formación par 126 a los meca-

1 nismos de acceso de cada una de las formaciones de alma-
cenaje 50, 52, 54 y 56, de una batería de bitios de an-
chura y de número par (las formaciones de columna 0, 2,
4 y 6), de la memoria compensadora 20 de datos. En par-
5 ticular, los cinco bitios de acceso de orden superior --
(los bitios 0 a 4) que hay en el registro de formación --
par 126 son suministrados a cada una de las barras colec-
toras A0, A2, A4 y A6 de acceso a formación, del número
par, por medio de la barra colectora de acceso 130 y de
10 los correspondientes ensambladores 100, durante los in-
tervalos de "tajada" de tiempo de CT.

Para la mayoría de los accesos a memoria compensado-
ra 20 de datos, con fines de transferencia de canal, las
direcciones de acceso a formación de número par A0, A2,
15 A4 y A6 serán iguales a las direcciones de acceso a for-
mación de número impar A1, A3, A5 y A7. En otros términos,
en la mayoría de los casos, se tendrá acceso a la misma
fila en cada una de las ocho columnas de la memoria com-
pensadora 20 de datos. Ahora bien, en algunas ocasiones,
20 como en la ilustrada en la figura 6F, las direcciones de
acceso a formación de número par A0, A2, A4 y A6 estarán
a un nivel de recuento una unidad más alto que las direc-
ciones de acceso a formación de número impar A1, A3, A5
y A7. En otros términos, cuando el lugar de batería de
25 bitios de iniciación para la transferencia de canal esté
situado en la columna correspondiente a la batería de bi-
tios 7 de la memoria compensadora 20, los bitios 5, 6 y
7 del CTBAR 124 tendrán un valor de 111. El incremento
de +1 proporcionado por el incrementador 127 hace enton-
30 ces que se propague un arrastre hasta la posición de bi-

1 tio 4 del valor de dirección de acceso que pasa por el -
incrementador 127. Así, los bitios 0 a 4 del registro -
de formación par 126 estarán una unidad de recuento más
5 altos que los bitios 0 a 4 del registro de formación im-
par 125. Esto permite obtener acceso a la fila siguien-
te de la memoria compensadora 20 para la segunda batería
de bitios de la transferencia de bloque de dos baterías
de bitio. Así, en una misma selección o toma de acceso
de la memoria compensadora 20 de datos es posible obtener
10 acceso a un segmento de almacenaje de dos baterías de ni-
tios situado en dos filas contiguas de la memoria compen-
sadora 20 de datos.

La unidad de control 108 de transferencia de bloque
de la figura 13 incluye también una circuitería de con-
15 trol de leer/inscribir, capaz de responder a un juego de
bitios de acceso de orden inferior presentes en el regis-
tro 124 de acceso a memoria compensadora, de transferen-
cia de bloque o "canal", para seleccionar una de las for-
maciones de almacenaje de número par, de una batería de
20 bitios de anchura, y una de las formaciones de almacena-
je de número impar, de una batería de bitios de anchura,
en la memoria compensadora 20 de datos, para la transfe-
rencia de datos. Esta circuitería de control de leer/ins-
cribir incluye un descodificador 131 de formación impar
25 acoplado al registro 125 de formación impar y capaz de -
responder a un juego de bitios de acceso de orden inferior
que haya en el mismo (bitios 5 y 6), para seleccionar --
una de las formaciones de almacenaje de número impar, de
una batería de bitios de anchura. Este descodificador 131
30 de formación impar tiene cuatro líneas de salida 132 a -

1 135, de las cuales sólo una puede estar al nivel de uno
binario en un momento dado cualquiera. La línea de sali
da que se activa es la determinada por la codificación -
de los bitios 5 y 6, estando indicado en el dibujo el có
5 digo de bitios 5 y 6 para cada una de las líneas de sali
da.

A los fines de control de inscripción durante una -
operación de leer I/O, las líneas de salida de descodifi
cador 132 a 135 de formación impar van individualmente -
10 acopladas, por medio de unos circuitos individuales de
coincidencia 136, a las respectivas líneas de control de
inscribir W1, W3, W5 y W7 de número impar que van hasta
la memoria compensadora 20 de datos, por medio de la uni
dad excitadora 102 de inscribir. Los circuitos de coi
15 cidencia 136 están controlados en grupo por otro circuito
de coincidencia 137 que recibe la señal de control de -
CTBW, los impulsos de reloj C1 y la señal de control de
impar (ODD) que viene de la unidad de bloques 11. Así,
los circuitos de coincidencia 136 estarán condicionados
20 para dejar paso a las señales durante los impulsos de re
loj C1, pero sólo si se va a efectuar una operación de -
inscribir de memoria compensadora, de CT (CTBW al nivel
de uno), y si hay datos válidos presentes en la posición
de batería de bitios 1, de número impar, del registro 21
25 de datos de llegada de bloque (señal ODD al nivel de uno
binario). Suponiendo que se satisfagan estas condicio--
nes, la batería de bitios de datos que haya en la posi--
ción de batería de bitios 1 del CIDR 21 se inscribe en -
el compensador de datos 20 durante la aparición de un im
30 pulso de reloj C1 en el lugar de columna determinado por

08088

1 - cuál de las cuatro líneas de control de inscribir W1, W3,
W5 y W7 esté al nivel activo, o de uno binario (sólo una
de estas líneas puede estar a dicho nivel durante un ci-
clo dado cualquiera de bloque), y en el lugar de fila de-
5 terminada por el valor de acceso A1, A3, A5, A7. Así, --
los bitios 0 a 4 del registro 125 de formación impar de-
terminan la coordenada de fila, los bitios 5 y 6 del re-
registro de formación impar 125 determinan la coordenada de
columna y el impulso de reloj C1 determina el instante en
10 que la batería de bitios de datos impar se inscribe real-
mente en la memoria compensadora 20. Si no se está efec-
tuando una operación de leer I/O, los circuitos de coinci-
dencia 136 permanecen entonces inhabilitados (la señal de
CTBW permanece al nivel de cero binario), y no se activa
15 ninguna de las líneas W1, W3, W5 y W7 de control de ins-
cribir, no inscribiéndose dato alguno en la memoria com-
pensadora 20 de datos durante los intervalos de "tajada"
o subdivisión de tiempo de transferencia de bloque.

A los fines del control de lectura durante una opera-
20 ción de inscribir en I/O, las líneas de salida individua-
les, de las 132 a 135 del descodificador 131 de formación
impar, van conectadas a las respectivas líneas de control
de lectura R1, R3, R5 y R7 que van hasta el ensamblador -
93 de baterías de bitios impares asociado al CODR 22 (fig.
25 5b). Esto permite al ensamblador 93 seleccionar y hacer
seguir hasta la posición de batería de bitios impar, del
CODR 22, sólo una batería de bitios seleccionada de entre
las cuatro de número impar suministradas a la entrada del
ensamblador 93. La batería de bitios impar seleccionada
30 viene determinada por la codificación de los bitios 5 y 6

1 en el registro de formación impar 125.

5 Durante cada intervalo de "tajada" de tiempo de CT, se activan las barras colectoras A0 a A7 de acceso a formación, para obtener acceso a ocho lugares de almacenaje, del tamaño de una batería de bitios, de la memoria compensadora 20 de datos. El contenido de estos lugares de almacenaje aparece en las barras colectoras 70 a 77 de salida de formación. Una de las barras colectoras de salida de número impar 71, 73, 75 y 77 es seleccionada por el ensamblador 93, y, sea lo que fuere lo que aparezca en esa barra colectora, se hace pasar hasta el CODR 22. Ahora bien, sólo los datos pasados por el ensamblador 93 durante la aparición de un impulso de reloj Cl, durante la ejecución de una operación de inscribir en I/O (con el CTBR al nivel de uno binario), son los que se ponen efectivamente en el CODR 22. Los datos que aparezcan en un instante distinto del Cl se desprecian. Esto es controlado por el circuito de coincidencia 99 (fig. 5b) -- que activa la línea de control de llegada o introducción de datos del CODR 22. Asimismo, si no se está efectuando una operación de inscribir en I/O, la señal de control del CTBR permanece entonces al nivel de cero binario, haciéndose caso omiso de todo lo que el ensamblador 93 haya dejado pasar. Así, a los fines de transferencia de bloque, el momento de la toma por lectura de la memoria compensadora 20 de datos es, en efecto, el momento de la aparición del impulso de reloj Cl en la salida del circuito de coincidencia 99.

20 La circuitería de control de leer/inscribir, de transferencia de bloque, incluye un mecanismo de control simi-

1 lar pero independiente para las formaciones de número par,
o de columna 0, columna 2, columna 4 y columna 6, de la -
memoria compensadora 20 de datos. En particular, la cir-
cuitaría de control de leer/inscribir incluye además un -
5 descodificador 138 de formación par, acoplado al registro
de formación par 126 y capaz de responder a un juego de -
bitios de acceso de orden inferior (bitios 5 y 6) del mis-
mo, para seleccionar una de las formaciones de almacenaje
de número par 50, 52, 54 y 56 para la transferencia de da-
10 tos. El descodificador 138 tiene cuatro líneas de salida
140 a 143, de las cuales sólo una puede estar al nivel de
uno binario en un instante dado cualquiera. Los códigos
de bitio 5 y 6 necesarios para activar las diferentes lí-
neas de salida 140 a 143 están indicados en el dibujo.

15 A los fines del control de inscribir, las líneas de
salida 140 a 143 de descodificador de formación par van -
individualmente acopladas, por medio de unos circuitos in-
dividuales de coincidencia 144, a las respectivas líneas
de control de inscribir W0, W2, W4 y W6 de número par. --
20 Los circuitos de coincidencia 144 están controlados en --
grupo por otro circuito de coincidencia 145, que recibe -
de la unidad de bloques 11 la señal de control de CTBW, -
los impulsos de reloj C1 y la señal de control de par --
(EVEN). La señal de control EVEN está al nivel de uno bi-
25 nario si se ha puesto una batería de bitios válida de da-
tos en la posición de batería de bitios cero, de número
par, del CIDR 21. Suponiendo que esto sea así, y suponien-
do también que se está efectuando una operación de leer -
I/O y que la señal de CTBW está al nivel de uno binario,
30 Los datos contenidos en la posición de batería de bitios

1 O del CIDR 21 se inscriben entonces en la memoria compen-
sadora 20 durante la aparición del impulso de reloj Cl en
un lugar de columna, de número par, determinado por cuál
de las cuatro líneas W0, W2, W4 y W6 esté al nivel activo,
5 y en un lugar de fila determinado por el valor de acceso
de A0, A2, A4, A6.

A los fines del control de lectura, las líneas de -
salida 140 a 143 de descodificador de formación par van
individualmente conectadas a las líneas respectivas de -
10 las de control de lectura R0, R2, R4 y R6 que van al en-
samblador de salida de bloque 92, de número par, asocia-
do al CODR 22 (fig. 5b). La línea activa, de las de con-
trol de lectura R0, R2, R4 y R6, hace que el ensamblador
de número par 92 seleccione la barra colectora correspon-
15 diente, de las barras 70, 72, 74 y 76 de salida de forma-
ción par, y hagan seguir los datos por la barra colecto-
ra de salida de formación o disposición regular seleccio-
nada, hasta la entrada de número par, o de batería de bi-
tios 0, del CODR 22. Los datos de batería de bitios de
20 número par se introducen en el CODR 22 por efecto de la
aparición de un impulso de reloj Cl en la salida del cir-
cuito de coincidencia 99.

Como puede deducirse de las precedentes descripcio-
nes de la unidad 108 de control de acceso de CT, la cir-
25 cuitaría de control de leer/inscribir de transferencia -
de bloque está estructurada para permitir el acceso por
parejas a los lugares de almacenaje, del tamaño de una -
batería de bitios, de la memoria compensadora 20 de datos,
siendo uno de los miembros de la pareja un lugar de bate-
30 ría de bitios de número par y siendo el otro miembro de

1 la pareja un lugar de batería de bitios de número impar.
 Los lugares de batería de bitios de número par están si-
 tuados en las columnas 0, 2, 4 y 6 de formación de número
 par, y los lugares de batería de bitios de número impar -
 5 están situados en las columnas 1, 3, 5 y 7 de formación -
 de número impar. Para mayor facilidad en esta explica-
 ción, se usará el término "acceso par-impar" para descri-
 bir el caso en que el lugar de almacenaje de número infe-
 rior sea un lugar de batería de bitios de número par, y -
 10 el lugar de almacenaje de número más alto sea un lugar de
 batería de bitios de número impar. Es éste el género de
 acceso que se obtiene cuando los valores de acceso conte-
 nidos en los registros 126 y 125 de formación par e impar
 son iguales. La tabla siguiente indica las diferentes pa-
 15 rejas de líneas de control de inscribir y parejas de lí-
 neas de control de leer que se activan para los distintos
 valores de código de bitios 6 y 7 que puedan aparecer en
 ambos registros 125 y 126, para el caso de un acceso par-
 impar.

20

REGISTRO PAR IGUAL A REGISTRO IMPAR

<u>Bitios 6, 7 Código</u>	<u>Líneas de inscripción activas</u>	<u>Líneas de lectura activas</u>
00	W0-W1	R0-R1
01	W2-W3	R2-R3
10	W4-W5	R4-R5
11	W6-W7	R6-R7

25

30

En la columna de "Líneas de inscripción activas", se su-
 pone que se está haciendo un acceso de dos baterías de bi-
 tios. Para el caso de un acceso de una sola batería de -

1 bitios, la línea de inscribir de número impar no se activaría, porque la señal de control ODD (de número impar) -
 5 suministrada al circuito de coincidencia 137 estaría al nivel de cero binario.

Para mayor facilidad de esta explicación, se usa - -
 aquí el término "acceso impar-par" para hacer referencia
 al caso de transferencia de bloque en el cual el lugar de
 almacenaje de número inferior al que se está teniendo acceso es un lugar de batería de bitios de número impar y -
 10 el lugar de almacenaje de número superior al que se está teniendo acceso es un lugar de batería de bitios de número par. Este caso aparece cuando el valor de acceso en -
 el registro 126 de formación par es una unidad de recuento más alto que el valor de acceso contenido en el registro 125 de formación impar. En la tabla que sigue se --
 15 muestran las parejas de líneas de inscribir activas y las parejas de líneas de leer activas para las diversas relaciones de código de los bitios 6 y 7 que pueden existir --
 en los registros 126 y 125 de formación par e impar, para
 20 el caso de un acceso impar-par.

REGISTRO PAR, UNA UNIDAD DE RECUESTO MAS ALTO

Bitio 6-7 impar: <u>Código</u>	Bitio 6-7 par: <u>Código</u>	<u>Líneas de inscripción activas</u>	<u>Líneas de lectura activas</u>
00	01	W1-W2	R1-R2
01	10	W3-W4	R3-R4
10	11	W5-W6	R5-R6
11	00	W7-W0	R7-R0

Para la columna de "líneas de inscripción activas", se -
 30 supone que se está haciendo un acceso de dos baterías de bitios. Para el caso de un acceso de una sola batería -

08088

1 de bitios, la línea de control de inscribir de número par
correspondiente no se activaría, porque la señal de con--
trol EVEN (de número par) suministrada al circuito de - -
coincidencia 145 estaría al nivel de cero binario, inhabi-
5 litador.

Las figs. 6D, 6E y 6F ilustran unos ejemplos de acce-
sos impar-par de dos baterías de bitios, de la memoria --
compensadora 20 de datos, para el caso de una transferen-
cia de datos de bloque o "canal" a memoria compensadora.
10 Las figs. 6A y 6C muestran unos ejemplos de accesos par-
impar de una sola batería de bitios, en los que la línea
de control de inscribir de número impar permanece inhabi-
litada, y la fig. 6B ilustra un ejemplo de acceso impar-
par de una sola batería de bitios, en el que es la línea
15 de control de inscribir de número par (la línea W2) la --
que permanece inhabilitada o desactivada.

Como se indica además en las figs. 6A a 6F, la prime-
ra batería de bitios de datos (la batería de bitios 0) re-
cibida del dispositivo 10 de I/O se pone en la posición -
20 de batería de bitios 0 del CIDR 21; la segunda batería --
de bitios de datos (la batería de bitios 1) recibida del
dispositivo 10 de I/O se pone en la posición de batería -
de bitios 1 del CIDR 21; la tercera batería de bitios de
datos (la batería de bitios 2) se pone en la posición de
25 batería de bitios 0 del CIDR 21; la cuarta batería de bi-
tios de datos (la batería de bitios 3) se pone en la posi-
ción de batería de bitios 1 del CIDR 21; y así sucesiva--
mente. En otros términos, las baterías de bitios alterna-
tivamente recibidas se van tratando alternativamente como
30 baterías de bitios de datos de números par e impar, tra--

1 tándose la primera batería de bitios de datos recibida --
como batería de bitios de número par. Teniendo esto en -
cuenta, las baterías de bitios de datos de número par se
5 ponen siempre en la posición de batería de bitios 0 (de -
número par) del CIDR 21, y las baterías de bitios de datos
de número impar se ponen siempre en la posición de bate--
ría de bitios 1 (de número impar) del CIDR 21.

Para el caso de una operación de inscribir en I/O, -
los datos se trasladan o transfieren desde la memoria com-
pensadora 20 de datos al registro de datos 22 de salida -
10 de bloque (CODR) 22, de dos en dos baterías de bitios. --
Según la velocidad de tratamiento de datos del particular
dispositivo 10 de I/O que esté recibiendo los datos, las
transferencias de datos desde el CODR 22 a la unidad de -
15 bloques 11 pueden ser transferencias de una sola batería
de bitios, o transferencias de dos baterías de bitios, o
alguna combinación de transferencias de una y de dos bate-
rías de bitios. La unidad de bloques 11 dice al contador
20 107 de acceso de CT cuántas baterías de bitios se toman -
del CODR 22 para cada ciclo de bloque. Si se toma sólo -
una batería de bitios, el CTBAR 124 se actualiza entonces
en sólo una unidad de recuento. Así, durante el siguien-
te ciclo de bloque, una de las baterías de bitios puestas
25 en el CODR 22 será repetición de la batería de bitios no
tomada del ciclo de bloque precedente.

Con referencia ahora a la fig. 14, se ilustra en - -
ella con mayor detalle la forma de construcción del conta-
dor 107 de acceso a memoria compensadora, de CT, de la ---
30 fig. 5a: Como se ha dicho ya, y se indica en la fig. 14,
el registro 124 de acceso a memoria compensadora, de - -

1 transferencia de bloque (CTBAR), de la fig. 13 es en rea-
lidad una parte del contador 107 de acceso de CT. El con-
tador de acceso 107 incluye además una circuitería de ac-
tualización, para actualizar el CTBAR 124 en el número de
5 baterías de bitios de datos transferidas cada vez que se
trasladan datos entre la memoria compensadora 20 de datos
y la unidad de bloques 11. Esta circuitería de actuali-
zación incluye un registro de longitud 146, de transferen-
cia de bloque o "canal" (CTLR), que recibe de la unidad -
10 de bloques 11 un código de dos bitios, indicativo del nú-
mero de baterías de bitios (0, 1 ó 2) que se van a trans-
ferir durante el siguiente ciclo de bloque. Este código
de longitud de transferencia es puesto o activado en el -
CTLR 146 por el impulso de reloj C3 que aparece al final
15 del ciclo de bloque entonces en curso. Este mismo impul-
so C3 de reloj pone también, en un compensador 147 de ac-
ceso a la memoria compensadora, de transferencia de blo-
que (CTBAB), el valor de acceso contenido en el CTBAR - -
124, ocurriendo esto al mismo tiempo que el valor de acce-
20 so del CTBAR se pone en los registros de formación impar
y par 125 y 126 de la fig. 13. Así, el valor de acceso -
contenido en el CTBAB 147 es la dirección de acceso a me-
moria compensadora, de CT, para el nuevo ciclo de bloque
en curso. El valor binario de longitud contenido en el -
25 CTLR 146 se suma al valor binario de acceso contenido en
el CTBAB 147, por medio de un sumador binario 148, para -
obtener a la salida del sumador 148 la siguiente dirección
de acceso a memoria compensadora, de transferencia de blo-
que. Esta siguiente dirección de acceso a memoria compen-
30 sadora, de CT, se pone entonces en el CTBAR 124 por medio

1 del impulso de reloj CO para el ciclo de bloque ahora en
curso. De esta manera, el CTBAR 124 se actualiza cada -
vez que se transfieren datos entre la memoria compensado
5 ra 20 y la unidad de bloques 11. Esto permite al CTBAR
124 señalar o apuntar al lugar de almacenaje de batería
de bitios de iniciación, en la memoria compensadora 20 -
de datos, que se vaya a usar para el siguiente ciclo de
bloque durante el cual se van a transferir datos.

El siguiente valor de acceso en el CTBAR 124 viene
10 suministrado por medio de una barra colectora de acceso
149, de ocho baterías de bitios, a la unidad 108 de con-
trol de acceso de CT, de la manera ilustrada en la fig.
13. El CTBAR 124 puede ponerse también a un valor de ac
ceso suministrado al mismo desde la IPU 14 por medio de
15 la barra colectora 46 de control. Como tipo, esto se ha
ce como una de las etapas preliminares para una operación
de I/O, a los fines de reponer el CTBAR 124 a cero. Otro
punto que conviene señalar es el de que al CTBAR 124 se
le permite volver iterativamente a cero, al llegar a su
20 máximo estado o condición de recuento. Esto permite el
acceso, de CT, de datos a o de la memoria compensadora 20
de datos para volver iterativamente a la fila 0 de la me
moria compensadora 20 cuando el funcionamiento del dispo
sitivo de I/O trae consigo una longitud de datos relati
vamente grande.
25

Con referencia ahora a la fig. 15, se ilustra en --
ella con mayor detalle la forma de construcción de la uni
dad 105 de control de transferencia y contador de acceso
a memoria compensadora, de ST, de la figura 5a. Esta --
30 unidad 105 de control y contador incluye cuatro mecanis-

1 mos primarios, a saber: (1) un mecanismo determinante de
la longitud de transferencia, para determinar el número -
de baterías de bitios de datos que se van a transferir --
hasta o desde la memoria principal 25 durante el ciclo de
5 bloque en curso; (2) un mecanismo de contador de acceso a
memoria compensadora, para actualizar el STBAR 110 de mo-
do que pueda contener la dirección de acceso al lugar de
almacenaje de la batería de bitios de iniciación, en la
memoria compensadora 20 de datos, para el ciclo de bloque
10 en curso; (3) un mecanismo de contador de la longitud de
datos, para determinar en qué momento se han transferido
todas las baterías de bitios de datos para una particular
operación de transferencia entre memoria principal y memo-
ria compensadora; y (4) un mecanismo determinante de la
15 magnitud de desplazamiento, para determinar la magnitud -
de desplazamiento requerida del desplazador 30 de baterías
de bitios (fig. 2). Una vez que la particular operación
de transferencia entre memoria principal y memoria compen-
sadora ha comenzado realmente, la unidad 105 de control y
20 contador tiene por efecto controlar el movimiento de las
baterías de bitios de datos entre la memoria compensadora
20 y la memoria principal 25, sin ayuda de la IPU 14. Es-
to libera la IPU 14, y le permite efectuar varias tareas
auxiliares o complementarias relacionadas con la transfe-
25 rencia de almacenaje, que de otro modo exigirían un tiem-
po adicional de la IPU.

Cada nueva operación de leer dispositivo de I/O, o -
cada nueva operación de inscribir en dispositivo de I/O,
se inicia, sea mediante la búsqueda y traída de una ins-
30 trucción de iniciación (START I/O) desde la memoria prin-

1 principal 25 a la IPU 14, sea por un encadenamiento de orden
o mandato procedente de un vocablo de mandato de bloque,
de ejecución anterior. Las figs. 7A a 7E ilustran un
ejemplo de operación de lectura de dispositivo de I/O, -
5 en el que se van a leer setenta y nueve baterías de bitios
de datos (baterías de bitios 0 a 78) tomándolas de un dis-
positivo particular de I/O para transferirlas a la memo-
ria principal 25 y almacenarlas en ésta. Como se indica
en las figs. 7A a 7E, cada operación global de leer dispo-
10 sitivo o inscribir en dispositivo de I/O puede subdivi-
dirse en dos o más operaciones de transferencia entre me-
morias principal y compensadora, en la que pueden transfe-
rirse hasta sesenta y cuatro baterías de bitios de datos,
entre la memoria compensadora 20 y la memoria principal -
15 25, durante cada una de estas operaciones de transferen-
cia entre memorias principal y compensadora.

Como se ilustra en la fig. 15, la unidad 105 de con-
trol y contador de ST incluye tres registros primarios, a
saber: el registro 110 de acceso a memoria compensadora,
20 de transferencia de almacenaje (STBAR) antes citado en re-
lación con la fig. 9; un registro 150 de acceso a memoria
principal (MSAR) y un registro 151 de longitud de datos -
de bloque (CHDLR). Estos registros 110, 150 y 151 se ac-
tivan o reponen inicialmente por medio de unas señales bi-
25 narias, de una pluralidad de bitios, que se suministran a
aquellos desde la IPU 14, por medio de la barra colectora
46 de control. En particular, el STBAR 110 se repone ini-
cialmente, a un valor de todos ceros, al principio de ca-
da nueva operación de leer dispositivo de I/O o inscribir
30 en dispositivo de I/O, y no es repuesto luego por la IPU

1 14 durante el transcurso de dicha operación de leer dispo
sitivo o de inscribir en dispositivo. EL MSAR 150 y el -
CHDLR 151, en cambio, reciben de la IPU 14 una activación
inicial, al principio de cada una de las varias operacio-
5 nes de transferencia entre memorias que pueden aparecer -
durante una operación dada de leer dispositivo de I/O o -
de inscribir en dispositivo de I/O.

Al principio de cada operación de transferencia en-
tre memorias, el MSAR 150 es activado o cargado por la --
10 IPU 14 hasta contener los tres bitios de acceso de orden
más bajo de la dirección de acceso completa de la batería
de bitios de iniciación para la memoria principal 25. Es
tos tres bitios de acceso del orden más bajo identifican
15 cuál de las ocho baterías de bitios de un vocablo de alma
cenaje es la que se va a usar como batería de bitios de -
iniciación. Naturalmente, no identifican el vocablo de -
almacenaje en cuestión. En otros términos, el MSAR 150 -
no incluye la dirección de acceso completa a la memoria -
principal, sino sólo los tres bitios de orden inferior o
20 más bajo de la misma. Por mejor conveniencia al explicar
el funcionamiento del aparato de la fig. 15, estos tres -
bitios de acceso del orden más bajo se designan como bi-
tios 5 a 7. Ahora bien, éstos no son sus verdaderos núme
ros de bitio, tal como aparecen en la barra colectora 29
25 de acceso a la memoria principal (fig. 2). A los presen-
tes fines, lo principal es que se trata de los tres bi-
tios de acceso del orden más bajo o inferior que hay en -
la barra colectora 29 de acceso a la memoria principal.

Al principio de cada una de las operaciones de memo-
30 ria principal/memoria compensadora para una operación da-

1 da de leer dispositivo de I/O o inscribir en dispositivo
de I/O, el CHDLR 151 es inicialmente activado o cargado
por la IPU 14, por medio de la barra colectora 46 de con-
trol, hasta contener una representación binaria del núme-
5 ro de baterías de bitios de datos que se van a transferir
durante cada operación de transferencia entre memorias.
En la mayoría de los casos, lo más probable es que el --
CHDLR 151 sea inicialmente cargado hasta que contenga un
valor de sesenta y cuatro, al ser éste el número de bate-
10 rías de bitios que se va a transferir para una operación
completa, y no parcial, de transferencia entre memorias.

La carga o la reposición inicial de los registros -
110, 150 y 151 está regulada en el tiempo por los impul-
sos T2 y T3 de reloj de IPU, suministrados por la IPU 14.
15 Al aparecer el impulso siguiente Cl de reloj de bloque o
"canal", los valores contenidos en los registros 110, 150
y 151 se ponen en unos registros compensadores respecti-
vos 152, 153 y 154. Los registros de STBA 110 y 152 tie-
nen una anchura de ocho bitios; los registros de MSA 150
20 y 153 tienen una anchura de tres bitios; y los registros
de CHCL 151 y 154 tienen una anchura de ocho bitios. --
Respecto a los demás registros, y para los fines combina-
torios, los bitios de acceso a memoria principal (MSA) -
se tratan como situados en las posiciones de bitio 5, 6
25 y 7.

Considerando primero la porción de mecanismo deter-
minante de la longitud de transferencia, de la fig. 15,
este mecanismo incluye un circuito 155 de complemento a
ocho, que recibe los bitios de MSA y forma el complemen-
30 to a ocho de los mismos. La relación existente entre --

1 los bitios de entrada y los bitios de salida para el complementador a ocho 155 está indicada en la tabla siguiente:

	<u>Bitios 5 a 7 de MSA</u>	<u>Valor de BL</u>	<u>Bitios 4 a 7 de BL</u>
5	000	8	1000
	001	7	0111
	010	6	0110
	011	5	0101
10	100	4	0100
	101	3	0011
	110	2	0010
	111	1	0001

15 La salida del complementador a ocho 155 (los bitios 4 a 7 de BL) se denomina valor de longitud de lindero (valor de BL). Este valor de BL es igual al número de baterías de bitios necesario para llegar al siguiente lindero de vocablo de almacenaje, o de ocho baterías de bitios, en la memoria principal 25. Para el caso del ejemplo de la fig. 7A, los bitios de MSA tendrían un valor binario de 101 con arreglo a la posición de batería de bitios de iniciación de la batería de bitios 5 en el primer lugar de vocablo de almacenaje. En tal caso, se necesitan tres baterías de bitios más, de datos, para llegar al siguiente lindero de ocho baterías de bitios en la memoria principal 25. En este caso, el complementador a ocho 155 tendría una salida de 0011.

20 Después de la primera transferencia de datos para una operación dada de transferencia entre memorias, el MSAR 150 adopta un valor de 000 para el resto de tal ope

1 ración de transferencia entre memorias, a causa de la pre
sencia del valor de 000 en la entrada del mismo durante
los sucesivos impulsos C3 de reloj de bloque o "canal".
5 Esto hace que el valor de BL adopte un valor de ocho pa-
ra todas las transferencias de datos sucesivas a la pri-
mera transferencia de datos. En otros términos, por lo
que concierne al valor de la longitud de lindero (BL), la
primera transferencia lleva a un lindero de ocho baterías
de bitios y las transferencias sucesivas son transferen-
10 cias completas de ocho baterías de bitios.

El valor de longitud de datos (DL) contenido en el
registro compensador CHDLB 154 es igual al número de ba-
terías de bitios de datos que quedan por transferir duran-
te una operación dada de transferencia entre memorias. -
15 Mientras la longitud de los datos que queden por transfe-
rir no sea menor que el valor de longitud de lindero a la
salida del complementador a ocho 155, el valor de longi-
tud de lindero, o valor de BL, se hace pasar por medio -
de un circuito de coincidencia 156 y de un circuito dis-
yuntivo 157 y se convierte en valor de longitud de trans-
20 ferencia de almacenaje (STL) en la barra colectora 158 -
de STL. La relación existente entre los valores de BL y
DL es vigilada por unos comparadores 159 y 160. Mientras
la longitud de datos sea igual o mayor que ocho, el com-
25 parador 159 da como salida un nivel de uno binario que -
es suministrado, por medio de un circuito disyuntivo 161,
para habilitar la puerta 156 de BL. Al mismo tiempo, la
salida del circuito disyuntivo 161 es invertida por un -
30 circuito de inhibición 162, para inhabilitar una puerta
163 de DL. Mientras la porción de bitios 5 a 7 de la lon

1 - gitud de datos (DL) es igual o mayor que el valor de BL,
el comparador 160 da como salida un nivel de uno bina-
rio, que es también suministrado por medio del circuito
disyuntivo 161 para habilitar la puerta 156 de BL e inha-
5 bilitar o desactivar la puerta 163 de DL.

Siempre que el valor de longitud de datos DL se ha-
ga menor que el valor de BL, la puerta de coincidencia -
156 se abre o desactiva y la puerta de coincidencia 163
se activa. Esto hace que los bitios 4 a 7 del valor de
10 DL se suministren a la barra colectora 158 de STL, con-
virtiéndose en el valor de STL. En otros términos, siem-
pre que la longitud de datos que queda por transferir se
haga menor que la longitud de datos necesaria para llegar
al siguiente lindero de ocho baterías de bitios, el valor
15 de longitud de datos DL es el que se usa entonces para -
proporcionar la longitud de transferencia de almacenaje
(STL). Así, pues, la longitud que se vaya a transferir
nunca puede exceder de la longitud que queda por transfe-
rir.

20 Considerando ahora la porción de mecanismo contador
de acceso a memoria compensadora, de ST, de la fig. 15,
este mecanismo incluye el STBAR 110, el STBAB 152 y un -
sumador binario 166. El sumador 166 actualiza la direc-
ción de acceso de compensador en curso en el STBAB 152,
25 sumando a la misma la longitud de transferencia de alma-
cenaje en curso que hay en la barra colectora 158. Esto
da, a la salida del sumador 166, la dirección de acceso
a memoria compensadora, de transferencia de almacenaje -
(ST), para el siguiente ciclo de bloque. Esta dirección
30 de acceso a compensador siguiente o sucesiva es la que -

1 se pone en el STBAR 110 por medio del siguiente impulso --
CO de reloj, para convertirse así en la dirección de ac--
ceso a memoria compensadora, de transferencia de almacena
je, entonces en curso. El valor de acceso contenido en --
5 STBAR 110 se suministra a la unidad de control 106 de ac-
ceso a compensador, de ST, por medio de una barra colecto
ra 167 de ocho bitios que incluye tanto la barra de bitios
0 a 4 como la barra de bitios 5 a 7 indicadas en la fig.
9. Otro punto que merece ser notado es el de que al --
10 STBAR 110 se le deja volver iterativamente a cero cuando
alcanza su condición de máximo recuento. Esto permite el
acceso de entrada o salida de datos, de ST, en o de la me
moria compensadora 20 de datos volviendo iterativamente a
la fila 0 de la memoria compensadora 20 tantas veces como
15 puedan ser necesarias cuando la operación de I/O trae con
sigo una longitud de datos relativamente grande.

Pasando ahora a considerar la porción de mecanismo --
contador de la longitud de datos, de la fig. 15, tal meca
nismo incluye el CHDLR 151, el CHDLB 154 y un circuito res
20 tador binario 168. El restador 168 resta, del valor de --
longitud de datos en curso (en un momento dado) que haya
en el CHDLB 154, el valor de la longitud de transferencia
en curso (en ese mismo momento) que haya en la barra colec
tora 158, obteniéndose a la salida del restador 168 el va
25 lor de la longitud de datos para el siguiente ciclo de --
bloque o "canal". Este valor de DL siguiente es puesto --
en el CHDLR 151 por el siguiente impulso CO de reloj, con
virtiéndose en el valor de DL entonces en curso. Un detec
tor de cero 169 vigila la salida del restador 168 y da una
30 señal de final de transferencia de almacenaje (ST END) --

1 cuando el siguiente valor de DL se hace cero. Esta señal
de ST END denota que se ha terminado la operación en curso,
de transferencia entre memorias, y es suministrada a
la unidad de bloques 11, para hacerle saber este hecho. -
5 En respuesta a ello, la unidad de bloques 11 envía una se-
ñal de terminación o finalización a la unidad de control
principal 15, a los fines de completar y dar por termina-
da la operación de almacenaje (transferencia entre memo-
rias) en curso.

10 Considerando ahora la porción de mecanismo determi-
nante de la magnitud de desplazamiento, de la fig. 15, es-
te mecanismo incluye un restador binario 170 de tres bi-
tios y un registro 171 de la magnitud de desplazamiento.
El restador 170 resta los tres bitios de acceso a memoria
15 compensadora, de orden inferior, que hay en el STBAB 152,
de los tres bitios de acceso a memoria principal, también
de orden inferior, que hay en el MSAB 153, y el resultado
que aparece a la salida del restador 170 es igual a la --
magnitud o cantidad de desplazamiento que ha de ser pro--
20 porcionada por el desplazador 30 de baterías de bitios --
(fig. 2) con el fin de dar la alineación de almacenaje ade-
cuada para la memoria particular (la compensadora 20 de -
datos o la principal 25) a la que se están transfiriendo
los datos. Esta señal de magnitud de desplazamiento, de
25 tres bitios, es puesta en el registro 171 de magnitud de
desplazamiento por el primer impulso C2 de reloj para la
operación de almacenaje (transferencia entre memorias) en
curso. Como se indica en las figs. 7A a 7E, la magnitud
de desplazamiento sigue siendo la misma durante toda una
30 operación cualquiera dada de transferencia entre memorias

1 -y, por tanto, no se requieren más ajustes o activaciones
del registro 171 de magnitud de desplazamiento. Ahora --
bien, como puede demostrarse, el valor correcto de tres -
bitios aparece, no obstante, a la salida del restador 170
5 durante cada uno de los sucesivos impulsos C2 de reloj, -
de quererse permitir que el registro 171 de magnitud de -
desplazamiento sea activado por cada impulso C2.

Con referencia al ejemplo de la fig. 7A, los tres bi-
tios de orden inferior, de la dirección de acceso a memo-
ria principal tienen un valor de 101, y los tres bitios -
10 de orden inferior de la dirección de acceso a memoria com-
pensadora tienen un valor de 000. Así, la diferencia que
aparece a la salida del restador 170 tiene un valor de --
cinco, que es la magnitud de desplazamiento a la derecha
15 requerida para producir la alineación de datos que la me-
moria principal 25 necesita. Para el caso de la fig. 7B,
los tres bitios de orden inferior de la dirección de acce-
so a memoria principal tienen un valor de 000, y los tres
bitios de orden inferior de la dirección de acceso a memo-
20 ria compensadora tienen un valor de 011. Al restar este
último del primero en un restador de tres bitios, la sali-
da es 101, que vuelve a representar un valor de cinco. --
Así, se necesita también un desplazamiento de cinco posi-
ciones de batería de bitios a la derecha, para la transfe-
25 rencia de ocho baterías de bitios de la fig. 7B.

La magnitud de desplazamiento en el registro 171 es
suministrada a la unidad 45 de control de desplazamiento
de la fig. 2, por medio de la barra colectora 172. La uni-
dad 45 de control de desplazamiento activa el desplazador
30 de batería de bitios, dando la cantidad o magnitud de

1 desplazamiento especificada por el registro 171 de magni-
tud de desplazamiento. Para el caso de una transferencia
de memoria compensadora a memoria principal, el sentido \pm
del desplazamiento proporcionado por el desplazador 30 de
5 baterías de bitios es el de un desplazamiento a la dere-
cha. Para el caso de una transferencia de memoria princi-
pal a memoria compensadora, en cambio, el sentido de des-
plazamiento para el desplazador 30 de baterías de bitios
es el de un desplazamiento a la izquierda. El sentido --
10 de desplazamiento es indicado a la unidad 45 de control --
de desplazamiento por la unidad 15 de control principal,
con arreglo a que la operación que se está efectuando sea
de leer I/O o de inscribir en I/O.

15 Con referencia ahora a la fig. 16 de los dibujos, se
ilustra en ella con mayor detalle la forma de construcción
de la unidad 109 de control de recuento de compensador de
datos de la fig. 5a. Tal como en la fig. 16 se represen-
ta, la unidad 109 incluye un mecanismo bidireccional (de
dos sentidos) de recuento de compensador de datos, capaz
20 de responder al número de baterías de bitios de datos ins-
critos en la memoria compensadora 20 de datos, y tomados
por lectura de ésta, para mantener un recuento en marcha
del número de baterías de bitios de datos no leídos, con-
tenidos en un momento dado en la memoria compensadora 20
25 de datos. Este mecanismo de recuento de compensador de --
datos incluye un registro de ocho bitios 175, de recuento
de compensador de datos, un compensador de ocho bitios --
176, de recuento de memoria compensadora (DB) de datos, --
un sumador binario 177 de ocho bitios y un circuito lógi-
co 178 de aumentar/reducir. El registro 175 de recuento
30

1 de DB (memoria compensadora de datos) se repone inicial--
mente, a un valor de todos ceros, durante las etapas pre-
liminares para una nueva operación de dispositivo de I/O.
5 Esto se efectúa suministrándole un valor de todos ceros,
desde la IPU 14, por medio de la barra colectora 46 de --
control. A continuación, el registro 175 de recuento de
DB es susceptible de ser actualizado durante cada mitad --
de cada ciclo de bloque o "canal" (impulsos C1 y C3 de re-
loj), con arreglo a los valores de longitud de transferen-
10 cia de almacenaje (STL) y longitud de transferencia de --
bloques (CTL) que puedan existir durante sus porciones de
semiperíodo o mitad de ciclo respectivas. En relación --
con esto, uno u otro, o ambos, de los valores de STL y --
CTL pueden ser cero para un ciclo dado cualquiera de blo-
15 que, y en ese caso el valor de actualización (factor de --
aumento o de reducción) tiene el valor de cero. En otros
términos, el valor de recuento en el registro 175 de re--
cuento de compensador de datos no se cambia necesariamen-
te durante cada intervalo de semiperíodo. Se cambia tan
20 sólo cuando se transfieren datos a o desde la memoria com-
pensadora 20 durante tal intervalo de semiperíodo.

La lógica 178 de aumento/reducción hace que el valor
de recuento contenido en el registro de recuento 175 au--
mente cada vez que se inscriben datos en la memoria com--
25 pensadora 20 de datos. Si los datos que se están inscri-
biendo provienen de la memoria principal 25 (STBW = 1), --
el nivel de recuento en el registro 175 se aumenta enton-
ces en el valor de STL. Si los datos que se están inscri-
biendo vienen de la unidad de bloques 11 (CTBW = 1), el --
30 nivel de recuento en el registro 175 se incrementa enton-

1 ces en el valor de CTL. La lógica 178 de aumentar/redu--
cir hace además que el valor de recuento contenido en el
registro de recuento 175 disminuya o se reduzca cada vez
que se sacan datos por lectura de la memoria compensadora
5 20 de datos. Si los datos que se están leyendo son para
transferirlos a la memoria principal 25 (STBR = 1) el ni-
vel de recuento en el registro 175 se reduce entonces, su
mándole para ello el complemento del valor de STL propor-
cionado por el complementador 179. Si, en cambio, los da
10 tos que se están leyendo son para transferirlos a la uni-
dad de bloques 11 (CTBR = 1), el nivel de recuento en el
registro 175 se reduce entonces, sumándole para ello el
complemento del valor de CTL proporcionado por el comple-
mentador 180. De esta manera, se hace que el registro --
15 175 de recuento de compensador de datos proporcione un ni-
vel de recuento dinámico o en marcha del número de bate--
rías de bitios no leídas que hay en la memoria compensado
ra 20 de datos.

20 La unidad 109 de control de recuento de compensador
de datos incluye también un registro 181 de recuento de -
intromisiones ("traps") que se carga por medio de unos va
lores de recuento que le son suministrados desde la IPU -
14 por la barra colectora 46 de control. Este registro -
181 se carga inicialmente durante la ejecución de las eta
25 pas preliminares que siguen inmediatamente a la búsqueda
o extracción de una nueva instrucción de START I/O o de -
una cadena de órdenes procedente de un CCW precedente. --
Después se vuelve a cargar como parte de la secuencia de
terminación, para cada operación de transferencia entre -
30 memorias, de modo que se prepara para la siguiente opera-

1 -ción de transferencia entre la memoria principal y la me-
moría compensadora de datos.

5 La unidad 109 de control de recuento de compensador
de datos incluye además una circuitería de comparador 182
acoplada al compensador 176 de recuento de memoria compen-
sadora de datos (DB COUNT BUFFER) y al registro 181 de --
recuento de "intromisiones" (TRAP COUNT REG), para uso du-
rante una operación de lectura de I/O, con el fin de emi-
tir una señal de petición de intromisión para iniciar una
10 operación de transferencia de memoria compensadora a me-
moría principal cuando el nivel de recuento (CNT) de la -
memoria compensadora de datos sin leer iguala o sobrepasa
al de recuento prefijado (TRAP) puesto en el registro 181
de recuento de intromisión. Para el caso de una operación
15 de leer I/O, el nivel de recuento puesto en el registro -
181 de recuento de intromisión por la IPU 14 es igual al
número de baterías de bitios de datos que hacen falta pa-
ra llegar al siguiente lindero de sesenta y cuatro bate-
rías de bitios en la memoria principal 25, con la excep-
20 ción de que, si la longitud de los datos que se van a --
transferir o que quedan por transferir no es suficiente -
para llegar al siguiente lindero de 64 baterías de bitios,
el valor de recuento introducido entonces en el registro
25 181 de recuento de intromisión es igual a la longitud de
los datos que se van a transferir o que quedan por trans-
ferir. Los linderos de 64 baterías de bitios en la memo-
ria principal 25 son los linderos situados en los lados -
"bajos" respecto de aquellos lugares de batería de bitios
30 cuyas direcciones de acceso son múltiplos de sesenta y --
cuatro. La señal de petición de intromisión generada por

1 - el comparador 182 es suministrada, por medio de un ensam-
blador 183 (estando al nivel activo la línea de control -
de IOR) y por la línea de señal 184, a la unidad de blo-
ques 11. La unidad de bloques 11, a su vez, hace pasar -
5 esta petición de intromisión (TRAP REQUEST), y otra infor-
mación de control pertinente, tal como la dirección de ac-
ceso de la intromisión de bloque, a la unidad 15 de con-
trol principal. Esta petición de intromisión dice a la -
unidad de control principal 15 que en la memoria compensa-
10 dora 20 de datos hay datos suficientes para comenzar una
operación de transferencia de la memoria compensadora a -
la memoria principal. En respuesta a esta indicación, el
microprograma contenido en la unidad de control principal
15 pasa o cambia a la necesaria rutina de intromisión, pa-
ra iniciar y llevar a cabo la operación de transferencia
de la memoria compensadora a la memoria principal.

Para el caso de una operación de inscribir en I/O, -
se prevé otro comparador 185 para emitir una señal de pe-
tición de intromisión con el fin de iniciar una operación
20 de transferencia de la memoria principal a la memoria - -
compensadora siempre que el número de baterías de bitios
de datos no leídos en la memoria compensadora 20 de datos
caiga por bajo de un valor prefijado, siendo este valor -
el ajustado o puesto en el registro 181 de recuento de in-
25 tromisión por la IPU 14. Para el presente caso de una me-
moria compensadora 20 de datos que tenga una capacidad de
256 baterías de bitios, este valor de intromisión prefija-
do puede ser, por ejemplo, de 176. La petición de intro-
misión generada por el comparador 185 es también suminis-
30 trada, por medio del ensamblador 183 (por estar IOW al ni

1 vel activo) y la línea de salida 184, a la unidad de bloques 11. Esta petición de intromisión indica a la unidad de bloques 11 y, por tanto, a la unidad de control principal 15, que la memoria compensadora 20 de datos podría -
5 usar algunos datos más. De quedar algunos datos más por transferir a la memoria compensadora 20 de datos, el microprograma de la unidad de control principal 15 pasa o cambia a la rutina de intromisión adecuada. De no ser así, la unidad de bloques 11 no hace caso de la petición
10 de intromisión.

A continuación se describirá el funcionamiento del sistema de tratamiento de datos representado en la fig. 2 y, en particular, el funcionamiento del aparato de memoria compensadora de datos de bloque ilustrado en las - -
15 figs. 5a y 5b, para el caso de la operación representativa de lectura de I/O ilustrada en las figs. 6A a 6F y en las figuras 7A a 7E. En este ejemplo, se desea leer un total de setenta y nueve baterías de bitios (las baterías de bitios 0 a 78) de datos procedentes de un dispositivo
20 de I/O, y trasladarlas o transferirlas, por medio de la unidad de bloques 11 y de la memoria compensadora 20 de datos, a la memoria principal 25. A los presentes fines, se considera que esta operación de leer I/O comienza cuando la IPU 14 envía el mandato apropiado de bloque,
25 del tipo de lectura, a la unidad de bloques 11. Este -- mandato u orden de bloque puede emitirse, sea como resultado de la búsqueda de una instrucción de START I/O desde la memoria principal 25, sea como resultado de una cadena de órdenes procedentes de un vocablo de orden de un
30 bloque precedente. Inmediatamente a continuación de la

1 - emisión del nuevo mandato u orden de bloque a la unidad -
de bloques 11, ciertas etapas preliminares son efectuadas
por la rutina de microprograma de leer I/O que, en este -
momento, se está ejecutando en la unidad de control prin-
5 cipal 15. En particular, se pone en acción la IPU 14 pa-
ra poner a un valor de cero cada uno de los registros - -
STBAR 110 (fig. 15), CTBAR 124 (fig. 14) y el 175 de re-
cuento de memoria compensadora de datos (fig. 16). La --
puesta a cero del STBAR 110 y el CTBAR 124 permite el al-
10 macenamiento y la toma por lectura de datos para que la -
memoria compensadora 20 de datos empiece por la columna -
de batería de bitios 0 de la fila 0 de la misma.

El primer objetivo de la operación global de lectura
de I/O de 79 baterías de bitios es el de llegar al siguien-
15 te lindero de 64 baterías de bitios de la memoria princi-
pal 25. Para el ejemplo de las figuras 7A a 7E, esto re-
quiere una operación parcial de transferencia de almacena-
je (entre memorias compensadora y principal) para trasla-
dar las once primeras baterías de bitios (las baterías de
20 bitios 0 a 10) a la memoria principal 25. Como se necesi-
tan once baterías de bitios para llegar al siguiente lin-
dero de 64 baterías de bitios, la IPU 14, como etapa pré-
liminar adicional, pone un valor de recuento de once en -
el registro 181 de recuento de intromisión (fig. 16). La
25 IPU 14 envía luego señal, a la unidad de bloques 11, de -
que puede empezar la transferencia efectiva de datos a la
memoria compensadora 20 de datos. A continuación, la uni-
dad de bloques 11 empieza a trasladar datos a la memoria
compensadora 20 de datos, de una en una o de dos en dos -
30 baterías de bitios, de la manera indicada en las figs. -

1 6A a 6F. En otros términos, se ponen una o bien dos ba-
terías de bitios de datos en el registro de datos 21 de -
llegada de bloque (fig. 5b) durante cada ciclo de bloque.
En cada caso, el CTBAR 124 (fig. 14) se incrementa con --
5 arreglo a la cantidad de datos transferida, viniendo tal
cantidad indicada por la señal de longitud de transferen-
cia de bloque (CTL). De igual modo, el valor de recuento
contenido en el registro 175 de recuento de DB (fig. 16)
se incrementa a cada ciclo con arreglo al valor de CTL.

10 El mecanismo de transferencia de memoria compensado-
ra a memoria principal permanece inactivo hasta después -
de haber sido inscritas o almacenadas en la memoria com-
pensadora 20 de datos las baterías de bitios en número ne-
cesario para llegar al primer lindero de sesenta y cuatro
15 baterías de bitios. El almacenaje del número suficiente
de baterías de bitios (en este caso, once baterías de bi-
tios) en la memoria compensadora 20 de datos es señalado
por la emisión de la señal de petición de intromisión de
ST por parte del comparador 182 (fig. 16). Las transfe-
20 rencias de bloque a memoria compensadora no son afectadas
por esta petición de intromisión, y la unidad de bloques
11 sigue enviando datos a la memoria compensadora 20 de -
datos hasta el momento en que a dicha memoria compensado-
ra 20 se le transfiere la longitud entera de datos, en es-
25 te caso la totalidad de las setenta y nueve baterías de -
bitios. De esta manera, se realizan las transferencias -
de bloque a memoria compensadora independientemente de --
las transferencias de memoria compensadora a memoria prin-
cipal. Asimismo, después de haber comenzado las transfe-
30 rencias de bloque a memoria compensadora, la IPU 14 puede

1 volver a otras tareas, pendiente de que aparezca la peti-
ción de intromisión de ST.

5 La emisión de la petición de intromisión de ST por -
parte de la unidad 109 de control de recuento de memoria
compensadora de datos hace que la unidad de control prin-
cipal 15 comience acto seguido la ejecución de una rutina
de microprograma de operación de transferencia parcial de
10 memoria compensadora a memoria principal. Esta rutina de
microprograma efectúa la operación de transferencia par-
cial (de menos de sesenta y cuatro baterías de bits) --
ilustrada en las figs. 7A y 7B. Como etapa preliminar de
esta rutina, la dirección de acceso de iniciación de memo-
ria principal, para la transferencia de memoria compensa-
dora a memoria principal, se toma por lectura de la memo-
ria local 34 y se pone en el SAR 47 de bloque. Al mismo
15 tiempo, la IPU 14 envía los tres bits de acceso a memo-
ria principal, del orden más bajo, para esta misma direc-
ción de acceso, al registro 150 de acceso a memoria prin-
cipal contenido en la unidad 105 de control y contador de
ST (fig. 15). Como etapa preliminar adicional, la IPU 14
20 carga el registro 151 de longitud de datos de bloque (fig.
15) con el valor de longitud de datos (DL) que se va a --
transferir a la memoria principal 25 para la operación de
transferencia parcial de las figs. 7A, 7B. En este ejem-
plo, el CHCLR 151 se carga con un valor de once. A este
25 punto, en la unidad de control 15 se alcanza el microvo-
cábulo de almacenaje apropiado, y la dirección de acceso que
hay en el SAR 47 de bloque es cargada o introducida en el
SAR 26 de memoria principal. En este momento empieza el
30 movimiento real y efectivo de los datos, desde la memoria

1 compensadora 20 de datos a la memoria principal 25.

5 Este movimiento de datos viene controlado por la unidad 105 de control y contador de ST, por medio de los mecanismos indicados en la figura 15. En particular, el mecanismo determinante de la magnitud de desplazamiento determina que el desplazador 30 de baterías de bitios ha de proporcionar un desplazamiento de cinco baterías de bitios, de lo cual se pasa aviso a la unidad 45 de control de desplazamiento. Al mismo tiempo, el mecanismo 155 a 163, determinante de la longitud de transferencia, determina que la longitud de transferencia de almacenaje para el primer ciclo de bloque (fig. 7A) tiene un valor de tres. Para el primer ciclo, el valor de todos ceros presente en el STBAR 110 ocasiona una obtención de acceso a sólo la fila 15 0 de la memoria compensadora 20 de datos. Así, el contenido de la fila 0 se selecciona para acceso durante el primer ciclo de bloque y se pone en el STDR 23 (fig. 5b). A continuación, las ocho baterías de bitios de datos del STDR 23 se desplazan en cinco posiciones de batería de bitios a la derecha, en el modo iterativo, por la acción del desplazador 30 de baterías de bitios, y se meten luego en el registro MS DR 27 de datos de memoria principal (figura 20 2). La siguiente inscripción efectuada en la memoria principal 25 hace que se inscriban en ella sólo aquellas baterías de bitios que están contenidas en las tres posiciones de batería de bitios de más a la derecha, del MS DR 27. - Esto ocurre a causa de la acción de control proporcionada por la unidad 28 de selección de baterías de bitios (figura 2), en respuesta a la dirección de acceso de iniciación 30 de la memoria principal. Esta acción de inscribir en la

1 memoria principal 25 hace que los datos inscritos o in--
troducidos lleguen al siguiente lindero de ocho baterías
de bitios, de la memoria principal 25.

5 Al principio (impulso CO de reloj) del siguiente ci
clo de bloque o "canal" (fig. 7B), el STBAR 110 y el CHDLR
151 son actualizados por el valor de STL para el primer
ciclo. En particular, el valor de acceso a memoria com-
pensadora contenido en el STBAR 110 es aumentado en tres
unidades de recuento, y el valor de longitud de datos --
10 (DL) contenido en el CHDLR 151 es reducido en tres unida
des de recuento. Para entonces, el valor de acceso a me
memoria principal contenido en el MSAR 150 ha sido puesto
a cero. El siguiente grupo de baterías de bitios de da-
tos se toma entonces por lectura de la memoria compensa-
15 dora 20 de datos y se transfiere a la memoria principal
25 de igual manera que para el primer grupo, con la ex--
cepción de que el valor de STL para el segundo grupo es
de ocho. Asimismo, en este caso del segundo ciclo (fig.
7B), el valor de acceso de tres contenido en el STBAR -
20 110 produce un acceso a dos filas de la memoria compen-
sadora 20 de datos, de la manera indicada en la fig. 7B.
Para entonces, el siguiente valor de longitud de datos,
a la salida del restador 168 (fig. 15), ha alcanzado un
valor de cero. Esto hace que el detector de cero 169 --
25 emita una señal de ST END, que es enviada a la unidad de
bloques 11, la cual, a su vez, indica a la unidad de con
trol principal 15 que se ha terminado la operación de --
transferencia parcial de almacenaje. Esto da fin al mi-
crovocable de almacenaje, y hace que la rutina de micro-
30 programa de transferencia de memoria compensadora a memo

1 -ria principal efectúe una secuencia de finalización, y -
luego vuelva al control de la IPU 14 para la tarea, cual
quiera que fuese, que se estuviese efectuando antes de -
aparecer la petición de intromisión de ST.

5 En algún punto antes del retorno a la siguiente ta-
rea de ordenador, la microrrutina de transferencia de al-
macenaje o entre memorias efectúa varias tareas auxilia-
res o de orden interno, relativas a la operación de I/O.
En un caso, el campo de recuento de batería de bitios de
10 CCW, almacenado en la memoria local 34 de IPU (fig. 2) --
se reduce en el número de baterías de bitios de datos (en
este caso, once) transferidas durante la operación de --
transferencia. Asimismo, el campo de acceso de datos de
CCW contenido en la memoria local 34 se incrementa con -
15 arreglo a la cantidad de datos transferidos durante la -
operación de transferencia. Además, el registro 181 de
recuento de intromisiones (fig. 16) se carga para conte-
ner el valor de recuento necesario para la siguiente ope-
ración de transferencia de memoria compensadora a memo--
20 ria principal. En el presente ejemplo, la siguiente ope-
ración de transferencia (figs. 7C y 7D) es una operación
de transferencia completa de sesenta y cuatro baterías -
de bitios, de modo que el registro 181 de recuento de in-
tromisiones se carga hasta contener un valor de sesenta
25 y cuatro.

Tras la terminación de la microrrutina de operación
de transferencia parcial de memoria compensadora a memo-
ria principal, el mecanismo de transferencia de memoria
compensadora a memoria principal permanece inactivo hasta
30 la emisión de la siguiente petición de intromisión de ST

1 por parte de la unidad 109 de control de recuento de com-
pensador de datos. Esta petición de intromisión siguien-
te inicia la operación de transferencia completa (de 64
baterías de bitios), cuyos ciclos primero y último están
5 representados por las figs. 7C y 7D. Esta operación de
transferencia completa se efectúa de igual manera que la
operación de transferencia parcial arriba descrita, con
la salvedad de que el registro 151 de longitud de datos
de bloque (CHDLR) de la fig. 15 se carga inicialmente --
10 con un valor de sesenta y cuatro, y el registro 150 de
acceso a memoria principal (MSAR) (fig. 15), de tres bi-
tios, se carga con un valor de 000. Esto ocurre porque
la memoria principal 25 está ahora en un lindero de ocho
15 baterías de bitios. A causa del mayor número cargado en
el CHDLR 151, los datos se transfieren a la memoria prin-
cipal 25 durante un mayor número de ciclos de bloque, es
decir, ocho ciclos. En otros términos, hay en este caso
ocho transferencias sucesivas de ocho baterías de bitios
de datos desde la memoria compensadora 20 de datos hasta
20 la memoria principal 25. Esto lleva a la memoria princi-
pal 25 hasta el segundo lindero de sesenta y cuatro bate-
rías de bitios, y la señal de ST END generada por el de-
tector de cero 169 (fig. 15) hace que la rutina de micro
programa para esta operación de transferencia completa --
25 de memoria compensadora a memoria principal efectúe una
secuencia de finalización y devuelva el control de la --
IPU 14 a otras tareas. El mecanismo de transferencia de
memoria compensadora a memoria principal permanece enton-
ces inactivo, hasta que la unidad 109 de control de recuen-
30 to de memoria compensadora de datos emite otra petición

1 de intromisión de ST.

En el presente ejemplo, la siguiente petición de in
tromisión de ST inicia la operación de transferencia par
cial de memoria compensadora a memoria principal indicada
5 en la fig. 7E. En este caso, sólo se transfieren cuatro
baterías de bitios, y se requiere un solo ciclo.

El ejemplo de las figs. 7A a 7E representa una ope-
ración de leer I/O en la cual la longitud total de datos
que se van a transferir (el valor inicial de recuento de
10 baterías de bitios de CCW) es relativamente pequeña, y --
sólo se requiere una única operación de transferencia --
completa de 64 baterías de bitios. Ahora bien, ha de te
nerse en cuenta que un buen número de operaciones de en-
trada/salida implicará una longitud total de datos de va
15 rios o muchos millares de baterías de bitios. En tal ca
so, se efectuarán muchas operaciones de transferencia --
completa de 64 baterías de bitios para una sola operación
de leer I/O o de inscribir en I/O. Como consecuencia, hay
una considerable economía de tiempo respecto a la ejecu-
20 ción de las tareas auxiliares o de orden interior rela--
cionadas con la entrada/salida (I/O). Estas tareas auxi
liares se efectuarán sólo una vez por cada transferencia
de 64 baterías de bitios entre memorias (principal y com
pensadora).

25 Por la descripción precedente de una forma represen-
tativa de realización del invento puede verse que el apa
rato de memoria compensadora de datos de bloque construi-
do conforme a la presente invención permite /"apretar" o
densificar los datos en una memoria compensadora de da-
30 tos del tipo de formación o disposición regular, y la re

1 tirada de datos de la misma, de una manera que simplifica
la manipulación de los datos y reduce al mínimo el equipo
físico necesario a tal fin, en particular cuando los da-
tos se suministran en segmentos de un primer tamaño y se
5 retiren o extraigan en segmentos de un segundo tamaño, -
distinto. Además, tal aparato de compensación de datos
opera de modo altamente eficaz en uno y otro sentido, es
to es, tanto para la inscripción de un segmento pequeño
y lectura de un segmento grande como, recíprocamente, pa
10 ra la inscripción de un segmento grande y la lectura de
un segmento pequeño.

Si bien se ha descrito lo que por ahora se considera
una forma preferida de realización de este invento, resul
tará obvio para las personas versadas en la materia que
15 pueden hacerse en ella diversos cambios y modificaciones
sin apartarse de la invención; y, por lo tanto, en las -
reivindicaciones que siguen se tiene la intención de abar
car todos aquellos cambios y modificaciones que caigan -
dentro del verdadero espíritu y ámbito de la invención.

20

25

30

1

REIVINDICACIONES

5

10

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

20

25

30

1ª.- Un aparato de compensación de datos de bloque, en un sistema de tratamiento de datos que tiene una circuitería de bloque o "canal" para enviar datos a unos dispositivos de entrada/salida y recibir datos de los mismos y una unidad de memoria principal para almacenar los datos que se van a tratar, comprendiendo dicho aparato: una memoria compensadora de datos, para compensar los datos que se están transfiriendo entre la circuitería de bloque y la unidad de memoria principal, estando dicha memoria compensadora de datos eléctricamente estructurada para ofrecer columnas y filas de lugares de almacenaje de la anchura de una batería de bitios, estando cada columna compuesta de una formación o disposición regular de almacenaje de varias filas, de la anchura de una batería de bitios, con su propio mecanismo de acceso para obtener acceso a una cualquiera, deseada, de las filas de la misma, sirviendo las correspondientes filas de las distintas formaciones para proporcionar las filas correspondientes de varias baterías de bitios para la memoria compensadora de datos en

1 conjunto; una circuitería de transferencia de datos, de
varias baterías de bitios, para transferir segmentos de
datos de varias baterías de bitios entre la memoria com-
pensadora de datos y por lo menos una, u otra, de la cir-
5 cuitería de bloque y la unidad de memoria principal; y -
una circuitería de acceso a memoria compensadora de datos,
para suministrar una dirección de acceso de varios bitios
al mecanismo de acceso de cada formación de almacenaje,
y que incluye una circuitería para modificar la dirección
10 de acceso suministrada a por lo menos uno de los mecanis-
mos de acceso, cuando ello se requiera para obtener acce-
so a un segmento de almacenaje, de varias baterías de bi-
tios, situado en dos filas distintas de la memoria com-
pensadora de datos.

15 2ª.- El aparato de la reivindicación 1ª, en el que:
la memoria compensadora de datos está eléctricamente es-
tructurada para ofrecer M columnas y R filas de lugares
de almacenaje, de la anchura de una batería de bitios, -
siendo M y R unos números enteros que son potencias de -
20 dos, y estando cada columna compuesta de una formación o
disposición regular de almacenaje, de la anchura de una
batería de bitios, de R filas que tiene su propio meca-
nismo de acceso para obtener acceso a una cualquiera, de
seada, de las filas de la misma; la circuitería de trans-
25 ferencia de datos de varias baterías de bitios es una --
circuitería de transferencia de datos de M baterías de -
bitios, para transferir segmentos de datos de M baterías
de bitios entre la memoria compensadora de datos y la uni-
dad de memoria principal, y las posiciones individuales
30 de batería de bitios de esta circuitería de transferencia

1 van acopladas a columnas o disposiciones regulares dis-
tintas, de las M disposiciones regulares de almacenaje -
formantes de columna; y la circuitería de acceso a memo-
ria compensadora de datos suministra una dirección de ac-
5 ceso de r bitios al mecanismo de acceso de cada una de -
las disposiciones regulares de almacenaje formantes de -
columna, siendo r el logaritmo de base dos de R, y la --
circuitería de acceso a la memoria compensadora de datos
incluye una circuitería para incrementar en una unidad -
10 de recuento la dirección de acceso suministrada a por lo
menos uno de los mecanismos de acceso a disposición regu-
lar de almacenaje cuando ello se requiere para obtener -
acceso a un segmento de almacenaje de M baterías de bi-
tios situado en dos filas contiguas de la memoria compen-
15 sadora de datos.

3ª.- El aparato de la reivindicación 2ª, y que com-
prende además: una circuitería de desplazador de datos
por iteración circular, de M baterías de bitios, inclui-
da en la circuitería de transferencia de datos de M bate-
20 rías de bitios, para desplazar las baterías de bitios de
datos que se estén transfiriendo, en el número de posi-
ciones de batería de bitios necesario para obtener la --
adecuada alineación de almacenaje para la memoria parti-
cular, sea la compensadora de datos, sea la unidad de me-
25 moria principal, a la que se estén transfiriendo los da-
tos.

4ª.- El aparato de la reivindicación 2ª, en el que
la circuitería de acceso a memoria compensadora de datos
incluye: un registro de acceso a memoria compensadora,
30 de transferencia de almacenaje, para proporcionar una --

1 dirección de acceso a memoria compensadora de datos, de -
varios bitios, para obtener acceso a un lugar deseado de
batería de bitios de iniciación, en la memoria compensado
ra de datos; una circuitería capaz de responder al juego
5 de r bitios de acceso de orden superior contenidos en el
registro de acceso a memoria compensadora, de transferen-
cia de almacenaje, para producir un juego modificado de -
bitios de acceso de orden superior cuyo valor sea una uni
dad de recuento más alto que el del juego no modificado;
10 una circuitería de selector, para suministrar al mecanis-
mo de acceso, para cada una de las M formaciones o dispo-
siciones regulares de almacenaje, uno de los juegos, sin
modificar o modificado, de bitios de acceso de orden supe
rior; y una circuitería de control de selector acoplada a
15 la circuitería de selector y capaz de responder al juego
de m bitios de acceso de orden inferior del registro de
acceso a memoria compensadora, de transferencia de almace
naje, siendo m el logaritmo de base dos de M, para deter-
minar cuál de los juegos de bitios de acceso de orden su-
20 perior se suministra a cada uno de los M mecanismos de --
acceso a formación de almacenaje.

5^a.- El aparato de la reivindicación 4^a, y que inclu
ye además: una circuitería de desplazador de datos por -
iteración circular, de M baterías de bitios, incluida en
25 la circuitería de transferencia de datos de M baterías de
bitios, para desplazar los datos que se estén transfirien
do; y una circuitería determinante de magnitud de despla-
zamiento, capaz de responder a los bitios de acceso de or
den inferior tanto de la dirección de acceso a memoria --
30 compensadora de datos como de la dirección de acceso a me

1 - memoria principal, para suministrar a la circuitería de des-
plazador una señal de control de la magnitud de desplaza-
miento.

5 6ª.- El aparato de la reivindicación 5ª, en el que M
tiene un valor de ocho, m tiene un valor de tres y R tie-
ne un valor mayor que ocho.

10 7ª.- El aparato de la reivindicación 1ª, en el que:
la memoria compensadora de datos está eléctricamente es-
tructurada para ofrecer M columnas y R filas de lugares -
de almacenaje, de la anchura de una batería de bitios, --
siendo M y R unos números enteros potencias de dos, y ca-
da columna consta de una formación o disposición regular
de almacenaje, de la anchura de una batería de bitios, -
de R filas que tienen su propio mecanismo de acceso para
15 obtener acceso a una cualquiera, deseada, de las filas de
la misma; la circuitería de transferencia de datos de va-
rias baterías de bitios es una circuitería de transferen-
cia de datos de N baterías de bitios, para transferir seg-
mentos de datos de N baterías de bitios entre la memoria
20 compensadora de datos y la circuitería de bloque, siendo
N un número entero; y la circuitería de acceso a memoria
compensadora de datos suministra una dirección de acceso
de r bitios al mecanismo de acceso de cada una de las dis-
posiciones regulares de almacenaje formantes de columna,
25 siendo r el logaritmo de base dos de R, y la circuitería
de acceso a la memoria compensadora de datos incluye una
circuitería para incrementar en una unidad de recuento la
dirección de acceso suministrada a por lo menos uno de --
los mecanismos de acceso a disposición regular de almace-
30 naje cuando ello se requiere para obtener acceso a un seg

1 mento de almacenaje de N baterías de bitios situados en
dos filas contiguas de la memoria compensadora de datos.

8ª.- El aparato de la reivindicación 7ª, en el que:
N tiene un valor de dos y M tiene un valor mayor que dos;
5 la circuitería de transferencia de datos incluye una posi-
ción de batería de bitios de número par y una posición de
batería de bitios de número impar, estando la posición -
de batería de bitios de número par acoplada a cada una -
de las formaciones o disposiciones regulares de almacena-
10 je que constituyen las columnas de número par, y estando
la posición de batería de bitios de número impar acoplada
a cada una de las formaciones de almacenaje que constitu-
yen las columnas de número impar; la circuitería de acce-
so a memoria compensadora de datos incluye un registro de
15 acceso a memoria compensadora, de transferencia de bloque,
para proporcionar una dirección de acceso a memoria com-
pensadora de datos, de B bitios, para obtener acceso a un
lugar deseado de batería de bitios de iniciación en la ---
memoria compensadora de datos, siendo B el logaritmo de -
20 base dos del producto de M multiplicado por R; y el apar-
to incluye además una circuitería de control de leer/ins-
cribir, capaz de responder a un juego de bitios de acceso
de orden inferior del registro de acceso a memoria compen-
sadora, de transferencia de bloque, para seleccionar una
25 de las formaciones de almacenaje de número par y una de -
las formaciones de almacenaje de número impar, para la --
transferencia de datos.

9ª.- El aparato de la reivindicación 8ª, en el que -
la circuitería de acceso a memoria compensadora de datos
30 incluye además: un registro de formación impar para reci-

1 bir los B-1 bitios de acceso de orden superior que vienen
del registro de acceso a memoria compensadora, de transfe
5 rencia de bloque; un registro de formación par para reci-
bir los B-1 bitios de acceso de orden superior que vienen
del registro de acceso a memoria compensadora, de transfe
10 rencia de bloque; una circuitería de incrementador, para
aumentar el valor del registro de formación par en una --
unidad de recuento cuando el bitio de orden más bajo del
registro de acceso a memoria compensadora, de transferen-
15 cia de bloque, tiene un valor de "uno"; una circuitería -
para suministrar el juego de r bitios de acceso de orden -
superior del registro de formación impar a los mecanismos
de acceso para las formaciones de almacenaje de número im
par; y una circuitería para suministrar el juego de r bi-
20 tios de acceso de orden superior del registro de formación
par a los mecanismos de acceso para las formaciones de al
macenaje de número par; y la circuitería de control de --
leer/inscribir incluye: una circuitería de descodificador
de formación impar, acoplada al registro de formación im-
25 par y capaz de responder a un juego de bitios de acceso -
de orden inferior del mismo, para seleccionar una de las
formaciones de almacenaje de número impar para la transfe
rencia de datos; y una circuitería de descodificador de
30 formación par, acoplada al registro de formación par y --
capaz de responder a un juego de bitios de acceso de or-
den inferior del mismo, para seleccionar una de las forma
ciones de almacenaje de número par para la transferencia
de datos.

10^a.- El aparato de la reivindicación 9^a, en el que
M tiene un valor de ocho y R tiene un valor mayor que - -

1

ocho:

11ª.- "UN APARATO DE COMPENSACION DE DATOS DE BLOQUE".

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los -
5 fines que se han especificado.

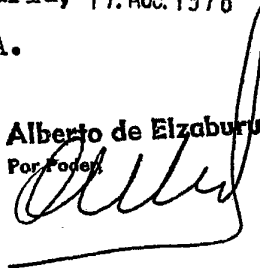
Esta Memoria consta de ciento once hojas escritas a máquina por una sola cara.

Madrid, 17. AGO. 1978

P.A.

10

Alberto de Elizaburu
Por Poderes



15

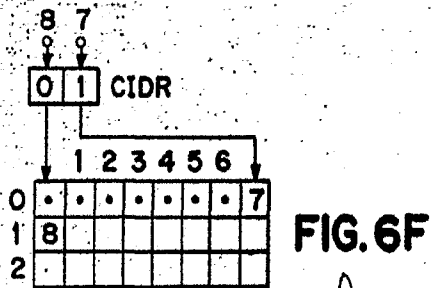
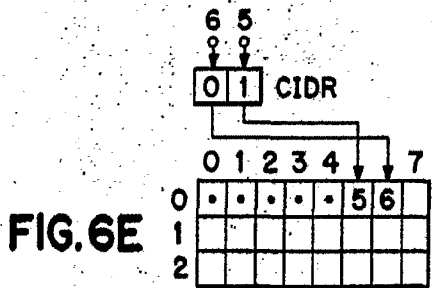
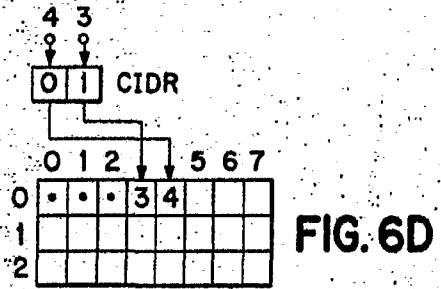
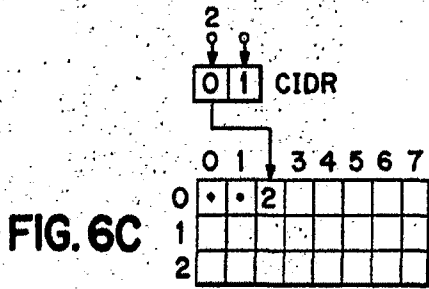
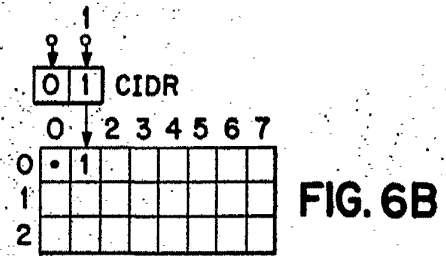
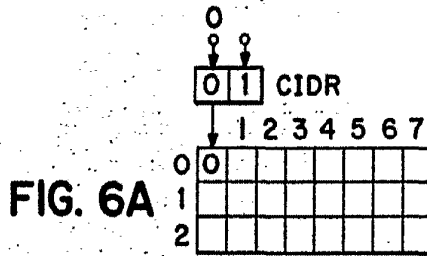
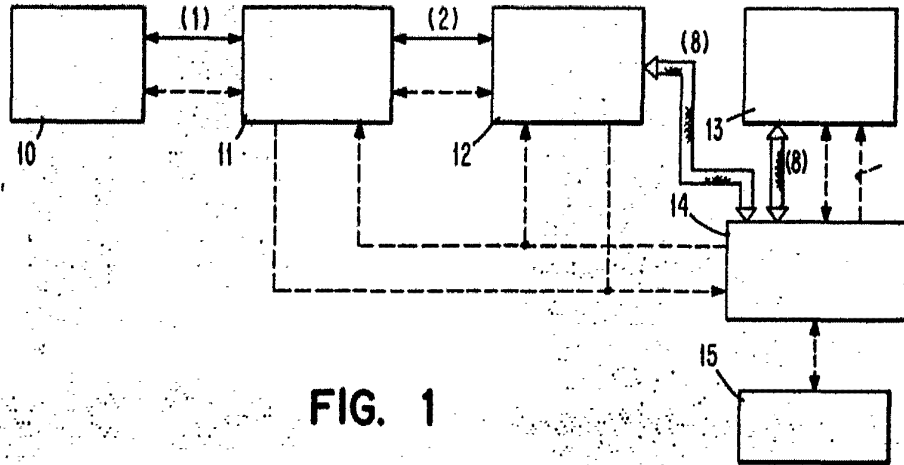
20

25

30

ARS/.

08088



Alberto de Elizaburu
Por Poder

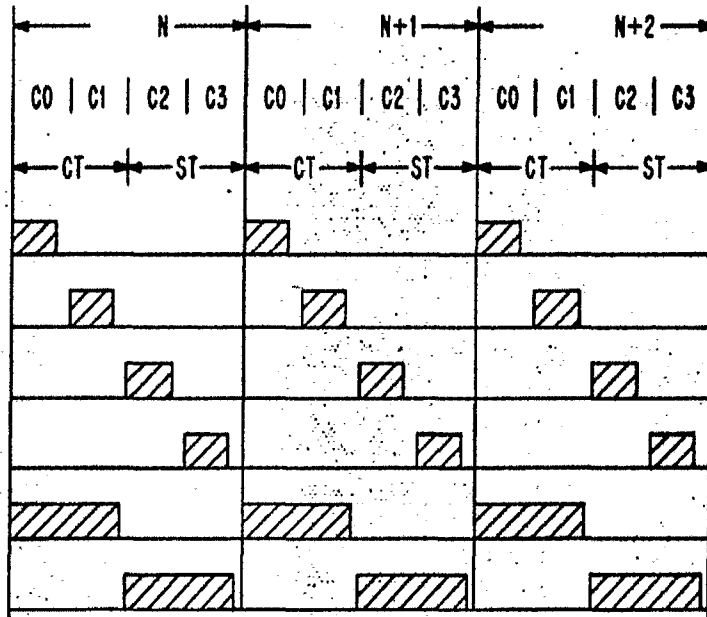


FIG. 3

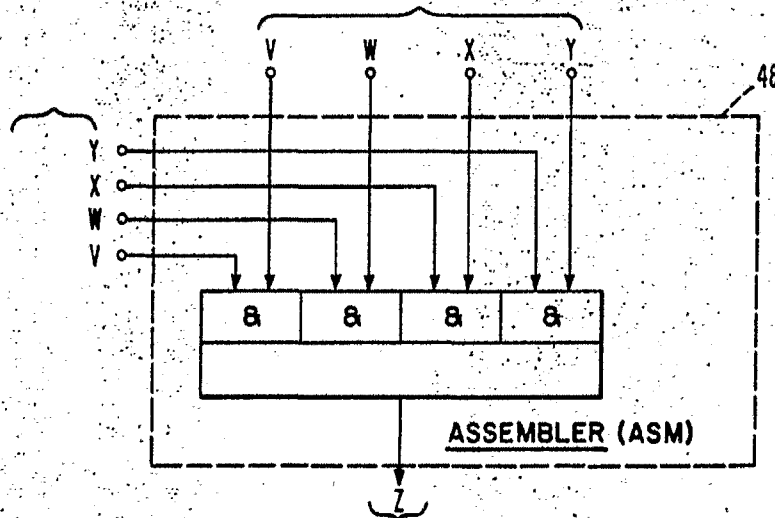


FIG. 4

Alberto de Elzaburu
FOR POWER

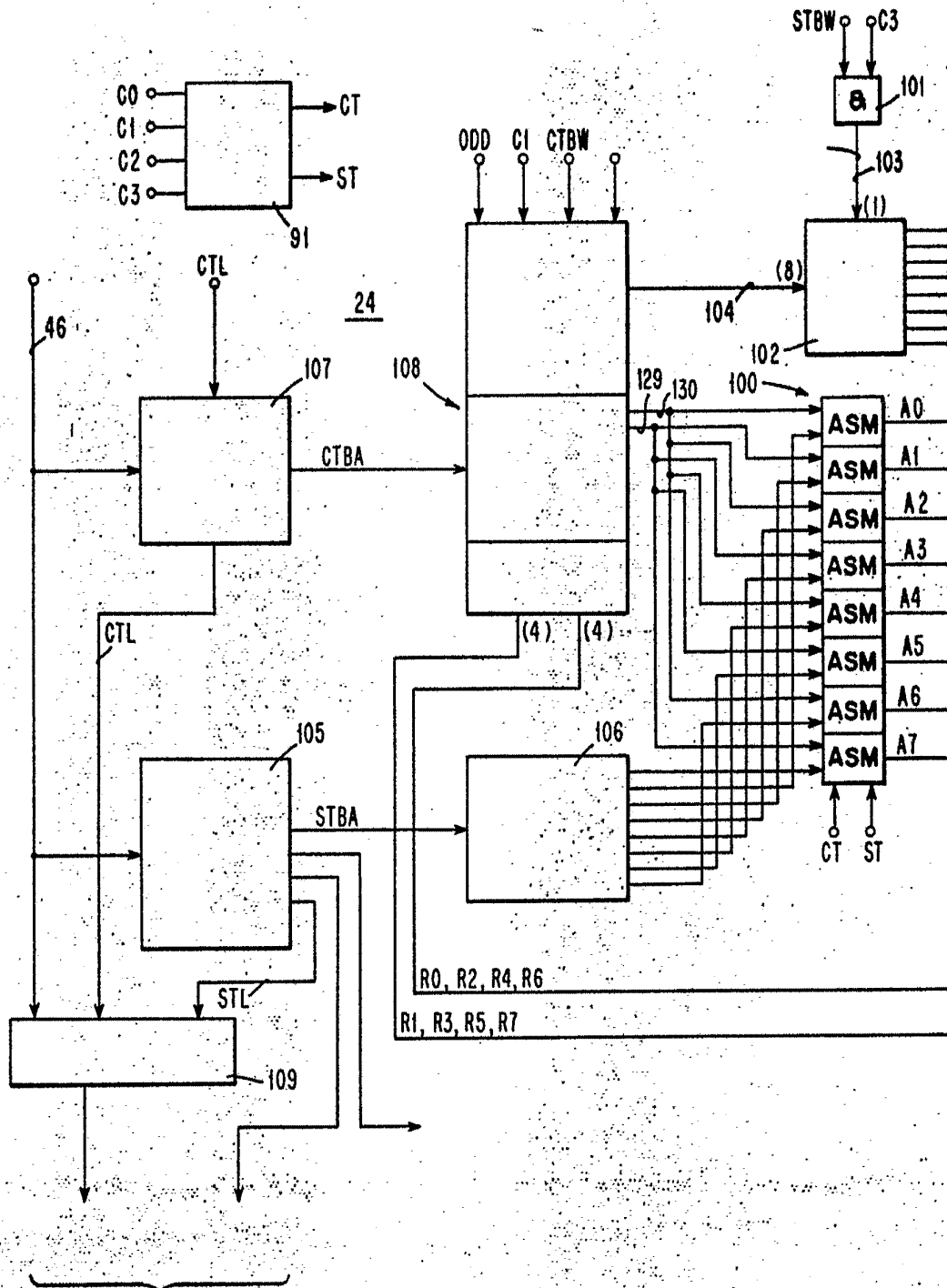


FIG. 5a

Alberto de Elzaburu
For Feder

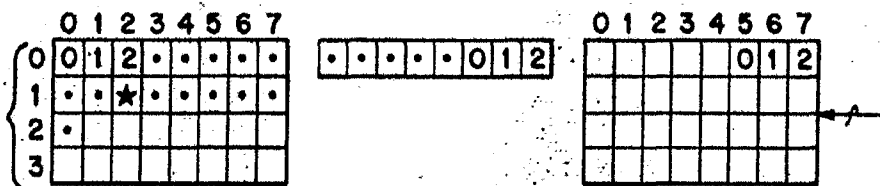


FIG. 7A

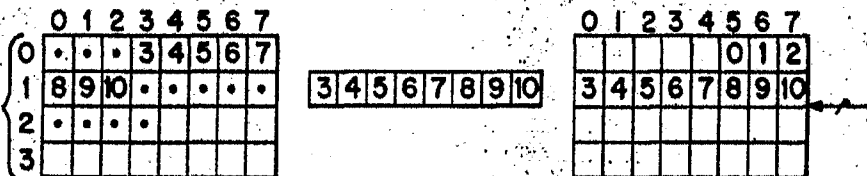


FIG. 7B

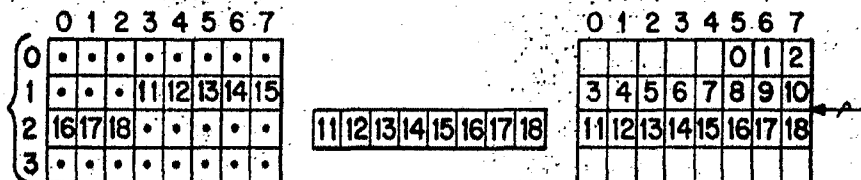


FIG. 7C

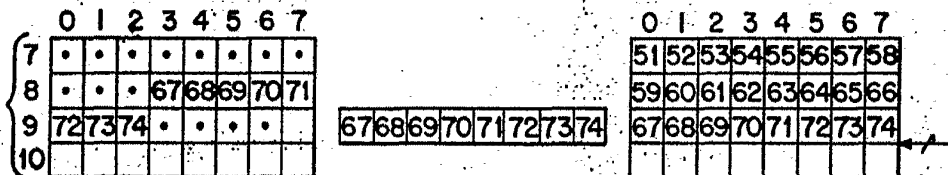


FIG. 7D

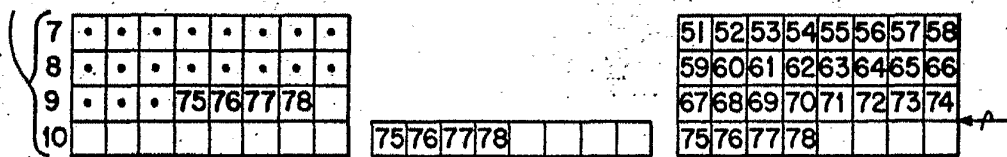


FIG. 7E

Albano de Elzaburu
For Pedagog

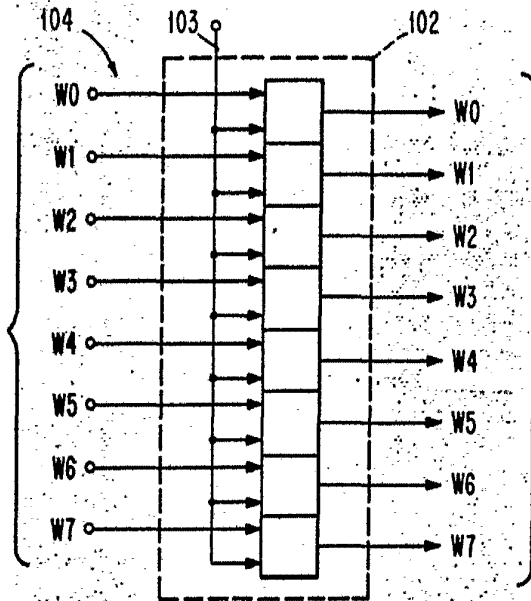


FIG. 8

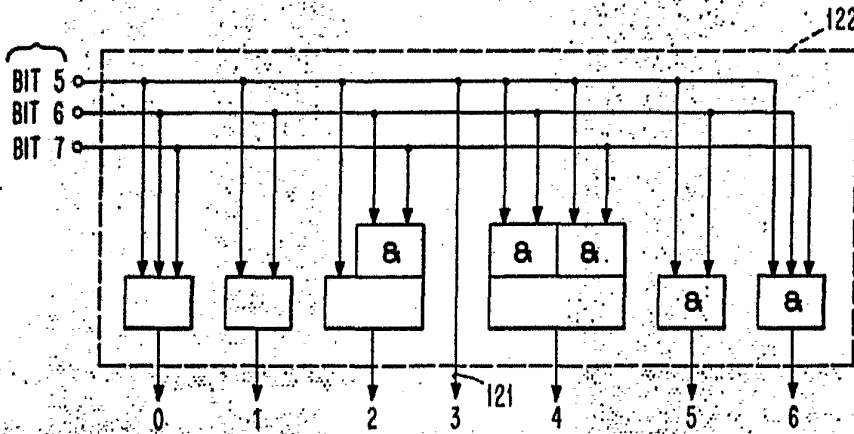
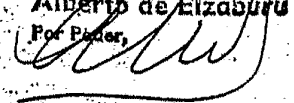


FIG. 11

3 BITS	0	1	2	3	4	5	6	7
0 0 0	A	A	A	A	A	A	A	A
0 0 1	MA	A	A	A	A	A	A	A
0 1 0	MA	MA	A	A	A	A	A	A
0 1 1	MA	MA	MA	A	A	A	A	A
1 0 0	MA	MA	MA	MA	A	A	A	A
1 0 1	MA	MA	MA	MA	MA	A	A	A
1 1 0	MA	MA	MA	MA	MA	MA	A	A
1 1 1	MA	MA	MA	MA	MA	MA	MA	A

FIG. 12

Alberto de Elizaburu
For Patent



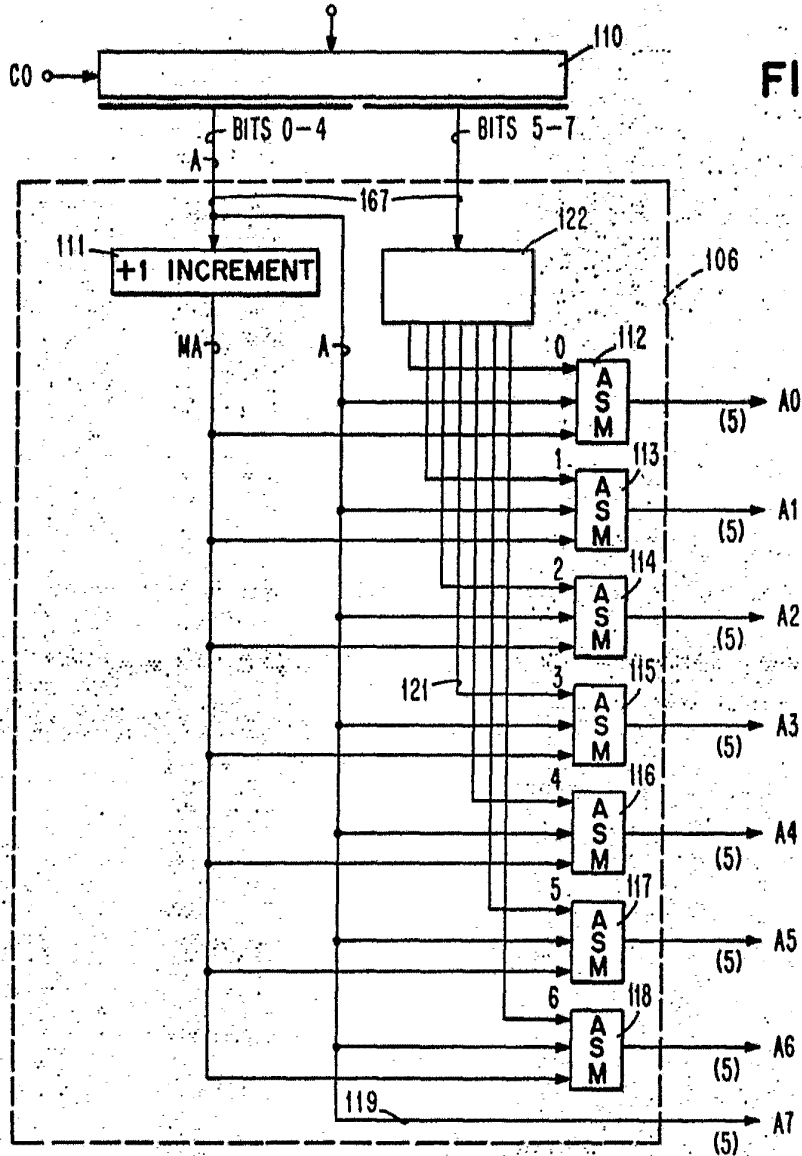


FIG. 9

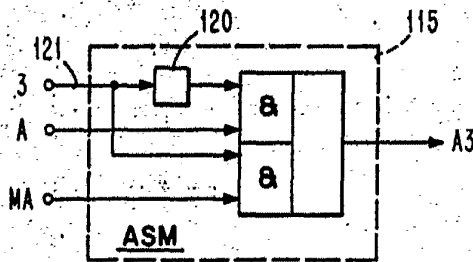


FIG. 10

Alberto de Euzeburo
 Director

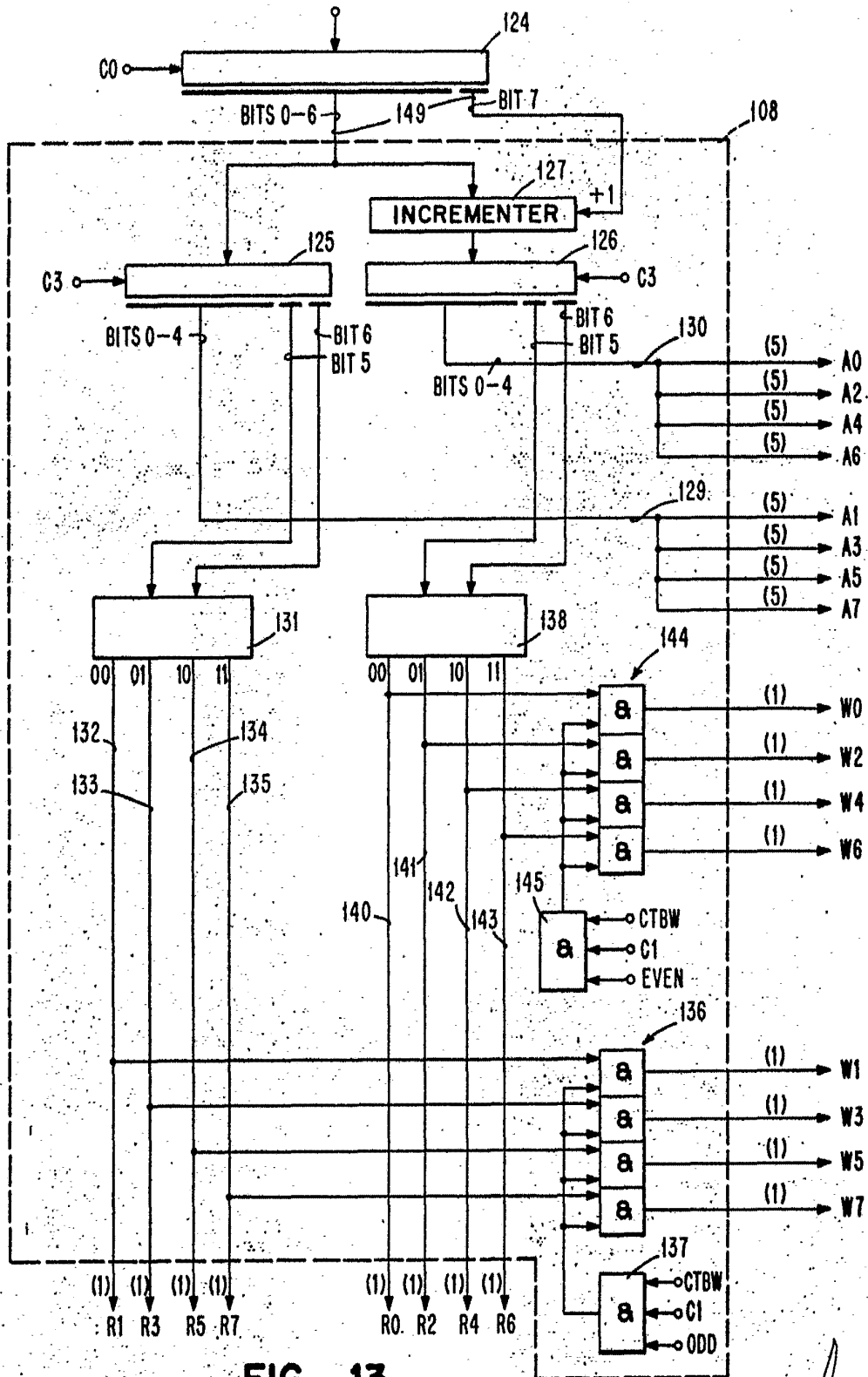


FIG. 13

Alberto de Elizaburu
Per. Code.

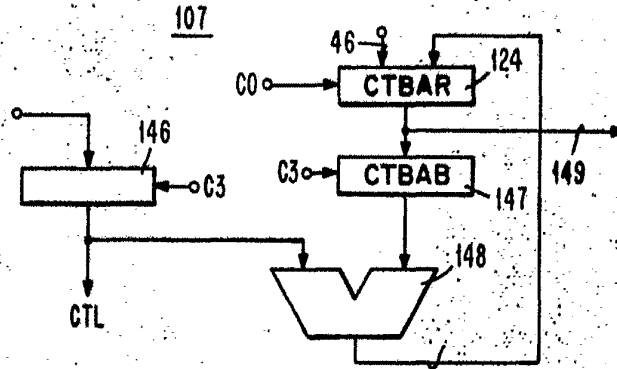


FIG. 14

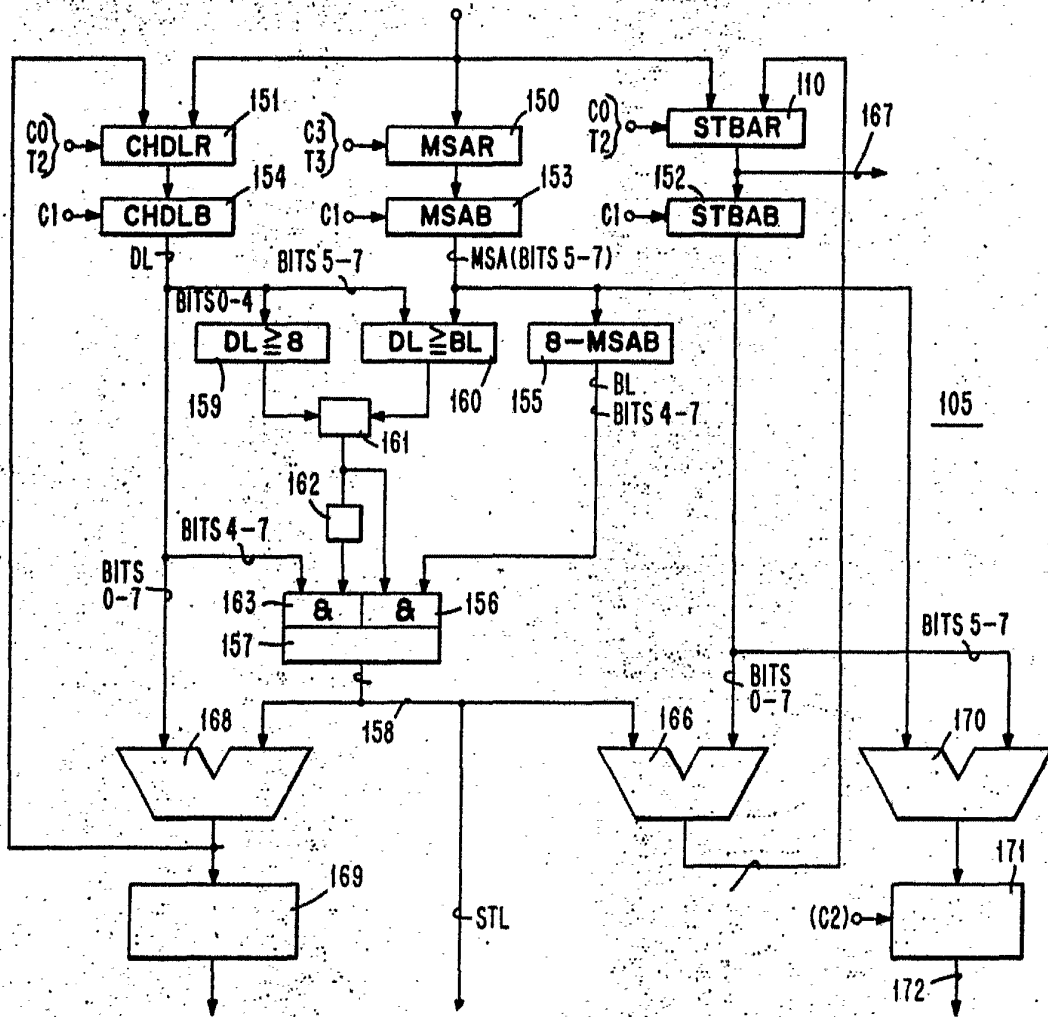


FIG. 15

Alfonso de Eizaburu
 For Poder,

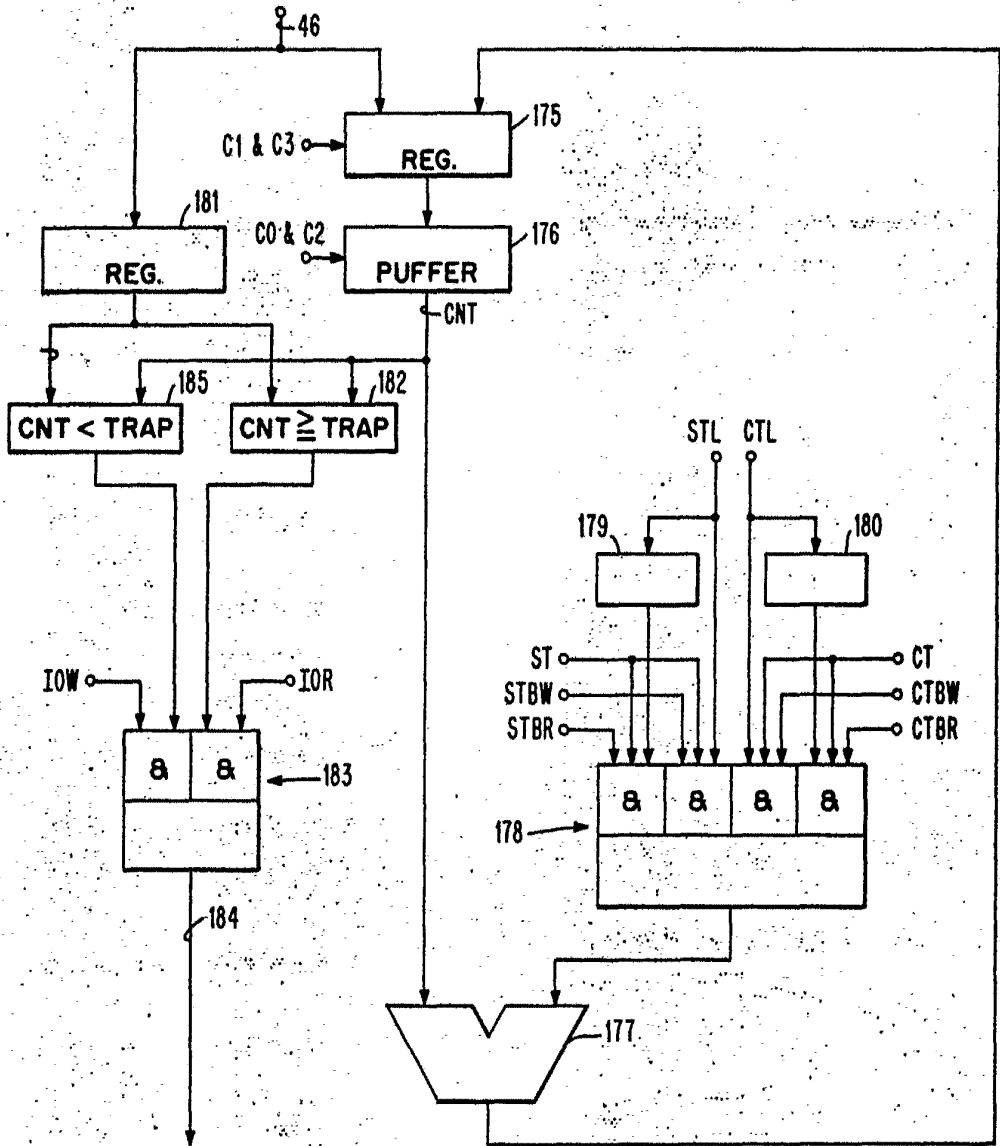


FIG. 16

Alberto de Elizaburu
For: [Signature]