



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

19 ES	21	NUMERO	471.407	20 A1
	22	FECHA DE PRESENTACION	4-7-1978	

20 DIC. 1978

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
813.408	5-7-1977	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F; G11C	

64 TITULO DE LA INVENCION
"UNA DISPOSICION DE ADAPTADOR DE MEMORIA DE CANALES"

71 SOLICITANTE (ES)
INTERNATIONAL BUSINESS MACHINES CORPORATION
(Docket: P09-77-012)

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, EE.UU.

72 INVENTOR (ES)
Matthew A. Krygowski

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ
(P.-69.311)

jga

1 PATENTES Y SOLICITUDES DE PATENTES RELACIONADAS

5 La solicitud de Patente Española Número 467.326, titulada "Un controlador de línea general de canales en un sistema de tratamiento de datos", presentada el 25 de febrero de 1978, contiene una descripción de un sistema de acceso a memoria con relación al cual está diseñado para funcionar el presente adaptador.

10 La solicitud de Patente Española número 471406, titulada "Perfeccionamientos introducidos en un sistema de tratamiento de datos" y presentada simultáneamente con ésta, contiene una descripción de un sistema de expedición de solicitud formado por la utilización conjunta del presente adaptador y un adaptador controlador de línea general de canal (CBC) descrito en la solicitud de Patente Número de serie 467.326 anterior.

15 La Patente Norteamericana 3.585.599, titulada "Universal System Service Adapter", concedida el 15 de junio de 1971 a D. C. Hitt y otros, contiene una descripción de un ordenador de datos que es utilizable como sistema de tratamiento de entrada-salida (director) para cuyo aumento está diseñado el presente adaptador.

ANTECEDENTES DEL INVENTO

25 CAMPO DEL INVENTO

30 El invento se refiere a adaptadores para mantener tratamientos de intercambio múltiple de entrada-salida concurrentemente entre canales plurales de entrada-salida y un subsistema de acceso a memoria de un sistema de tratamiento de datos.

1 TECNICA ANTERIOR

Son por lo general bien conocidos sistemas y dispositivos para mantener tratamientos múltiples de comunicación de datos concurrentemente en modo de transmisión simultánea por división de tiempos. El presente adaptador se considera singular en lo que respecta a su disposición específica de conjuntos de memoria intermedia de tiempo compartido y secuenciadores de control de transmisión simultánea para mantener concurrentemente actividades múltiples de solicitud de memoria y transferencia de respuesta; con una pequeña cantidad de dispositivos físicos, con pequeñas probabilidades de interferencia (sobrecarga o bloqueo), y con una sobrecarga relativamente pequeña en cuanto a circuitos de control de canal y a la complejidad de los mismos.

15 El funcionamiento compartido de circuitos de control para acceso a memoria por parte de canales múltiples de entrada-salida no es original como proposición general. Sin embargo, los sistemas conocidos carecen de capacidad para mantener concurrentemente actividades múltiples de solicitud y respuesta, o bien para conseguir tal capacidad disponiendo equipos independientes de memoria intermedia para actividades de respuesta y solicitud.

25 El presente adaptador se caracteriza por secuenciadores coordinados temporalmente y conjuntos de memoria intermedia compartidos para el tratamiento concurrente de solicitudes y respuestas. Se caracteriza también por circuitos de control simples para comprobar asociaciones de solicitudes y respuestas y para programar temporalmente solicitudes activas. Estas funciones auxiliares son efectua-

1 das sin retardar el tratamiento de respuesta y sin añadir
un factor de falta de fiabilidad potencial al tratamiento
de solicitudes y respuestas.

RESUMEN DEL INVENTO

5 Este adaptador mantiene actividades múltiples de
solicitud y transferencia de respuesta entre subsistemas de
acceso a memoria y de entrada-salida de un sistema de trata-
miento de datos. El subsistema de entrada-salida ahora con-
10 siderado comprende un ordenador de entrada-salida micropro-
gramado (IOP) compartido por canales múltiples de entrada
salida; a dicho ordenador se hace referencia también en la
presente descripción como ordenador director. El director
y el adaptador tienen ciclos de funcionamiento coextensivos.

15 Es utilizado un primer conjunto de memoria inter-
media (datos) en el presente adaptador en un modo de divi-
sión de tiempo durante ciclos individuales director-adapta-
dor para transmitir concurrentemente solicitudes de acceso
a memoria plurales y respuestas de memoria asociadas entre
20 dicho ordenador IOP y el subsistema de acceso a memoria.
Las solicitudes que tienen su origen en la unidad IOP y ca-
nales son presentadas en un modo casi asíncrono al sistema
de acceso a memoria. Las respuestas producidas por el sub-
sistema de acceso a memoria (datos designados por solictu-
25 des de localización e indicaciones de estado relativas a
solicitudes Almacenar-Entrada) son retornadas al adaptador
para tratamiento de transferencia de retorno casi asíncro-
no con relación al origen de la solicitud asociada (IOP o
30 canal).

1 Es utilizado un segundo conjunto de memoria in-
termedia (secuencia de control) asociado con dicho primer
conjunto en un modo de división de tiempo para retener infor-
mación de control relativa a cada solicitud activa (siendo
activa una solicitud desde el momento en que el adaptador
5 es preparado por una señal de selección procedente del or-
denador IOP para iniciar el tratamiento de la solicitud has-
ta que es recibida por el adaptador la respuesta de memoria
asociada).

10 Esta información de control distingue: el tipo de
solicitud (localizar, almacenar o almacenar en retroceso),
el ancho de datos de la solicitud (una, dos o cuatro pala-
bras de datos a almacenar, o una, dos, o cuatro palabras a
ser localizadas), información de dirección (bitio 29 de di-
rección) que designa una elección impar-par con relación a
15 un par de espacios de palabra designados por la parte de
dirección de la solicitud (para transferencias de una pala-
bra), información de dirección fija (FA) utilizada por el
equipo de acceso a memoria para determinar si se requiere
una traslación con relación a una porción fija particular
20 de la memoria, e información de identidad de origen de so-
licitud (designada CHID para identidad de canal). Cada in-
formación CHID en el segundo conjunto es utilizada para di-
reccionar el primer conjunto de memoria intermedia para ex-
pedir la solicitud asociada y para recibir la respuesta aso-
25 ciada. Está también incluida una representación de la infor-
mación CHID en la solicitud expedida y es retornada una re-
presentación correspondiente por el subsistema de acceso a
memoria como parte de la respuesta asociada.

30 La información CHID en el segundo conjunto es uti-

1 lizada también como referencia para verificar que la solici-
citud asociada y la respuesta realmente recibida están aso-
ciadas correctamente. Las respuestas son retornadas normal-
mente al adaptador en el orden de transferencia de solici-
tudes asociadas. En paralelo con otras operaciones de res-
5 puesta se prepara el tratamiento de la información CHID de
referencia en el segundo conjunto según un principio de an-
ticipación y es comparada con la información CHID de la res-
puesta real mientras está siendo tratada receptivamente la
respuesta.

10 Funcionan tres sistemas de control de secuencia
con relación a los conjuntos de adaptador en intervalos se-
lectores discretos de división de tiempos (designados in-
tervalos selectores a, b y c) en cada ciclo de funciona-
miento del director adaptador. Estos intervalos selectores
15 mantienen los procesos de transferencia.

Un secuenciador "a", que está integrado parcial-
mente en los controles de microprograma del ordenador direc-
tor, funciona con relación a intervalos selectores "a" para
transferir (poner en cola) información de solicitud a (en)
20 los conjuntos de adaptador (procedente del director o de
cualquier canal); iniciar el tratamiento de solicitud por
el adaptador; transferir información de respuesta puesta en
cola en el primer conjunto del adaptador (al director o a
cualquier canal) y utilizar porciones del primer conjunto
25 para almacenamiento transitorio de otra información.

Un secuenciador "b" independiente funciona para
mantener en cola solicitudes extraídas de los conjuntos de
adaptador en los intervalos selectores "b" y controla trans-
30 ferencias de dichas solicitudes al subsistema de acceso a

1 memoria.

Otro secuenciador "c" independiente funciona para mantener transferencias de respuestas desde el subsistema de acceso a memoria al adaptador y para ingresar dichas respuestas en dicho primer conjunto en los intervalos selectores "c". Este mismo secuenciador controla la comparación auxiliar de la información CHID de respuesta con la información CHID de la solicitud asociada, como se ha mencionado anteriormente.

Circuitos de "temporizador de estado de parada" independientes mantienen un tratamiento de intervalo de bloqueo con relación a solicitudes activas. Este proceso no depende del orden de tratamiento de solicitud y no afecta al tratamiento normal de solicitudes. Es así capaz de detectar funcionamiento del sistema en avería ("parada imprevista") con respecto al tratamiento de solicitudes y respuestas sin interdependencias específicas que podrían limitar el campo de su equipo de detección de averías.

Las precedentes y otras características, ventajas y objetivos del presente invento se comprenderán con más detalle y se apreciarán considerando la siguiente descripción detallada.

DESCRIPCION DETALLADA DE LOS DIBUJOS

25 La figura 1 ilustra esquemáticamente el ambiente del sistema en el cual está diseñado para funcionar el presente adaptador;

30 La figura 2 ilustra la unidad de acoplamiento entre el presente adaptador y el controlador de línea general

1 de canal;

Las figuras 3 y 4 indican el formato y organización de sincronismo de señales de solicitud expedidas por el presente adaptador hacia el anteriormente mencionado controlador de línea general de canal;

5 La figura 5 representa formatos de señales de palabra de dirección y palabra de datos indicadas en las figuras 3 y 4;

La figura 6 indica la secuencia general de funcionamiento del sistema que contiene el presente adaptador respecto al tratamiento (tratamiento de transferencia) de solicitudes de acceso a memoria y respuestas de acceso a memoria;

10 La figura 7 ilustra la secuencia de operaciones controladas por el secuenciador "b" del presente adaptador de memoria con respecto a la transferencia de solicitudes de acceso a memoria al controlador de línea general de canal;

15 La figura 8 ilustra la secuencia de operaciones controladas por el secuenciador "c" del presente adaptador con respecto al tratamiento de recepción de respuestas de memoria asociadas con solicitudes individuales;

La figura 9 ilustra el flujo de datos y organización de control de secuencia del presente adaptador;

20 La figura 10 ilustra detalles del conjunto de memoria intermedia de datos-marca incluido en el presente adaptador;

25 La figura 11 ilustra el conjunto de memoria intermedia de secuencia de control incluido en dicho adaptador;

1 La figura 12 ilustra la organización del sistema director (IOP), haciéndose particular hincapié en las partes de circuito pertinentes a las operaciones del presente adaptador;

5 La figura 13 ilustra la memoria de control de director y la relación de su secuenciador "a" con el presente adaptador;

La figura 14 ilustra la organización de sincronismo del presente adaptador.

10 La figura 15 ilustra el secuenciador "b" del presente adaptador;

La figura 16 ilustra el secuenciador "c" de dicho adaptador; y

15 Las figuras 17 y 18 ilustran, respectivamente, el funcionamiento y configuración de circuito lógico de la parte de detector de parada imprevista de dicho adaptador.

DESCRIPCION DETALLADA

INTRODUCCION

20 En las figuras 1 y 2 está ilustrado un sistema que incorpora la realización preferida del presente adaptador. Aunque no son pertinentes para la comprensión del presente invento los detalles de los bloques componentes individuales del sistema, diferentes del director y el presente adaptador, se da no obstante una descripción general del funcionamiento de dicho sistema para facilitar la comprensión del ambiente de funcionamiento de este invento.

25 El sistema ambiental comprende un ordenador 10 anfitrión principal, un equipo 12 de memoria modular, un

1 equipo de acceso a memoria indicado en general en 14, un
equipo de tratamiento de entrada-salida indicado en gene-
ral en 16 (que contiene adaptadores del presente invento)
y un equipo de ordenador de consola (servicio) indicado en
general en 18 que proporciona soporte de mantenimiento al
5 sistema. El equipo 12 de memoria comprende los módulos
12.1, 12.2, 12.3 ... que pueden ser accesibles en modo in
tercalado.

El equipo 14 de acceso a memoria comprende un
controlador 14.1 de línea general de canal. El controlador
10 14.1 forma parte de un equipo 14.2 de control de memoria
periférico (PSCF) que controla el acceso a la memoria 12.
El controlador 14.1 de línea general de canal proporciona
enlace asíncrono entre el sistema 16 de tratamiento de en-
trada-salida y el equipo 14.2 periférico de control de me-
15 moria. El equipo 14.2 atiende (y está compartido por) el
controlador 14.1 de línea general de canal, el ordenador
10 anfitrión y el ordenador 18 de consola.

El sistema 16 de tratamiento de entrada-salida
comprende de uno a tres subsistemas de tratamiento indepen-
20 dientes indicados en 16.1, 16.2 y 16.3. Cada uno de tales
subsistemas atiende un grupo independiente de hasta seis
canales de entrada-salida. Un grupo de canales atendido
por el subsistema 16.1 está indicado en 16.1.1. El grupo
de canales atendido por el subsistema 16.2 está indicado
25 en 16.2.1. Un subsistema 16.3 y sus canales están suger-
idos implícitamente por una línea discontinua.

Cada subsistema de entrada-salida comprende un
ordenador (director) de entrada-salida controlado por mi-
croprograma que está compartido por el grupo respectivo de
30

1 canales y una unidad adaptadora de memoria que realiza el
presente invento. El subsistema 16.1 comprende el ordena-
dor 16.1.2 (director 1) de entrada salida y el adaptador
16.1.3 (SA1) de memoria. El subsistema 16.2 comprende el
ordenador 16.2.2 (director 2) de entrada-salida y el adap-
5 tador 16.2.3 (SA2). Se interpretan como posibles elementos
añadidos, pero no representados explícitamente, un direc-
tor 3 y un adaptador SA3 asociados con el subsistema 16.3.

Los grupos de canales 16.1.1, 16.2.1 y 16.3.1
asociados respectivamente con los subsistemas 16.1, 16.2
10 y 16.3 están también referenciados aquí respectivamente co-
mo grupo 1 de canales, grupo 2 de canales y grupo 3 de ca-
nales. Los canales del grupo 1 de canales tienen unidades
de acoplamiento individuales de entrada-salida representa-
das colectivamente en 16.1.4 para conexión a controladores
15 y dispositivos periféricos. Los canales del grupo 2 de ca-
nales tienen unidades de acoplamiento de entrada-salida in-
dicadas colectivamente en 16.2.4. Las unidades de acopla-
miento de canal del grupo 3 se interpretan como posibles
adiciones pero no están representadas explícitamente.

20 Son expedidas solicitudes de acceso a memoria
por adaptadores, tales como 16.1.3 y 16.2.3, al sistema 14
de acceso a memoria a través de líneas generales respecti-
vas indicadas en 20 y 22, (no está representada explícita-
mente la línea general correspondiente al adaptador del
25 grupo 3 implicado). Son retornadas desde el sistema 14 de
acceso, a los adaptadores SA1 SA2 y SA3, respuestas de
memoria (datos producidos en respuesta a solicitudes de lo-
calización y señales de estado producidas con relación al
30 tratamiento de solicitudes de entrada-salida) a través de

1 una única línea general 30 que tiene terminales de inter-
conexión o accesos disponibles a cada uno de los adaptado-
res. Se hace referencia aquí a la línea general 20 como
Línea General de Entrada del grupo 1 y comprende 41 líneas.
5 La línea general 22, línea general de entrada del grupo 2,
contiene también cuarenta y una líneas. La línea general
de entrada del grupo 3 contiene también cuarenta y una lí-
neas. La línea general 30, a la que se hace referencia co-
mo línea general de salida, comprende ochenta y una líneas.

10

UNIDAD DE ACOPLAMIENTO SA-CBC

15

La unidad de acoplamiento de "Grupo 1" entre el
adaptador 16.1.3 (SA1) y el controlador CBC 14.1 está in-
dicada en la figura 2. Las unidades de acoplamiento entre
el adaptador SA2 y el controlador CBC, y entre el adapta-
dor SA3 y el controlador CBC son idénticas excepto en lo
que se refiere a las respectivas designaciones de línea de
grupo.

20

La unidad de acoplamiento de grupo 1 comprende
las líneas de la línea general 30 de salida, las líneas
de la línea general 20 de entrada del grupo 1, y siete lí-
neas de control indicadas en conjunto en 40 e individual-
mente en 40.1-40.7.

25

La línea 40.1 de avance está controlada por el
controlador CBC para señalar la transferencia de infor-
mación de respuesta al adaptador SA1 (sobre la línea gene-
ral 30 de salida). Esta señal es transmitida inmediatamen-
te antes de dicha transferencia. La línea 40.2 de habilita-
ción de transmisión está controlada por el controlador CBC

30

1 para habilitar la transmisión por parte del adaptador SA1 sobre la línea general 20 de entrada. El nivel lógico de esta línea es elevado siempre que no esté totalmente ocupada la capacidad de memoria intermedia en el controlador CBC reservada para el tráfico del grupo 1.

5 Las otras cinco líneas están controladas por el adaptador SA1 y son utilizadas por el controlador CBC para controlar el tratamiento de señales presentadas sobre la línea general 20 de entrada. La línea 40.3 de etiqueta de dirección (ADR) es utilizada (activada) para indicar la presencia de una parte de palabra de dirección de una solicitud sobre la línea general 20 de entrada. Las líneas 10 40.4 y 40.5 de etiquetas D1 y D2 son utilizadas para ordenar la colocación en espacios de palabra doble en la memoria de palabras de datos presentadas individualmente sobre la línea general 20 de entrada; usualmente como parte de 15 una solicitud de almacenamiento-entrada. La línea 40.6 de etiqueta QW (palabra cuádruple) es utilizada para indicar que una única solicitud asociada implica una transferencia de cuatro palabras de datos a dos espacios contiguos de palabra doble designados por una única dirección. La línea 20 40.7 de etiqueta EOT es utilizada para indicar la conclusión de una secuencia de transmisión de solicitud.

El adaptador de memoria presenta dos tipos de solicitudes al controlador CBC. Las solicitudes del tipo 25 de entrada o "almacenar" (solicitudes S) requieren el almacenamiento de una, dos o cuatro palabras de datos en un espacio de memoria designado por una palabra de dirección incluida en la solicitud. Las solicitudes "localizar" (\bar{S}) 30 requieren la recuperación de dos o cuatro palabras de da-

1 -tos de un espacio de memoria designado por una palabra de
dirección incluida en la solicitud.

Las respuestas procedentes del sistema de memo-
ria son transmitidas al adaptador de memoria a través de
la línea general 30. La línea general 30 es capaz de trans-
5 ferir dos palabras de datos en paralelo. Cada respuesta
comprende indistintamente dos palabras de datos recupera-
das en respuesta a una solicitud Localizar o información
de estado asociada con una solicitud de almacenamiento.
Una solicitud Localizar para cuatro palabras de datos da
10 lugar a dos respuestas (usualmente consecutivas).

Cada palabra de dirección presentada sobre la
línea general de entrada 20 incluye información de identi-
dad de canal (CHID) que designa el origen de la solicitud
(canal de grupo o director). El controlador CBC proporcio-
15 na tratamiento individualizado de solicitudes y respuestas
de cada grupo y retorna la información CHID de cada solici-
tud en la respuesta asociada.

20 ORGANIZACION DE SINCRONISMO Y FORMATO DE TRANSFERENCIAS DE
SOLICITUD

Las figuras 3 y 4 ilustran la organización de
sincronismo y formato de transferencias de solicitud del
adaptador SA al controlador CBC. La figura 3 indica la or-
25 ganización de sincronismo y formato de solicitudes Locali-
zar. La figura 4 ilustra la organización de sincronismo y
formato de solicitudes Almacenar.

La forma y sincronismo de una solicitud Locali-
30 zar de palabra doble (dos palabras) está indicada en 50 en

1 la figura 3. El formato y sincronismo de una solicitud Localizar de palabra cuádruple (cuatro palabras) está indicada en 52 en la figura 3. Es presentada por el adaptador SA una solicitud (indistintamente Localizar o Almacenar) solamente si la línea de habilitación de transmisión asociada a ese adaptador SA, (por ejemplo 40.2, figura 2) está activa; como se sugiere en 53. Una solicitud Localizar de doble palabra, tal como 50, ocupa tres ciclos de funcionamiento de la unidad de acoplamiento, cada uno de los cuales tiene aproximadamente una duración de 120 ns. La duración de un ciclo de unidad de acoplamiento es idéntica a la duración de un ciclo de funcionamiento de director y aproximadamente la misma que la de dos ciclos consecutivos de funcionamiento del controlador CBC.

15 En los comentarios que siguen se utiliza el término ciclo "inactivo" para caracterizar intervalos de ciclo de inactividad sobre la unidad de acoplamiento a continuación de la presentación de la etiqueta EOT al controlador CBC por parte del presente adaptador. La única restricción de sistema impuesta al adaptador con relación al controlador CBC es que permite que se produzca uno de tales ciclos inactivos después de cada presentación de etiqueta EOT. Se entenderá que tal hecho de que sea permitido un ciclo inactivo no impide que los controles del adaptador (secuencia "b") funcionen durante ese ciclo para preparar señales para el ciclo siguiente de transmisión activa.

Una secuencia de transferencia de solicitud Localizar de palabra doble, tal como la 50 (figura 3), ocupa al menos dos ciclos de funcionamiento de la unidad de acoplamiento.

1 plamiento; un ciclo "activo" seguido por al menos un ciclo
"inactivo". En el ciclo activo el adaptador SA presenta la
palabra de dirección sobre la línea general de entrada de
grupo (20) y simultáneamente eleva el nivel lógico de la
etiqueta de dirección y la etiqueta EOT. En el ciclo inac-
5 tivo el adaptador SA funciona para preparar la transferen-
cia de una solicitud siguiente. En la realización ilustra-
da se permiten dos ciclos inactivos para simplificar el con-
trol del adaptador con relación a la preparación de la si-
guiente solicitud.

10 Una secuencia de transferencia de solicitud Localizar
de palabra cuádruple, tal como la 52, ocupa cinco ci-
clos de funcionamiento del sistema de acoplamiento de los
cuales cuatro son realmente necesarios para cumplir los re-
querimientos del sistema. Existe un ciclo activo, después
15 un ciclo inactivo, después otro ciclo activo y finalmente
dos ciclos inactivos. En el primer ciclo activo el adapta-
dor SA presenta la palabra de dirección (sobre su línea ge-
neral de entrada de grupo) con la etiqueta EOT y la etique-
ta de dirección (sobre líneas de etiqueta respectivas). En
20 el siguiente ciclo activo (el tercer ciclo) el adaptador SA
presenta solamente la etiqueta EOT y la etiqueta QW (pala-
bra cuádruple), como se sugiere en 54. La cual interpreta
el controlador CBC como solicitud Localizar adicional im-
plicada (para dos palabras de datos adicionales) con rela-
25 ción a un espacio de memoria contiguo al espacio de palabra
doble designado por la palabra de dirección recibida en el
primer ciclo. El controlador CBC reacciona construyendo una
solicitud adicional a partir de la solicitud original. Du-
30 rante los dos ciclos de inactividad finales el adaptador SA

1 puede preparar los elementos necesarios para el primer ciclo de señalización activo de otra solicitud.

5 En respuesta a una solicitud Localizar el controlador CBC y el equipo PSCF utilizan la palabra de dirección para establecer acceso a una posición asociada (designada) en la memoria l2. Los datos recuperados de dicha posición se incorporan en una respuesta asociada y son transmitidos al origen SA sobre la línea general de salida. La respuesta incluye información de identidad de origen (OHID) correspondiente a la información de identidad contenida en la solicitud. En respuesta a una solicitud Localizar de palabra

10 cuádruple el controlador CBC utiliza la palabra de dirección de una solicitud para formar dos solicitudes. La primera solicitud es la solicitud original y es utilizada para recuperar una primera pareja de palabras de datos de un espacio de memoria designado por la dirección contenida en la

15 solicitud original. La segunda solicitud se deduce de la solicitud original y es utilizada para recuperar una segunda pareja de palabras de datos de un espacio de memoria contiguo al espacio designado por la dirección original. La

20 dirección correspondiente a la segunda solicitud se forma a partir de la dirección original invirtiendo un bitio de orden inferior de la dirección original.

25 La secuencia de transferencia de una solicitud Almacenar de palabra única, sugerida en 60 (figura 4), ocupa tres ciclos de la unidad de acoplamiento; dos ciclos de señalización seguidos de un ciclo de inactividad. En el primer ciclo es presentada la palabra de dirección sobre la línea general de entrada en coincidencia con una etiqueta de dirección. En el segundo ciclo es transmitida una pa

30

1 labra de datos con etiqueta EOF y con cualquiera de las
etiquetas D1 o D2. La elección de la etiqueta D1 o D2 es
realizada por el adaptador, SA de acuerdo con el valor de
un bitio de dirección (bitio 29) que es suministrado al
adaptador SA por el origen de solicitud asociado (canal o
5 director) pero no se incluye en la información de solici-
tud expresamente presentada sobre la línea general de en-
trada. La etiqueta D1 es utilizada (por el controlador CBC
y el equipo PSCF) para almacenar la palabra de datos en el
semiespacio "impar" de un espacio de memoria de palabra do-
10 ble designado por la dirección de solicitud. La etiqueta
D2 es utilizada por el controlador CBC para almacenar la
palabra de datos en el semiespacio "par" de un espacio de
palabra doble designado por la dirección de solicitud. Du-
rante el segundo y tercer ciclos el adaptador SA se prepara
15 para tratamiento de otra solicitud.

La secuencia de transferencia de una solicitud
Almacenar de palabra doble, sugerida en 62, ocupa cuatro
ciclos de unidad de acoplamiento; tres ciclos de señaliza-
ción seguidos por un ciclo de inactividad. En el primer ci-
20 clo es enviada la palabra de dirección con la etiqueta de
dirección. En el segundo y tercer ciclos son emitidas dos
palabras de datos consecutivamente con etiquetas D selec-
cionadas. Si la solicitud es una solicitud "Almacenar en
retroceso" es presentada la etiqueta D2 con la primera pa-
25 labra de datos y la etiqueta D1 con la segunda palabra de
datos. Si la solicitud es una operación Almacenar normal,
es presentada la etiqueta D1 con la primera palabra de da-
tos y la etiqueta D2 con la segunda palabra de datos. Duran-
30 te el tercero y cuarto ciclos el adaptador SA se prepara pa

1 ra tratamiento de otra solicitud.

La secuencia de transferencia de una solicitud Almacenar de palabra cuádruple, sugerida en 64, ocupa siete ciclos de unidad de acoplamiento; tres ciclos activos de señalización SA seguidos por un ciclo inactivo, seguidos por dos ciclos de señalización SA activos, seguidos por otro ciclo inactivo. En el primer ciclo es presentada la palabra de dirección con la etiqueta de dirección. En el segundo y tercer ciclos son presentadas dos palabras de datos consecutivamente con etiquetas de datos (D1 en primer lugar y D2 en segundo lugar para una solicitud Almacenar normal; D2 primero y D1 en segundo lugar para una solicitud Almacenar en Retroceso). La segunda palabra de datos está acompañada por la etiqueta EOT. En el quinto y sexto ciclos son presentadas dos palabras más de datos consecutivamente con la misma secuencia de etiquetas de datos que el primer par de palabras de datos (D1 en primer lugar para una solicitud Almacenar normal, y D2 en primer lugar para una solicitud Almacenar en Retroceso). La etiqueta QW es presentada indistintamente en el quinto o sexto ciclos. La etiqueta EOT es presentada en el sexto ciclo. El adaptador SA se prepara para tratamiento de otra solicitud durante el sexto y séptimo ciclos.

En respuesta a una etiqueta QW con una solicitud Almacenar, el controlador CBC forma una segunda solicitud que incluye el segundo par de palabras de datos y una dirección formada invirtiendo el bitio de orden inferior de la dirección de solicitud original después de expedir el primer par de palabras de datos con la dirección original. De este modo, es almacenado el segundo par de palabras de

1 datos en un espacio virtualmente contiguo al espacio que
recibe el primer par.

FORMATO DE INFORMACION DE SOLICITUD

5 La figura 5 representa el formato de las expresiones de señal de palabra de dirección y palabra de datos a que se ha hecho referencia anteriormente en el comentario de las figuras 3 y 4 . La ilustración corresponde solamente al contexto de bitios. Los bitios no necesitan ser
10 almacenados o transferidos en el orden ilustrado.

La palabra de dirección comprende: 1) una clave 72 de protección de memoria de 4 bitios; 2) una dirección de memoria de 21 bitios que consiste en dos baterías 74 y 76 de dirección de 8 bitios y cinco bitios 78 de dirección adicionales; 3) un bitio 80 de "dirección fija" (FA) que
15 indica si se requiere una traslación (en el controlador CBC) para realizar la selección del módulo de memoria (12.1, 12.2, 12.3, etc figura 1) designado por la dirección de solicitud; 4) un bitio 82 de operación para distinguir solicitudes Almacenar (S = 1) de solicitudes Localizar (S = 0); 5) cuatro bitios 84 de identidad de canal
20 (CHID) de los cuales son utilizados tres para identificar el origen de la solicitud y es utilizado un bitio solamente para simetría de comprobación de paridad; y 6) cuatro
25 bitios 86 de repuesto, o no utilizados. Hay adicionalmente seis bitios P de paridad; uno para comprobar la clave 72 de protección de memoria, dos mas para comprobar las baterías 74 y 76 de dirección, otro para comprobar los bitios
30 FA y S, otro para comprobar la batería formada por los cin

1 co bitios 78 de dirección adicionales con los bitios PA,
S y su bitio de paridad, y un bitio de paridad para compro
bar la información CHID. El formato de palabra de datos con
siste en cuatro baterías 100, 102, 104 y 106 de datos, ca-
da una de las cuales está acompañada por un bitio de pari-
5 dad respectivo, y cuatro bitios M (marca) 108. Cada bitio
de marca está asociado con una batería diferente de las ba
terías de datos. Está dispuesto un bitio de paridad indepen
diente para los bitios de marca. Los bitios de marca "1"
son utilizados para designar baterías de datos que han de
10 almacenarse en posición contigua dentro del espacio de pa
labra doble designado por la dirección de solicitud. Los
bitios de marca "0" indican baterías de datos que no han
de ser almacenadas.

15 TRATAMIENTO DE SOLICITUD-RESPUESTA (GENERAL)

El tratamiento general de transferencias de so-
licitud y respuesta está indicado en la figura 6. En 118
el director o canal ensambla una solicitud. En 120 el di-
20 rector transfiere la solicitud al adaptador SA asociado y
suministra una señal de selección indicada en 122. La señal
de selección activa un circuito de retención "Solicitud Pre
parada" (no representado) que prepara los controles SA para
iniciar el tratamiento de la solicitud. En 124 el adaptador
25 SA almacena transitoriamente la solicitud y cuando está
habilitado por la señal de habilitación de transmisión pro
cedente del controlador CBC en 126 (y otras condiciones de
prioridad interna), da curso a la solicitud hacia el con-
30 trolador CBC (en 128). El controlador CBC trata (almacena

1 y expide) la solicitud hacia los circuitos de control de
acceso a memoria en 130. Los circuitos de control de acce-
so a memoria tratan la solicitud en 132 y retornan la res-
puesta asociada al controlador CBC. El controlador CBC po-
ne en cola la respuesta en 134 y la presenta al adaptador
5 SA asociado en 136 precedida por una señal de avance de
grupo indicada en 138. Como se indica en 140, el adaptador
SA almacena transitoriamente la respuesta hasta que es re-
cuperada por el director para utilización eventual con re-
lación al origen de solicitud (canal o proceso de trata-
10 miento de director interno).

Mientras acepta la respuesta en 140, el adapta-
dor SA realiza la operación auxiliar de comparar la res-
puesta CHID con la solicitud CHID original. El adaptador
SA realiza también operaciones auxiliares de organización
15 de intervalos de bloqueo de solicitud, que se describen
posteriormente.

TRANSFERENCIA DE SOLICITUD AL ADAPTADOR SA

20 Se expone aquí una descripción funcional de ope-
raciones específicas utilizadas para transferir sollicitu-
des desde los canales y el director al adaptador SA. Los
circuitos y controles utilizados para llevar a efecto es-
tas operaciones se describirán posteriormente.

25 Las unidades CS de control de microprograma (fi-
gura 2) están compartidas por los canales y circuitos de
tratamiento internos del director mediante un proceso de
"Corte" que se describe posteriormente. Mientras está sien-
do atendido un canal o proceso de tratamiento interno, es-
30

1 tos controles pueden ensamblar la información correspon-
diente a una solicitud Localizar o Almacenar y transmitir
la al adaptador SA donde es puesta en cola en conjuntos de
memoria intermedia asociados con el adaptador SA. Cuando
5 ha sido puesta en cola la información de solicitud en es-
tos conjuntos, las unidades de control de microprograma
compartidas pueden quedar libres para atender otro canal
o proceso interno de director.

Los ciclos de funcionamiento del adaptador SA
coinciden con ciclos de funcionamiento del director y ci-
10 clos de funcionamiento de la unidad de acoplamiento. Los
conjuntos de memoria intermedia anteriormente mencionados
asociados con el adaptador SA están destinados a ser acce-
sibles en un modo de división de tiempos durante fases dis-
cretas de subciclo de cada ciclo de funcionamiento de di-
15 rector-adaptador SA. Estas fases de subciclo están indica-
das aquí más adelante como intervalos selectores de tiem-
pos "a", "b" y "c". Las transferencias precedentes de so-
licitudes y la puesta en cola de las mismas, en los conjun-
tos de memoria intermedia SA, son efectuadas en los inter-
20 valos selectores "a". La finalidad y significación de esto
se comprenderá a medida que se desarrolle esta descripción.

TRATAMIENTO DE SOLICITUD POR EL ADAPTADOR SA

25 Las operaciones de expedición de solicitud son
efectuadas por el adaptador SA independientemente de ope-
raciones de los controles CS de microprograma precedentes
(figura 2) compartidos por los canales y dispositivos in-
30 ternos de tratamiento de director. Se da aquí una descrip-

1 ción funcional de estas operaciones. Los circuitos de adaptador y controles de secuenciador utilizados para efectuar estas operaciones se describirán posteriormente.

5 Con referencia a la figura 7, una señal "seleccionar", originada por los controles de microprograma compartidos precedentes del director, prepara las condiciones Solicitud Preparada y Solicitud Activa en 160. La última condición está asociada específicamente con el origen de solicitud (canal o dispositivo interno de tratamiento de director). Esto habilita un secuenciador de control de ocho
10 estados en el adaptador SA para iniciar acciones requeridas para extraer una solicitud puesta en cola de los conjuntos de memoria intermedia en el adaptador SA y para expedir la solicitud al controlador CBC a través de la línea general de entrada. Este secuenciador establece acceso a los
15 conjuntos de memoria intermedia del adaptador SA en intervalos selectores de división de tiempos "b" de ciclos de adaptador SA y está designado, por consiguiente, como secuenciador "b".

20 El secuenciador "b" actúa para expedir solicitudes en el orden en que son recibidas por el adaptador SA. En su estado Sbl inicial representado en 162, el secuenciador "b" actúa en la duración de un ciclo de unidad de acoplamiento -SA para prepararse para dar curso a una transferencia de solicitud. La condición Solicitud Preparada mencionada anteriormente es comprobada, como se representa en
25 164, y si no está preparada la solicitud a ser expedida, el secuenciador "b" continúa en el estado Sbl durante ciclos sucesivos hasta que está preparada una solicitud.

30 Cuando está preparada una solicitud, el secuen-

1 —ciador "b" avanza hasta el estado Sb2 representado en 166.
Cuando se alcanza este estado desde Sb1, en vez desde Sb3
o la bifurcación 168, como se describe posteriormente, un
indicador de secuencia (b) es incrementado, el cual efec-
tivamente designa la posición de cola de la solicitud que
5 ha de ser expedida a continuación. La señal Solicitud Pre-
parada es repuesta condicionalmente (dependiendo del esta-
do del indicador b) y la parte de palabra de dirección de
la solicitud "siguiente" es recuperada en el intervalo se-
lector "b" para transmisión al controlador CBC en el si-
10 guiente ciclo. Se realiza la comprobación 168 con relación
al estado de la línea Habilitación de Transmisión (40.2 fi-
gura 2) que se extiende desde el controlador CBC al adapta-
dor SA asociado.

15 Cuando está activa la señal "Habilitación de
transmisión" el secuenciador b incrementa en el ciclo si-
guiente al estado Sb3 representado en 170. Cuando es alcan-
zado este estado a través de la secuencia Sb1, Sb2, Sb3
(en vez de Sb3, Sb2, Sb3 considerada posteriormente) ello
hace que la parte de palabra de dirección de la solicitud
20 sea transferida al controlador CBC (a través de la línea
general de entrada asociada) durante un ciclo completo y
hace que las señales de etiqueta asociadas (ADR y EOT si
está siendo expedida una solicitud Localizar; ADR solamen-
te para una solicitud Almacenar; véanse las figuras 3,4)
25 sean presentadas al controlador CBC (a través de líneas
40.3 y 40.7 o 40.3 solamente, de etiqueta asociadas; figu-
ra 2). En este estado, si está siendo tratada una solici-
tud Almacenar (S = 1), el secuenciador "b" prepara la pala-
30 bra de datos a expedir en el próximo ciclo (véase la figu-

1 ra 4).

Desde el estado Sb3 el secuenciador cambia su estado en el siguiente ciclo de acuerdo con el resultado de las pruebas combinacionales 172, 174 y 175 efectuadas en el estado Sb3. La prueba 172 distingue el tipo de solicitud (Localizar o Almacenar). La prueba 174 distingue el tratamiento de una solicitud Localizar indistintamente como completa o incompleta en este paso de tratamiento (Véase la figura 3 y obsérvese que una solicitud Localizar de palabra cuádruple requiere un ciclo adicional de señalización de etiqueta, después de transmisión de la palabra de dirección, para presentar las etiquetas QW y EOT al controlador CBC). La prueba 175 distingue el ancho de palabra de datos (una palabra o más de una) cuando la solicitud que está siendo tratada en curso es una solicitud Almacenar.

15 Si está siendo tratada una solicitud Localizar de doble palabra, el tratamiento está completo en este punto y el secuenciador "b" toma la bifurcación 176 de la prueba 174 retornando en el ciclo siguiente al estado inicial Sb1; donde se prepara para atender otra solicitud.

20 Si está siendo tratada una solicitud Localizar de palabra cuádruple el secuenciador "b" toma la bifurcación 178 de la comprobación 174 y vuelve a entrar en (o retorna) el estado Sb2 en el siguiente ciclo.

25 En esta fase reentrante a través del estado Sb2 no se realiza ninguna acción (correspondiente al ciclo inactivo, en la figura 3 después de transmisión de la parte de palabra de dirección de la solicitud Localizar de palabra cuádruple). Puesto que la señal "Habilitación de Transmisión" está invariablemente habilitando (activa) en

30

1 este paso del tratamiento de la solicitud Localizar de pa
labra cuádruple, el secuenciador permanece en el estado
Sb2 solamente durante un ciclo e incrementa inmediatamen-
te al estado Sb3.

5 En esta fase "reentrante" a través del estado
Sb3, asociado con el tratamiento de una solicitud Locali-
zar de palabra cuádruple, el secuenciador "b" hace que las
etiquetas QW y EOT sean presentadas al controlador CBC
(véase la figura 3) completándose la operación de expedi-
ción de solicitud. Al final de este ciclo "reentrante" el
10 estado de secuencia retorna invariablemente al estado Sb1
a través de la bifurcación 176 de la comprobación 174 de
bifurcación.

15 Considérese ahora el primer paso al estado Sb3
(después de dejar el estado Sb1) y supóngase que está sien-
do tratada una solicitud Almacenar de palabra única. El se-
cuenciador "b" incrementaría a continuación al estado Sb4,
representado en 182, tomando las bifurcaciones en 172 y
175. En este estado la palabra de datos preparada en el es-
tado Sb3 es transmitida al controlador CBC a través de la
20 línea general de entrada con una etiqueta D1 o D2 (sobre
la línea 40.4 o 40.5 de la figura 2). La elección de la
etiqueta D1 o D2 es realizada por el secuenciador "b" de
acuerdo con la información de dirección de "orden más ba-
jo" (bitio 29) que es proporcionada al adaptador SA por el
25 origen de solicitud pero no es expedida al controlador CBC
en la solicitud. Esta elección determina si la palabra de
datos será almacenada en el semiespacio impar o par de un
espacio de palabra doble designado por la dirección de so-
30 licitud enviada al controlador CBC.

1 — Esto completa el proceso de expedición de solici-
tud y no se requiere la acción de preparación del estado
Sb1. Consiguientemente, el secuenciador bifurca a través de
la comprobación 164 indistintamente al estado Sb1 (si no
está inmediatamente disponible otra solicitud) o al estado
5 Sb2 (si está preparada para ser expedida otra solicitud).

Supóngase ahora que está siendo tratada una soli-
citud de Almacenar de palabras múltiples cuando se entra en
primer lugar en el estado Sb3. El secuenciador incrementa-
ría desde el estado Sb3 al estado Sb5 representado en 186
10 (en vez de al estado Sb4). Este estado Sb5 controla la trans-
ferencia al controlador CBC de la palabra de datos prepara-
da en el estado Sb3 y la preparación de otra palabra de da-
tos a ser transferida en el siguiente ciclo de unidad de
acoplamiento (véase la figura 4). La palabra que está sien-
15 do transferida normalmente es enviada con una etiqueta D1
o una etiqueta D2 (dependiendo de si la "dirección" Almace-
nar es normal o de retroceso). Desde el estado Sb5 el se-
cuenciador bifurca en 188 indistintamente al estado Sb8 re-
presentado en 190 o al estado Sb6 representado en 192. Si
20 está siendo completado el segundo ciclo de unidad de acopla-
miento de la transferencia de una solicitud Almacenar de pa-
labra doble o el quinto ciclo de unidad de acoplamiento de
una solicitud Almacenar de palabra cuádruple, la secuencia
bifurca al estado Sb8. Si el segundo ciclo de unidad de ac-
25 plamiento de una transferencia Almacenar de palabra cuádrup-
le está siendo completado, la secuencia bifurca el estado
Sb6.

En el estado Sb8 la "segunda" palabra de datos pre-
30 parada en el estado Sb5 es expedida con la etiqueta EOT y la

1 etiqueta de datos adecuada (D1 si existe retroceso, si
D2 si no existe retroceso) completándose la operación de
expedición de solicitud. Las funciones de preparación del
estado Sb1 estan duplicadas y se toma la bifurcación 164
indistintamente al estado Sb2 (si está preparada otra soli
5 citud) o al estado Sb1.

En el estado Sb6 la segunda palabra de datos pre
parada en el estado Sb5 es transferida con una etiqueta D1
o D2 adecuada, y es preparada otra palabra de datos (de un
segundo par de palabras de datos) durante el intervalo se-
lector "b" del ciclo asociado para transferencia en un ci-
10 clo subsiguiente.

El secuenciador establece entonces una indicación
de que está en curso una segunda transferencia e incremen-
ta al estado Sb7 representado en 194. Aquí el secuenciador
15 queda en estado inactivo durante al menos un ciclo de re-
tardo (véase la figura 4) bifurcando en 196 según el esta-
do de la línea Habilitación de Transmisión asociada. Cuando
está activa la línea Habilitación de Transmisión el secuen-
ciador avanza al estado Sb5 e incrementa a través de los
20 estados Sb5 y Sb8 en los dos ciclos siguientes para comple-
tar el tratamiento de la solicitud. En este segundo paso a
través del estado Sb5 es transmitida la etiqueta QW (pala-
bra cuádruple) (véase la figura 4). En este paso a través
del estado Sb8 (y solamente en este paso) es transmitida
25 la etiqueta EOT (véase la figura 4).

Quedaré ahora puesto de manifiesto que las opera-
ciones de los controles del secuenciador "b" para expedi-
ción de solicitud, como se ha caracterizado funcionalmente
30 en lo precedente (y como se describe posteriormente), son

1 efectivas para producir las funciones de señalización de so-
licitud caracterizadas gráficamente en las figuras 3 y 4.

TRATAMIENTO DE RESPUESTA

5 Se describirán ahora funcionalmente las operacio-
nes del adaptador SA para tratamiento de respuesta. Se da-
rán posteriormente detalles de circuito y de control. Los
controles aplicables comprenden un secuenciador de cuatro
estados que funciona independientemente de los secuencio-
res "a" y "b". Puesto que este secuenciador tiene acceso a
10 conjuntos de memoria en el adaptador SA en los intervalos
selectores "c", se denomina secuenciador "c".

Con referencia a la figura 8 en el estado ini-
cial Sc1 indicado en 220, el secuenciador "c" se prepara
para recibir la siguiente respuesta del controlador CRC;
15 bifurcando repetidamente en 222 en ciclos sucesivos de -
acuerdo con el estado de la respectiva línea de avance
(40.1, figura 2).

Al detectarse la señal Avanzar el secuenciador "c"
incrementa en el ciclo siguiente al estado Sc2 representado
20 en 224. En este estado (y ciclo) el secuenciador repone el
estado Solicitud Activa establecido por la acción Seleccio-
nar del secuenciador "a" (122, figura 6) y hace que parte o
todas las respuestas sean almacenadas en el conjunto del adap-
tador SA en el intervalo selector "c" de ese ciclo. Si la
25 respuesta está asociada con una solicitud Localizar es alma-
cenada una palabra de datos, de un par de palabras de datos
"localizadas" incluidas en la respuesta, en el conjunto de
memoria intermedia de adaptador SA. En el estado Sc2 la res-
30 puesta CHID es comparada con la solicitud CHID original pa-

1 ra verificar que la respuesta ha sido producida en la se-
cuencia correcta.

Desde el estado Sc2 el secuenciador incrementa automáticamente hasta el estado Sc3 representado en 226. Si la respuesta está asociada con una solicitud Localizar la segunda palabra de datos del par anteriormente mencio-
5 nado es almacenada en el conjunto de memoria intermedia de adaptador SA. Si se espera otra respuesta asociada (es decir, la segunda respuesta de una solicitud Localizar de palabra cuádruple), se toma una bifurcación en 228 al esta-
do Sc4 representado en 230. En el estado Sc4 los controles establecen una indicación de que se requiere acción adicional y bifurcan (en 232) según el estado de la señal Avanzar (del controlador CBC a este adaptador SA). Cuando se detecta la señal Avanzar los controles repiten los estados
10 Sc2 y Sc3 en dos ciclos consecutivos (para absorber los datos de la segunda respuesta en el conjunto de memoria intermedia de adaptador SA) y bifurcan en 228 al estado Sc1 (para preparar el tratamiento de una respuesta siguiente).

Si la respuesta que está siendo tratada en el estado Sc3 no está asociada con una solicitud Localizar, el secuenciador "c" retorna inmediatamente al estado Sc1 en la bifurcación 228.

TEMPORIZACION DE INTERRUPCION

25 La figura 8 indica un proceso de intervalo de bloqueo controlado independientemente en 240. Este proceso comprueba los estados Solicitud Activa asociados con un origen de solicitud mencionados anteriormente en una

1 secuencia fija. Cuando se detecta una solicitud Activa se
lleva a cabo un proceso de temporización de "una longitud
de milisegundos" mientras está siendo comprobada la misma
solicitud repetidamente en cada ciclo SA de 120 ns. Si la
solicitud no se repone al estado inactivo dentro de un cier
5 to intervalo de tiempo "largo" (39,6-52,8 ms) se manifiesta
un estado de interrupción al director y al ordenador de ser
vicio (18, figura 1).

Cuando una solicitud que está siendo tratada nor
malmente está inactiva o se convierte en inactiva (por ejem
10 plo, en virtud de una operación realizada por el secuencia
dor "c" en el estado Sc2) este proceso de temporización se
repone y se incrementa un contador "Y" que selecciona la
siguiente actividad de solicitud (origen) a comprobar (so
licitud "Y"). La reposición está indicada en 242, con la
15 designación de estado Sd1. La comprobación de la actividad
de solicitud "Y" está indicada como bifurcación en 244. Si
la solicitud está inactiva el contador Y es incrementado
en 246 (estado Sd2 indicado) y se repite la operación 242
con relación a una indicación ($Y + 1$) de actividad de ori
20 gen de solicitud siguiente.

Si el origen Y tiene una solicitud activa, el cóm
puto Y no es incrementado y se repite la operación Sd1. En
cada repetición un dispositivo de desplazamiento, que indi
ca cuándo el intervalo de bloqueo ha transcurrido totalmen
25 te, está conectado a una fuente de impulsos de sincronismo
separados en intervalos relativamente largos (13,2 milise
gundos). Si no está siendo recibido un impulso de sincronis
mo no se toma ninguna acción para ese ciclo SA (120 nanose
30 gundos). Este proceso se repite en ciclos SA sucesivos has-

1 ta que se repone la solicitud al estado de inactividad o
bien se recibe un impulso de sincronismo de 13,2 milisegun-
dos. En el último caso el dispositivo de desplazamiento es
desplazado y se inserta un "1" en su paso de orden más ba-
jo. Si aparece un "1" en el paso de orden más alto (exami-
5 nado en cada repetición de Sdl) se manifiesta un estado de
interrupción (por ejemplo, al director y ordenador de ser-
vicio).

CIRCUITOS SA (FIGURAS 9-11)

10

En las figuras 9-11 están ilustrados esquemática-
mente circuitos de un adaptador SA de memoria. En la figura
14 están indicadas las funciones de sincronismo pertinentes.

15 El conjunto 300 de memoria intermedia de estado
sólido integrado en gran escala proporciona almacenamiento
transitorio de información de solicitud y respuesta. El con-
junto 302 de memoria intermedia de estado sólido integrado
en gran escala proporciona almacenamiento transitorio de
información CHID (identidad de canal) que designa orígenes
20 de solicitudes y otra información asociada con cada solici-
tud. Tal otra información incluye los bitios S, B, W1 y W2.
El bitio S distingue el tipo de solicitud (almacenar si
S= 1, Localizar si S = 0). El bitio B indica la dirección
asociada para solicitudes Almacenar (retroceso si B = 1,
25 no retroceso si B = 0). Los bitios W1 y W2 indican anchos
de solicitud (número de palabras de datos a transferir a
la memoria al producirse una solicitud Almacenar o al canal
al producirse una solicitud Localizar; es decir, una pala-
30 bra si W1 = 1, dos palabras si W2 = 1, cuatro si W1 y W2

1 son ambos 0).

Estos conjuntos son accesibles tres veces por cada ciclo de adaptador SA (120 ns) en porciones de 40 ns sin solape (intervalos selectores "a", "b" y "c") de cada ciclo (véase la figura 14). En cualquier intervalo selector "a" puede ingresarse información de solicitud transferida desde circuitos de línea general de salida de director en estos conjuntos o puede ser extraída del conjunto 300 información de respuesta y ser presentada a los circuitos de líneas generales de entrada del director. En cualquier intervalo selector "b" puede ser extraída información de solicitud de los conjuntos y situada en registros que tengan salidas conectables a la línea general de entrada. En cualquier ciclo "c" puede ser transferida información al exterior del conjunto 302 a un registro asociado con el control de recepción de respuesta y puede ser ingresada información de respuesta simultáneamente en el conjunto 300 desde otros registros que tienen entradas conectables a la línea general de salida.

El conjunto 300 representado en la figura 10 consiste en dos conjuntos; un conjunto 304 de memoria intermedia de datos y un conjunto 306 de memoria intermedia de marca. Son codireccionables segmentos de estos conjuntos. Cada conjunto contiene ocho segmentos dedicados individualmente a diferentes fuentes de actividad de solicitud (uno para cada canal, uno para el director y uno de repuesto). Cada segmento, tal como el segmento 304.1 del conjunto 304 de datos, comprende ocho posiciones de palabra individualmente direccionables, siete posiciones 304.1.1 para almacenamiento de palabras de datos y una posición 304.1.2 para

1 almacenamiento de información de dirección de solicitud. Cada
segmento del conjunto 306 de marca contiene cuatro posi-
ciones de cinco bitios direccionables individualmente, sir-
viendo cada posición para retener información de marca re-
lativa a una palabra de datos (de una solicitud del tipo
5 Almacenar) en el correspondiente segmento del conjunto 304.

El conjunto 302 representado en la figura 11 con-
tiene ocho posiciones direccionables, cada una de las cua-
les tiene un ancho de nueve bitios. Cada posición es utili-
zada para retener información de control asociada con una
10 solicitud. Tal información de control incluye: a) dos bitios
W1, W2 que indican el ancho W de palabra de datos de la so-
licitud (una palabra si W1 = 1, dos palabras si W2 = 1, y
cuatro palabras si tanto W1 y W2 son igual a 0); b) un bi-
tio S que indica el tipo de solicitud (S = 1 indica "Alma-
15 cenar; S = 0 indica "Localizar"); c) un bitio B que indica
"dirección" de solicitud para solicitudes Almacenar; (B =
1 indica una solicitud Almacenar en Retroceso, B = 0 indica
una solicitud "Almacenar" normal); d) un bitio FA que, cuan-
do es igual a 1, indica que la parte de la dirección de so-
20 licitud que designa el módulo (12.1..., figura 1) requiere
traslación; e) un bitio, "bitio 29" (que representa un bi-
tio de orden más bajo que la información de dirección sumi-
nistrada al adaptador SA por el origen de solicitud pero
que no se envía al controlador CBC); f) tres bitios que re-
25 presentan la información CHID que designa la identidad del
canal de origen de solicitud o director (todos los disposi-
tivos internos de tratamiento de director tienen la misma
información CHID=111); y g) un bitio de paridad.

30 Con referencia a la figura 9, las direcciones pa

1 ra acceso a posiciones en los conjuntos 300 son suministra
das por: el registro 310 contador, (indicador de canal) en
los intervalos selectores "a", el registro 312 contador
(indicador de línea general de entrada) en los intervalos
5 selectores "b", y el registro 314 contador (indicador de
línea general de salida) en los intervalos selectores "c".
Las direcciones para acceso a posiciones en el conjunto
302 son suministradas por: el indicador "a" 316 en los in-
tervalos selectores "a", el indicador "b" 318 en interva-
los selectores "b" y el indicador "c" 320 en intervalos se-
10 lectores "c".

Las operaciones relativas a los conjuntos 300 y
302 en intervalos selectores "a" están controlados por los
estados "Sa" de los controles de secuencia "a" que están
incorporados en la memoria CS de control de microprograma
15 (figura 2) del ordenador director que se describe poste-
riormente. La información CHID es cargada en el conjunto
302 en intervalos selectores "a" desde el registro 322 con
vertidor de datos dinámicos en datos estáticos designado
CHUCS (puesto que retiene la identidad de la "memoria de
20 control que utiliza el canal"). El registro 322 es cargado
por los controles de director. Otra información de control
es ingresada en el conjunto 302 en intervalos selectores
"a" directamente desde los circuitos de líneas generales
de salida del ordenador director.

25 La información CHID contenida en el registro 322
es también situada en el registro 310 asociado con el con-
junto 300 y es utilizada como dirección de segmento relati-
va a los conjuntos 304 y 306. La información extraída del
30 conjunto 300 en intervalos selectores "a" es convertida en

1 estática en el registro 324 para presentación de ciclo completo a los circuitos de director.

5 Las operaciones relativas a los conjuntos 300 y 302 en los intervalos selectores "b" y "c" están controladas respectivamente por el secuenciador "b" 330 y el secuenciador "c" 332. La información extraída de estos conjuntos en intervalos selectores "b" es convertida en estática para ciclos completos en registros e incluida en las partes de palabra de dirección de solicitudes presentadas al controlador CBC a través de la línea general de entrada. La información CHID extraída del conjunto 302 en intervalos selectores "c" es convertida en estática y comparada con la información CHID que acompaña a una respuesta para verificación de que las respuestas están siendo recibidas en el orden correcto. La información de respuesta es convertida en estática para ciclos completos en registros e ingresada en conjuntos 300 en intervalos selectores "c".

15 La organización de sincronismo de las operaciones relativas a dichos conjuntos en dichos intervalos selectores y la de los cambios de estado y ciertas operaciones de los secuenciadores "b" y "c" está determinada por las señales T1, T2, ...T6 de sincronismo. Estas señales se derivan del sistema de sincronismo del director mediante el anillo 334 de sincronismo (figura 9). Estas señales están solapadas en el tiempo (véase la figura 14) y ocupan porciones de 30 ns del ciclo de director. La señal T5 coincide con parte del intervalo selector "a". La señal T1 coincide con parte del intervalo selector "b". La señal T3 coincide con parte del intervalo selector "c".

25 30 Las salidas bb del conjunto 302 en los intervalos

1 los selectores "b" son convertidas en estáticas durante ci-
clos completos en el registro 338 de control de línea gene-
ral de entrada y son utilizadas para controlar cambios de
estado del secuenciador "b" 330 y para formar parte de la
5 palabra de dirección de solicitud cuando esa palabra es
transferida a la línea general de entrada (y por tanto al
controlador CBC). El valor CHID en el registro 338 es tam-
bién situado en el registro 312 (en el estado Sbl que se
considera posteriormente) para utilización en el direccio-
namiento de un segmento en los conjuntos 300. La informa-
10 ción extraída de los conjuntos 300 en intervalos selecto-
res "b" es situada alternativamente en los registros 340.1
y 340.2. La salida del registro 340.2 es conectable a la
línea general de entrada mientras que el registro 340.1 es
susceptible de recibir entrada de los conjuntos 300, y el
15 registro 340.1 es conectable a la línea general de entrada
mientras el registro 340.2 tiene posibilidad de ser cargado
desde los conjuntos 300.

Las salidas cc del conjunto 302 extraídas en in-
tervalos selectores "c", son convertidas en estáticas en
20 el registro 350. La información contenida en el registro
350 es ingresada también en el registro 314 como dirección
de segmento de intervalo selector "c" para los conjuntos
300. El contenido del registro 350 controla cambios de es-
tado del secuenciador "c" 332. Tal contenido incluye la
25 información CHID de solicitud que es aplicada bajo control
del secuenciador "c" a los circuitos 356 de comparación pa-
ra comparación con la información CHID contenida en una
respuesta entrante. Son recibidas porciones de palabra de
30 cada respuesta desde la línea general de salida alternati-

1 -vamente en registros 354.1 y 354.2 "convertidores de infor
mación dinámica en información estática en un ciclo" y
transferidas desde ellos alternativamente a la sección 304
de conjunto (figura 10) del conjunto 300 durante interva-
los selectores "c". Se efectúan entradas al conjunto 300
5 desde el registro 354.1 mientras está siendo cargado el re-
gistro 354.2 y desde el registro 354.2 mientras se carga
el registro 354.1.

Están indicados en 360 circuitos de retención
asociados con los secuenciadores "a", "b" y "c". El circui-
to 362 de retención Solicitud Activa y el circuito 364 de
10 retención Solicitud Preparada se activan cuando ingresa
una solicitud en los conjuntos 300, 302 por acción de los
circuitos de control del secuenciador "a" en la memoria CS
de control de director (figura 2). El circuito de retención
15 Solicitud Preparada puede ser repuesto por el secuenciador
"b" 330 cuando es tratada la solicitud asociada (véase el
estado Sb2 en 166, figura 7).

Existe un circuito de retención Solicitud Activa
para cada fuente de solicitud potencial (CHID) y solamente
20 un circuito de retención Solicitud Preparada. El circuito
de retención Solicitud Activa es repuesto cuando se recibe
una respuesta asociada (véase el estado Sc2 en 224, figura
8). El circuito de retención Solicitud Activa, cuando está
activado, bloquea el origen de solicitud asociado en cuan-
to a competencia para servicio por la memoria de control
25 de microprograma del director.

El circuito 366 de retención "Segunda Transferen-
cia" se activa cuando una solicitud que está siendo expedi-
30 da tiene un ancho de cuatro palabras de datos y ha sido ex

1 pedida una parte de la solicitud hacia el controlador CBC
(véanse los estados Sb3 y Sb6, figura 7). Este circuito de
retención se repone cuando el resto de la solicitud asocia
da ha sido expedido (véanse los estados Sb1 y Sb8, figura
7).

5 El circuito 368 de retención (segunda transferen
cia^x) se activa cuando está siendo recibida una respuesta
a una solicitud Localizar la palabra cuádruple procedente
del controlador CBC y han llegado las dos primeras pala-
bras de datos de la respuesta. Este circuito de retención
10 se repone cuando ha sido recibido el resto de la respuesta
asociada.

El circuito 370 de retención Inhibir Incremento
es activado por el secuenciador "b" 330 en el estado 3b2
y es utilizado para evitar el incremento del indicador "b"
15 318 durante las operaciones de transferencia adicionales
asociadas con solicitudes de palabra cuádruple. Este cir-
cuito de retención se repone cuando el secuenciador "b"
alcanza el estado Sb8 o Sb1.

Las líneas de etiqueta conectadas al controlador
20 CBC están indicadas en 380 y los circuitos temporizadores
de interrupción (que se describen posteriormente) están
indicados en 390.

FUNCIONAMIENTO DEL ADAPTADOR SA

25 En funcionamiento, el registro CHUCS 332 y el
registro 310 son cargados repetidamente con información de
identidad (CHID) que designa la entidad (canal o dispositi-
30 tivo de tratamiento interno de director) que está siendo

1 -atendido normalmente por los controles de microprograma de director. Si está siendo atendido un dispositivo de tratamiento interno de director se ingresa la identidad del director (= 111).

5 Inicialmente los indicadores 316, 318 y 320 están puestos en valores de dirección idénticos que designan una posición específica en el conjunto 302 (por ejemplo, la posición X). En intervalos selectores "a" es ingresado el valor contenido en el registro 322 como representación CHID en esa posición y es utilizado el mismo valor contenido en el registro 310 como dirección de segmento para acceso a los conjuntos 300 en el intervalo selector "a". En intervalos selectores "b" es extraído el mismo valor de la posición X del conjunto 302 y es convertido en valor estático en los registros 338 (como información de control de secuencia "b") y en el registro 312 (como dirección de segmento de intervalo selector "b" para los conjuntos 300).
10 En los intervalos selectores "c" es extraído el mismo valor de la posición X del conjunto 302 y es convertido en valor estático en los registros 350 (como información de control de intervalo selector "a") y 314 (como dirección de segmento de intervalo selector "c" para acceso a los conjuntos 300).
15
20

25 Si no está cargada una solicitud en los conjuntos 300, 302, relativa a la entidad designada por la entrada CHUCS inicial, los registros asociados con los conjuntos 300, 302 retendrán valores constantes hasta que una nueva entidad origine una interrupción para ser atendida por la memoria de control de director o hasta que sea cargada una solicitud relativa a la entidad que está siendo
30

1 -atendida normalmente.

El secuenciador "b", inicialmente en el estado Sbl (véase la figura 7), bifurca repetidamente (comprobación 164, figura 7) según el estado del circuito 364 de retención Solicitud Preparada. Si no hay una solicitud prepa
5 rada el secuenciador "b" permanece en el estado Sbl.

El secuenciador "c" mantiene inicialmente el estado Sc1 (figura 8) esperando una señal "avanzar" procedente del controlador CBC que indica una respuesta. Si no ha sido expedida ninguna respuesta al controlador CBC no exis
10 tirá señal "Avanzar" (si se recibiese una señal avanzar errónea en este momento el valor CHID en el registro 354.1 ó 354.2 no sería concordante con el valor contenido en el registro 350 y el circuito 356 comparador funcionaría en el estado Sc2 para producir una indicación de error).

15 Cuando queda preparada una solicitud para tratamiento de expedición hacia el controlador CBC el circuito asociado de los circuitos 362 de retención Solicitud Activa se activará y se activará el circuito 364 de retención Solicitud Preparada. La dirección contenida en el indica
20 dor "a" 316 será entonces incrementada para direccionar una posición siguiente en el conjunto 302 durante interva los selectores "a".

Entretanto el secuenciador "b" (en el estado Sbl) detecta la señal Solicitud Preparada en el siguiente
25 intervalo T1 (figura 14) y en la comprobación 164 (figura 7) e incrementa al estado Sb2. Esto inicia el proceso de expedición de solicitud con relación a la solicitud asociada, como se ha descrito anteriormente. En el estado Sb2
30 la dirección contenida en el indicador "b" 318 es incremen

1 -tada y el contenido del registro 338 es efectivamente fi-
jado hasta que se completa el tratamiento de expedición de
solicitud. Consiguientemente, cuando se entra nuevamente en
el estado Sbl o se alcanza el estado Sb8, el secuenciador
"b" está inmediatamente preparado para comenzar el trata-
5 miento de una solicitud siguiente.

Cuando se recibe la señal "Avanzar" (que indica
una respuesta a una solicitud expedida), el secuenciador
"c" incrementa al estado Sc2 (figura 8) para comenzar su
proceso de tratamiento de repuesta con relación a los re-
10 gistros 354.1 y 354.2 y al conjunto 300. El circuito aso-
ciado de los circuitos 362 de retención Solicitud Activa
se repone durante el estado Sc2. En el estado Sc3 es in-
crementado el valor de dirección contenido en el indicador
"c" 320 y el registro 350 es preservado efectivamente de
15 modo que el secuenciador "c" está preparado para comenzar
a atender una respuesta siguiente tan pronto como retorna
al estado Sc1.

Cuando está repuesto uno de los circuitos de re-
tención Solicitud Activa, el canal o dispositivo de trata-
20 miento interno de director asociado con la solicitud res-
pectiva se hace elegible para competir en cuanto a ser aten-
dido por los controles CS de microprograma de director,
(figura 2). Cuando tal servicio se hace disponible la res-
puesta es transferida desde el conjunto 300 a una memoria
25 intermedia en el director que está dedicada al canal aso-
ciado o dispositivo de tratamiento interno de director.

Si la respuesta a una solicitud activa es inopor-
tuna los circuitos 390 de control de temporizador de inte-
30 rrupción serán eventualmente comprobados y producirán un

1 intervalo de bloqueo en esa solicitud; produciéndose así una indicación de interrupción.

Notablemente, no existen restricciones de tiempo entre los procesos de los secuenciadores "a", "b" y "c". De este modo, si está activada una señal "Solicitud Preparada" en virtud de la acción en el intervalo selector "a" de un ciclo, el secuenciador "b" comenzará inmediatamente su acción sobre la solicitud asociada en el intervalo selector "b" del mismo ciclo, y tan pronto como se repone la señal Solicitud Activa en virtud de la acción del secuenciador "c" en el intervalo selector "c" de un ciclo, el secuenciador "a" puede ser capaz de comenzar su acción sobre la respuesta en ese ciclo.

En la figura 14 están indicadas (últimas once líneas) algunas de las relaciones temporales pertinentes entre las actividades de los intervalos selectores "a" y "b".

FLUJO DE DATOS DEL SISTEMA DIRECTOR (FIGURA 12)

El sistema director, ilustrado esquemáticamente en las figuras 12 y 13, es en general similar al sistema de tratamiento de datos descrito en la Patente Norteamericana 3.585.599, a que se ha hecho referencia anteriormente, de Hitt y otros, independientemente de las adaptaciones para las acciones del presente secuenciador "a" mencionadas anteriormente (y que se describen a continuación).

El circuito lógico 500 aritmético de palabra recibe palabras de 36 bitios (32 bitios de información, cuatro bitios de paridad) de las líneas generales X e Y indicadas en 502 y transfiere una palabra de resultado lógica-

1 mente relacionada a la línea general Z 504. La línea Z 504
establece enlace, a través de conexiones de puertas selec-
tivas, a las entradas de los registros de memoria de pala-
bra: A, B, C y D, indicados en general en 506. La línea ge-
5 neral Z 504 establece también conexión, a través de puer-
tas, a un conjunto 508 de estado sólido de 8.000 palabras
de capacidad utilizado exclusivamente por el director y a
un registro 510 de entrada que atiende a varios conjuntos
de memoria intermedia locales de entrada-salida indicados
en conjunto en 512.

10 El circuito lógico 516 de desplazamiento de cate-
ría proporciona manipulación lógica de baterías (8 bitios
más un bitio de paridad) recibidas de las líneas generales
U y V, indicadas en general en 518; transmitiéndose las ba-
terías resultado a la línea general W 520. La línea general
15 W 520 establece enlace, a través de puertas no representa-
das, a entradas de los registros A y C del grupo 506 de re-
gistros, y también a entradas del registro 510 que atienden
a los conjuntos 512 de memoria intermedia.

20 El conmutador E 530 recibe entradas de respuesta
del registro 324 (figura 9) y otras entradas procedentes
del conjunto 508 de memoria de director y de la línea gene-
ral 532 anfitriona (que se extiende desde el ordenador 10
anfitrión, figura 1). Las salidas de este conmutador trans-
fieren la línea general 534 al conmutador E. La línea gene-
25 ral 534 alimenta puertas que establecen conexión a las en-
tradas de los registros A y C en el grupo 506 de registros.
La línea general 534 del conmutador E alimenta también puer-
tas que establecen conexión a entradas del registro 510 que
30 atiende los conjuntos 512 de memoria local de entrada-sali

1 da.

Los registros 506 alimentan puertas que establecen conexión a entradas de los registros 502.1 que alimentan entradas a las líneas generales X e Y 502 y a los registros 518.1 que alimentan las líneas generales U y V 518.

5 Las salidas de los conjuntos 512 se transmiten al registro 540 que alimenta el registro 502.1 de línea general X.

La extensión 542 de la línea general V alimenta en forma conmutable el conjunto 302 (figura 9). Las extensiones 544 de línea general del registro 540 y la línea general X alimentan en forma conmutable la línea general 548 de entrada (figura 9) del conjunto 300.

En funcionamiento, circulan señales de información en forma conmutable desde los registros 506 y 540 a los registros 518.1 y 502.1 y a las líneas generales U, V, X e Y. Estas líneas generales alimentan en forma conmutable los circuitos 500 y 516 lógicos aritméticos y de desplazamiento y los conjuntos 300 y 302 en el adaptador SA. Las salidas de resultado de los circuitos lógicos 500, 516, pasan en forma conmutable a las líneas generales Z y W 504, 520 que alimentan los registros 506 y los conjuntos 508 y 512 de memoria. Los conjuntos 512 alimentan al registro 540 que alimenta al conjunto 300 del adaptador SA (figura 9). Los conjuntos 300 y 508 alimentan el conmutador E 530 que completa una red de circuitos hasta los registros 506 y los conjuntos 512.

El grupo de canales de Entrada-Salida indicado en 550 comunica con este sistema a través de los conjuntos 512 y solicitudes 552 de acceso a la memoria CS de control (figura 13).

30

1 MEMORIA DE CONTROL DEL SISTEMA DIRECTOR

5 La figura 13 representa el conjunto 600 de memoria de control de microprograma que representa la memoria CS de control de la figura 2 y sirve para controlar los circuitos de la figura 12. Se trata de un conjunto de estado sólido que contiene microinstrucciones dispuestas en secuencias predeterminadas para formar microprogramas. Estos microprogramas controlan los diversos circuitos del director (figura 12) y proporcionan las acciones del secuenciador "a" del presente adaptador de memoria (figura 9).
10

En cada ciclo de director el selector 602 de dirección direcciona una posición seleccionada en el conjunto 600. Es situada una microinstrucción contenida en esa posición en el registro 604 de datos de memoria de control y es utilizada para controlar las acciones de los circuitos de director en ese ciclo (figura 12). Si la microinstrucción es una microinstrucción asociada con la secuencia "a" puede ser también utilizada para alimentar información de solicitud a los conjuntos 300, 302 (figura 9) para activar circuitos de retención Solicitud Activa y Solicitud Preparada, tales como los circuitos 362, 364 (figura 9) o para extraer una respuesta del conjunto 300.
15
20

Son descodificadas por circuitos 606 descodificadores porciones de campo de la microinstrucción en curso en el registro 604. Las salidas de los circuitos 606 activan grupos de líneas 608 y 610 de control. Las líneas 608 controlan circuitos de director. Las líneas 610 controlan circuitos de línea general entre el director y el adaptador SA. El circuito lógico de selección de "siguiente es-"
25
30

1 tado" indicado en 612 utiliza salidas "estado presente"
del registro 604 y otras condiciones de estado presente in-
dicadas en 614 para proporcionar entradas de dirección si-
guiente al selector 602 de dirección. De este modo puede
establecerse acceso a microinstrucciones en el conjunto
5 600 automáticamente en una secuencia programada.

El registro 602 puede también ser cargado desde uno de una pluralidad de registros indicados colectivamente en 620, en vez de desde el circuito lógico 612 de estado siguiente, en circunstancias determinadas por circuitos de selección de prioridad de ruptura indicados en general
10 en 622. Los registros 620 incluyen una pluralidad de registros utilizados exclusivamente por el director y al menos un registro para cada uno de los canales 550 (figura 12). Cuando se concede a un canal o dispositivo de tratamiento interno de director acceso de "ruptura" al sistema 600,
15 602, 604 de memoria de control, es transferido un valor de dirección contenido en su registro 620 asociado al selector 602 de dirección y utilizado en ese ciclo como microinstrucción inicial de una secuencia de microprograma asociada con la operación requerida para atender ese canal o
20 dispositivo de tratamiento. Los registros 620 se cargan en el tiempo de arranque del sistema y otras veces con valores adecuados para iniciar operaciones para atender el director y cada canal. La activación de los circuitos 622
25 establece los valores iniciales del registro 624 para indicar la identidad del canal o dispositivo de tratamiento al cual ha sido concedido el servicio.

Las líneas 610, en asociación con el registro
30 624, extienden el control "Sa" al adaptador de memoria de

1 la figura 9. Estas líneas son portadoras de señales Sa de control de secuencia al adaptador SA de memoria y controlan así el paso de señales a los conjuntos 300 y 302 (figura 9), la transmisión de señales desde el registro 624 al registro CHUCS 322 (figura 9) y al registro 310 (figura 9),

5 la activación de un circuito 362 de retención Solicitud Activa seleccionado (figura 9) y la activación del circuito 364 de retención Solicitud Preparada (figura 9). Las funciones de estas líneas están identificadas individualmente en la tabla siguiente.

10	<u>Nombre de Línea</u>	<u>Función de Línea</u>
15	ABI	Establece valores iniciales de la dirección de posición en el indicador 310 de canal en estado de ruptura para indicar la posición 0 del segmento asociado.
20	AHORRAR	Establece el valor inicial de la dirección de posición en el indicador 310 de canal en el valor 4 para "ahorrar" operaciones.
25	X-SA	Transfiere información de solicitud desde la línea general X de director a la memoria intermedia 300 e incrementa la dirección de posición en el indicador 310 de canal.

1	<u>Nombre de Línea</u>	<u>Función de Línea</u>
5	ADR-SA	Almacena direcciones de solicitud en la sección 304 (figura 10) del conjunto 300 (figura 9). La dirección es almacenada en el segmento 304.1 designado por el registro CHUCS 322 (figura 9) en la posición 304.1.2 de segmento (figura 10)
10	SA-ESW	Transfiere el contenido del registro 324 (figura 9) al conmutador E de director (figura 12); incrementa la dirección de posición en el registro 310 (figura 9) después de la transferencia.
15	IS-SA	Transfiere información de solicitud desde una memoria intermedia de canal en el conjunto 512 (figura 12) a los conjuntos 300, 302 (figura 9).
20	SELECCIONAR	Transfiere información de solicitud al conjunto 302 de memoria intermedia de secuencia de control (figura 9); incrementa el indicador "a" 316 (figura 9); activa el circuito 362 de retención Solicitud Activa Asociado (figura 9) por cada operación CHUCS y permite que se active el circuito 364 de retención Solicitud Preparada (figura 9) en el siguiente intervalo T1.

	<u>Nombre de Línea</u>	<u>Función de Línea</u>
1	FA	Da entrada al bitio FA de dirección fija al conjunto 302 de memoria intermedia (figura 9) en el intervalo Seleccionar.
5	S	Da entrada al bitio S de solicitud al conjunto 302 de memoria intermedia en el intervalo Seleccionar.
10	W1	Da entrada al bitio W1 de Ancho al conjunto 302 de memoria intermedia en el instante de selección; si el valor del bitio W1 es 1 se indica una solicitud Almacenar de una palabra.
15	W2	Da entrada al bitio W2 de Ancho al conjunto 302 de memoria intermedia en el intervalo de selección; W2 = 1 indica una solicitud de dos palabras; ambos bitios W1 y W2 iguales a cero indican una solicitud de palabra cuádruple.
20	REPOSICION	Repone los bitios FA, S, W1, W2 en el conjunto 302.

En funcionamiento, el sistema anterior, cuando atiende un proceso de tratamiento de canal o de director, puede ensamblar una solicitud de acceso a memoria e ingresar tal solicitud en los conjuntos 300, 302 del adaptador SA durante intervalos selectores "a". La línea ABI excitada con la señal Ruptura transfiere una información CHID asociada desde el registro 624 (figura 13) a los registros

1 310 y 322. La línea ADR-SA transfiere la dirección de solici-
cuidad al conjunto 300. Las líneas de selección FA, S, W1 y
W2 se activan para transferir información de control de so-
licitud asociada al conjunto 302 en la posición designada
por el contenido en curso del indicador "a" 316. La línea
5 de selección incrementa también el indicador "a" 316, acti-
va el circuito de retención Solicitud Activa asociado y
prepara la activación del circuito de retención Solicitud
Preparada en el siguiente intervalo T1 (véase la figura 14);
preparando así el adaptador de memoria para que sea capaz
10 de iniciar las operaciones de secuencia "b" requeridas pa-
ra expedir la solicitud al controlador CBC.

Las líneas X-SA y IS-SA se activan para transfe-
rir información de solicitud a los conjuntos 300, 302 de
memoria intermedia desde el director y canales. Después de
15 ciertas operaciones de estas líneas, se incrementa una po-
sición de orden inferior en el registro 310 de modo que son
situadas palabras de datos (de una solicitud Almacenar) su-
cesivamente en las primeras cuatro posiciones de palabras
de datos del segmento, tal como 304.1 (figura 10), en el
20 conjunto 300 que está designado por la parte del registro
310 que retiene el mismo valor que el registro 322.

La expedición de la señal Seleccionar activa el
circuito de retención Solicitud Activa asociado con la
fuente de solicitud y el circuito de retención común Soli-
25 citud Preparada. Esto inicia el avance de la secuencia "b"
del adaptador de memoria. El secuenciador "b" funciona en-
tonces para expedir la solicitud desde los conjuntos 300 y
302 al controlador CBC (a través de la memoria intermedia
30 de entrada).

1 El circuito de retención Solicitud Preparada es
repuesto en el estado Sb2 del secuenciador "b" si los valo-
res contenidos en los registros 316 y 318 son idénticos
(indicador "a" = indicador "b"). Los bitios de orden supe-
rior (dirección de segmento) contenidos en el registro 312
5 (figura 9) durante la secuencia "b" corresponderán al va-
lor CHID (identidad de canal) convertido en valor estático
en el registro 338 (figura 9). Consiguientemente, las di-
recciones de segmento contenidas en los registros 310 y 312
serán idénticas solamente cuando la solicitud que ha sido
10 transmitida a la línea general de entrada se corresponde
con la última solicitud recibida por el adaptador de memo-
ria (procedente del director y canales). Recíprocamente,
la indicación de que estos valores son desiguales significa
que está preparada una solicitud adicional para tratamiento
15 de secuencia "b", y por consiguiente no es deseable la re-
posición del circuito de retención Solicitud Preparada.

Quando es recibida una respuesta a través de la
línea general de salida, los circuitos de control de secuen-
cia "c" del adaptador de memoria reponen el circuito de re-
20 tención Solicitud Activa asociado con la fuente de la soli-
citud asociada (CHID). La reposición de un circuito de re-
tención Solicitud Activa habilita las solicitudes de acceso
a la memoria de control de la fuente asociada para competir
en cuanto a servicio de ruptura en el circuito 622 de selec-
25 ción de prioridad (figura 13). De este modo, cuando está
disponible una respuesta en el conjunto 300 y es repuesto
el circuito de retención Solicitud Activa asociado, la fuer-
te asociada (suponiendo que está en un estado de prepara-
30 ción para aceptar una respuesta, es decir, que su solici-

1 tud para servicio de ruptura está activa, y que tiene prio-
ridad con relación a otras fuentes en competencia) obten-
drá acceso de ruptura al sistema 600, 602 y 604 de memoria
de control y por tanto recuperará la respuesta. En tales
5 operaciones, el sistema 600, 602, 604 de memoria de con-
trol activa las líneas ABI y SA-E para hacer que la infor-
mación de la respuesta sea transferida desde el conjunto
300 de adaptador de memoria, a través del registro 324 (fi-
gura 9) y a través del conmutador E 530 (figura 12), al
circuito de canal o de director adecuado.

10

SECUENCIADOR "b"

Se describe con relación a las figuras 7 y 14 el
secuenciador "b" ilustrado en la figura 15. El registro Sb
15 700 proporciona ocho indicaciones distintas Sb1, Sb2 ...
Sb8 de estado de salida. En intervalos T1 (figura 14) son
transferidos valores de estado desde el registro 700 al re-
gistro 702 (Sb posterior) a través de las puertas 704. Pue-
den ser ingresados nuevos valores de estado en el registro
20 700 en intervalos T4 por activación del circuito lógico
706. La señal "Reposición Inicial" activa el circuito "Y"
708 para establecer los estados de los registros 700 y 702
para representación del estado Sb1.

El circuito lógico 706 funciona de acuerdo con la
25 siguiente tabla de combinaciones Booleanas para establecer
nuevos estados de secuencia "b" (nuevos valores en el re-
gistro 700).

30

1	Estado del Registro Sb	* Producido por:
	Sb1	$T4. \overline{\text{INIT RESET}} + \overline{\text{RQ RDY}} \cdot (\text{Sb4} + \text{Sb8}) + \text{Sb3} \cdot \overline{\text{S}} \cdot (2\text{nd TFR} + \text{W2})$
	Sb2	$T4. \overline{\text{RQ RDY}} (\text{Sb1} + \text{Sb4} + \text{Sb8}) + \text{Sb3} \cdot \overline{\text{S}} \cdot 2\text{nd TFR} \cdot \overline{\text{W2}}$
5	Sb3	$T4. \overline{\text{Sb2}} \cdot \text{XMIT ENABLE}$
	Sb4	$T4. \overline{\text{Sb3}} \cdot \text{S} \cdot \overline{\text{W1}}$
	Sb5	$T4. \overline{\text{Sb3}} \cdot \text{S} \cdot \overline{\text{W1}} + \text{Sb7} \cdot \text{XMIT ENABLE}$
	Sb6	$T4. \overline{\text{Sb5}} \cdot \overline{\text{W2}} \cdot 2\text{nd TFR}$
	Sb7	$T4. \overline{\text{Sb6}}$
10	Sb8	$T4. \overline{\text{Sb5}} \cdot (2\text{nd TFR} + \text{W2})$
		* En esta columna: " . " indica "Y" " + " indica "O" "Sb-" se refiere al estado de "Sb Posterior".

15 En el estado Sb1 (162, figura 7) es comprobado el estado del circuito 364 de retención Solicitud Preparada (figura 9) (véase la comprobación 164 de la figura 7) para determinar si está preparada una solicitud en los conjuntos 300 y 302 de memoria intermedia (figura 9).

20 Cuando está preparada una solicitud, el circuito lógico 706 de avance de secuencia transfiere un valor asociado con el estado Sb2 (166, figura 7) al registro Sb 700 (en el intervalo T4). En esta entrada al estado Sb2 es incrementado el valor contenido en el registro 318 de indicador "b" (figura 9) y la parte de palabra de dirección de la solicitud (Dirección, S, FA, SP, CHID) es localizada del conjunto 300 para uno de los registros 340.1 o 340.2 y desde el conjunto 302 al registro 338. El circuito de retención Solicitud Preparada es repuesto (si los indicadores

25

30

1 a y b son iguales), y es activado el circuito 370 de reten-
ción Inhibir Incremento (este circuito de retención se re-
pone en el estado Sb8 o en el retorno al estado Sb1). La
activación del circuito de retención Inhibir Incremento
bloquea el incremento adicional del indicador "b" 318 en
5 pasos posteriores a través del estado Sb2 para esta soli-
citud.

En cada paso a través del estado Sb2 es compro-
bada (168, figura 7) la línea de habilitación de transmi-
sión (desde el controlador CBC a este adaptador SA) para
10 determinar si el controlador CBC está disponible para acep-
tar una solicitud. Si el controlador CBC no está disponi-
ble se repite el estado Sb2 pero no se incrementa el indi-
cador "b". Si está disponible el controlador CBC se cambia
el valor contenido en el registro 700 (en el intervalo T4)
15 al valor asociado con el estado Sb3 (véase 170, figura 7).

En el primer paso a través del estado Sb3 (no ac-
tivado el circuito de retención "segunda transferencia")
la dirección de memoria convertida en valor estático en uno
de los registros 340.1, 340.2 es transferida (dejada pasar)
20 desde ese registro a la línea general de entrada durante un
ciclo completo. Al mismo tiempo las funciones de bitio aso-
ciadas convertidas en valores estáticos en el registro 338
(S. FA y CHID) son transferidas desde ese registro a la lí-
nea general de entrada como parte de la palabra de direc-
25 ción. Al mismo tiempo es enviada la etiqueta ADR sobre la
línea 40.3 (figura 2). Si la solicitud es una solicitud del
tipo Almacenar (S = 1), los datos a enviar en el ciclo si-
guiente (véase la figura 4) son localizados del conjunto
30 300 e ingresados en el "otro" de los registros 340.1, 340.2.

1 Si la solicitud es una solicitud Localizar ($S = 0$), es transmitida la etiqueta EOT sobre la línea 40.7 (figura 2) mientras está siendo transmitida la dirección.

5 El estado Sb3 proporciona comprobaciones de S, W y "Segunda Transferencia" en combinaciones lógicas (comprobaciones 172, 174, 175, figura 7) para determinar el siguiente estado de Sb. Si la parte de dirección de una solicitud Localizar de palabra cuádruple está siendo expedida ($S, W1, W2$ todos "ceros" y no activado el circuito de retención "segunda transferencia"), se activa posteriormente el circuito de retención "Segunda Transferencia" (después 10 del intervalo T1) y las comprobaciones 172 y 174 dirigen el secuenciador al estado Sb2. Si la parte de dirección de una solicitud Localizar de doble palabra está siendo expedida ($S = 0, W2 = 1$ en el estado Sb3) las comprobaciones 15 172 y 174 dirigen Sb al estado Sb1 inicial en el intervalo T4; con lo cual la secuencia "b" se prepara para tratar otra solicitud si una de ellas está preparada para tratamiento.

20 Cuando se alcanza el estado Sb2 a través de la bifurcación 178 de la comprobación 174 (tratamiento de solicitud Localizar de palabra cuádruple) ambos circuitos de retención "Inhibir Incremento" y "Segunda Transferencia" estarán en el estado de activación. Consiguientemente, el indicador "b" 318 no será incrementado y la única acción 25 útil adoptada será avanzar el estado Sb3 en el siguiente intervalo T1 (la señal de habilitación de transmisión no puede caer mientras está siendo expedida una solicitud Localizar). En el segundo paso asociado desde el estado Sb2 30 al estado Sb3, son transmitidas las etiquetas QW y EOT

1 (véase 54, figura 3).

5 Si la solicitud que está siendo tratada en el primer paso de entrada al estado Sb3 es una solicitud Almacénar, la comprobación 175 bifurca la secuencia indistintamente al estado Sb4 (182, figura 7) si está siendo tratada una solicitud de palabra única, o al estado Sb5 (186, figura 7) si está siendo tratada una solicitud de varias palabras. En el estado Sb4, la palabra de datos preparada en uno de los registros 340.1 o 340.2 por la acción del estado Sb3 es transferida al controlador CBC (a través de la línea general de entrada) con una etiqueta de datos (D1 si el bitio 29 = 0, D2 si el bitio 29 = 1) y la etiqueta EOT. Desde el estado Sb4 la secuencia retorna al estado Sbl.

15 En el estado Sb5 una palabra de datos preparada en el estado Sb3, o bien en el estado Sb6, es transferida al controlador CBC (a través de la línea general de entrada) con la etiqueta D1 o la etiqueta D2 (D2 si el bitio B = 1 en el registro 338, indicando una solicitud Almacénar en Retroceso; D1 si la solicitud no es una solicitud Almacénar en Retroceso) y una palabra de datos a transmitir en el siguiente ciclo es preparada en el registro 340.1 o 340.2 que no está alimentando normalmente la línea general de entrada. En el estado Sb5 el circuito 366 de retención "Segunda Transferencia" y el bitio W2 (convertido en estático en el registro 338) son comprobados (comprobación 188, figura 7) para determinar si se requiere una transferencia adicional de palabra doble. El bitio W1 es implícitamente 0 porque W1 = 1 designa una transferencia de palabra única y la bifurcación 175 al estado Sb5 niega esta

1 posibilidad. Si el bitio W2 es también 0 (indicando una
transferencia de palabra cuádruple) y no está activado el
circuito de retención "Segunda Transferencia" (indicando
que solamente han sido enviadas dos palabras de datos) la
comprobación 188 bifurca el estado de secuencia a Sb6 (192
5 figura 7).

El estado Sb6 es utilizado para transferir la se
gunda palabra de datos preparada en el estado Sb5 a la lí-
nea general de entrada y para presentar la etiqueta D1 o
D2 adecuada de acuerdo con el valor del bitio B. Este esta
10 do es también utilizado para preparar la palabra de datos
(tercera) que ha de ser transmitida a continuación. El es-
tado Sb6 activa el circuito de retención "Segunda Transfe-
rencia" posteriormente en el ciclo (después del intervalo
T1).

15 Desde el estado Sb6 la secuencia pasa incondicio-
nalmente al estado Sb7 para realizar una operación "espe-
rar" de al menos un ciclo con anterioridad a iniciarse la
transferencia del segundo par de palabras de datos de esta
solicitud Almacenar de palabra cuádruple. Cuando está acti
20 va la señal de habilitación de transmisión (comprobación
196, figura 7) la secuencia bifurca desde el estado Sb7 en
retorno al estado Sb5 y se repite la acción del estado Sb5
(transmitiendo así la tercera palabra de datos con la eti-
queta adecuada y preparando la cuarta palabra de datos).

25 Desde el estado Sb5 la secuencia bifurca al esta
do Sb8; en el primer paso de salida del estado Sb5 para
una solicitud Almacenar de palabra doble o en el segundo
paso para una solicitud Almacenar de palabra cuádruple.
30 En el estado Sb8 es transmitida la última palabra de datos

1 con la etiqueta EOT y la etiqueta D apropiada, y se repone los circuitos de retención "segunda transferencia" e Inhibir Incremento. La bifurcación 164 (figura 7) es tomada entonces indistintamente hacia el estado Sb2 si está preparada otra solicitud, o por el contrario al estado Sbl.

5 El estado Sbl repone también los circuitos de retención "segunda transferencia" e "inhibir incremento".

SECUENCIADOR "c"

10 El secuenciador "c" representado en la figura 16 y descrito con referencia a las figuras 8 y 9 es un dispositivo de cuatro estados iniciado en el estado Sc1. El estado de secuencia en curso es establecido en el registro 800 en el intervalo T6 y transferido a través de las puertas 802 al registro 804 "posterior" en el intervalo T3. El

15 registro 804 posterior condiciona al circuito 806 lógico de avance de secuencia en combinación indistintamente con S, W1, W2, Segunda Transferencia^x (circuito 368 de retención de la figura 9) y 40.1 Avance CBC GRP (figura 2). El

20 circuito lógico 806 altera selectivamente (o no altera) el valor de estado retenido en curso en el registro 800. Los bitios S, W1, y W2 son convertidos en estáticos en el registro 350 (figura 9), y son manifestados por dicho registro, que es cargado desde una posición en el conjunto 302

25 designada por el indicador "c" 320.

El estado Sc1 (220, figura 8) puede ser inducido por la operación "Reposición Inicial" del circuito "Y" 808 o como estado siguiente después del estado Sc3 a través de la bifurcación 228 (figura 8). El estado Sc1 repone el cir

30

1 cuito de retención Segunda Transferencia² (circuito 368 de
retención de la figura 9) y la secuencia bifurca al dete-
tarse la señal Avance de controlador CBC (40.1 figura 2,
comprobación 222, figura 8).

5 Como se ha explicado anteriormente, el valor con-
tenido en el indicador "c" 320 (figura 9) es inicialmente
idéntico a los valores contenidos en los indicadores "a" y
"b" 316 y 318 y es incrementado solamente cuando se trata
una respuesta. Consiguientemente, el estado Sc1 sirve ini-
cialmente para comprobar la señal Avanzar con relación a
10 la respuesta asociada con la primera solicitud activada. Al
detectarse la señal Avanzar, el valor contenido en el re-
gistro 800 es cambiado al valor asociado con el estado Sc2
(véase 224, figura 8).

15 El estado Sc2 repone el circuito de retención So-
licitud Activa asociado con la fuente de solicitud (es de-
cir, el circuito de retención designado por el valor CHID
convertido en valor estático en curso en el registro 350).
Si la respuesta está asociada con una solicitud Localizar,
incluye dos palabras de datos (sin bitios de marca) que son
20 transferidas en paralelo a los registros 354.1 y 354.2 en
el intervalo T1. El contenido del registro 354.1 es trans-
mitido al conjunto 300 en el intervalo selector "c" (si-
guiente intervalo T3) y almacenado indistintamente en la
primera o tercera posición de palabra del segmento desig-
25 nado por la información CHID contenida en el registro 350
(la tercera posición al producirse la tercera respuesta a
una solicitud Localizar de palabra cuádruple; la primera
posición en caso contrario). En el momento en que es reci-
30 bida la respuesta es verificada la paridad de la informa-

1 -ción contenida en el registro 350 y la porción de informa-
ción CHID (identidad de canal) de esa información es com-
parada con un valor CHID incluido en la respuesta (si los
dos no son idénticos se indicará error).

5 Si la respuesta que está siendo tratada está aso-
ciada con una solicitud Localizar de palabra doble o si la
respuesta es la segunda respuesta de un par de solicitudes
"Localizar de Palabra Cuádruple", el estado de comprobación
de paridad de la información de respuesta es situado en un
conjunto de comprobación, no representado, y está así dis-
10 ponible para inspección externa (por ejemplo, por el direc-
tor).

Desde el estado Sc2 el valor contenido en el re-
gistro 800 es cambiado automáticamente en el ciclo siguien-
te al valor asociado con el estado Sc3. Si la respuesta es-
15 tá asociada con una solicitud Localizar, es transferida la
segunda palabra de datos de un par de respuestas desde el
registro 354.2 al conjunto 300 de memoria intermedia y es
almacenada en la primera, segunda o cuarta posición de pa-
labra del segmento designado por la información CHID conte-
nida en el registro 350.

20 La primera posición es seleccionada al producir-
se una respuesta a una solicitud Localizar de palabra úni-
ca $W1 = 1$ que designa la segunda palabra del par recupera-
do (bitio 29 de dirección = 1); sobreinscribiendo así efec-
25 tivamente la primera palabra del par. La cuarta posición
es seleccionada al producirse una respuesta a una solici-
tud Localizar de palabra cuádruple. Al producirse todas
las demás respuestas Localizar es seleccionada la segunda
30 posición.

1 Si no va a producirse ninguna respuesta adicional el estado Sc3 incrementa el indicador "c" 320 y se entra nuevamente en el estado Sc1 a través de la bifurcación 228. Si va a producirse una respuesta adicional (es decir, la segunda mitad de la respuesta a una solicitud Localizar

5 de palabra cuádruple) la bifurcación 228 conduce al estado Sc4. Este estado activa el circuito 368 de retención Segunda Transferencia* (figura 9) que indica que es oportuno el tratamiento adicional y en la siguiente señal Avanzar del controlador CBC (comprobación 232, figura 8) la secuencia

10 bifurca al estado Sc2. Se repiten entonces las operaciones de los estados Sc2 y Sc3 (para absorber los datos adicionales de respuesta) y el secuenciador retorna al estado Sc1.

15 La lógica del circuito lógico 806 de avance de secuencia "c" está indicada por la siguiente tabla de combinaciones:

Estado del Registro Sc	PRODUCIDO POR
Sc1	$T6 \cdot \overline{\left[(\overline{AD \text{ RESP RQD}} \cdot Sc3) + (Sc1 \cdot \overline{ADV \text{ DET}}) + (\overline{INLT \text{ RESET}}) \right]}$
Sc2	$T6 \cdot \overline{(\overline{ADV \text{ DET}}) \cdot (Sc1 + Sc4)}$
Sc3	$T6 \cdot Sc2$
Sc4	$T6 \cdot \overline{[Sc4 \cdot \overline{ADV \text{ DET}}] + (Sc3 \cdot \overline{AD \text{ RESP RQD}})}$

* AD RESP RQD = QUAD.REQUEST.SECOND XFER

25 TEMPORIZADOR DE INTERRUPCION

30 El circuito lógico temporizador de interrupción está indicado en la figura 18. En la figura 17 están indicados casos específicos de temporización. El contador gene

1 - rador 900 de información CHID designa la asociación CHID
de la siguiente solicitud (Rx) elegible para ser tempori-
zada. Las salidas de ocho estados de este contador están
designadas R0 a R7 (siendo utilizada Rx para indicar un
estado arbitrario de los ocho estados posibles). Cada po-
5 sición Rx de salida condiciona un par asociado de circui-
tos "Y" 902 y 904. Si la salida Rx está activada y el cir-
cuito de retención de solicitud activa asociado no está
activado, el circuito "Y" 902 asociado con Rx transfiere
un impulso de reposición al dispositivo 906 de desplaza-
10 miento de cuatro lugares a través del circuito "O" 908 en
el siguiente intervalo T3. La reposición del dispositivo
de desplazamiento hace finalizar efectivamente un proceso
de temporización con relación a la solicitud asociada con
Rx. Con la salida Rx activada y el circuito de retención
15 de solicitud activa asociado no activado, el circuito "Y"
904 asociado se activa en el siguiente intervalo T5 para
transferir excitación de incremento al contador 900 a tra-
vés del circuito "O" 910. Esto hace avanzar el contador
900 a su posición siguiente ($Rx + 1$). Recíprocamente, si
20 Rx está activa y el circuito de retención de solicitud ac-
tiva asociado está activado, el dispositivo 906 de despla-
zamiento no será repuesto y no será incrementado el conta-
dor 900.

25 El circuito "Y" 912 preparado por la señal T6 y
la negación lógica de la señal T5 comprueba la presencia
de un impulso de temporizador de 13,2 milisegundos. Este
impulso está derivado exteriormente (por ejemplo del orde-
nador anfitrión u otra fuente). El funcionamiento del cir-
30 cuito "Y" 912 activa el circuito 914 de retención en inter

1 -valos de 13,2 milisegundos que virtualmente son infinita-
mente más largos que los intervalos de 120 nanosegundos de
los ciclos de funcionamiento del director y el adaptador SA.
Se entenderá que el tiempo de 13,2 milisegundos no es crí-
tico, sino simplemente indicado como intervalo de tiempo
5 "muy largo" conveniente con relación al intervalo de ciclo
del director. La transición al estado de activación del
circuito 914 de retención transfiere excitación de despla-
zamiento al dispositivo 906 de desplazamiento e ingresa un
bitio "uno" en el paso de orden inferior del dispositivo
10 de desplazamiento. El circuito 914 de retención permanece
activado solo transitoriamente debido al funcionamiento
del circuito "Y" 916 que es estimulado para reponer el cir-
cuito 914 de retención inmediatamente después que se acti-
va. Si el dispositivo 906 de desplazamiento no es repuesto
15 entre intervalos de recepción de los impulsos exteriores
de temporización de 13,2 milisegundos, el dispositivo de
desplazamiento avanzará el bitio ingresado por el circuito
914 de retención eventualmente hasta la posición de orden
más alto del dispositivo de desplazamiento y manifestará
20 una indicación de interrupción.

El número de pasos del registro de desplazamien-
to no es crítico. El punto importante es que el número de
pasos del registro de desplazamiento y el tiempo del tempo-
rizador de milisegundos deberán ser efectivos en combina-
25 ción para producir un retardo de intervalo de bloqueo de
una longitud suficiente para asegurar que el estado que
está siendo temporizado representa un verdadero estado de
"interrupción" y no meramente un retardo transitorio de
30 sistema.

1 El caso 1 (figura 17) muestra que si la solici-
tus asociada con Rx no está activa en el intervalo T3, el
registro de desplazamiento se repone en el intervalo T3 y
el generador contador de información CHID es incrementado
5 en el intervalo T5. El caso 2 indica que si la solicitud
asociada con la salida Rx está activa en el intervalo T3
se bloquearán la reposición del registro 906 de despla-
zamiento y la operación de incremento del contador 900 de
información CHID, pero si la misma solicitud se hace inac-
10 tiva después de ello por la acción del estado Sc2 (figura
8) el registro de desplazamiento será repuesto posterior-
mente y el contador será incrementado. El caso 3 muestra
que si la solicitud asociada con Rx está continuamente en
estado activo en la totalidad del período de intervalo de
bloqueo de 52,8 (4 x 13,2 milisegundos), se manifestará un
15 estado de interrupción.

CONCLUSION

20 El secuenciador descrito anteriormente funciona
para proporcionar la ordenación en cola concurrente de so-
licitudes y respuestas en conjuntos 300 y 302 de memoria
intermedia, la transferencia de solicitudes al controlador
CBC, la recepción de respuestas del controlador CBC, y la
transferencia de respuestas puestas en cola al director.

25 Se realizan operaciones auxiliares para verifi-
car que cada respuesta realmente recibida está asociada con
la solicitud expedida en el mismo orden de secuencia que
esa respuesta. Tales operaciones no producen retardo ni in-
30 terfieren con las operaciones principales de tratamiento de

1 -respuestas.

Otras operaciones auxiliares proporcionan detección de estados de interrupción sin interdependencias específicas con relación a las funciones de expedición de solicitud.

5 Es digno de mención que el orden de división de tiempo de los intervalos selectores "a", "b" y "c" (en el cual los respectivos secuenciadores establecen acceso a los conjuntos 300 y 302 de ordenación en cola) proporciona posibilidades singulares de contigüidad de tiempo entre el
10 intervalo selector "a" en el cual está puesta en cola una solicitud y el intervalo selector "b" en el cual el presente adaptador comienza su tratamiento de expedición de esa solicitud. Si el intervalo selector "a" que se acaba de
15 mencionar (intervalo de puesta en cola) se produce mientras el secuenciador "b" está en el estado S_{b1} y ninguna otra solicitud (anterior) está en la cola (conjuntos 300, 302), el secuenciador "b" avanzará inmediatamente al estado S_{b2} (véanse las figuras 7 y 14) y comenzará así inmediatamente su tratamiento de la solicitud asociada (la que se acaba
20 de poner en cola).

Aun cuando el invento ha sido particularmente expuesto y descrito con referencia a una realización preferida del mismo, se entenderá por los expertos en la técnica que pueden hacerse diversos cambios en su forma y detalles
25 sin apartarse de la esencia y campo de aplicación del invento.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Una disposición de adaptador de memoria de canales para enlazar subsistemas, en asociación con un subsistema de tratamiento de entrada-salida de un sistema de tratamiento de datos y un subsistema de acceso a memoria de dicho sistema de tratamiento de datos, caracterizada porque comprende: un conjunto de memoria intermedia; primeros medios para transferir solicitudes de localización y almacenamiento para acceso a dicho subsistema de acceso a memoria desde dicho subsistema de tratamiento de entrada-salida a dicho conjunto de memoria intermedia; segundos medios para transferir dichas solicitudes desde dicho conjunto a dicho subsistema de acceso a memoria; terceros medios para transferir respuestas asociadas con dichas solicitudes desde dicho subsistema de acceso a memoria a dicho conjunto; cuartos medios para transferir dichas respuestas desde dicho conjunto a dicho subsistema de tratamiento de entrada-salida y medios de control de secuencia, que funcionan en cooperación con dicho subsistema de entrada-salida en un modo de división de tiempo, para mantener el funcionamiento concurrente de dichos primeros, segundos, terceros y cuartos medios, con lo cual pueden tratarse solicitudes y respuestas múltiples concurrentemente a través de dicho conjunto; teniendo dicho modo de división de tiempos una forma adaptativa para pro-

1 proporcionar una disposición de contigüidad temporal potencial
máxima entre los funcionamientos de dichos primeros y se-
gundos medios con relación a cualquier solicitud.

5 2ª.- Una disposición de acuerdo con la reivindi-
cación 1ª, en donde dichas solicitudes son susceptibles de
ser originadas por fuentes múltiples de canales indepen-
dientes asociadas con dicho subsistema de entrada-salida y
dichas respuestas son suministradas normalmente a dichos
terceros medios en un orden de secuencia correspondiente
al orden en el cual son transferidas dichas solicitudes
10 desde dichos segundos medios a dicho subsistema de acceso
a memoria, caracterizado porque: dichos medios de control
de secuencia comprenden medios asociados a dichos tercercs
medios para verificar la asociación secuencial entre soli-
citudes transferidas a dicho subsistema de acceso a memoria
15 y respuestas retornadas a dicho adaptador comparando infor-
mación de identidad de fuente de canal incorporada en di-
chas solicitudes y respuestas.

20 3ª.- Una disposición de acuerdo con la reivindi-
cación 1ª, que incluye: medios de temporización de estado
de interrupción que funcionan con independencia de dicho
subsistema de entrada-salida y dichos medios de control de
secuencia para producir intervalos de bloqueo de temporiza-
ción relativos a las duraciones de indicaciones de activi-
dad asociadas con dichas solicitudes en una secuencia que
25 es independiente del orden de generación de solicitudes; y
para distinguir así casos en los cuales una respuesta se
produce con retraso sin obstrucción potencial del tratamien-
to de solicitudes y respuestas.

30 4ª.- Una disposición de acuerdo con la reivindi-

1 cación 1ª para enlazar subsistemas para intercambio de so-
licitudes de acceso a memoria (localizar y almacenar) ori-
ginadas por canales y respuestas asociadas, que comprende:
un conjunto de memoria intermedia de datos direccionable
que contiene un segmento independiente de espacios reserva-
5 dos para cada uno de dichos canales; un conjunto de memoria
intermedia de secuencia de control que contiene espacios
múltiples para retener información de identidad de canal
de origen e información de control asociada con sollicitu-
des suministradas por dichos canales; primeros medios aso-
10 ciados con dicho conjunto de memoria intermedia, dicho con-
junto de memoria intermedia de secuencia de control y di-
chos canales, para transferir información de identidad de
canal e información de control de sollicitudes sucesivas su-
ministradas por dichos canales a espacios sucesivos conte-
15 nidos en dicho conjunto de memoria intermedia de secuencia
de control, y para transferir otra información de dichas
sollicitudes a espacios de segmento en dicho conjunto de me-
moria intermedia designados por la información de identi-
dad de canal de la respectiva sollicitud; segundos medios
20 asociados con dichos conjuntos para transferir dicha otra
información de dichas sollicitudes sucesivas junto con dicha
información de identidad de canal asociada desde dichos con-
juntos a dicho subsistema de acceso a memoria, en el orden
de secuencia de recepción de dicha información desde dichos
25 canales; terceros medios para recibir respuestas de dicho
subsistema de acceso a memoria en asociación secuencial
con las sollicitudes transferidas por dichos segundos me-
dios, y para ingresar dichas respuestas en espacios de seg-
30 mento de dicho conjunto de memoria intermedia de datos de-

1 signados por información de identidad de canal retenida en
el conjunto de memoria intermedia de secuencia de control
en asociación con las respectivas solicitudes; incluyendo
cada una de dichas respuestas información de identidad de
canal que deberá corresponder a la información de identidad
5 de canal retenida en ausencia de funcionamiento con avería;
y cuartos medios asociados con dichos conjuntos que se acti
van después que ha sido situada una de dichas respuestas en
dicho conjunto de memoria intermedia de datos para condicio
nar dicho subsistema de entrada y salida en el sentido de
10 ser capaz de iniciar la transferencia de dicha respuesta
desde dicho conjunto de memoria intermedia al canal que ori
ginó la solicitud asociada; siendo el orden de transferen-
cia entre canales independiente del orden de recepción de
solicitudes.

15 5ª.- Una disposición de acuerdo con la reivindi-
cación 4ª, en la que dichos terceros medios incluyen medios
para comparar la información de identidad de canal incluida
en cada una de dichas respuestas con la información de iden
tidad de canal asociada retenida en dicho conjunto de memo-
ria intermedia de secuencia de control en el curso del fun
cionamiento de dichos terceros medios; siendo dicha compa-
20 ración útil para distinguir estados de funcionamiento con
avería.

25 6ª.- Una disposición de acuerdo con la reivindi-
cación 4ª, que incluye medios para indicar solicitudes ac-
tivas que tienen respuestas a su debido tiempo y que han de
ser recibidas por dicho adaptador; y medios de temporiza-
ción de estado de interrupción para determinar casos en los
30 cuales se produce con retraso una respuesta a cualquier so-

1 licitud activa; funcionando dichos medios de temporización
de interrupción independientemente de dichos conjuntos y
dichos primeros, segundos, terceros y cuartos medios; con
lo cual el fallo de dichos medios de temporización no afec
ta a la capacidad funcional de dicho adaptador con respec
5 to al tratamiento de transferencia de dichas solicitudes y
respuestas y, recíprocamente, el fallo de la capacidad fun
cional del mencionado adaptador en el tratamiento de trans
ferencia de dichas solicitudes y respuestas no afecta a la
capacidad funcional de los medios temporizadores de inte
10 rrupción.

7ª.- "Una disposición de adaptador de memoria
de canales".

Tal y como se ha descrito en la Memoria que ante
cede, representado en los dibujos que se acompañan y con
15 los fines que se han especificado.

Esta Memoria consta de setenta y una hojas es
critas a máquina por una sola cara.

Madrid, 25. AGO. 1978

P.A.

Alberto de Elzaburu
Por Poderes

20

25

30

FIG. 1

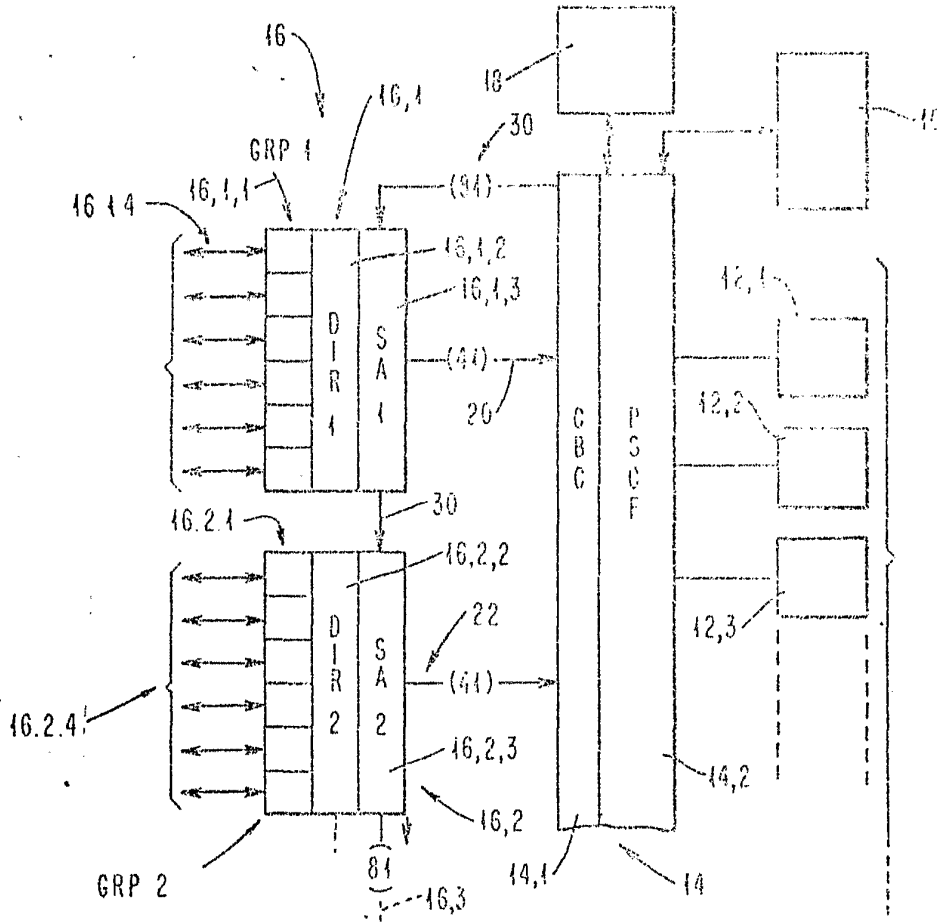
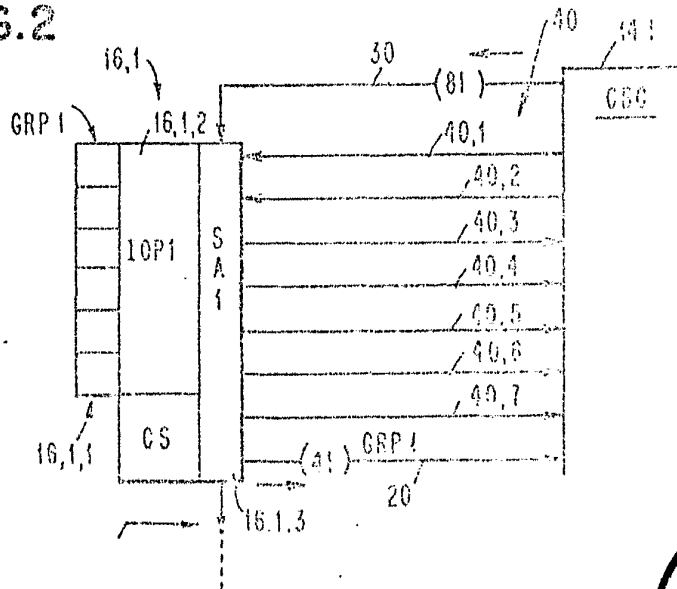


FIG. 2



Alberio de Elizaburu
Por Poder.

FIG. 3

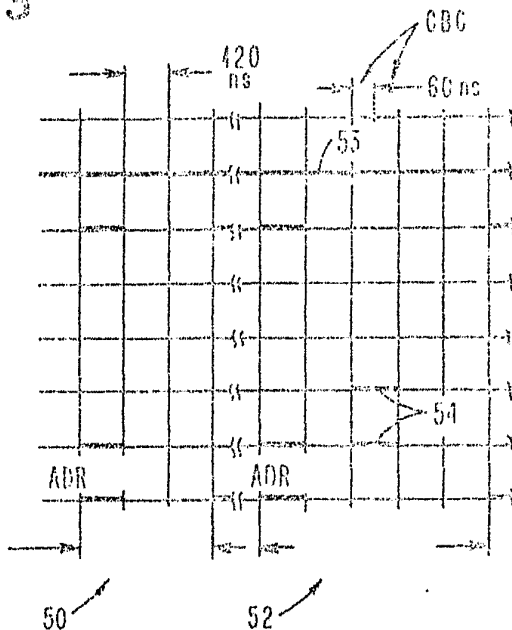
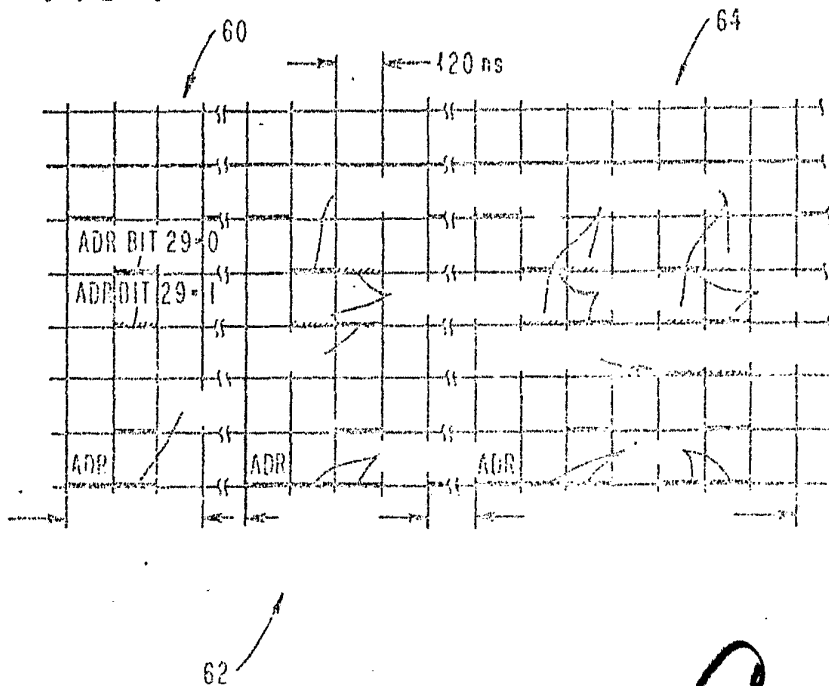


FIG. 4



Albert de Bizaburu
Por Poder

Alberto de Nizaburu
Por rodar

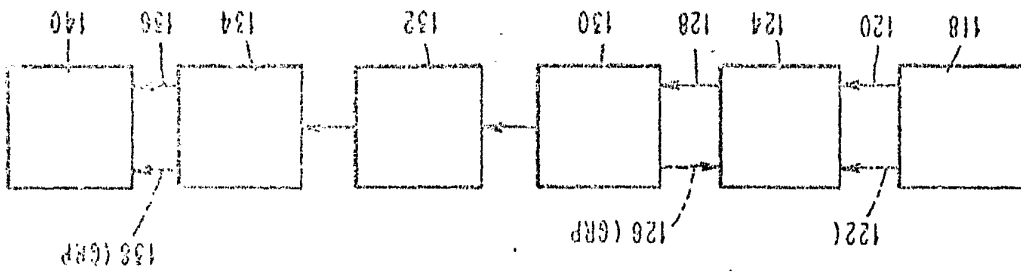


FIG. 6

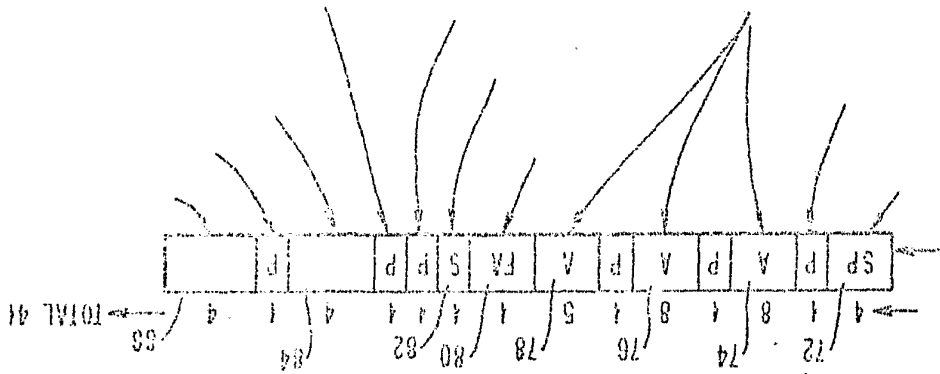
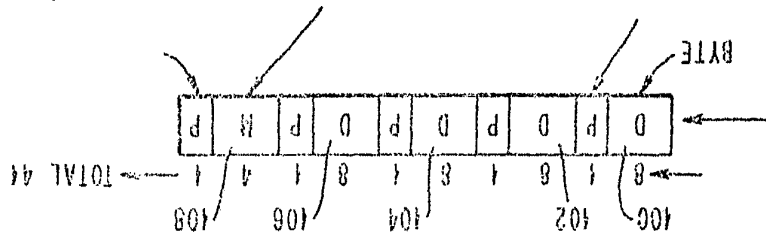
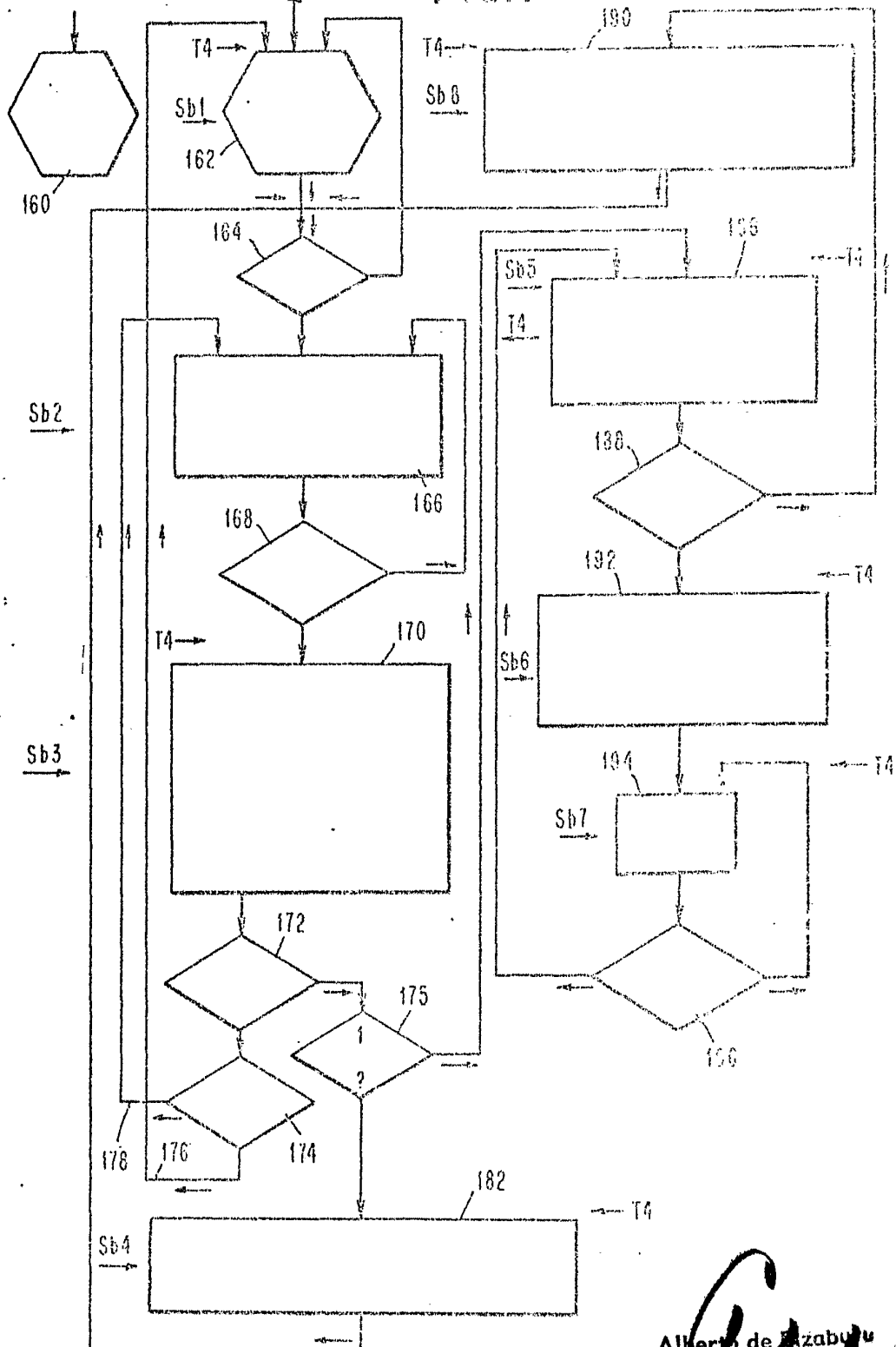


FIG. 5

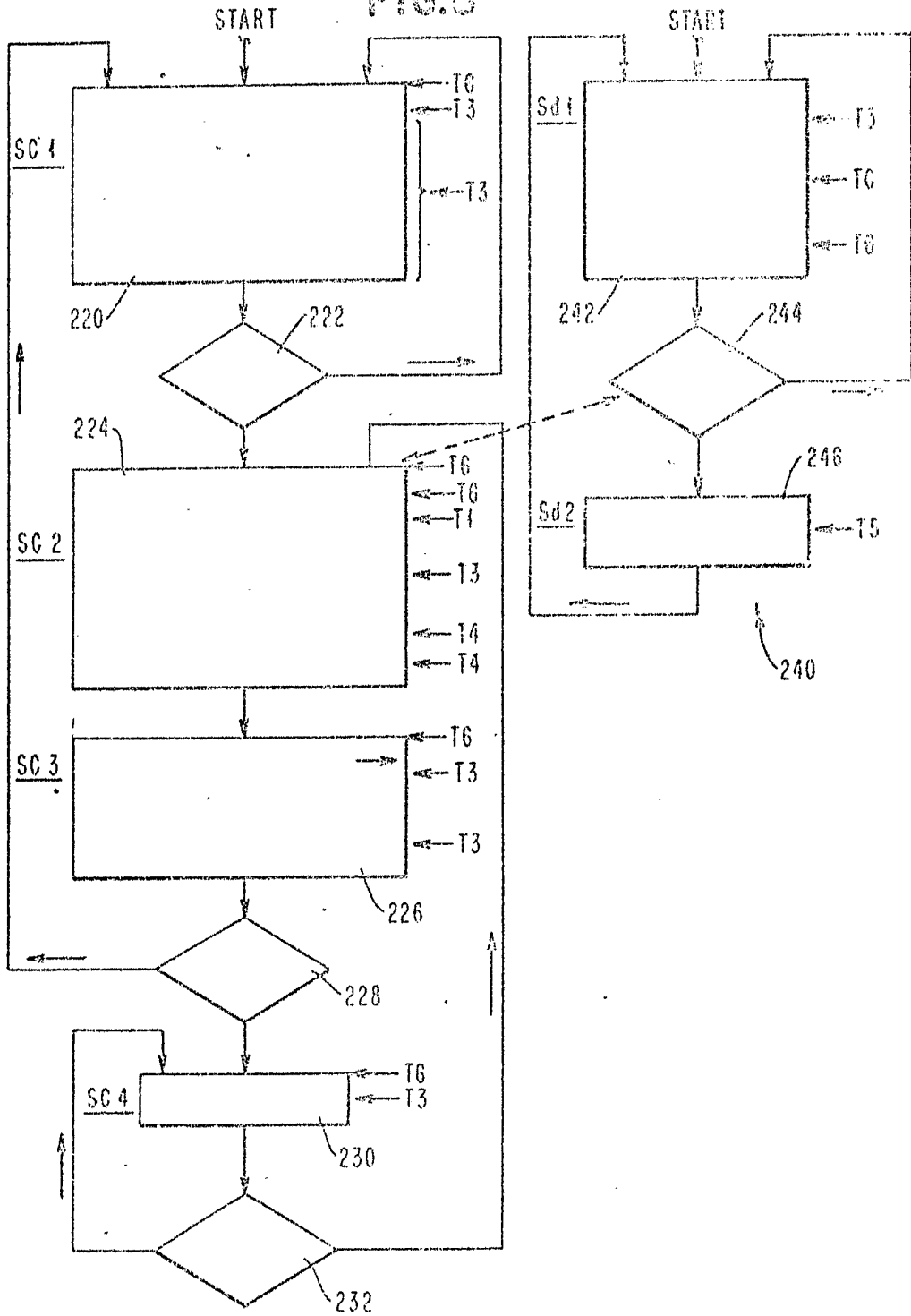
FIG. 7



Alberto de Azaburu
Per Engineer

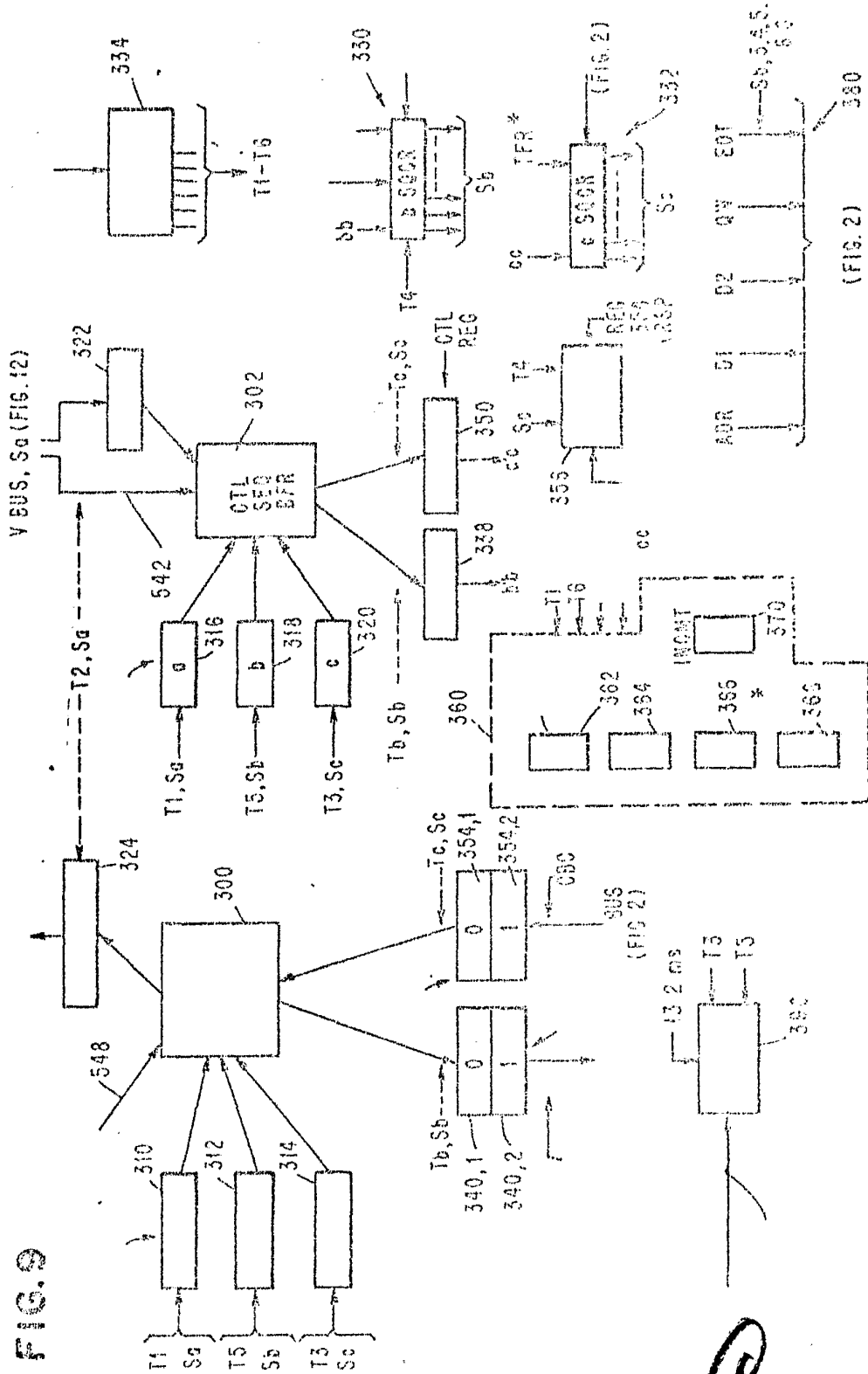
POOR
QUALITY

FIG. 3



Alberto de Elzaburo
For [unclear]

FIG. 9



Albert de Elizaburu
 Por Favor,

Albert de Elizaburu

FIG. 10

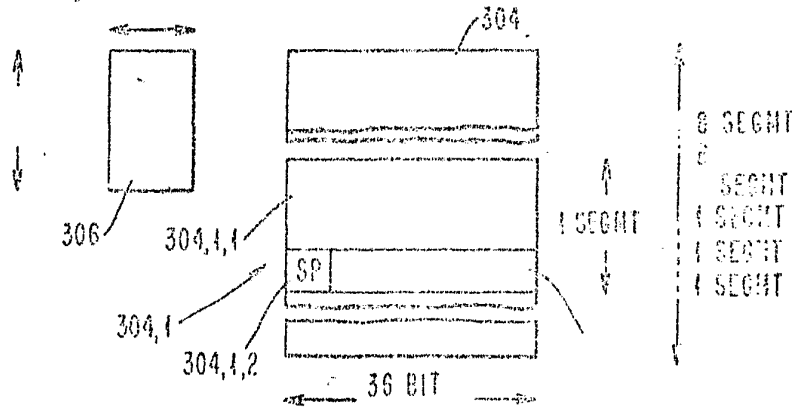


FIG. 11

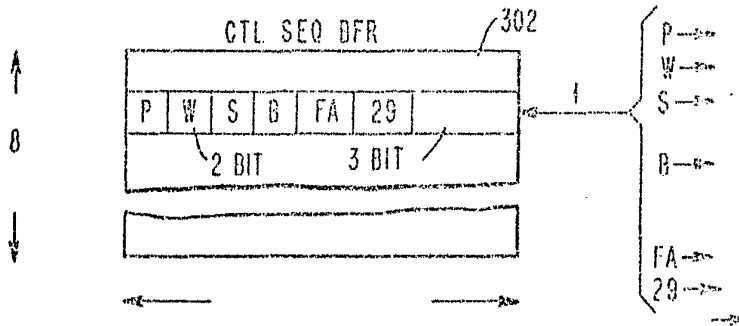
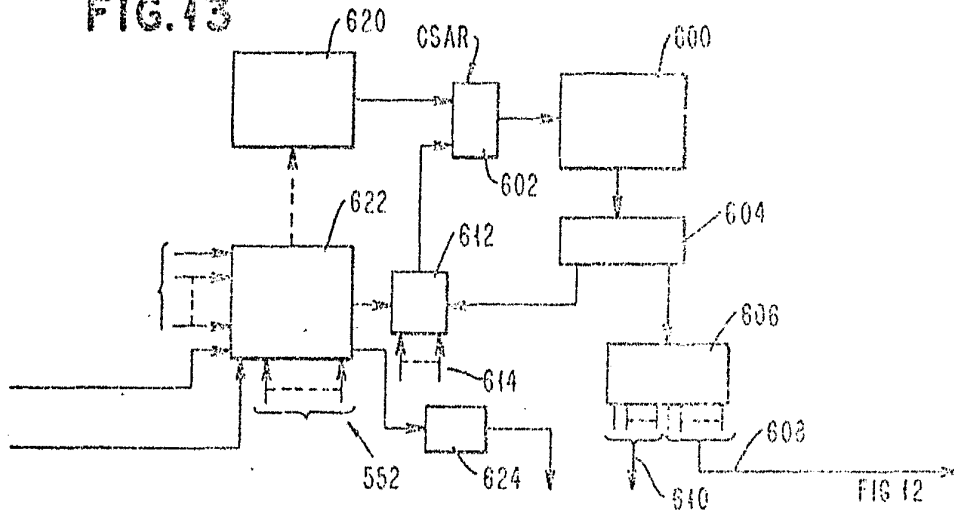
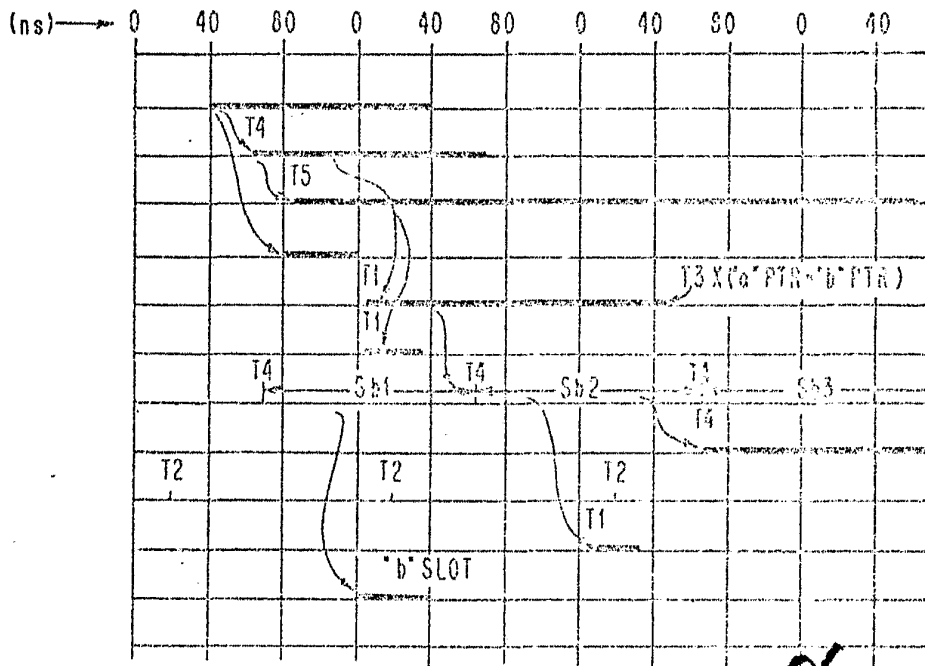
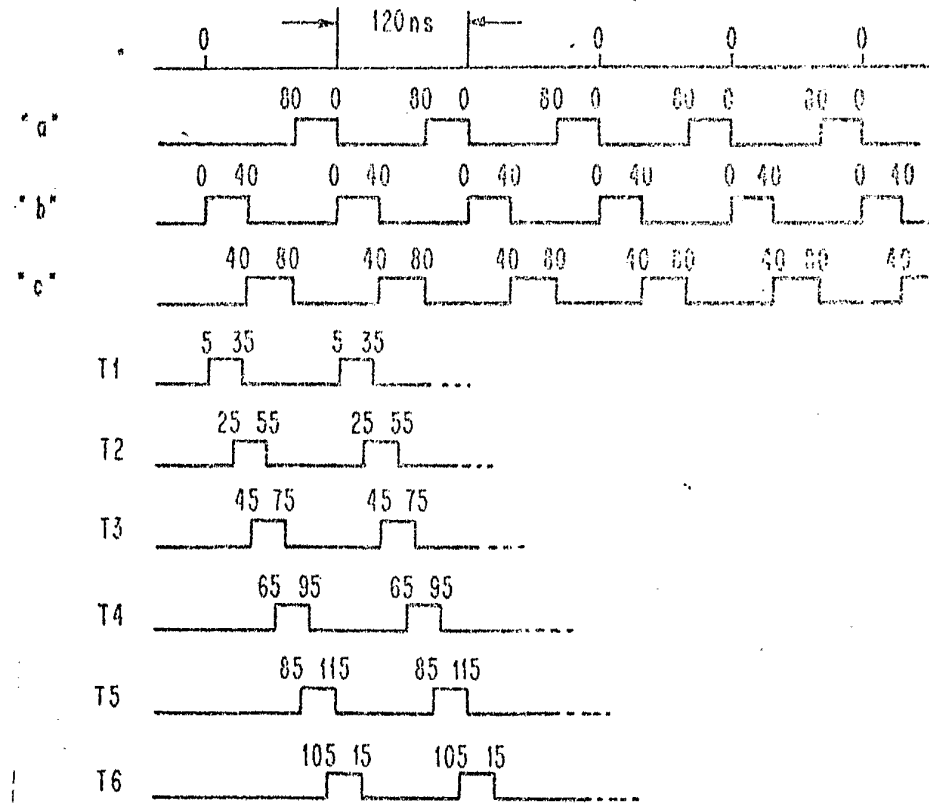


FIG. 13



Alberto de Elaburu
Per. Feder.

FIG. 14



Alberto de E. ...
For Today

FIG. 15

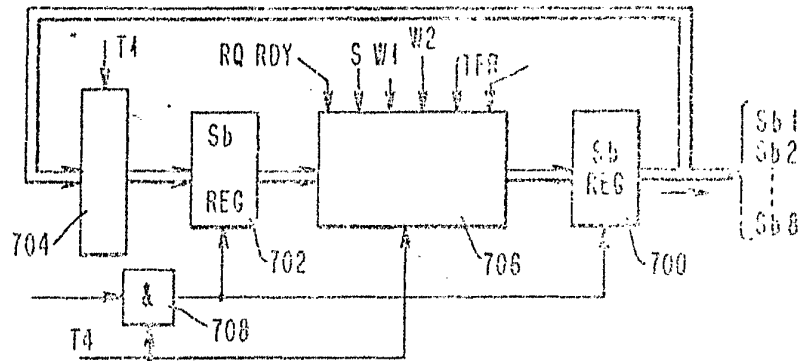


FIG. 16

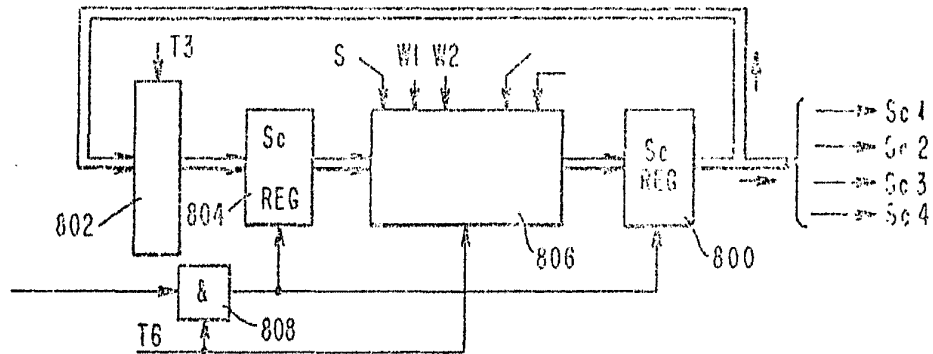
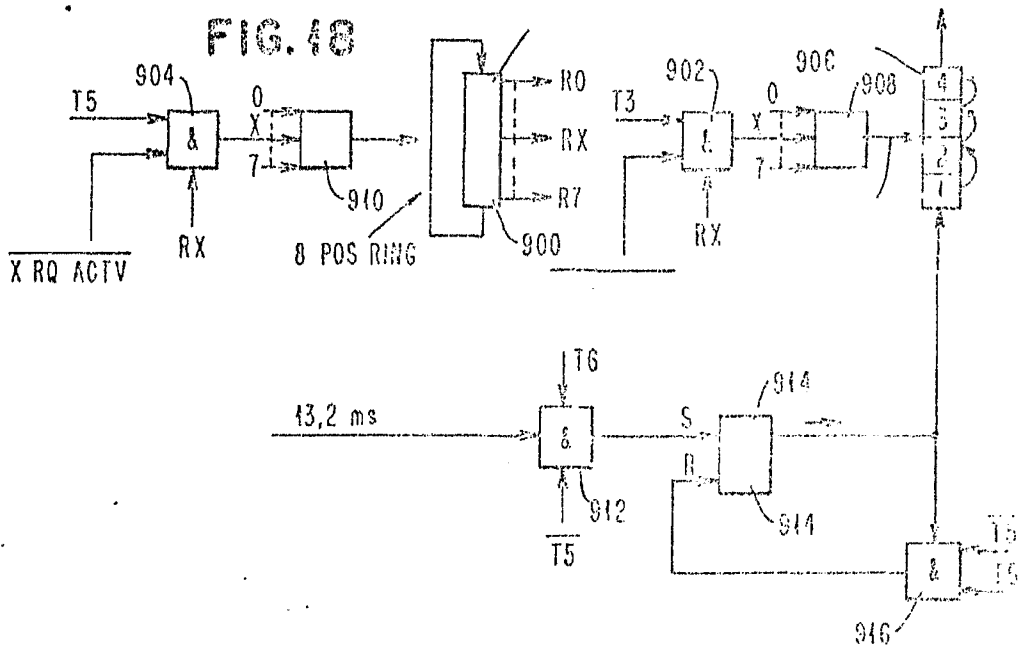


FIG. 18



Alfonso d'Elizaburu
 Designer

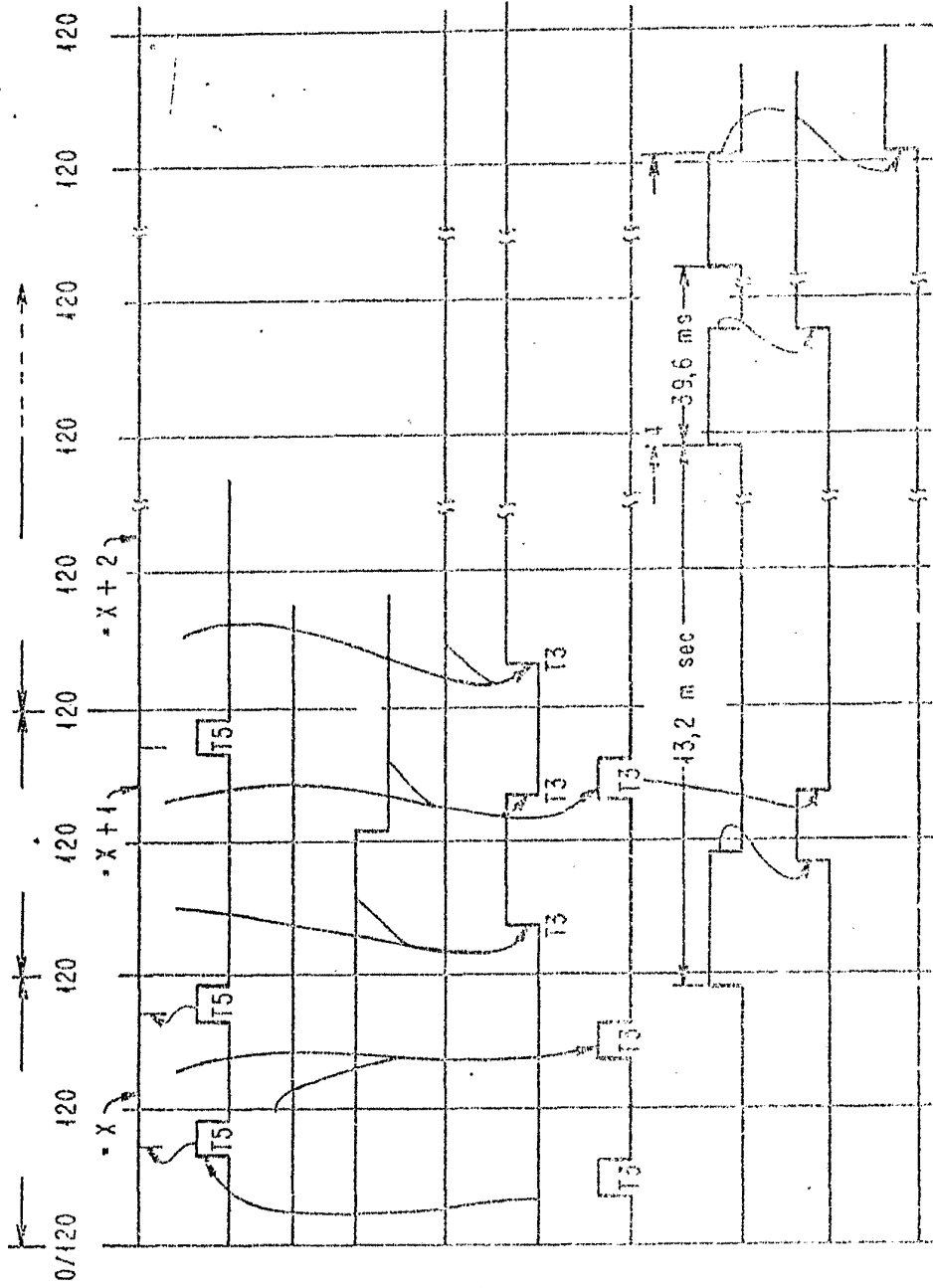
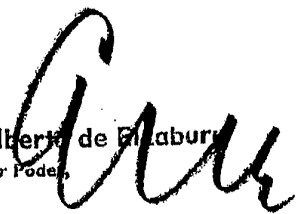


FIG.17

Alberto de Fabiani
Por Poder



IBM - PO 977 012

POOR
QUALITY