

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

ES

11	NUMERO	471.406
21	FECHA DE PRESENTACION	4-7-1978

AI

PATENTE DE INVENCION

20 DIC 1978

A1 471406 790116 G06F 13/00

30	PRIORIDADES:		
31	NUMERO	32	FECHA
	813.404		5-7-1977
		33	PAIS
			EE.UU.

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			G06F, G11C		

54	TITULO DE LA INVENCION
	"PERFECCIONAMIENTOS INTRODUCIDOS EN UN SISTEMA DE TRATAMIENTO DE DATOS"

71	SOLICITANTE (S)
	INTERNATIONAL BUSINESS MACHINES CORPORATION (Docket: P09-77-014)

	DOMICILIO DEL SOLICITANTE
	Armonk, N.Y. 10504, EE.UU.

72	INVENTOR (ES)
	Robert S. Capowski, Matthew A. Krygowski y Terrence K. Zimmerman

73	TITULAR (ES)

74	REPRESENTANTE
	DON ALBERTO DE ELZABURU MARQUEZ (P.-69.310)

jga

REFERENCIAS A PATENTES Y SOLICITUDES DE PATENTE RELACIONADAS

5 La solicitud de Patente Española Número 467326, presentada el 25 de febrero de 1978, contiene una descripción de medios de control de acceso a memoria utilizados en el presente sistema de expedición de solicitud.

La solicitud de Patente Española Número 471407, presentada simultáneamente con esta solicitud, contiene una descripción de un adaptador de memoria utilizado en el presente sistema de expedición de solicitud.

ANTECEDENTES DEL INVENTOCampo del Invento

15 Este invento se refiere a sistemas para transferir solicitudes de acceso a memoria desde canales de entrada-salida múltiples a una memoria principal compartida.

Técnica Anterior

20 La utilización de señales de etiqueta o marcas de identificación para demarcación de palabras de datos, en un sistema de expedición de solicitud entre canales de entrada-salida y equipos de acceso a memoria compartidos, no es original. Sin embargo, la utilización actualmente descrita de etiquetas de demarcación de palabras de datos para obtener orientación reversible en el almacenamiento de parejas de palabras de datos (en asociación con operaciones de Leer y Leer en Retroceso en canales asociados) se considera original y con carácter de innovación.

25 Los sistemas conocidos de expedición de solicitud, como se han caracterizado anteriormente, requieren transferencia expresa de una dirección de memoria con cada

solicitud de acceso a memoria. El presente sistema ofrece una ventaja potencial de velocidad de transmisión de señales mediante activación de una línea de etiqueta especial (QW) para designar direcciones implicadas en una serie de transferencias de solicitud desde una fuente de datos con relación a una serie de espacios contiguos de memoria de datos. Al recibir una dirección única explícita que designa una posición inicial, y una serie de activaciones de etiqueta sobre la línea de etiqueta de dirección implicada, el equipo de acceso a memoria desarrolla una serie de direcciones para establecer la posición de dichos espacios contiguos.

Los sistemas conocidos de expedición de solicitud, como se han caracterizado anteriormente, utilizan señalización de control bilateral (interacoplados totalmente) entre adaptadores de canal y equipos de acceso a memoria compartidos. Cada adaptador debe presentar una señal que solicita acceso a dicho equipo y recibir una señal de confirmación desde dicho equipo antes de que pueda transferir las señales que representen una solicitud. El presente sistema difiere en la utilización de señalización de control unilateral, la cual es en general más eficiente.

En señalización de control unilateral el equipo compartido controla una línea de habilitación relativa a cada adaptador para presentar una señal de habilitación que puede estar activa continuamente durante largos intervalos de tiempo. El estado de cada señal de habilitación depende solamente de estados vacantes en una cola de memoria intermedia que almacena las solicitudes en ruta

ración (y la decisión asociada para la selección de la señal de etiqueta de datos a presentar) hasta un instante con el mayor retardo posible en su secuencia de operaciones de expedición de solicitud. Consiguientemente, puede simplificarse relativamente el control de la secuencia de expedición de solicitud. Descarga también de la responsabilidad de establecer la posición de datos, dentro del espacio de memoria designado por la dirección de solicitud, al equipo de acceso compartido por todos los adaptadores, con economías consiguientes de utilización de dispositivos físicos y sincronismo.

Se contempla una novedad adicional en el presente tratamiento de solicitudes de un ancho de cuatro palabras (en general un ancho de $2n$) como dos solicitudes de un ancho de dos palabras (en general n) y la utilización de señales de etiqueta (QW) asociadas para eliminar transmisiones dobles (en general múltiples) de información de dirección en la expedición de solicitudes de un ancho de cuatro palabras (en general, de un ancho de $2n$). El sistema de acceso a memoria utiliza una única dirección expresamente transmitida para situar dos espacios contiguos de palabra doble (en general n espacios) que representan el origen o destino de los datos de solicitud. En el caso de ancho igual a 4 es situado un espacio mediante la utilización de la dirección transferida (explícita) y es localizado el otro espacio contiguo mediante la utilización de una dirección implícita formada por inversión de un bitio de orden inferior contenido en la dirección explícita.

Otro aspecto nuevo del invento consiste en la utilización de interacoplamiento unilateral, como se ha

caracterizado anteriormente, para conseguir un tratamiento más rápido de transferencias de solicitud.

Los precedentes y otros aspectos, características, objetivos y ventajas del presente invento se apreciarán con más detalle y se comprenderán considerando la siguiente descripción detallada en combinación con los dibujos y reivindicaciones que se acompañan.

DESCRIPCION DE LOS DIBUJOS

La figura 1 ilustra esquemáticamente el ambiente de sistema en el cual se pretende que funcione el presente sistema de expedición de solicitud;

La figura 2 ilustra esquemáticamente un primer elemento adaptador (adaptador de memoria) y un segundo elemento adaptador (controlador de línea general de canal) del presente invento, y sus interconexiones de permutación de solicitud.

Las figuras 3 y 4 indican el formato y sincronismo de ciclo de transferencias de solicitud de entrada y solicitud de salida con relación a las líneas de interconexión representadas en la figura 2;

La figura 5 ilustra esquemáticamente el formato de bits de una palabra de dirección de solicitud que constituye la totalidad de una solicitud de salida (Localización) o bien parte de una solicitud de entrada. La figura 5 ilustra también el formato de palabras de datos que acompañan a solicitudes de entrada;

La figura 6 ilustra la posición en memoria de espacios designados por la parte de palabra de dirección de una solicitud de entrada y las etiquetas D1 y/o D2 que acompañan tal solicitud;

Las figuras 7 y 8 ilustran la utilización convencional (técnica anterior) de la memoria en asociación, respectivamente, con operaciones de canal de Leer y Leer en Retroceso;

5 La figura 9 ilustra operaciones de expedición de solicitud de la técnica anterior en asociación con operaciones de Leer en Retroceso en canales en la técnica anterior;

10 Las figuras 10 y 11 son diagramas de flujo que ilustran operaciones respectivas del primer elemento adaptador (adaptador de memoria) y el segundo elemento adaptador (controlador de líneas general de canal) del presente sistema en lo que respecta a la expedición de solicitudes;

15 La figura 12 ilustra la lógica utilizada en el presente adaptador de memoria para dar curso a solicitudes;

Las figuras 13 y 14 ilustran la lógica incorporada en el controlador de línea general de canal para efectuar las operaciones caracterizadas en la figura 11; y

20 La figura 15 ilustra un aspecto particular de la organización de sincronismo relativo de los funcionamientos del primero y segundo adaptadores para explicar el aspecto de control unilateral del presente invento.

DESCRIPCION DETALLADA

25 Introducción

En las figuras 1 y 2 está ilustrado un sistema que realiza el presente invento. Los detalles de bloques componentes individuales del sistema diferentes de las unidades de adaptador de memoria y controlador de líneas general de canal no son pertinentes para una comprensión

30

del presente invento. Sin embargo, se da una descripción general del funcionamiento del sistema completo para facilitar la comprensión del ambiente de funcionamiento de este invento.

5 El sistema 10 de memoria principal compartida atiende al computador principal 12 y una pluralidad de sistemas de tratamiento de grupo de entrada salida indicados en general en 14. El equipo 10 de memoria comprende una pluralidad de módulos de memoria y circuitos de control de acceso a memoria que controlan la prioridad de acceso a los módulos y la selección de posiciones de dirección específica (espacios de memoria) dentro de los módulos. El sistema que enlaza el sistema 10 de memoria y los sistemas 14 de tratamiento de entrada-salida comprende una unidad adaptadora controladora de líneas general de canal indicada en 16, configuraciones específicas de líneas generales indicadas en general en 18 y unidades adaptadoras de grupo de canal, representadas a modo de ejemplo por el adaptador SAL (adaptador de memoria) representado en 19, asociado con sistemas individuales de los sistemas 14 de tratamiento de grupo de entrada-salida.

15 El sistema que se contempla en la figura 1 comprende hasta tres sistemas 20, 22 y 24 de tratamiento de grupo de entrada-salida, cada uno de los cuales atiende un grupo respectivo de hasta seis canales de entrada-salida. El sistema que atiende el Grupo 1 de Canales está indicado en 20, el sistema que atiende el Grupo 2 de Canales está indicado en 22 y el sistema que atiende el Grupo 3 de Canales está indicado en 24. Los sistemas 20, 22 y 24 son esencialmente idénticos en cuanto a construcción interna.

Consiguientemente, solamente se explicarán aquí los detalles del sistema 20 (Grupo 1) y los detalles de los otros sistemas se deducirán de esta explicación.

El sistema 20 comprende el "primer" adaptador 19 (grupo de canales) (también conocido como Adaptador SA1 de memoria), el ordenador 30 de entrada-salida (IOP 1) y seis canales de entrada representados colectivamente en 32. Los seis canales tienen seis unidades 34 respectivas de acoplamiento de entrada-salida, que están conectadas, a través de controladores de entrada-salida (no representados), a dispositivos periféricos o a computadores periféricos (tampoco representados) a través de unidades adaptadoras de canal a canal.

El adaptador 19 y el ordenador IOP 30 (conocido también como director) están descritos en la solicitud de Patente española Nº 467326 a que se ha hecho referencia anteriormente. El controlador 16 de línea general de canal está descrito en la solicitud de Patente española Nº 471407 a que se ha hecho referencia también anteriormente.

En general, se comprenderá que el computador principal 12 inicia operaciones de los canales individuales, tales como el 32, a través de un enlace de transmisión de señales (no representado) hacia el ordenador 30 de entrada-salida asociado. Después de ello, los canales 32 funcionan independientemente para enlazar unidades periféricas asociadas con el sistema 10 de memoria principal a través del sistema 20 de tratamiento de entrada-salida de grupo asociado, el adaptador 18 de grupo, las interconexiones 18.1 de adaptación de grupos y el controlador 16 (CBC)

de línea general de canal. En el proceso de la comunicación entre canal y memoria los canales proporcionan solicitudes de entrada (memoria) y de salida (recuperación) (que comprenden información de dirección que designa posiciones de espacios de memoria de datos) y el sistema 10 de memoria hacen retornar respuestas (que representan o bien datos recuperados en respuesta a solicitudes de salida o datos de estado de tratamiento de solicitudes de entrada). Las solicitudes y respuestas son puestas en cola en conjuntos de memoria intermedia residentes en las unidades 30, 19 y 16; y son transferidas entre unidades de un modo asíncrono. La información transferida es comprobada en cuanto a paridad en la unidad 16.

La respuesta a una solicitud de entrada incluye típicamente información que indica si los datos han sido recibidos de un modo correcto (comprobados en cuanto a paridad). La respuesta a una solicitud de localización (solicitud de salida) típicamente incluye datos que han sido recuperados de un espacio de memoria designado por la dirección de solicitud.

Las líneas 18.1 de interconexión de expedición de solicitud están asociadas con el sistema 30 de Grupo 1. Están asociadas interconexiones 18.2 y 18.3 similares, respectivamente, con el sistema 22 de Grupo 2 y el sistema 24 de Grupo 3.

Las interconexiones 18.4 de línea múltiple de respuesta comprenden una línea general de derivaciones múltiples que tiene derivaciones o accesos unidos a unidades adaptadoras, tales como la 19, en cada uno de los sistemas 20, 22 y 24. Estas interconexiones incluyen líneas

de "avance" individuales no representadas, conectadas a cada unidad adaptadora para dirigir cada respuesta a la unidad adecuada.

El presente invento concierne particularmente a las interconexiones 18.1 18.3 de expedición de solicitud y partes asociadas de las respectivas unidades adaptadoras de grupo (tales como la 19) y la unidad CBC compartida.

Adaptador de Memoria (General)

La figura 2 muestra que el adaptador 19 (SA1) comprende un conjunto 40 de "memoria intermedia de datos" y controles 42 asociados. Se describirán en los siguientes comentarios partes de estas unidades componentes que son pertinentes a la expedición de solicitudes.

Controlador de Línea General de Canal (General)

La figura 2 muestra que el controlador 16 de línea general de canal (CBC) comprende un registro de conjunto de línea general de canal independiente (denominado en lo que sigue CBAR) asociado con cada adaptador de memoria de grupo para recibir señales de solicitud transferidas por las líneas en las interconexiones asociadas (18.1, 18.2 ó 18.3) figura 1). El registro 46 CBAR (CBAR 1) asociado con la unidad SA1 (adaptador 19) está ilustrado expresamente. Están indicados implícitamente en 48, pero no están ilustrados explícitamente, otros registros CBAR (CBAR2, CBAR 3). El controlador CBC comprende un conjunto de "Memoria Intermedia de Entrada" ilustrada en 50 y circuitos 52 de control de puesta en cola de solicitud asociados. El conjunto 50 recibe y pone en cola solicitudes procedentes de todos los registros CBAR. Están "permanente-

mente" dedicados al tráfico de señales de los respectivos registros CBAR, espacios de registro específicos dentro del conjunto 50. Las transferencias al conjunto 50 están sometidas a un orden de prioridad predeterminado (el tráfico en el registro CBAR 1 tiene prioridad sobre el tráfico en el registro CBAR 2, el cual tiene a su vez prioridad sobre el tráfico en el registro CBAR 3). El conjunto 50 de Memoria Intermedia de Entrada da curso a solicitudes hacia el sistema 10 de memoria, cuando ese sistema está disponible, sometidas al mismo orden de prioridad. Las salidas de los registros CBAR son comprobadas en cuanto a paridad por circuitos asociados de comprobación de paridad, tales como el circuito 46.1.

Unidad de Acoplamiento de Expedición de Solicitud

Las interconexiones 18.1 representadas en la figura 2, comprenden una línea general 53 de 41 líneas designada "Línea General de Entrada" y seis líneas de control. La línea general 53 es utilizada para transferir información de palabras de dirección y palabras de datos de solicitudes en las unidades de señal de palabra de 41 bits.

La línea 54 de control de habilitación es activada (es elevado su nivel lógico) por las unidades 52 de control de expedición de solicitud de la unidad CBC, para habilitar el adaptador 19 (denominado en lo que sigue SA1) en el sentido de dar curso a una solicitud hacia la unidad CBC cuando tiene una solicitud que enviar. La línea 54 se mantiene activa para proporcionar control "unilateralmente interacoplado" del adaptador SA1, cuando existe estado vacante dentro de la capacidad de memoria interme-

dis del registro CBAR 1 o del conjunto 50 (dentro de la porción de ese conjunto dedicada a solicitudes del Grupo 1).

Las otras cinco líneas de control de las interconexiones 18.1 (las líneas 56, 58, 60, 62 y 64) están controladas por las unidades 42 de control del adaptador SA1. Estas otras líneas comprenden la línea 56 de etiqueta o marca de identificación de dirección (ADR), dos líneas 58 (D1) y 60 (D2) de etiqueta de datos, la línea 62 de etiqueta de cuatro palabras (QW) y la línea 64 de etiqueta de final de transmisión (Línea EOT). La línea ADR de etiqueta de dirección se activa para indicar la presencia de señales de palabra de dirección de solicitud sobre la línea general 53 de entrada. Las líneas D1 y D2 de etiquetas de datos se activan selectivamente para indicar la presencia de señales de palabra de datos de entrada sobre la línea general 53 y para designar destinos de palabras de datos asociados con relación a pares de espacios de memoria de palabras designados por una palabra de dirección asociada. La línea 62 de etiqueta (QW) se activa para representar transferencias de dirección implícita en asociación con transferencias de solicitudes de un ancho de cuatro palabras. La línea EOT se activa para demarcar solicitudes de ancho de una palabra y ancho de dos palabras, y mitades de solicitudes de cuatro palabras.

La línea general 53 de entrada es activada cíclicamente para transferir unidades de dirección y unidades de palabras de datos de información de solicitud en transmisión de bitios en paralelo, como se representa en la figura 5. El sincronismo y formatos de ciclo de las se-

cuencias de transferencia asociadas con solicitudes Localizar y Almacenar se indican en las figuras 3 y 4.

Las figuras 3 y 4 indican el intervalo 70 de ciclo típico de operaciones de señalización de transferencia de solicitud, el cual representa también el tiempo de un ciclo de operación del sistema IOP 30 y el adaptador SAL. Un ciclo de operación interna de la unidad CBC 16, sugerido en 72, tiene una duración de aproximadamente la mitad de la del ciclo 70 indicado. Las duraciones de los ciclos 70 y 72 son aproximadamente de 120 y 60 ns, respectivamente. Consiguientemente, la unidad CBC es capaz de ejecutar dos ciclos de funcionamiento interno por cada ciclo de acción de señalización potencial sobre las interconexiones 18.1.

Los registros CBAR, tal como el registro 46 (figura 2), no se reponen hasta después que sus contenidos son transferidos al conjunto 50. Está asociado con cada registro CBAR un circuito de retención "lleno" - "no lleno" representado y comentado posteriormente en esta descripción (con referencia a la figura 14) que se activa al estado "lleno" (para indicar ocupación) cuando se recibe la etiqueta EOT y se activa al estado "no lleno" (para indicar estado vacante) cuando es transmitida información de solicitud desde el registro CBAR al conjunto 50 de memoria intermedia de entrada.

Operación de Expedición de Solicitud (General)

Las solicitudes son tratadas del modo siguiente. La información de solicitud, originada por cualquier canal 32 (figura 1) o por el sistema 30 IOP, (relativa a un proceso de cálculo interno que es ejecutado por ese

sistema), es transmitida al adaptador SAL y puesta en cola en la memoria 40 intermedia de datos y unidades 42 de control. La información de dirección y datos de la solicitud es transmitida a la memoria intermedia 40 (figura 2) a través de líneas generales representadas en 80 (figura 2). La información de control asociada con la solicitud es transmitida, a través de las líneas 82 (figura 2), a una memoria intermedia de secuencia de control incluida en los circuitos 42 de control de líneas general de entrada (figura 2). La información de control es así puesta en cola en asociación con la respectiva solicitud. La información de control incluye: tres bits denominados CHID (identidad de canal) que designan la fuente de solicitud (canal o sistema IOP interno); un bitio S que designa el tipo de solicitud (Almacenar-Localizar); un bitio B que distingue direccionalidad (retroceso-no retroceso) de solicitudes de entrada (asociadas con operaciones Leer en Retroceso y Leer en canales de origen); los bitios W1, W2 que designan el ancho de datos de la solicitud (1, 2 ó 4 palabras de datos a localizar o almacenar); y un bitio AO utilizado en asociación con solicitudes de entrada de una palabra. El bitio AO, al que se hace referencia como "bitio 29" en la solicitud N° 471407, a que se ha hecho referencia anteriormente, es un bitio de dirección que no es expedido a la unidad CBC. Es utilizado por el adaptador 19 para seleccionar una etiqueta de datos D1 o D2 para presentación a la unidad CBC en asociación con la información de datos de una solicitud de entrada respectiva de un ancho de una palabra.

Cuando la línea 54 de habilitación esté ac-

tiva puede ser transferida sobre las interconexiones 18.1 una solicitud puesta en cola en el adaptador 19. La transferencia ocupa un número variable de ciclos 70 (figuras 3, 4); siendo el número función del tipo de solicitud y de su ancho en palabras. Como se ha indicado anteriormente, es elevado el nivel lógico de la etiqueta ADR por los controles 42 cuando es transferida por la línea general 53 de entrada información de dirección de cualquier solicitud.

Las etiquetas D1 o D2 de datos son activadas selectivamente por los controles 42 cuando es transferida por la línea general 53 información de datos de cualquier solicitud de entrada. Es elevado el nivel lógico de la etiqueta QW por los controles 42 para indicar la "segunda mitad" de una transferencia de solicitud de cuatro palabras. Ello habilita la unidad CBC para desarrollar una dirección implícita invirtiendo un bitio en la dirección transferida explícitamente. La etiqueta EOT es activada (elevado su nivel lógico) para indicar demarcación de solicitudes y de "mitades" de solicitudes de un ancho de cuatro palabras. La etiqueta EOT es también utilizada en combinación con las etiquetas D1 o D2 para distinguir específicamente solicitudes de almacenamiento de un ancho de una palabra, y habilita la unidad CBC para anular y mantener la paridad en vías de transferencia de datos entre los registros CBAR individuales y el conjunto 50.

Las etiquetas ADR D1 y D2 recibidas son utilizadas por la unidad CBC para dirigir porciones de información de dirección y datos de solicitudes desde la línea general 53 de entrada a secciones específicas asociadas del registro CBAR 46 (figura 2). La etiqueta QW es utilizada

por la unidad CBC para "implicar" la segunda dirección de cada solicitud de un ancho de cuatro palabras. La implicación es efectuada invirtiendo un bitio de dirección de orden bajo en la información de dirección explícita (retenida en el registro CBAR 46) cuando es transferida al conjunto 50 la información de la segunda solicitud.

La etiqueta EOT es utilizada por la unidad CBC como función de demarcación y como indicador de ciertos tipos de solicitudes que requieren acción de anulación predispuesta. En la utilización de demarcación es ajustada una indicación "CBAR lleno" cuando se recibe la etiqueta EOT. Esto hace elegible el contenido del registro 46, sometido a consideraciones de prioridad de grupo para transferencia al conjunto 50 de memoria intermedia. En indicación de solicitud, la utilización de la etiqueta EOT en combinación con D1 o D2 y una etiqueta ADR anterior designa una solicitud de "Almacenar" de un ancho de una palabra y es utilizada por la unidad CBC para poner a punto la transferencia de ceros (información nula) con paridad "correcta" a uno de los canales (no utilizados) de transferencia de dos palabras de datos entre el registro CBAR 46 y el conjunto 50.

Cuando está accesible la memoria 10 son transmitidas solicitudes desde el conjunto 50 a la memoria, respetando consideraciones de prioridad de grupo.

Formato de Señales de Solicitud

El formato de señales de solicitud tratadas en las interconexiones 18.1 está indicado en la figura 5. Cada solicitud comprende una palabra de dirección de solicitud que tiene la forma indicada en general en 102. Cada

una de las solicitudes de entrada comprende una o más palabras de datos, cada una de las cuales tiene el formato indicado en general en 104.

Cada palabra de dirección de solicitud comprende un campo 105 de dirección de 21 bitios que designa la posición 106 (figura 6) de un espacio de memoria de doble palabra en la memoria principal 10 (figura 1). Adicionalmente, cada palabra de dirección comprende un campo (SP) de cuatro bitios utilizado para protección de memoria, un campo (CHID) de 4 bitios que sirve para indicar la identidad de la fuente de solicitud, un campo S de un bitio que sirve para indicar el tipo de solicitud (como "Almacenar" si $S = 1$ o "Localizar" si $S = 0$), un campo FA de 1 bitio que sirve para indicar si se requiere una traslación de dirección predeterminada (no siendo pertinentes para el presente invento los detalles de tal traslación), un bitio P que indica paridad de los bitios S y FA, y un campo de 5 bitios de "Repuesto" (para permitir ampliación). Adicionalmente a los 36 bitios de "información" precedentes, la palabra de dirección de solicitud comprende 5 bitios de paridad no representados que son utilizados por la unidad CBC para comprobar porciones de la "expresión" de palabras de 36 bitios formada por los 21 bitios SP, CHID, S y FA, P de dirección y los cuatro bitios de repuesto. Es transferida una representación de señal en paralelo de esta "expresión" junto con las cinco señales de bitio de paridad, como "expresión de palabra" de 41 bitios en la línea general 53 de 41 conductores (figura 2).

La palabra 104 de datos utilizada en solicitudes de entrada comprende una expresión de 41 bitios que

consiste en 36 bitios de información y 5 bitios de paridad, no representados. Los bitios de información comprenden cuatro baterías de datos de 8 bitios y un campo de cuatro bitios de marcas. Cada bitio de marca está asociado con una batería respectiva diferente de las cuatro baterías de datos. Los bitios de marca son utilizados por el sistema 1⁰ de memoria para determinar cual de las baterías de datos asociadas ha de almacenarse en relación de contigüedad dentro del espacio designado por la información de dirección de la expresión de palabra de dirección.

Sincronismo de Señal de Acoplamiento

Las relaciones de sincronismo de transferencias de solicitud Localizar del adaptador 19 a la unidad CBC 16 están indicadas en la figura 3. Los ciclos 70 de funcionamiento de señalización coinciden con ciclos de funcionamiento interno del adaptador 19 y el sistema 30 IOP. Los semiciclos de funcionamiento de señalización de interconexión indicados en 72 coinciden con ciclos completos de funcionamiento interno de la unidad CBC 16 y de circuitos de control de acceso asociados con el sistema 10.

En la realización que se está describiendo pueden ser transferidas solicitudes a la unidad CBC desde cualquier unidad SA solamente cuando la línea 54 de habilitación asociada está activa, como se sugiere en 110, y ha transcurrido un ciclo de "reposo" desde una etiqueta EOT anterior. La línea 54 de habilitación (figura 2) está activa siempre que el registro CBAR asociado (registro 46, figura 2) o el espacio de cola asociado dentro del conjunto 50 de memoria intermedia de entrada (figura 2), contengan un estado de vacante con relación al tráfico de solici-

tud de la unidad SA asociada.

En una transferencia 112 de localización de doble palabra (ancho de dos unidades) la información transferida por la línea general de entrada consiste solamente en una expresión de palabra de dirección, tal como la 102 (figura 5). Esta palabra es presentada en la línea general 53 de entrada mientras son presentadas las etiquetas ADR y EOT en coincidencia en las líneas 56 y 64 respectivas (figura 2). La transmisión de tales solicitudes en la presente realización ocupa tres ciclos consecutivos; un ciclo activo 114 en el cual son presentadas la expresión de palabra de dirección y las etiquetas ADR y EOT; y dos ciclos inactivos 115 durante los cuales no tiene lugar transmisión de señales.

La información correspondiente a una solicitud 118 de localización de cuatro palabras (figura 3) comprende similarmente sólo una palabra de dirección. Sin embargo, la transferencia de la solicitud ocupa cinco ciclos consecutivos en la presente realización. En el primer ciclo 120 es transmitida la palabra de dirección en coincidencia con las etiquetas ADR y EOT. El siguiente ciclo 121 es inactivo. En el siguiente ciclo 122 (tercero) son presentadas las etiquetas QW y EOT, como se sugiere en 124 (obsérvese que estas etiquetas son transmitidas sin que se transmita ninguna información por la línea general de entrada). Como se ha explicado anteriormente, la etiqueta QW es utilizada por la unidad CBC para proporcionar tratamiento implícito de cada solicitud de un ancho de cuatro palabras como dos solicitudes de un ancho de dos palabras procedentes de un origen. La información de dirección propor-

cionada en el ciclo 120 es utilizada dos veces por la unidad CBC pero con un bitio de orden bajo invertido en la segunda utilización. Los dos ciclos que siguen al ciclo 122 son inactivos. Obsérvese que no son utilizadas las etiquetas D1 y D2 durante la expedición de solicitudes Localizar.

Con referencia a la figura 4, las solicitudes de entrada (Almacenar) tienen tres posibles anchos; palabra única (ancho 1), palabra doble (ancho 2) y palabra cuádruple (ancho 4). Las solicitudes de almacenamiento son transferidas durante ciclos 70 idénticos en cuanto a relación de sincronismo con los ciclos utilizados para transferencia de solicitudes Localizar. La línea 54 de habilitación (figura 2) debe estar en estado de habilitación (activa) para cualquier solicitud Almacenar a expedir.

En la presente realización la transferencia de una solicitud Almacenar de ancho 1, indicada en 140, ocupa tres ciclos consecutivos. La transferencia de una solicitud Almacenar de ancho 2, indicada en 142, ocupa cuatro ciclos consecutivos. La transferencia de una solicitud Almacenar de ancho 4, indicada en 144, ocupa siete ciclos consecutivos.

En una transferencia Almacenar de ancho 1, es utilizado el primer ciclo 150 para transferir información de dirección por la línea general 53 de entrada (figura 2) en coincidencia con la presentación de la etiqueta ADR (dirección) en la línea 56 de etiqueta de dirección (figura 2). En el segundo ciclo 152 es transferida información de datos por la línea general de entrada mientras son

presentadas la etiqueta EOT y una de las dos etiquetas D1 o D2 de datos por las líneas respectivas de etiqueta. Es presentada la etiqueta D1 si el bitio A0 mencionado anteriormente tiene valor 0 y es presentada la etiqueta D2 si el bitio A0 tiene el valor 1. La etiqueta EOT presentada en el ciclo 152 sirve tanto como función de demarcación como para indicar, en combinación con D1 o D2 (y la etiqueta ADR en el ciclo precedente), que está siendo transferida una solicitud Almacenar de ancho 1. Esta es utilizada por la unidad CBC según un principio de "anterior" (avanzado) para llevar a efecto acciones de anulación con relación a una de dos vías de transferencia de palabras de datos entre el registro CBAR 1 (figura 2) y el conjunto 50, y acciones de mantenimiento de paridad con relación a los circuitos 46.1 de comprobación de paridad (figura 2) acoplados a dichas vías de datos.

En esta realización la transferencia de una solicitud 142 Almacenar de ancho 2, ocupa cuatro ciclos consecutivos. En el primer ciclo 156 es transferida información de dirección por la línea general 53 de entrada (figura 2) mientras es presentada la etiqueta ADR en la línea 56 de etiqueta (figura 2). En los dos ciclos 158 y 160 siguientes son transferidas dos palabras de datos por la línea general 53 de entrada en el orden de recepción de tales palabras por el canal de origen. En estos ciclos son presentadas las etiquetas D1 y D2 de datos, en un orden selectivo (D2 en primer lugar si el bitio B de direccionalidad es igual a 1, y D1 en primer lugar si $B = 0$). En el ciclo 160 es presentada la etiqueta EOT como función de demarcación. El ciclo que sigue al ciclo 160 es inactivo.

La transferencia de una solicitud Almacenar de cuatro palabras indicada en 144 (figura 4) ocupa siete ciclos consecutivos. El primer ciclo 170 es utilizado para transmitir la parte de dirección "explícita" de la solicitud junto con la etiqueta ADR. Los dos ciclos 172 y 174 siguientes son utilizados para dar curso a dos palabras de información de datos en el orden de recepción de canal mientras son presentadas las etiquetas de datos asociadas en una secuencia selectiva (en primer lugar D2 si $B = 1$ y en primer lugar D1 si $B = 0$). Es presentada la etiqueta EOT en el ciclo 174 como demarcación de "mitad" de la transferencia. El siguiente ciclo (cuarto) es inactivo y es utilizado por el adaptador para comprobar la línea 54 de habilitación (figura 2) en cuanto a que sea permisible la transmisión en ciclos subsiguientes. Los dos ciclos 176 y 178 siguientes son utilizados para enviar dos palabras más de datos procedentes del mismo origen (por ejemplo, el canal) mientras son presentadas las etiquetas de datos asociadas en la misma secuencia que en los ciclos 172 y 174. La etiqueta EOT es presentada en el ciclo 178. La etiqueta QW puede ser transmitida ya sea en el ciclo 176 o en el ciclo 178 (no en ambos) como se sugiere en 180. De un modo análogo, para tratar una solicitud Localizar de ancho 4 es utilizada la etiqueta QW por la unidad CBC para proporcionar tratamiento implícito de cada solicitud Almacenar de ancho 4 como dos solicitudes Almacenar de ancho 2 (procedentes de un origen) dirigidas a dos espacios de palabra doble contiguos en memoria.

La figura 15 ilustra la situación de "peor caso" del tráfico de transferencia de solicitudes en donde

están siendo emitidas en coincidencia solicitudes por SA1, SA2 y SA3; siendo presentadas simultáneamente las etiquetas EOT respectivas. Esto significa que los registros CBAR1, CBAR2 y CBAR 3 (figura 2) estén activados simultáneamente al estado de "lleno". Suponiendo que la memoria intermedia 50 de entrada contiene espacios vacantes con relación a cada registro CBAR, los tres registros CBAR se vaciarían en la memoria intermedia 50 en tres ciclos CBC consecutivos correspondientes a un ciclo y medio de señalización de transferencia de solicitud, como se indica en las tres líneas inferiores de la figura 15. Contando con que cada unidad SA permite que transcurra un ciclo inactivo después de su respectiva etiqueta EOT, antes de que reanude la señalización de solicitud (como se sugiere en las tres líneas superiores de esta figura), los respectivos registros CBAR podrían estar accesibles "continuamente" como se representa (y por consiguiente las respectivas líneas de control "habilitar" podrían mantenerse continuamente activas si estuviese libre el canal de datos establecido desde la memoria 50 al sistema, en la figura 2).

Utilización de Espacio de Memoria

Las figuras 7 y 8 ilustran la utilización de espacios de memoria con respecto a solicitudes de entrada asociadas, respectivamente, con operaciones Leer y Leer en Retroceso de canales de origen. Estas ilustraciones son válidas tanto para sistemas de la técnica anterior como para el presente sistema. La figura 7 muestra que en operaciones de Leer son utilizados accesos sucesivos a memoria para situar palabras de datos de entrada en memoria y posiciones de dirección dispuestas en progresión aritmé-

tica "ascendente". La figura 8 muestra que en una operación Leer en Retroceso son almacenados datos en posiciones de dirección dispuestos en progresión descendente; con lo cual la primera palabra de datos recibida por el canal es situada en el "primer" espacio de palabra (dirección más alta) de una zona de memoria asignada de espacios de palabra contiguos plurales y la última palabra de datos recibida por el canal es situada en un espacio "último" (dirección más baja) de esa zona. Consiguientemente, cuando es extraído de la memoria el registro en la progresión ascendente "ordinaria" de direcciones, serán recuperadas las palabras de datos (y baterías de bits) en orden inverso (con relación al orden de recepción por el canal).

La figura 9 es utilizada para ilustrar una complicación que plantea esto con relación al tratamiento de solicitudes de entrada de ancho 4. En el tratamiento de transferencia de solicitudes de entrada de ancho 4 asociadas con operaciones Leer en Retroceso en los canales, cada par de palabras de datos recibidas (ensambladas) por un canal debe ser orientado en sentido inverso en posición relativa a un espacio de doble palabra en la memoria (106, figura 6).

En el presente sistema se evita la necesidad de que los canales proporcionen tal orientación mediante la utilización de etiquetas (D1, D2) de datos relativas a palabras de datos presentadas en la secuencia "natural" de recepción por el canal. Circuitos de acceso a memoria compartidos en la unidad CBC responden a las etiquetas de datos y sitúan así en orden inverso las palabras de cada pareja de palabras de datos asociadas con una secuencia

Leer en Retroceso en el espacio 106 asignado a cada pareja.

Funcionamiento del Adaptador de Memoria

5 El funcionamiento de un adaptador de grupo, tal como el SAL (figura 2) con respecto a la expedición de solicitudes, está ilustrado en la figura 10. Los circuitos lógicos de control asociados están representados en la figura 12. Los circuitos 42 de control (figura 2) comprenden un secuenciador de ocho estados descrito en la men-
10 cionada solicitud de patente Nº 471407, teniendo dicho secuenciador ocho estados Sb1, Sb2 ... Sb8 distintos de control de secuencia.

15 En el estado Sb1 inicial, representado en 200 en la figura 10, se toma una acción para preparar el adaptador para el tratamiento de expedición de una solicitud siguiente. La transferencia al siguiente estado Sb2 está condicionada al estado 202 "Solicitud Preparada". El estado Solicitud Preparada es establecido por el sistema IOP 30 (figura 2) cuando está puesta en cola una solicitud
20 en el adaptador 19, y finaliza cuando se alcanza el estado Sb2 si solamente está puesta en cola en curso una solicitud.

25 En el estado Sb2 se reclaman las acciones indicadas en 204 (figura 10). La porción de palabra de la dirección de solicitud es extraída del conjunto 40 de memoria intermedia y elementos de memoria intermedia dentro de los circuitos 42 de control (figura 2) en preparación para transferencia subsiguiente a la unidad CBC, Si está activa la línea 54 (prueba 206), el secuenciador avanza al
30 estado Sb3.

La acción adoptada en el estado Sb3 (208 ó 210) es condicional respecto al tipo de solicitud (es decir, respecto al estado del bitio S suministrado al adaptador 19 a través de la línea general 82 de la figura 2).

5 La acción 208 está asociada con el tratamiento de una solicitud Localizar (S = 0) y la acción 210 está asociada con el tratamiento de una solicitud Almacenar (S = 1).

La acción 208 controla la transmisión de la parte de palabra de dirección de la solicitud (102, figura 5) a la unidad CBC (a través de la línea general 53 de entrada, figura 2) durante un ciclo, y transfiere también las señales de etiqueta ADR y EOT a la unidad CBC en el mismo tiempo (a través de las líneas 56 y 64 de etiquetas ADR y EOT, figura 2). La acción 210 transfiere la parte de palabra de dirección de la solicitud con la etiqueta ADR (pero no la etiqueta EOT) durante un ciclo y prepara una palabra de datos (104 figura 5) durante ese ciclo para transferencia en el ciclo siguiente (véase la figura 4). La palabra de datos es preparada extrayéndola del conjunto 40 de puesta en cola (figura 2) y reteniéndola en un registro directamente conectable a la línea general de entrada.

20 Cuando la solicitud es una solicitud Localizar, la secuencia bifurca al estado Sb3, al estado Sb1 o bien al estado Sb2, a través de la comprobación 212 de bifurcación. Si no se requiere ninguna transferencia adicional, es decir si la solicitud tiene un ancho de dos palabras o si el proceso de expedición de una transferencia de un ancho de cuatro palabras está concluyendo (como en el ciclo 122 de la figura 3), el secuenciador vuelve al estado inicial Sb1. Si se requiere acción adicional (transmisión

30

de la etiqueta QW para una solicitud de ancho 4) el secuenciador repite los estados Sb2 y Sb3 para realizar la acción 214. En esta repetición de estados Sb2 y Sb3, el estado Sb2 reclama un ciclo inactivo ("no operación") correspondiente al ciclo 121 (figura 3) y el estado Sb3 reclama la acción de transferir las etiquetas QW y EOT por las líneas respectivas 62 y 64 de etiqueta (figura 2), acción que corresponde al ciclo 122 (figura 3). El secuenciador retorna entonces al estado inicial Sb1.

Si la solicitud que se está transfiriendo es una solicitud Almacenar, el secuenciador bifurca el estado Sb3 a través de la comprobación 220 de bifurcación "ancho 1" (figura 10), al estado Sb4 (asociado con una solicitud de ancho 1 manifestada por el estado de activación del bitio W1 de ancho, proporcionado a través de la línea general 82 de la figura 2) o bien al estado Sb5. En el estado Sb4 se realiza la operación 222 (figura 10). En el estado Sb5 se realiza la operación 224.

La operación 222 transfiere una palabra de datos (preparada por la operación 210 en el ciclo precedente) a la unidad CBC con la etiqueta EOT y con una de las etiquetas D1 o D2 de datos. La elección de la etiqueta de datos que se presenta se efectúa en función del estado del bitio AO, (véanse las figuras 2, 4 y 6). Esta elección determina si la palabra de datos asociada será almacenada eventualmente en el espacio de 0 ó 1 palabras (106.1 ó 106.2, figura 6), dentro del espacio 106 de palabra doble designado por la dirección de solicitud (la dirección transferida en la operación 210). La operación 222 completa el tratamiento de la solicitud de ancho 1 y el secuenciador

retorna al estado inicial Sbl.

En la operación 224 asociada con el estado Sb5 (es decir, con el tratamiento de una solicitud de entrada de ancho 2 o de ancho 4), la palabra de datos preparada por la operación 210 en el ciclo precedente es enviada a la unidad CBC con una etiqueta de datos, ya sea D1 o D2. La elección de la etiqueta D1 o D2 se realiza en función del bitio B de direccionalidad (figura 2) y determina si esta primera palabra de datos será almacenada en la mitad izquierda o derecha (106.1 ó 106.2) del espacio 106 de palabra doble designado por la dirección de solicitud. La operación 224 incluye también la preparación de otra palabra de datos (segunda) que ha de enviarse en el ciclo siguiente. Si se está realizando la operación 224 con relación a una "segunda" transferencia (es decir, la transferencia de un segundo par de palabras de datos de una solicitud de entrada de ancho 4; véase la figura 4), su acción incluye la presentación de la etiqueta QW en el sistema CBC.

Desde el estado Sb5 la secuencia bifurca en 226 ya sea al estado Sb6 o al estado Sb8. Si no se requiere ninguna transferencia adicional (es decir, si el bitio W2 es igual a 1, indicando una solicitud de ancho 2, o si está impuesto un estado de "segunda transferencia", indicando que está en curso el tratamiento de transferencia de un segundo par de palabras de datos de una solicitud Almacenar de ancho 4), la secuencia bifurca al estado Sb8 en el cual se realiza la conclusión de la operación 228 antes de que la secuencia retorne al estado inicial Sbl. En la operación 228 la palabra de datos preparada por

la operación 224 es expedida a la unidad CBC con la etiqueta EOT y una etiqueta de datos, ya sea D1 o D2. La elección de la etiqueta D1 o la etiqueta D2 depende del estado del bitio B de direccionalidad (si $B = 0$, se transmite D2; si $B = 1$ se transmite D1). Consiguientemente, cuando $B = 1$ (indicando carácter de dirección de retroceso) el par de palabras de datos transferido consecutivamente por las operaciones 224 y 228 está acompañado, respectivamente, por las etiquetas D2 y D1 (en ese orden) y se almacenarán, respectivamente, en subespacios 106.2 y 106.1 de palabra del espacio 106 de palabra doble (figura 6) designado por la dirección.

Si la secuencia bifurca en 226 al estado Sb6 (es decir, si se requiere tratamiento adicional; significando que la solicitud es una solicitud de ancho 4 y está incompleto el tratamiento de transferencia relativo a las dos primeras palabras de las cuatro palabras de datos) se realiza la operación 230. En la operación 230 la palabra de datos preparada durante la operación 224 es transferida al sistema CBC con la etiqueta D2 o D1 de datos. Si fué presentada la etiqueta D1 en la operación 224, es presentada la etiqueta D2 en la operación 230, y viceversa.

La secuencia avanza automáticamente desde el estado Sb6 al estado Sb7. En este estado se realiza la operación 232 inactiva durante al menos un ciclo, después del cual la bifurcación "habilitar" 234 permite que la secuencia retorne al estado Sb5. La bifurcación "habilitar" 234 está condicionada al estado de la línea 54 (figura 2) controlada por el sistema CBC. Si la línea Habilitar tiene

nivel alto el secuenciador avanza al estado Sb5. Si no tiene nivel alto, el secuenciador permanece en el estado Sb7.

5 En la segunda iteración del estado Sb5 y la operación 224 asociada (es decir, en la cual es transferida a la unidad CBC la tercera palabra de las cuatro palabras de datos de una solicitud Almacener de ancho 4) puede ser presentada a la unidad CBC la etiqueta QW de palabra cuádruple. En el segundo paso a través de la bifurcación 226 la secuencia bifurca invariablemente al estado 10 Sb8 (correspondiendo éste a la segunda parte de la transferencia de ancho 4). En el estado Sb8 se realiza la operación 228, completándose la transferencia de ancho 4 y la secuencia retorna al estado Sbl.

15 La línea 300 (situada en posición más alta en la figura 12) establece conexión a la entrada de reposición del circuito 302 de retención "Segunda Transferencia" (representado en la parte inferior de la figura 12). La línea 300 es activada por la operación 200 (figura 10) 20 asociada con el estado Sbl. El estado de activación del circuito 202 de retención condiciona parcialmente las bifurcaciones 212 y 226 (figura 10). El estado Sbl (operación 200) prepara también el circuito "Y" 304 (figura 12), el cual, en respuesta a la señal "solicitud preparada" 25 (controlada por el ordenador 30 de entrada-salida de la figura 2), activa la línea 306 (figura 12). La activación de la línea 306 permite que la secuencia incremente hasta su siguiente estado Sb2 reclamando la operación 204 (figura 10).

30 El estado Sb2 prepara los circuitos "Y" 308

y 310 (figura 12). El circuito "Y" 308 controla la operación 204 relativa a este estado. El circuito "Y" 310 controla el avance al estado Sb3. Si el circuito 302 de retención de segunda transferencia no está activado (seg. TFR), es decir si el estado precedente era Sb1, el circuito "Y" 308 produce la salida "preparar palabra de dirección". Esta salida hace que sea extraída la información que incluye la parte de dirección "explícita" de la solicitud del conjunto 40 de memoria intermedia de datos y los circuitos 42 de control (figura 2) en preparación para la transmisión de dicha información en el siguiente ciclo de funcionamiento. Sin embargo, si el circuito 302 de retención de segunda transferencia está en el estado de activación cuando está en vigor el estado Sb2 (caso que se presentará si se alcanza el estado Sb2 desde el estado Sb3 a través de la bifurcación 212 de la figura 10), entonces no tendrá lugar ninguna acción durante el ciclo de funcionamiento asociado con Sb2.

El circuito "Y" 310 (figura 12) responde al estado Sb2 y al estado de habilitación en la línea 54 "habilitación de grupo" asociada (figura 2) para estimular la línea 312. Esto permite que la secuencia incremente hasta su siguiente estado Sb3. En este estado se efectúa una de las operaciones 208 ó 210 (figura 10). Si la solicitud es una solicitud del tipo Localizar (S = 0; indicado también por S), serán preparados los circuitos "Y" 314 y 316. Estos circuitos responden a salidas respectivas de fase complementaria del circuito 302 de retención de segunda transferencia cuando está activo el estado Sb3, para producir señales que controlan la transferencia de informa-

ción de dirección y las etiquetas QW y EOT. El circuito "Y" 314 es utilizado también para determinar si se requiere una transferencia adicional (bifurcación 212, figura 10). Por otra parte, si la solicitud que está siendo tratada en curso es una solicitud del tipo Almacenar ($S = 1$), son preparados los circuitos "Y" 318 y 320 por entradas de fases complementarias asociadas con el bitio W1 de ancho (figura 2) y funcionarán para distinguir si la transferencia es de un ancho 1 o de un ancho superior (bifurcación 220, figura 10).

El circuito "Y" 314 (figura 12) responde específicamente a los estados \bar{S} (Localizar), $Sb\bar{3}$ y de reposición del circuito 302 de retención de segunda transferencia. El circuito "Y" 316 responde específicamente a los estados \bar{S} , $Sb\bar{3}$ y de activación del circuito 302 de retención. El funcionamiento del circuito "Y" 314 prepara los circuitos "Y" 324 y 326. El funcionamiento del circuito "Y" 314 transmite también la palabra de dirección y las etiquetas EOT a la unidad CBC (a través de la línea general de entrada y las líneas de etiqueta respectivas), como se sugiere en 328 (figura 12).

El circuito "Y" 324 responde a la fase $W\bar{2}$ "desactivación" del bitio W2 de ancho (lo cual significa un ancho de cuatro palabras cuando la solicitud es una solicitud Localizar) para transferir una señal de estimulación de activación retardada al circuito 302 de retención de segunda transferencia a través de un circuito "O" 330 y de retardo, no representado, (en la parte inferior de la figura 12). El funcionamiento del circuito "Y" 324 permite también que el estado de la secuencia incremente hasta el

estado Sb2.

El circuito "Y" 326 responde a la fase "uno" de W2 (indicando un ancho 2) cuando la solicitud es una solicitud Localizar. El funcionamiento del circuito "Y" 326 hace que el secuenciador retorne al estado inicial Sbl, como se sugiere en 336.

La respuesta del circuito "Y" 316 (asociado con el tratamiento de una solicitud Localizar de Ancho 4) estimula la línea 338. Esto hace que sean transmitidas las etiquetas EOT y QW a la unidad CBC a través de las líneas de etiqueta QW y EOT (véase la operación 214, figura 10, y el ciclo 122, figura 3) y hace también que el secuenciador retorne a su estado inicial Sbl.

La respuesta del circuito "Y" 318 (al estado Sb3 en coincidencia con W1 y S, asociados con el tratamiento de una solicitud del tipo Almacener de ancho 1) estimula la línea 340. Esto da lugar a la recuperación de una palabra de datos de la memoria intermedia 40 de datos (figura 12) en preparación para su transmisión en el ciclo siguiente y estimula también el secuenciador para incrementar desde el estado Sb3 hasta el estado Sb4 (asociado con la operación 222, figura 10).

La respuesta del circuito "Y" 320 (al estado Sb3 en coincidencia con W1 y S, que indican una solicitud Almacener que tiene un ancho superior a una palabra) activa la línea 342. Esta acción reclama la preparación de la palabra de datos que ha de enviarse en el ciclo siguiente (véase la operación 210, figura 10) e incrementa el estado del secuenciador de Sb3 a Sb5.

El estado Sb4, asociado exclusivamente con

el tratamiento de una solicitud del tipo Almacenar de ancho
1 (se hace referencia a la línea 340, figura 12 y a la ope-
ración 222, figura 10), prepare los circuitos "Y" 344 y
346. El circuito "Y" 344 responde al estado "desactivación"
5 del bitio A0. El circuito "Y" 346 responde al estado "ac-
tivación" del bitio A0. Recuérdese que el bitio A0 es su-
ministrado por un canal 32 (figura 1) o IOP (figura 2) y
designa efectivamente uno de los subespacios 106.1 ó 106.2
(figura 6). La respuesta del circuito 344, o bien del cir-
10 cuito 346, hace que la palabra de datos preparada por la
operación asociada con la respuesta del circuito "Y" 318
sea transferida (transmitida en sincronismo) a la unidad
CBC con la etiqueta EOT. La respuesta del circuito 344 hace
también que sea presentada la etiqueta D1 a la unidad CBC,
15 mientras que la respuesta del circuito 346 hace que sea
presentada la etiqueta D2 (véase la operación 222, figura
10). El funcionamiento de cualquiera de los circuitos 344
ó 346 hace que el secuenciador incremente desde el estado
Sb4 al estado Sb1.

20 El estado Sb5 prepara los circuitos "Y" 350,
352, 354, 355 y 356 que funcionan del modo siguiente. El
circuito "Y" 350 responde al estado B de desactivación del
bitio B, indicando ausencia de carácter direccional de re-
troceso, para hacer que una palabra de datos previamente
25 preparada en el estado Sb3 sea transmitida a la unidad CBC
con la etiqueta D1, y para originar la preparación de otra
palabra de datos del siguiente ciclo de transferencia (ci-
clo 174 ó 178, figura 4). El circuito "Y" 352 responde al
estado "activación" de el bitio B (indicando operación de
30 Leer en Retroceso en el canal de origen) haciendo que sean

transmitidos datos a la unidad CBC con la etiqueta D2 y originando la preparación de la palabra de datos a enviar en el siguiente ciclo.

5 El estado Sb5 y el estado "activación" del bitio W2 (indicando una solicitud Almacenar de Ancho 2 que no requiere tratamiento adicional) activan el circuito "Y" 354 que condiciona el secuenciador para incrementar desde el estado Sb5 al estado Sb8. Los estados Sb5 y de activación del circuito 302 de retención "Segunda Trans-

10 ferencia" (indicando una solicitud de Almacenar de Ancho 4 en los pasos finales de tratamiento) activan el circuito "Y" 355, el cual hace que sea presentada la etiqueta QW a la unidad CBC, con los datos transferidos por el funcionamiento del circuito "Y" 350 o el circuito "Y" 352, e

15 incrementa el secuenciador al estado Sb8. El estado Sb5, el estado de reposición del circuito 302 de retención y el estado "desactivación" del bitio W2 (indicando tratamiento "temprano" de una solicitud Almacenar de ancho 4) activan el circuito "Y" 356 haciendo que el secuenciador avance hasta el estado Sb6.

20

Los circuitos "Y" 362 y 364 responden, respectivamente a los estados "desactivación" y "activación" del bitio B de carácter direccional, en coincidencia con el estado Sb6. El funcionamiento de cualquiera de los circuitos hace que sean transferidos datos anteriormente preparados a la unidad CBC (con la etiqueta D2 si el circuito "Y" 362 está activado y con la etiqueta D1 si el circuito 364 "Y" está activado). La respuesta de cualquiera de los circuitos 362 ó 364 origina activación retardada del circuito 302 de retención y hace que el secuenciador incremen-

25

30

te hasta el estado Sb7.

El estado Sb7 asociado con la operación 232 de inactividad (figura 10) proporciona la preparación del circuito "Y" 366 después de un ciclo de retardo (no representado). El circuito "Y" 366 responde al estado "activación" de la señal de habilitación del grupo asociado (procedente de CBC) para hacer que el secuenciador retorne al estado Sb5. En esta iteración del estado Sb5 funciona uno de los circuitos "Y" 350 ó 352 para transmitir datos a la unidad CBC, con la etiqueta QW y la adecuada de las etiquetas D1 y D2, mientras que se preparan los datos siguientes y el circuito "Y" 355 funciona para avanzar el secuenciador automáticamente al estado Sb8.

El estado Sb8 prepara los circuitos "Y" 370, 372 y 374. Los circuitos "Y" 370 y 372 responden respectivamente a los estados de desactivación y activación del bitio B y hacen que sean presentados datos a la unidad CBC con cualquiera de las etiquetas D2 o D1, respectivamente, y con la etiqueta EOT. El circuito "Y" 374 responde al estado de desactivación del bitio W2 de ancho (indicando tratamiento de una solicitud Almacén de ancho 4) para dar curso a la etiqueta QW hacia la unidad CBC. El estado Sb8 está seguido por el estado Sb1.

Recepción de Solicitud y Operación de Puesta en Cola en la Unidad CBC

La recepción de solicitud y puesta en cola en la unidad CBC está ilustrada en forma diagramática de flujo en la figura 11. Los circuitos lógicos asociados están indicados en las figuras 13 y 14.

La figura 11 muestra que la recepción de la etiqueta ADR y la etiqueta de datos de cualquier adaptador

SAX de grupo (X = 1, 2 ó 3) reclama la operación 402. Las partes de dirección y de palabra de datos de una solicitud asociada (que llega por la línea general de entrada de grupo X) son dirigidas así a las respectivas secciones de 41 bitios del registro 403 X-CBAR asociado (figura 13). El registro 403X-CBAR consiste en tres secciones 404, 406 y 408 de 41 bitios (figura 13). La sección 404 es utilizada exclusivamente para recibir información de dirección acompañada por la etiqueta ADR. La sección 406 (d1) recibe solamente información de datos acompañada por la etiqueta D1. La sección 408 (d2) recibe solamente información de datos acompañada por la etiqueta D2.

La línea general 410 de entrada de grupo X (figura 13) que se extiende a partir del adaptador de memoria, conecta, a través de conmutadores indicados esquemáticamente en 412 (figura 13), a la vía 414 de datos de línea general de continuación (figura 13). La vía 414 de datos de continuación enlaza en forma conmutable con las secciones 404, 406 y 408 del registro X-CBAR a través de respectivos conmutadores indicados en 416, 418 y 420 (figura 13).

Los conmutadores 412 (figura 13) pueden estar ejecutados físicamente como elementos lógicos internos del adaptador de memoria asociado con el grupo X. Los conmutadores 412 se activan durante los estados Sb3, Sb4, Sb5, Sb6 y Sb8 del secuenciador de control asociado con las unidades 42 de control (figura 2) y proporcionan "continuidad" de transmisión de señales a la vía 414 de datos siempre que se requiera la transmisión de información de dirección o datos al registro X-CBAR.

Las señales de etiqueta X-ADR se originan en la línea 422 y establecen conexión a la línea 426 a través de la puerta 424 (figura 13). La puerta 424, que puede ser un elemento lógico interno del adaptador de grupo asociado, se activa cuando el secuenciador de control asociado de dicho adaptador está en el estado Sb3. La línea 426 controla los estados de conexión de los conmutadores 416. Consiguientemente, cuando es presentada información de dirección en la línea general 410 de entrada de grupo X, los conmutadores 412, 424 y 416 se activarán para proporcionar continuidad de señalización desde la línea general 410 a la entrada de la sección 404 del registro 403 X-CBAR.

Las señales de etiqueta D1 originadas por el respectivo adaptador de memoria de grupo pasan a través de las líneas 430 y 432 para ejercer control sobre los conmutadores 418. Las líneas 430 y 432 están enlazadas en conexión por la puerta 434 interna a dicho adaptador, que se activa selectivamente durante la transferencia de datos por la línea general 410 de entrada (se hace referencia a las operaciones 222, 224, 228 y 230 de la figura 10). Consiguientemente, cuando es transferida la etiqueta D1 a través de la puerta 434 asociada, se transmitirán en conexión por la línea general 410 de entrada datos asociados a través de los conmutadores 418 a la sección 406 del registro 403 X-CBAR.

Los conmutadores 420 se activen cuando aparece la señal de etiqueta D2 en la línea 436. La etiqueta D2 es transferida a la línea 436, desde la línea 438 asociada con el adaptador de origen, por funcionamiento de la

puerta 440 interior al adaptador de origen. La puerta 440 se activa cuando el circuito secuenciador asociado del respectivo adaptador de grupo está en uno de los estados Sb4, Sb5, Sb6 o Sb8 y el estado del bitio B de carácter direccional asociado, o en el caso de Sb4 el estado del bitio A0 corresponde al estado adecuado para presentar la etiqueta D2 (se hace referencia a las operaciones 222, 224, 228 y 230, figura 10). Cuando se aplica la etiqueta D2 a los conmutadores 420, la vía 410, 414 de datos de línea general de entrada está unida efectivamente a la sección 408 del registro 403 X-CBAR.

La etiqueta X-EOT recibida por la unidad CBC en la línea 442 (figura 14) activa el circuito 443 de retención (figura 14) para proporcionar indicación "registro X-CBAR lleno". Las operaciones 402 de entrada (figura 11) están condicionadas a la operación 444 (figura 11); es decir, la presentación de la señal de habilitación al adaptador de grupo (X) asociado. La presentación de la señal de habilitación al adaptador de grupo asociado está condicionada al estado vacante del registro X-CBAR o de la zona X del conjunto 50 de memoria intermedia de entrada.

Al recibirse la etiqueta EOT la unidad CBC bifurca en 448 (figura 11) para realizar las operaciones 452 y 454 (figura 11). La operación 452 establece el estado "X-CBAR lleno" y hace así el contenido del registro 403 X-CBAR elegible para ser transferido a la zona X del conjunto 50 de memoria intermedia de entrada (figura 3), operación sometida a la prueba 456 de accesibilidad de la memoria intermedia de entrada. La prueba 456 está condicionada a la prioridad X y el estado de vacante de la memoria

intermedia 50 de entrada. La operación 454 prepara vías de datos de circuito para dar salida al contenido del registro 403 CBAR al conjunto 50.

5 Tal preparación de expedición de salida varía de acuerdo con el tipo de solicitud que está siendo recibida en el registro 403 X-CBAR. El circuito 460 de retención (figura 14) es utilizado para indicar generación de dirección implícita. Los circuitos 464 y 466 de retención (figura 14) distinguen la recepción de datos en el
10 registro 403-X-CBAR en asociación con las respectivas etiquetas D1 y D2 de grupo X.

El estado de reposición del circuito 464 de retención (figura 14) prepara el circuito "Y" 476 (figura 14). El estado de reposición del circuito 466 de retención
15 prepara el circuito "Y" 480. Los circuitos "Y" 476 y 480, cuando están preparados por las salidas de los respectivos circuitos 464 y 466 de retención, responden a la señal de mando "expedición de salida del registro X-CBAR" y controlan la inserción de datos nulos (ceros con paridad "correcta") en las vías de datos de líneas generales de salida asociadas con las respectivas secciones 406 y 408 del
20 registro 403 X-CBAR (figura 13).

La señal "Expedición de Salida de Registro X-CBAR" representa el estado de activación del circuito
25 490 de retención (figura 14) producido en respuesta al funcionamiento del circuito "Y" 492. La activación del circuito "Y" 492 se produce cuando: el registro X-CBAR está lleno (el circuito 443 de retención está en el estado de activación), la zona X en el conjunto 50 de memoria intermedia de entrada (figura 2) no está llena y X tiene priori-

30

dad (no está compitiendo ningún grupo CBAR de prioridad superior para acceso a un espacio vacante asociado en el conjunto 50). La indicación del estado "no lleno" en la zona X del conjunto 50 se obtiene por medio de los circuitos lógicos que se describen posteriormente. La señal "expedición de salida del registro X-CBAR" acciona también los conmutadores 500, 502, 504 y 506 (figura 13) para dar curso al contenido de secciones asociadas del registro 403 X-CBAR con relación a circuitos de líneas generales que enlazan eventualmente con el conjunto 50 de memoria de entrada. La señal "expedición de salida del registro X-CBAR" inhabilita también todas las señales "expedición de salida de grupo CBAR" de prioridad inferior, como se indica en 507 (figura 14), y repone el circuito 443 de retención "X-CBAR lleno", figura 14 (después de un retardo no representado, si se requiere). La señal "expedición de salida del registro X-CBAR" repone también los circuitos 460, 464 y 466 de retención (después de retardos adecuados, no representados, si se requiere).

La zona X de la memoria intermedia 50 de entrada consiste en dos espacios de memoria de solicitud de 123 bitios reservados para solicitudes de grupo X. Los circuitos lógicos 508 (figura 14) para seleccionar uno de los dos espacios a inscribir responden a la señal "expedición de salida del registro X-CBAR" para hacer la selección y activar el circuito 510 de retención asociado (figura 14). El estado de activación del circuito 510 de retención indica la ocupación del espacio seleccionado. El circuito lógico 512 (figura 14) determina cuándo se ha de transferir el contenido de dichos espacios de la zona X a

la memoria y repone el circuito 510 de retención asociado para indicar el estado vacante del espacio asociado. Tales indicaciones de estado vacante de espacio actúan a través del circuito "O" 516 (figura 14) para proporcionar indicaciones de estado vacante de "zone" al circuito "Y" 492 asociado (como condición precedente a la activación del circuito 490 de retención de control "expedición de salida del registro X-CBAR", figura 14) y al circuito "O" 520 (que proporciona la señal 444. 1 "habilitar X", figura 14, asociada con la operación 444 (figura 11).

La transferencia de expedición de salida precedente desde el registro X-CBAR al conjunto 50 está representada operacionalmente en la figura 11 en 522. El condicionamiento asociado de la indicación de estado vacante del registro X-CBAR (no lleno) está representado operacionalmente en 524.

La asignación de prioridad de la transferencia precedente desde el conjunto 50 al sistema 10 de memoria está indicada operacionalmente en 526 (figura 11) y la ejecución de dicha transferencia está indicada en 528 (figura 11). El condicionamiento de la indicación de estado vacante de la zona X asociada está sugerido operacionalmente en 530 (figura 11).

Con referencia a la figura 13, en el intervalo de actuación de la señal "expedición de salida del registro X-CBAR" es transmitida una representación de la expresión de dirección en la sección 404 del registro 403 X-CBAR a través de los conmutadores 500 y 502 en el intervalo de actuación de la señal "expedición de salida del registro X-CBAR". El conmutador 500 deja pasar el bitio de

dirección de orden más bajo y los conmutadores 502 transmiten todos los demás bitios de dicha expresión. Si el circuito 460 QW (figura 14) de retención no está activado en este intervalo, la puerta "Y" 570 se activa para transferir la salida de bitio del conmutador 500, a través del circuito "O" 572, a la línea general 574 de bitio que se extiende hasta la memoria intermedia 50 de entrada. Si está activado el circuito 460 de retención QW, el circuito "Y" 580 funciona de modo que deja pasar la salida de bitio del conmutador 500 en forma invertida debido a la acción del circuito inversor 582. Consiguientemente, en asociación con la recepción de la señal X-QW, se activa el circuito "Y" 580 para transferir un bitio de dirección de orden "más bajo" invertido desde el registro X-CBAR al conjunto 50.

En el intervalo de actuación de la señal "expedición de salida del registro X-CBAR" los conmutadores 504 y 506 se activan con relación a las secciones 406 y 408 de datos respectivas del registro 403 X-CBAR (figura 13). Si la solicitud que se está transfiriendo (que está siendo expedida) es una solicitud Localizar o si dicha solicitud es una solicitud Almacenar de ancho correspondiente a una palabra, se activarán uno o ambos circuitos "Y" 476 y 480 (figura 14) para transferir señales de orden "ceros a la vía de salida d1" respectivas y/o "ceros a la vía de salida d2". Estas señales de orden activan los respectivos conmutadores 586 y 584 (figura 13) para transferir señales cero con paridad adecuada a las respectivas vías 588 y 590 de datos de línea general de continuación (figura 13). Estas señales de orden actúan también a través

de respectivos circuitos inversores 592 y 594 (figura 13) para inhabilitar los respectivos conmutadores 596 y 598 (figura 13) que de otro modo proporcionan continuidad entre las respectivas secciones 408 y 406 CBAR y las respectivas vías 588 y 590 de datos de línea general de continuación.

Consiguientemente, mientras esté siendo transferida la parte de una dirección de una solicitud al exterior de la sección 404 del registro 403 X-CBAR, son insertados selectivamente ceros de mantenimiento de paridad en las vías 588 y 590 de datos cuando la solicitud asociada es una solicitud Localizar o una solicitud Almacenar de ancho unidad. Mientras estén siendo transferidas las partes de dirección y de datos de una solicitud Almacenar de ancho unidad, al exterior de la sección 404 y una de las secciones 406 y 408 del registro 403 X-CBAR a la vía 490 de datos o la vía 588 de datos (a la vía 590 si se recibió la etiqueta D1 que hace que los datos de la solicitud sean ingresados en la sección 406, y a la vía 588 si fué recibida la etiqueta D2) son insertados ceros de mantenimiento de paridad en la otra vía 588 ó 590 de datos.

Respecto a esto, se observará que la relación de sincronismo de las operaciones X-CBAR con relación a la recepción de la etiqueta X-QW, es tal que invariablemente quedará vacío el registro X-CBAR (estado "no lleno") con anterioridad a la recepción de la etiqueta X-QW. Esto significa que una primera parte de la una solicitud de ancho 4 habrá sido transferida fuera del registro X-CBAR antes de la recepción de la señal X-QW y una segunda parte de la misma solicitud es transferida subsiguientemente con

5 el bitio de dirección de orden más bajo invertido. Significa también que en cada transferencia los datos recibidos más recientemente de una solicitud del tipo Almacenar (o, en el caso de solicitudes Localizar, palabras "Cero" de mantenimiento de paridad) serán transferidos a las vías 588 y 590 de datos.

10 Aún cuando el invento ha sido particularmente expuesto y descrito con referencia a una realización preferida del mismo, los expertos en la técnica entenderán que pueden hacerse diversos cambios en la forma y detalles del mismo sin apartarse de la esencia y campo de aplicación del invento.

15

20

25

30

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1a.- Perfeccionamientos introducidos en un sistema de tratamiento de datos, que incluye canales múltiples de entrada-salida en grupos múltiples de canales y un equipo de memoria direccionable compartido por dichos canales, que comprenden en combinación: adaptadores múltiples de grupos de canal asociados con grupos respectivos de dichos grupos de canales para transferir solicitudes de acceso a memoria de entrada y salida desde los canales del grupo respectivo a dicho equipo de memoria; una unidad controladora de línea general intermedia entre dichos adaptadores de grupo y dicho equipo de memoria para dar curso a las solicitudes asincrónamente desde la totalidad de dichos adaptadores a dicho equipo de memoria; comprendiendo dicha unidad controladora medios de memoria intermedia que tienen capacidad reservada con relación a cada uno de dichos adaptadores para dirigir potencialmente solicitudes múltiples de cada adaptador simultáneamente; medios de interconexión de línea general de solicitud intermedios entre cada adaptador y dicha unidad controladora de línea general, que comprenden una línea general para transferir información de solicitud desde el adaptador asociado a dicha unidad controladora de líneas general; una línea de habili-

tación controlada por dicha unidad controladora de línea general para habilitar el adaptador asociado para transferir señales de solicitud a dicha línea general siempre que la capacidad reservada en dichos medios de memoria intermedia con relación a dicho adaptador incluye un espacio vacante para almacenar una solicitud; y líneas de etiqueta múltiples controladas por el adaptador asociado para habilitar dicha unidad controladora de línea general en el sentido de: a) distinguir solicitudes sucesivas presentadas por el adaptador asociado; b) distinguir entre solicitudes de entrada y salida; c) orientar palabras de datos múltiples de una solicitud de entrada en un orden seleccionado de sucesión especial para almacenamiento en dicho equipo de memoria, siendo dicho orden especial susceptible de ser diferente del orden temporal de sucesión en el cual han sido recibidas dichas palabras desde dicha línea general; y d) producir al menos una dirección implícita a partir de una dirección explícita que acompaña a una solicitud, designando dicha dirección implícita un espacio de memoria en dicho equipo en posición contigua a un espacio designado por dicha dirección explícita.

2a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema incluye canales múltiples de entrada-salida y un equipo de memoria direccionable compartido por dichos canales, en combinación: una primera unidad adaptadora asociada con dichos canales para dar curso a solicitudes para almacenamiento de entrada y recuperación de salida de palabras de datos desde dichos canales a dicho equipo; incluyendo cada una de dichas solicitudes para almacenamiento de entrada de palabras de

datos un número variable de 1 a m (m > 1), palabras de datos que representan datos a memorizar e información de dirección que designe efectivamente posiciones de espacios en dicho equipo de memoria para almacenamiento de dichas palabras de datos; una segunda unidad adaptadora intermedia entre dicho adaptador y dicho equipo de memoria para almacenar transitoriamente y dar curso a dichas solicitudes en camino hacia dicho equipo; y medios de interconexión de líneas generales de solicitud que enlazan dicho primer adaptador con dicho segundo adaptador para la transferencia de dichas solicitudes; comprendiendo dichos medios de interconexión una línea general de palabra para transferir información de solicitud que incluye dichas palabras de datos e información de dirección a dicho segundo adaptador palabra por palabra, y líneas de control plurales, incluyendo dichas líneas de control líneas plurales de etiqueta de datos; incluyendo dicho primer adaptador: medios para distinguir solicitudes de entrada asociadas con operaciones de Leer y operaciones de Leer en Retroceso que se efectúan en canales asociados que originan dichas solicitudes; y medios controlados por dichos medios de distinción de solicitud de entrada para activar líneas individuales de dichas líneas de etiquetas de datos en un orden selectivo de sucesión en asociación con una sucesión de transferencias de palabras individuales de dichas palabras de datos de una solicitud de entrada a dicha línea general de palabra; incluyendo dicho segundo adaptador medios que responden a dichas activaciones de línea de etiqueta de datos para orientar palabras de datos asociadas recibidas desde dicha línea general en un orden espacial selectivo

de sucesión con relación a dicho equipo de memoria; con lo cual dichas palabras de datos son almacenadas en dicho orden espacial en uno de dichos espacios de memoria de dicho equipo de memoria de acuerdo con dichas activaciones de línea de etiqueta de datos.

3a.- Perfeccionamientos de acuerdo con la reivindicación 2a, según los cuales uno de dichos espacios designados puede tener capacidad para alojar dos palabras de datos y dicha solicitud de entrada es susceptible de incluir dos palabras de datos a memorizar en dicho espacio; estando caracterizada dicha combinación porque: dichas líneas de etiqueta de datos consisten en dos líneas activables individualmente en asociación con transferencias de palabras individuales de dichas palabras de datos a dicha línea general; siendo activables dichas líneas de etiquetas de datos por dichos medios de activación en un orden selectivo de sucesión con relación al orden de transferencia de dichas dos palabras de datos en respuesta a operaciones de dichos medios de distinción; respondiendo dichos medios sensibles a dichas activaciones de línea de etiqueta de datos, en dicho segundo adaptador, a dichas activaciones de etiqueta para orientar dichas palabras de datos transferidas reversiblemente en un primer y un segundo orden respectivos de sucesión espacial para almacenamiento en dicho espacio de dos palabras.

4a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema incluye canales múltiples de entrada-salida y un equipo de memoria direccionable compartido por dichos canales, la combinación que comprende: una primera unidad adaptadora para dar curso a

solicitudes para almacenamiento de entrada y recuperación de salida, de series de palabras de datos de longitudes diversas, desde dichos canales a dicho equipo de memoria; incluyendo cada una de las solicitudes información de dirección explícita que designa efectivamente la posición de un espacio de memoria de palabra de datos asociada en dicho equipo; una segunda unidad adaptadora intermedia entre dicha primera unidad adaptadora y dicho equipo de memoria para almacenar transitoriamente y dar curso a dichas solicitudes en camino desde dicha primera unidad adaptadora hasta dicho equipo de memoria; y medios de interconexión de líneas generales de solicitud para unir dicha primera unidad adaptadora a dicha segunda unidad adaptadora para transferencias de dichas solicitudes; comprendiendo dichos medios: una línea general para transferir palabras de información de solicitud que incluyen palabras de datos de dichas solicitudes de entrada y palabras que contienen dicha información de dirección explícita; y líneas de control plurales que incluyen una línea de etiqueta para designación de dirección implícita; incluyendo dicha primera unidad adaptadora medios para activar condicionalmente dicha línea de etiqueta de dirección implícita en un paso predeterminado del tratamiento de la transferencia de ciertas de dichas solicitudes; incluyendo dicha segunda unidad adaptadora medios que responden a dicha información de dirección explícita de dichas ciertas solicitudes en combinación con activaciones asociadas de dicha línea de etiqueta de dirección implícita para producir una serie de solicitudes que contienen direcciones que designan una serie de espacios de memoria de palabras de datos conti-

guos plurales en dicho equipo de memoria que incluyen el espacio designado de dicha información de dirección explícita.

5 5a.- Perfeccionamientos de acuerdo con la reivindicación 4a, según los cuales una única solicitud de dichas solicitudes puede requerir almacenamiento o recuperación ya sea de dos o de cuatro palabras de datos y dicha información de dirección explícita es efectiva explícitamente para designar la posición de un espacio de memoria para dos palabras de datos, estando caracterizada dicha combinación porque: dichos medios en dicha primera 10 unidad adaptadora para activar condicionalmente dicha línea de etiqueta de dirección implícita están condicionados en asociación con cada transferencia de una solicitud que requiere almacenamiento o recuperación de cuatro palabras de 15 datos; y dichos medios en dicha segunda unidad adaptadora que responden a dicha dirección explícita reaccionan a dicha dirección explícita y a la activación de dicha línea de etiqueta para almacenar y expedir dos solicitudes rela- 20 tivas a dicho equipo de memoria; consistiendo dichas dos solicitudes en una primera solicitud explícita que incluye dicha dirección explícita y una segunda solicitud implícita que incluye una dirección implícita, deduciéndose dicha dirección implícita de dicha dirección explícita por 25 inversión de un bitio de orden inferior en dicha dirección explícita.

 6a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema incluye canales múltiples de entrada-salida, un equipo de memoria direccionable compartido por dichos canales y equipos de adap 30

tación intermedios entre dichos canales y dicho equipo de memoria para almacenar solicitudes múltiples originadas por dichos canales y para dar curso a dichas solicitudes hacia dicho equipo de memoria, incluyendo dichas solicitudes para almacenamiento de entrada de palabras de datos y solicitudes para recuperación de salida de palabras de datos, equipos perfeccionados de adaptación que comprenden: primeras unidades adaptadoras plurales y una única segunda unidad adaptadora; enlazando dichas primeras unidades grupos de dichos canales con dicha segunda unidad; enlazando dicha segunda unidad dichos grupos con dicho equipo de memoria; proporcionando dichas primera y segunda unidades memorización intermedia de dichas solicitudes; y medios de interconexión de líneas generales de solicitud plurales entre dichas primeras unidades respectivas y dicha segunda unidad, incluyendo cada uno de dichos medios de interconexión una línea general y una pluralidad de líneas de control; sirviendo dicha línea general para conducir señales de palabras de información de solicitud que incluyen palabras de dirección y palabras de datos desde dicha primera unidad adaptadora hasta dicha segunda unidad adaptadora; sirviendo dichas líneas de control para coordinar dichas primera y segunda unidades para transferir el tratamiento de dichas solicitudes individuales; incluyendo dichas líneas de control una línea de habilitación activable por dicha segunda unidad para habilitar dicha primera unidad para la transferencia de señales de palabra de información de solicitud a dicha línea general; siendo capaz dicha segunda unidad, en condiciones determinadas, de mantener dicha línea en un estado activado

continuasmente durante un intervalo de tiempo suficiente para permitir la transferencia de solicitudes plurales desde dicha primera unidad a dicha segunda unidad.

5 7a.- Perfeccionamientos de acuerdo con la reivindicación 6a, según los cuales dicha segunda unidad adaptadora que comprende: registros plurales de ensamblaje (CBAR) asociados con unidades individuales de dichas
10 primeras unidades para recibir dicha información de solicitud desde dicha línea general; y un conjunto de memoria intermedia direccionable para recibir información de solicitud desde dichos registros de ensamblaje; requiriendo
15 dicha segunda unidad un primer espacio de tiempo predeterminado para vaciar todos los mencionados registros de ensamblaje en dicho conjunto de memoria intermedia cuando dicho conjunto es accesible y dichos registros contienen
simultáneamente solicitudes elegibles para transferencia, y permitiendo cada una de dichas primeras unidades adaptadoras que transcurra al menos un segundo espacio de tiempo
20 predeterminado entre transferencias de solicitudes sucesivas a dicha línea general; teniendo una interrelación predeterminada las magnitudes de dichos primer y segundo espacios de tiempo.

 8a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales dicho sistema comprende
25 de canales múltiples de entrada-salida, un equipo de memoria compartido por dichos canales, adaptadores plurales de grupo asociados con grupos discretos respectivos de dichos canales para recibir solicitudes de dichos canales y dar curso a dichas solicitudes para presentación a dicho equipo de memoria, y un controlador de línea general de canal
30

para transmitir solicitudes desde dichos adaptadores a dicho equipo; incluyendo dichas solicitudes solicitudes de entrada para almacenamiento de palabras de datos en espacios de memoria de dicho equipo designados por información de dirección contenida en las solicitudes y solicitudes de salida para recuperación de datos de espacios de memoria designados por información de dirección contenida en las solicitudes, el método de comunicar dichas solicitudes desde dichos adaptadores a dicho controlador de línea general, que comprende: comunicar señales de control desde dicho controlador de línea general a dichos adaptadores para habilitar dichos adaptadores individualmente para transferir señales de solicitud a dicho controlador de líneas general; siendo suministradas dichas señales de control de habilitación a adaptadores respectivos sin solicitud anterior por parte de dichos adaptadores y dependiendo solamente de la capacidad potencial de dicho controlador para tratar solicitudes adicionales procedentes de los respectivos adaptadores; y comunicar señales plurales de control de etiqueta selectivamente desde cada adaptador al controlador de línea general en asociación con comunicación de señales de información de solicitud desde dichos adaptadores a dicho controlador de línea general, para habilitar dicho controlador de líneas general, para efectuar:

- a) la distinción de solicitudes sucesivas procedentes de cada adaptador, b) la distinción de palabras de datos de entrada individuales de dichas solicitudes de entrada, c) la disposición de palabras individuales de dichas palabras de datos de entrada en un orden predeterminado de sucesión espacial con relación a los espacios de memoria designados

por las solicitudes respectivas, siendo susceptible dicho orden de sucesión espacial de ser diferente del orden de sucesión de dichas palabras en la comunicación de la solicitud asociada a dicho controlador de línea general; y

5 d) la construcción de solicitudes implícitas adicionales a partir de ciertas de dichas solicitudes comunicadas por modificación de la información de dirección explícita en dichas ciertas solicitudes para designar espacios contiguos a los espacios designados por dichas solicitudes explícitas.

10

9a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema comprende canales múltiples de entrada-salida, un equipo de memoria compartido por dichos canales, un adaptador asociado con

15 dichos canales, una unidad controladora de línea general asociada con dicho equipo y medios de línea general que enlazan dicho adaptador con dicho controlador para transferir solicitudes para almacenamiento de palabras de datos de entrada y recuperación de palabras de datos de salida

20 desde dichos canales a dicho equipo; un método de comunicación de dichas palabras de datos de entrada, que comprende: transferir una serie de palabras plurales de dichas palabras de datos según un principio de palabra por palabra desde dicho adaptador a dicho controlador de línea general

25 a través de dichos medios de línea general en asociación con información de dirección que designan efectivamente un espacio de palabras plurales en dicho equipo de memoria para almacenar dichas palabras de datos; transferir una señal seleccionada de una pluralidad de señales de etiqueta de datos con cada una de dichas palabras de datos para de-

30

signar efectivamente una porción de espacio de palabra seleccionado de dicho espacio de palabras plurales para almacenamiento de la palabra de datos asociada; y disponer el orden de sucesión de dichas señales de etiqueta de datos transferidas para hacer que dichas palabras de datos asociadas sean almacenadas en dicho espacio de palabras plurales en un orden de sucesión espacial susceptible de ser diferente del orden de sucesión temporal de dichas palabras en dicha primera operación de transferencia.

10a.- Perfeccionamientos de acuerdo con la reivindicación 9a, según los cuales dichas solicitudes para almacenamiento de palabras de datos son transferidas en asociación con operaciones de Leer y Leer en Retroceso de dichos canales, dicha operación de disposición de dicho método que comprende: disponer el orden de sucesión de dichas señales de etiquetas de datos, en asociación con dichas operaciones de leer en retroceso, para hacer que dichas palabras de datos sean almacenadas en orden inverso de sucesión espacial con relación al orden de transferencia de dichas palabras a dicha unidad de acoplamiento.

11a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema comprende canales múltiples de entrada-salida, un equipo de memoria compartido por dichos canales, un adaptador de memoria asociado con dichos canales para comunicar solicitudes para almacenamiento de palabras de datos y recuperación de palabras de datos a dicho equipo, y medios de interconexión para enlazar dicho adaptador con dicho equipo de memoria, el método de comunicar dichas solicitudes con relación a dichos medios de interconexión, que comprende: comunicar

información de direcciones que designa explícitamente un espacio de memoria en dicho equipo; y comunicar una señal de etiqueta que designa implícitamente otro espacio de memoria contiguo a dicho primer espacio.

5 12a.- Perfeccionamientos de acuerdo con la reivindicación 10a, según los cuales dicho primer espacio designado por dicha información de dirección es un espacio de palabra doble, constituyendo también un espacio de palabra doble dicho otro espacio designado por dicha señal de etiqueta, incluyendo dicho método: formar una dirección que designa dicho otro espacio en respuesta a dicha señal de etiqueta comunicada invirtiendo un bitio en dicha dirección explícita comunicada.

10

15 13a.- Perfeccionamientos de acuerdo con la reivindicación 1a, según los cuales el sistema comprende fuentes plurales de solicitudes de acceso a memoria, un equipo de memoria compartido por dichas fuentes y medios entre dichas fuentes y dicho equipo de memoria para almacenar y dar curso a dichas solicitudes, un método de comunicación de dichas solicitudes entre dichas fuentes y dichos medios de almacenamiento y expedición, que comprende: presentar señales de habilitación no solicitadas procedentes de dichos medios de almacenamiento y expedición a dichas fuentes como función potencialmente continua de condiciones de capacidad de almacenamiento instantáneo en dichos medios de almacenamiento y expedición; transferir condicionalmente señales que representan dichas solicitudes desde dichas fuentes a dichos medios de almacenamiento y expedición sin confirmación, condicionando cada transferencia de solicitud a la presencia de una de dichas seña-

20

25

30

les de habilitación; y permitir que transcurra un retar-
do de tiempo predeterminado en cada fuente de datos entre
transferencias de solicitudes sucesivas; estando asociado
dicho retardo con el tiempo acumulado que se requiere po-
5 tencialmente por los medios de almacenamiento y expedi-
ción para alojar solicitudes presentadas simultáneamente
por la totalidad de dichas fuentes.

14a.- Perfeccionamientos de acuerdo con la
reivindicación 13a, según los cuales dichos medios de al-
10 macenamiento y expedición comprenden un conjunto de memo-
ria intermedia compartida para almacenar y dar curso a la
totalidad de dichas solicitudes, el procedimiento de: es-
tablecer dicho retardo como función predeterminada del
número de dichas fuentes multiplicado por el tiempo reque-
15 rido para obtener acceso a dicho conjunto para almacena-
miento de una solicitud procedente de una de las fuentes.

15a.- PERFECCIONAMIENTOS INTRODUCIDOS EN
UN SISTEMA DE TRATAMIENTO DE DATOS.

Tal y como se ha descrito en la memoria que
20 antecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

Esta memoria consta de cincuenta y ocho hojas
escritas a máquina por una sola cara.

Madrid, 29. AGO. 1978

P.A.

Alberto de Elzaburu
Por Poder.

25

30

23088

FIG. 1

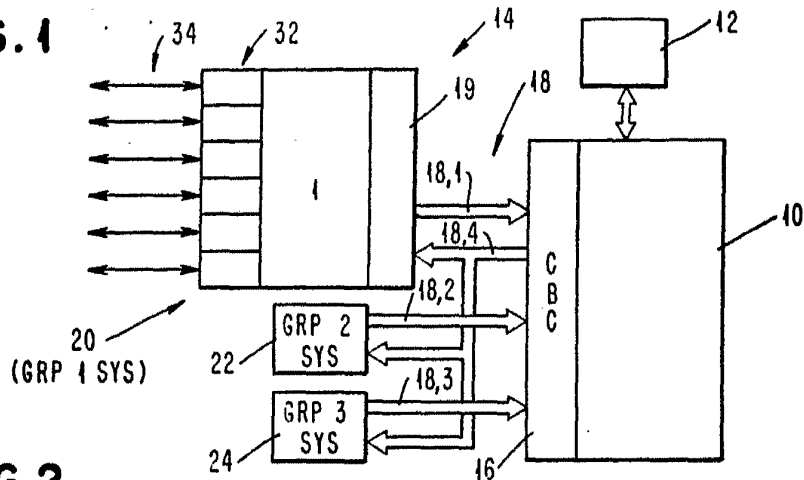


FIG. 2

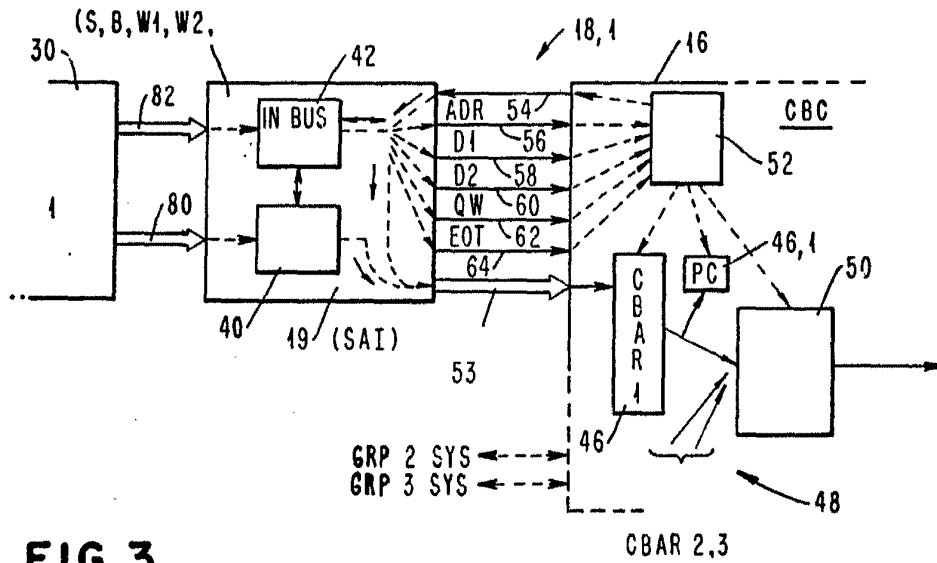
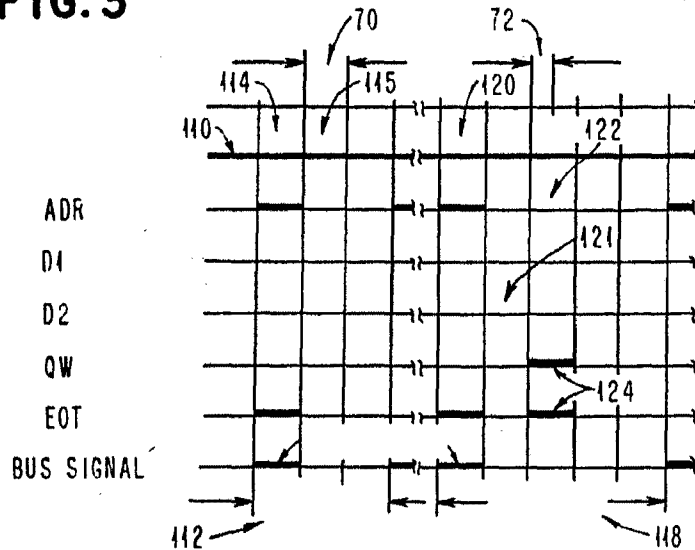


FIG. 3



Alfredo de Elzuru
 For Patent

FIG. 4

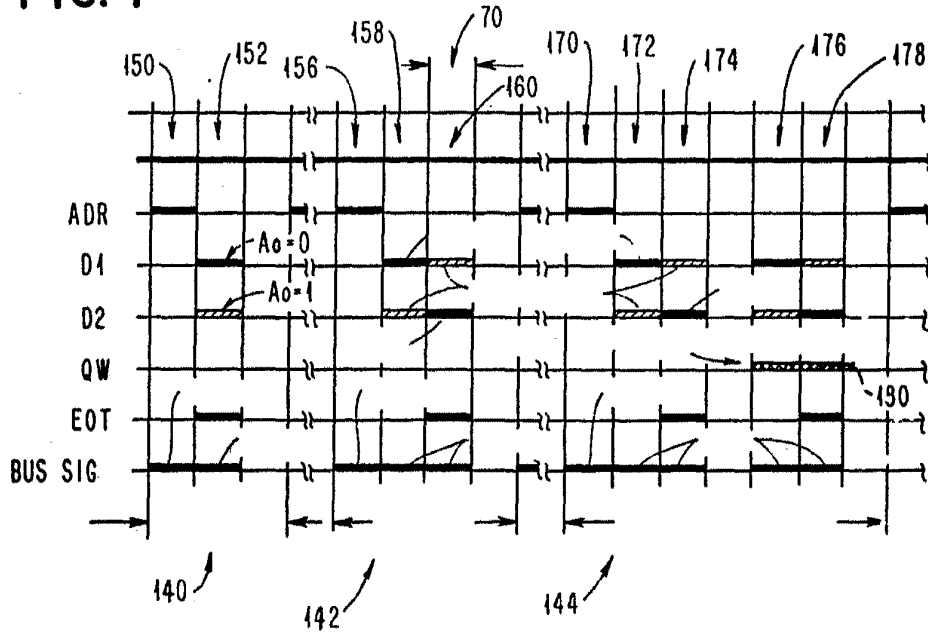


FIG. 5

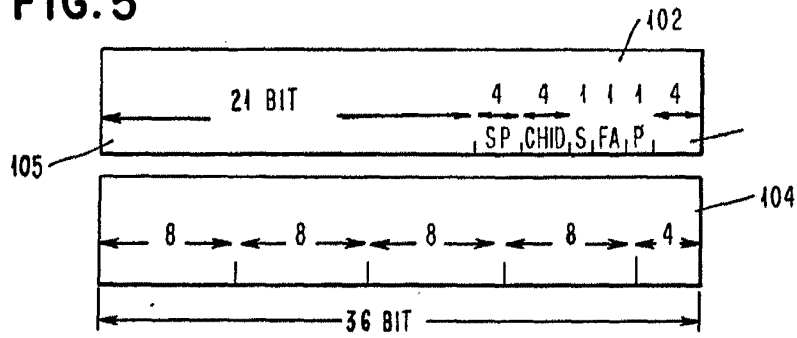
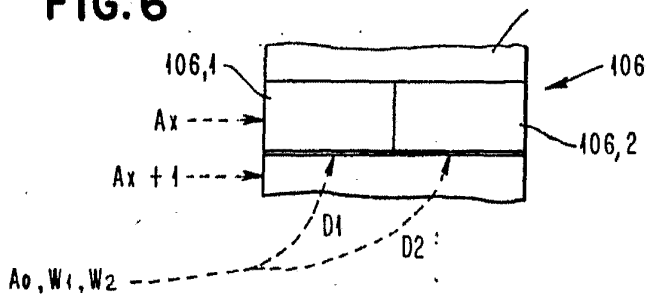


FIG. 6



Alberto d'Elizaburu
 For Director

FIG. 7

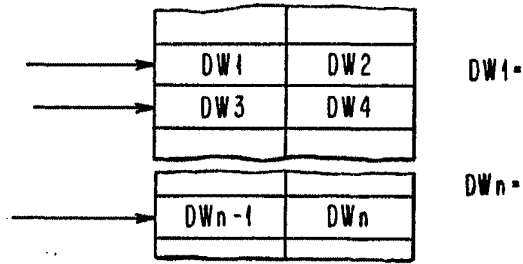


FIG. 8

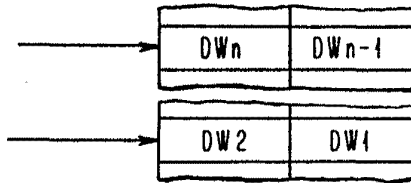
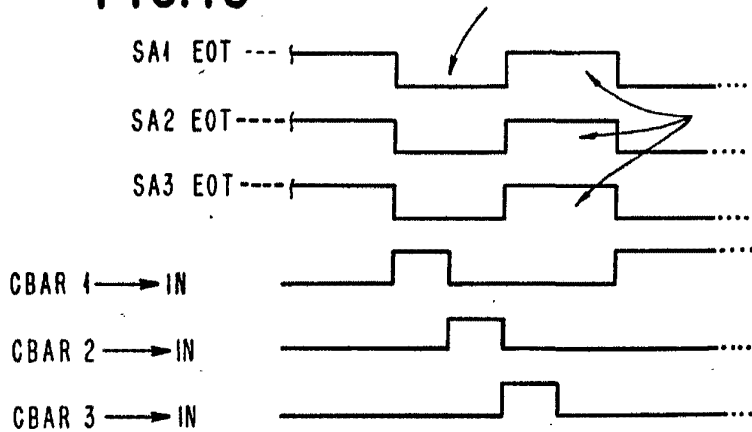


FIG. 9

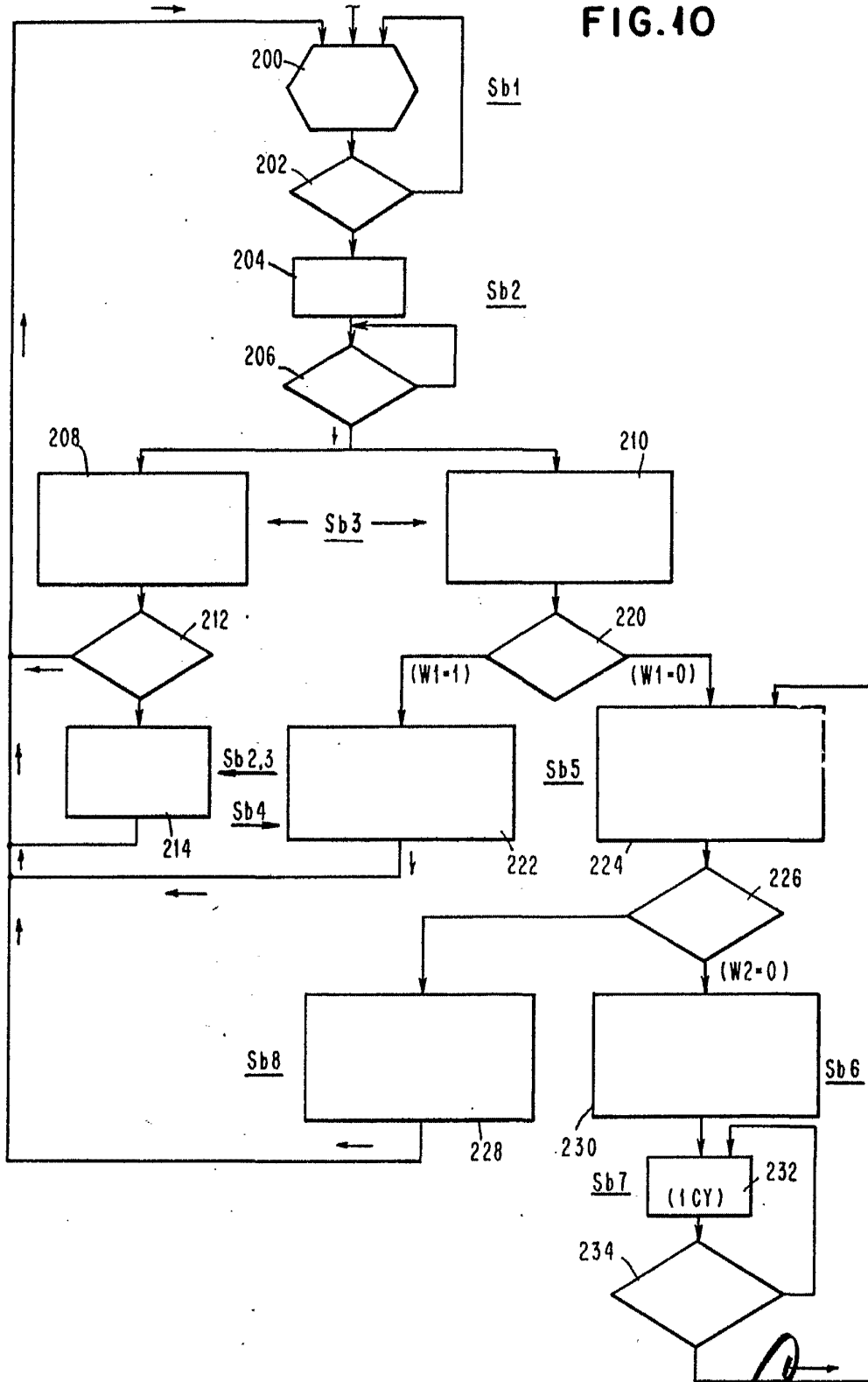
DW 1	DW 2
DW 2	DW 1
DW 3	DW 4
DW 4	DW 3
DW 5	DW 6
DW 6	DW 5
DW 7	DW 8
DW 8	DW 7

FIG. 15



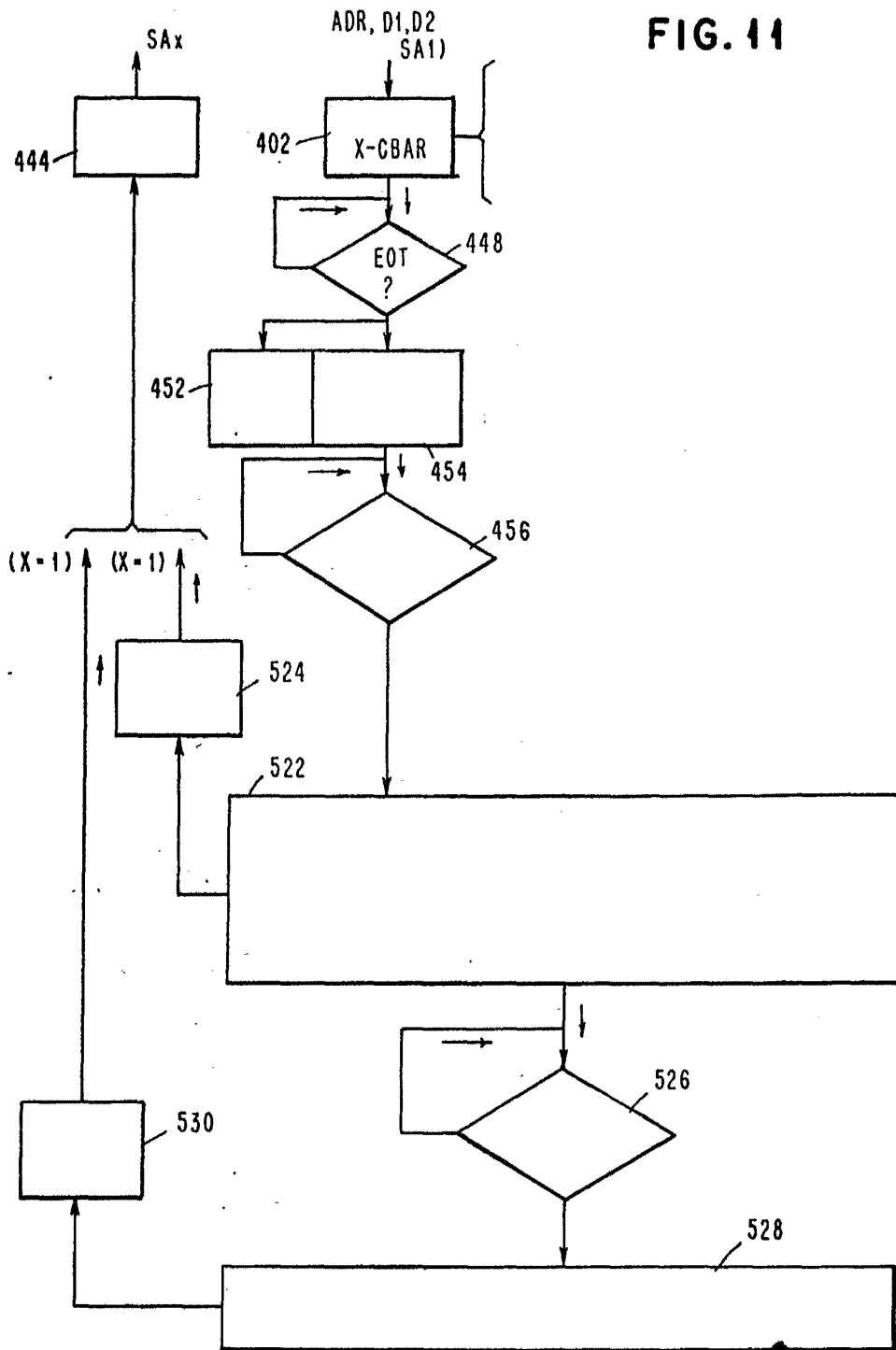
Alberto de Izaburu
 IBM Corp.
 1977

FIG. 10



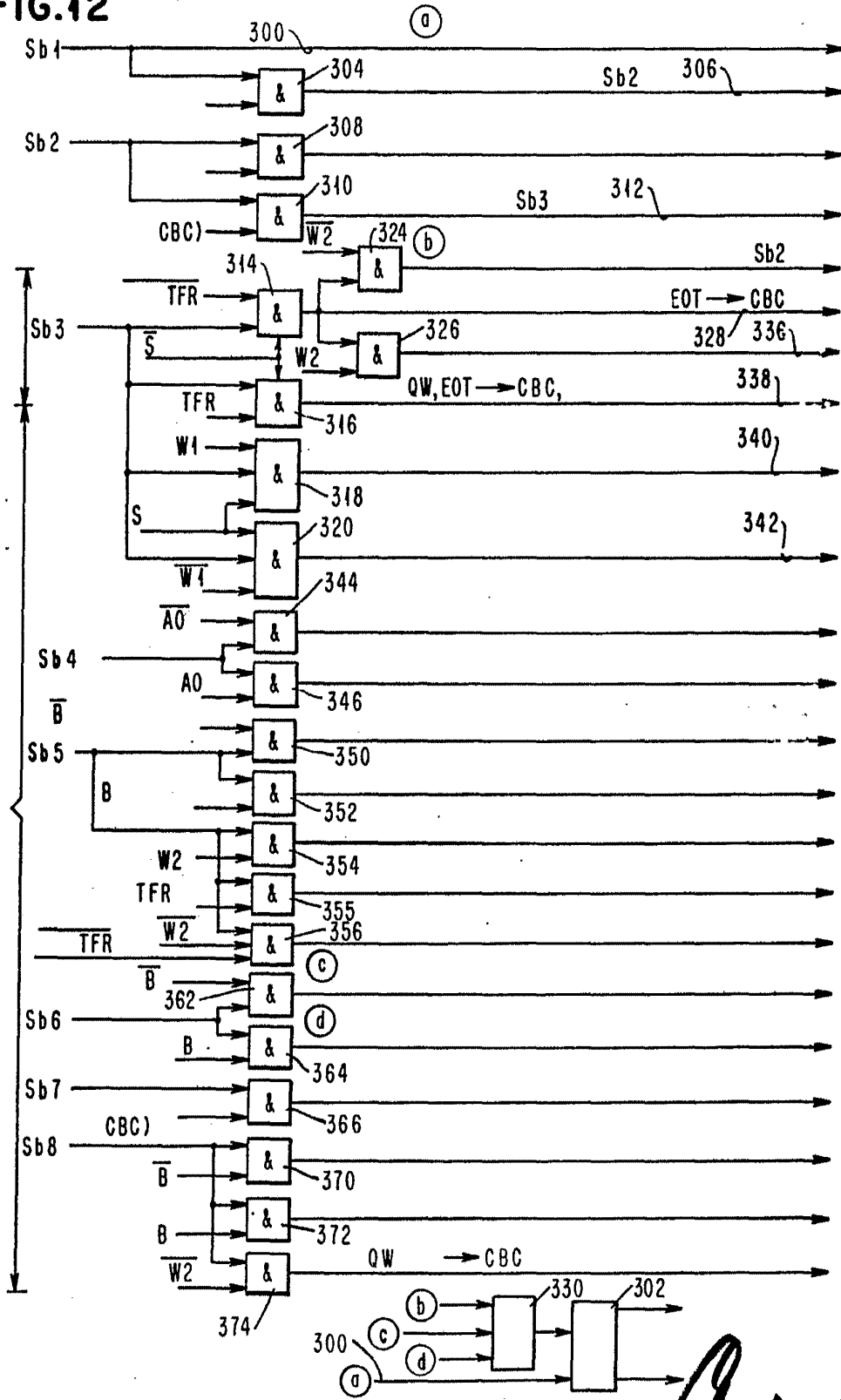
Alberto de Pazabun
Por Poder

FIG. 11



Alberto de Elizaburu
For For...

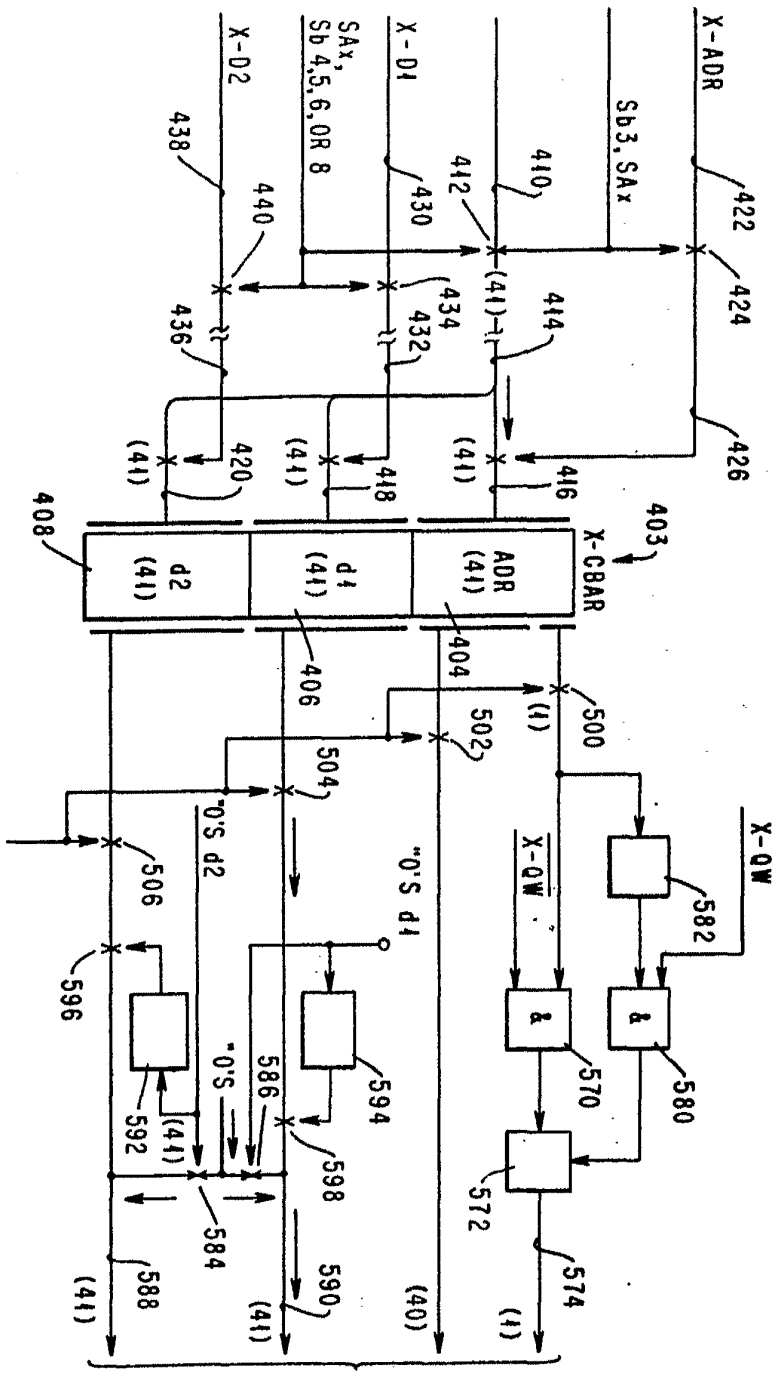
FIG. 12

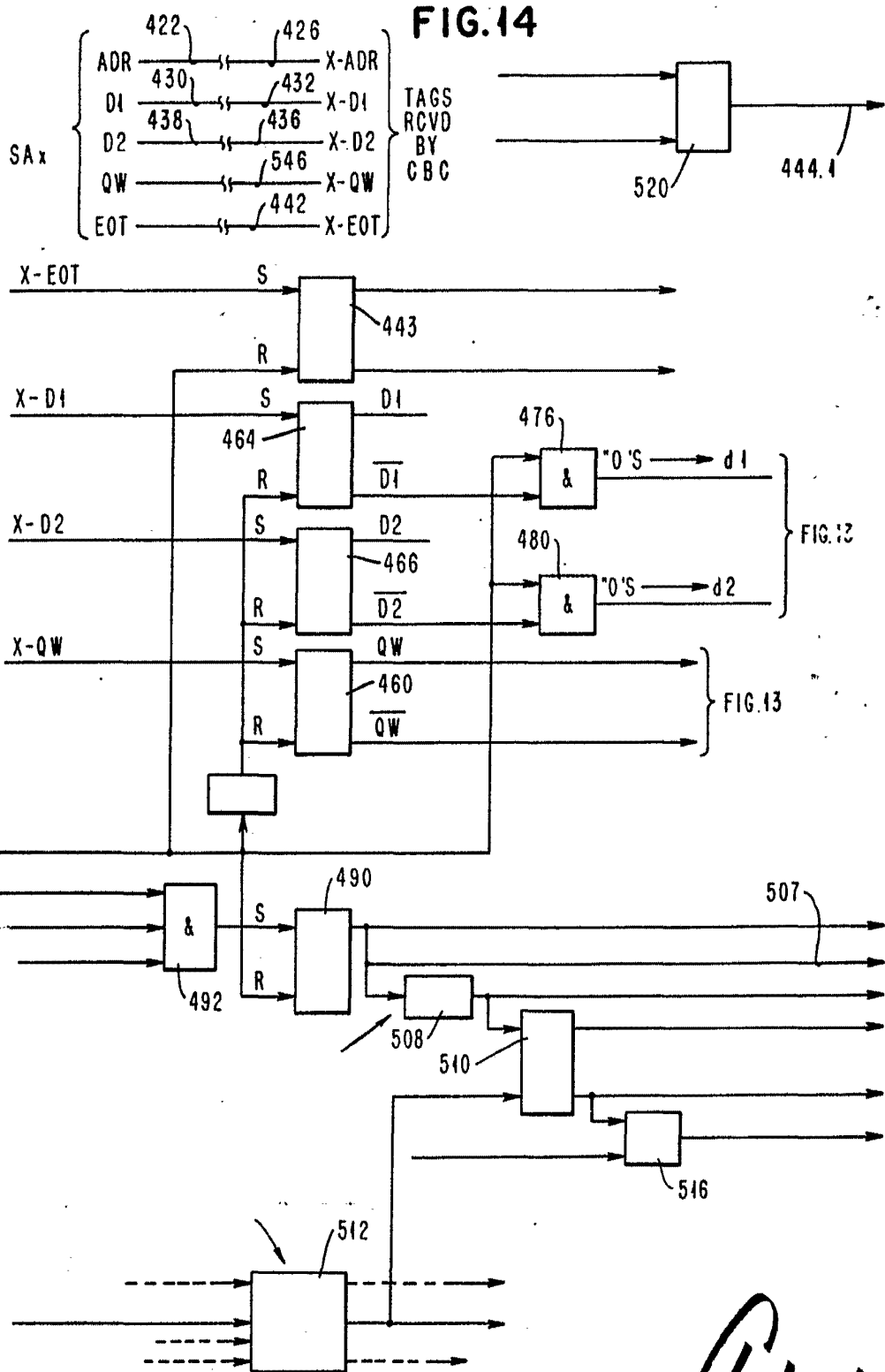


Alberto de Szabun
 Por Poder

Albino de Pazbur
Per Poder

FIG.13





Alberto de Elizaburu
 Por Poder