

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

5 ENE 1979

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

10 ES	11 NUMERO	10 A1
	21	
	22 FECHA DE PRESENTACION	
		20-6-78

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
813.901	8-7-77	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

54 TITULO DE LA INVENCION

"UN APARATO DE TRATAMIENTO DE TAREAS EN UN SISTEMA DE COMPUTADOR"

71 SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION R09-76-014

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (ES)

Roy Louis Hoffman, William George Kempke, John Warren McCullough, Frank Gerald Soltis y Richard Tad Turner

73 TITULAR (ES)

74 REPRESENTANTE

D. ALBERTO DE ELZABURU MARQUEZ (P.- 69.009)

MCG.

Antecedentes del Invento

1. Campo del Invento

Este invento se refiere a sistemas de computador digital de programa almacenado, y más en particular a aparatos para controlar la ejecución de tareas y conmutación de tareas.

El invento encuentra particular utilidad en sistemas de computador de programa almacenado configurados para funcionar interactivamente con operadores de terminal, o en sistemas de computador de programa almacenado que tienen necesidad de ejecutar un gran número de tareas funcionando en modo de tratamiento de bloques, tal como el que se efectúa en un ambiente de multiprogramación en gran escala.

2. Descripción de la Técnica Anterior

Anteriormente, los sistemas de computador de programa almacenado utilizaban una combinación de dispositivos físicos y soporte de programa para realizar el tratamiento de tareas y la función de conmutación. La combinación de dispositivos físicos y soporte de programa incluye una estructura de interrupción con un número fijo de niveles de interrupción o clases incorporadas en los dispositivos físicos, decidiendo el programa la competencia entre tareas sobre el mismo nivel de interrupción. Adicionalmente, los sistemas de la técnica anterior tenían un mecanismo de resolución de prioridad para tareas de unidad central de tratamiento y otro mecanismo de resolución de prioridad para tareas de entrada-salida. En el presente invento, el mecanismo de resolución de prioridad o función de tra-

-tamiento de tareas está totalmente contenido en los dispositivos físicos, y se utiliza un mecanismo común para las tareas de unidad central de tratamiento y de entrada-salida. Mediante esta disposición puede obtenerse un rendimiento de tratamiento de tareas comparable a sistemas de la técnica anterior con una unidad central de tratamiento de rendimiento inferior. Anteriormente, era solamente viable utilizar computadores con unidades centrales de tratamiento de alto rendimiento para aplicaciones de tarea de computador que requerían un gran número de tareas. Adicionalmente, en contraste con un sistema activado por niveles de interrupción de la técnica anterior, no existe conmutación forzada a nivel de tratamiento de entrada-salida debido a la necesidad de atender interrupciones de entrada-salida. La necesidad de servicio por parte de un dispositivo de entrada-salida está incorporada permanentemente en el aparato de tratamiento de tareas y el dispositivo de entrada-salida es atendido solamente cuando la tarea de entrada-salida asociada se convierte en la tarea de nivel de prioridad más alto en el sistema. El estado del dispositivo de entrada-salida que requiere servicio se adquiere después de la solicitud de servicio durante el siguiente ciclo de localización de instrucción, o en instantes predeterminados durante la ejecución de ciertas instrucciones en curso de la tarea activa. Un ciclo de localización de instrucción de la tarea activa incluye siempre una comprobación para averiguar la necesidad de ciclos de entrada-salida para conservar estados de entrada-salida. También, durante la ejecución de ciertas instrucciones, tales como instrucciones complejas, se realizan comprobaciones para

determinar la necesidad de tratamiento de incidencias de entrada-salida. Después que ha sido tratada la incidencia de entrada-salida, puede tener lugar o no una conmutación de tarea, dependiendo de si la tarea de entrada-salida que requiere servicio tiene, o no, una prioridad más alta que la tarea activa.

Resumen del Invento

Los principales objetos del invento son crear un aparato perfeccionado de tratamiento de tareas, que (a) tiene un tiempo de respuesta mas corto, (b) permite la utilización de una unidad central de tratamiento de rendimiento relativamente bajo, en un sistema de computador que funciona en un modo interactivo, (c) tiene N niveles de prioridad en vez de un número fijo, (d) permite la asignación de prioridades bajo control de programa, (e) es común para el tratamiento de control de sistema, tareas de usuario y tareas de entrada-salida, (f) acopla el sistema de comunicación entre tareas con el sincronismo de tareas, (g) puede funcionar indistintamente con disposiciones de almacenamiento virtual o real para todas las funciones de tratamiento de tareas incluyendo tareas de entrada-salida, y (h) capta el estado de un dispositivo de entrada-salida que requiere servicio dependiendo de si la tarea de entrada-salida para proporcionar el servicio es o no la tarea activa.

Los objetos precedentes se consiguen estructurando el aparato de tratamiento de tareas para incluir un distribuidor de tareas y un mecanismo de comunicación

entre tareas. El distribuidor de tareas hace activo el elemento de distribución de tareas de prioridad más alta (TDE) en una cola de distribución de tareas activas (TDQ). Los elementos TDE están en la cola TDQ en secuencia de prioridad. Hay N niveles de prioridad, y N es variable. Cada tarea tiene una clave de prioridad que puede ser cambiada bajo control de programa. La tarea activa origina la ejecución de instrucciones con las cuales se realiza el trabajo, o comunica con otras tareas requiriendo que las otras tareas realicen algún trabajo. Las otras tareas están ya sea en un estado inactivo distribuible ya sea en un estado de espera inactiva. El ciclo de localización de instrucción de la tarea activa comprueba siempre la necesidad de ejecutar ciclos de incidencias de entrada-salida o ciclos de distribución. Los ciclos de incidencias de entrada-salida tienen prioridad sobre los ciclos de distribución. Se obtiene el estado de un dispositivo de entrada-salida durante ciclos de incidencias de entrada-salida. Los ciclos de distribución proporcionan el almacenamiento del estado del elemento de distribución de la tarea antigua (TDE) y la carga de los dispositivos de la unidad CPU con el estado del nuevo elemento TDE. El estado de tarea incluye una dirección de instrucción, un cómputo de longitud de instrucción, un código de estado y registros base.

El mecanismo de comunicación entre tareas incluye mecanismos de cómputo de transmisión, mensaje de transmisión, cómputo de recepción y mensaje de recepción. La tarea activa reclama el servicio de los mecanismos de mensaje de transmisión o cómputo de transmisión para indicar a otra tarea la realización de algún trabajo, y recla-

ma el servicio de los mecanismos de cómputo de recepción o mensajes de recepción para determinar si el trabajo ha sido realizado por la otra tarea. Si el cómputo de recepción o mensaje de recepción no está satisfecho, es decir el trabajo no ha sido realizado, la tarea activa es eliminada de la cola TDQ y puesta en estado inactivo de espera por los mecanismos de recepción. La espera se realiza en una segunda cola de mensaje transmisión-recepción (cola SRQ) o en un contador de transmisión-recepción (contador SRC). El elemento TDE de prioridad más alta de la cola TDQ es entonces distribuido como tarea activa. La tarea primeramente activa permanece en el estado inactivo de espera hasta que la otra tarea reclama el servicio del mecanismo de cómputo de transmisión o mensaje de transmisión para indicar que ha sido finalizado el trabajo requerido. Los mecanismos de cómputo de transmisión y mensaje de transmisión extraen los elementos inactivos TDE en espera de la cola SRQ o el contador SRC y los ponen en cola en secuencia de prioridad en la cola TDQ. Si no hay elementos TDE distribuibles en la cola TDQ, no hay trabajo a realizar, y el sistema está en el estado de reposo o de espera.

Breve descripción de los Dibujos

Las figuras 1-1 y 1-2, con la figura 1-1 dispuesta sobre la figura 1-2, consideradas en conjunto, son un diagrama de bloques de un sistema de computador que realiza el invento;

La figura 2 es un diagrama que ilustra relacio-

nes de conexión entre tareas de usuario y de entrada-salida.

La figura 3 es un diagrama que ilustra el formato de puesta en cola de instrucciones y objetos;

5 Las figuras 4-1 y 4-2, con la figura 4-2 dispuesta a la derecha de la figura 4-1, consideradas en conjunto, son un diagrama que ilustra interrelaciones entre una cadena de instrucciones TDQ, SRQ, SRC y registros base;

10 La figura 5 es un diagrama que ilustra transiciones de estado de tarea;

La figura 6 es un diagrama que ilustra interrelaciones de secuencia de ciclo de unidad de control;

15 Las figuras 7-1 y 7-2 con la figura 7-1 dispuesta sobre la figura 7-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 1-1 y 1-2, pero que ilustran las vías de transmisión de señal para un ciclo T1 CPU;

20 Las figuras 8-1 y 8-2, con la figura 8-1 dispuesta sobre la figura 8-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2 pero que ilustran las vías de transmisión de señal para un ciclo T2 CPU;

25 Las figuras 9-1 y 9-2, con la figura 9-1 dispuesta sobre la figura 9-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2, pero que ilustran las vías de transmisión de señal para un ciclo T3 CPU;

30 Las figuras 10-1 y 10-2, con la figura 10-1 dispuesta sobre la figura 10-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2

pero que ilustran las vías de transmisión de señal para un ciclo A1-CPU.

5 Las figuras 11-1 y 11-2, con la figura 11-1 dispuesta sobre la figura 11-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2 pero que ilustran las vías de transmisión de señal para un ciclo A2 CPU.

10 Las figuras 12-1 y 12-2, con la figura 12-1 dispuesta sobre la figura 12-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2 pero que ilustran las vías de transmisión de señal para un ciclo S1 CPU.

15 Las figuras 13-1 y 13-2, con la figura 13-1 dispuesta sobre la figura 13-2, consideradas en conjunto, son un diagrama de bloques similar a las figuras 7-1 y 7-2 pero que ilustran las vías de transmisión de señal para un ciclo S2-CPU.

20 Las figuras 14-20, ambas inclusive, son diagramas de tiempos para 14, 15, 16, 17, 18, 19 y 20 ciclos CPU respectivamente;

La figura 21 es un diagrama de flujo que ilustra ciclos de localización I;

La figura 22 es un diagrama de flujo que ilustra ciclos de distribución;

25 La figura 23 es un diagrama de flujo que ilustra ciclos de incidencias de entrada-salida;

La figura 24 es un diagrama de flujo que ilustra ciclos de ejecución de cómputo de transmisión, mensaje de transmisión y mensaje de disposición en cola;

30 La figura 25 es un diagrama de flujo que ilus-

tra ciclos de inserción;

La figura 26 es un diagrama de flujo que ilustra ciclos de ejecución de cómputo de recepción, mensaje de recepción y mensaje de eliminación de cola;

5 La figura 27 es un diagrama de flujo que ilustra ciclos de eliminación;

La figura 28 es un diagrama que ilustra el estado inicial de una tarea que expide una instrucción de mensaje de recepción a una cola transmisión recepción;

10 La figura 29 es un diagrama que ilustra el estado de la cola de distribución de tareas y la cola de transmisión recepción al no haberse satisfecho la instrucción "recibir mensaje" de la figura 28;

15 La figura 30 es un diagrama que ilustra el estado de la cola de distribución de tareas y la cola de transmisión recepción después que la tarea activa representada en la figura 29 emitió una instrucción "transmitir mensaje" a la misma cola de transmisión recepción que fué emitida la instrucción "recibir mensaje";

20 La figura 31 es un diagrama que ilustra el estado de una tarea que emite una instrucción "recibir cómputo" a una cola de cómputo de transmisión recepción;

25 La figura 32 es un diagrama que ilustra una tarea de entrada-salida como tarea activa que emite una instrucción "transmitir mensaje" a una cola de transmisión recepción;

30 La figura 33 es un diagrama que ilustra el estado de la cola de distribución de tareas y la cola de transmisión recepción después que ha sido ejecutada la instrucción "transmitir mensaje" de la figura 32, y que

representa que la nueva tarea activa emite una instrucción "recibir mensaje" a la misma cola de transmisión recepción que ha sido emitida la instrucción "transmitir mensaje";

La figura 34 es un diagrama que ilustra una nueva tarea activa que expide una instrucción "recibir mensaje" a otra cola de transmisión recepción;

La figura 35 es un diagrama que ilustra el estado de la cola de distribución de tareas, una cola de recepción de mensaje y una cola de cómputo de transmisión recepción, con un elemento distribuidor de tareas esperando sobre ella.

La figura 36 es un diagrama que ilustra el dispositivo de tratamiento de incidencia de entrada-salida;

La figura 37 es un diagrama que ilustra la transmisión del estado de finalización de tarea de entrada-salida a la cola SRQ; y

La figura 38 es un diagrama que ilustra la tarea IOM que recibe el estado de finalización de entrada-salida procedente de la cola SRQ.

Descripción Detallada

Con referencia a los dibujos, y en particular a la figura 1, se ilustra el invento, a modo de ejemplo, como incorporado en un sistema de computador de programa almacenado que incluye una memoria principal 10. La memoria principal 10 es convencional, y está estructurada para ser direccionable selectivamente bajo control de la unidad 15 de control de memoria. La memoria principal 10 contie-

ne tanto instrucciones como datos que están orientados según un principio de baterías de bitios. Una batería consiste en ocho bitios binarios, excluyendo un bitio de paridad. Las vías de transmisión de datos y direcciones a y desde la memoria están organizadas según un principio de palabras, que en este ejemplo consisten en cuatro baterías de bitios. La organización de la memoria principal 10 no es crítica con respecto al presente invento.

La memoria principal 10 es direccionable selectivamente por la unidad 15 de control de memoria que presenta una dirección sobre la línea general 16. Si ha de tener lugar una operación de lectura, los datos procedentes de la posición direccionada están disponibles en la línea general 11 e ingresan en el registro 17 de datos de la unidad 15 de control de memoria. Durante una operación de inscripción, la unidad 15 de control de memoria hace disponible los datos en la línea general 12, y estos datos son inscritos en la posición direccionada en la memoria 10. Las operaciones de lectura e inscripción son absolutamente convencionales.

La unidad 15 de control de memoria está conectada para recibir datos y direcciones tanto de la unidad central 30 de tratamiento (unidad CPU) como del canal 500 de entrada-salida. La unidad central 30 de tratamiento proporciona datos al registro 17 en la línea general 31 y direcciones al registro 18 por la línea general 32. El registro 17 está conectado para proporcionar datos a la unidad central 30 de tratamiento a través de la línea general 19. El canal 500 de entrada-salida proporciona datos y direcciones a los registros 17 y 18 por las líneas generales 501

y 502, respectivamente. Son proporcionados datos al canal desde el registro 17 a través de la línea general 20. El canal 500 de entrada salida establece conexión a los dispositivos 510 y 511 de entrada salida a través del adaptador 505 de entrada salida y el controlador 506 de entrada salida, respectivamente. El número y tipo de dispositivos de entrada-salida conectados al canal de entrada-salida y el modo de conexión no son pertinentes para el presente invento. El canal 500 de entrada-salida, sin embargo, debe ser capaz de comunicar una necesidad de ciclos de incidencia de entrada-salida. En cualquier momento que se requieran ciclos de incidencia de entrada-salida, el canal 500 proporciona una señal por la línea 512, que está conectada para activar un circuito 94 de retención de entrada-salida en la unidad central 30 de tratamiento.

Los valores iniciales del sistema de computador que incorpora el invento se establecen cargando la memoria principal 10 con una cola de tareas (cola TDQ), que consiste en uno o más elementos de distribución de tareas (elementos TDE). La cola TDQ es un objeto de sistema, lo cual significa que es una unidad de datos que tiene significación particular; es decir, consiste en datos de control. La cola TDQ es una lista encadenada de objetos que contienen información de estado de la unidad central de tratamiento de tareas ejecutables, donde una tarea es la tarea activa (en este ejemplo, la tarea situada en posición más alta), y todas las demás tareas de la lista son tareas distribuibles inactivas. El formato de la cola TDQ está representado en la figura 3 como consistente en una dirección de cadena TDE. El formato de los elementos TDE está

también representado en la figura 3. Durante el funcionamiento inicial del sistema, el objeto TDQ se sitúa transfiriendo una dirección desde el registro 52 TDQ SAR en los registros 50 del conjunto SAR al registro 18 de direcciones. El registro 52 TDQ SAR es seleccionado por una dirección procedente de la unidad 100 de control sobre la línea general 101. Los registros 50 del conjunto SAR incluyen todos los registros específicos que contienen direcciones de memoria necesarias para indicar objetos e instrucciones implicadas en el presente invento, así como el registro de direcciones de instrucción normal (registro IAR). El registro IAR 51 contiene la dirección de la siguiente instrucción a localizar y ejecutar en el momento en que está siendo ejecutada la instrucción en curso; es decir, es el contador de posición de programa. Como se verá posteriormente, cada uno de los registros 50 del conjunto SAR puede ser incrementado o decrementado bajo control de la unidad 100 de control sin que se origine la transmisión del contenido del registro a través de la unidad lógica y aritmética 45 (unidad ALU). En este caso particular, todas las operaciones de incremento-decremento de dirección, es decir $+1/-1$, proporcionan un incremento-decremento de cuatro baterías o una palabra. El sistema de computador que incorpora el presente invento puede tener más de una cola TDQ pero, si es así, una de las colas TDQ será una cola principal TDQ y las otras colas TDQ serán colas secundarias.

La dirección de elemento TDE contenida en el objeto TDQ es transmitida desde la memoria 10 al registro 17 de datos durante un ciclo de "leer memoria", y desde

el registro 17 a través de la línea general 19 al registro SA 36. El registro SA 36 es una memoria intermedia de operando de memoria principal. El contenido del registro 36 es transmitido a la unidad ALU 45 a través del ensamblador 39 de línea general y la línea general 40-A. La unidad ALU 45 recibe una señal procedente de la unidad 100 de control que hace que la unidad ALU 45 transmita la señal de la entrada del lado izquierdo al registro O 46. La unidad ALU 45 es del tipo bien conocido en la técnica para realizar operaciones de complemento a dos binarias y de substracción y operaciones lógicas Y, "0" y O EXCLUSIVAS. Las operaciones aritméticas y lógicas activan el circuito 96 de retención AZ si todos los bitios del resultado son ceros. Durante una operación aritmética de suma la activación del circuito 95 de retención AC indica que existe un acarreo de la posición de bitio de orden superior. En una operación de resta, la activación del circuito 95 de retención AC indica que no hubo acarreo inverso en la posición de bitio de orden superior. Se utilizan operaciones de paso a la izquierda y paso a la derecha para transferencias de registro a registro, y se producen sin ninguna activación de los circuitos AC 95 a AZ 96 de retención de estado de la unidad ALU. El registro O 46 funciona como registro de salida de la unidad ALU 45 para retener el resultado de la unidad ALU antes de transmitir el resultado a la línea general C 47. La salida del registro O 46 está conectada por la línea general C 47 al ensamblador 48 de la línea general D. El ensamblador 48 de línea general D alimenta el conjunto 50 de registros SAR a través de la línea general D 49. En este caso, la unidad 100 de control proporciona

una señal al ensamblador 48 de línea general D para hacerlo seleccionar la línea general 47 como línea de origen, y proporciona una dirección a través de la línea general 101 para direccionar el registro CTDE SAR 53, con lo cual la dirección de elemento TDE en curso es ingresada en el registro 53.

La operación que se acaba de describir se realiza durante un ciclo T2 CPU de la unidad central de tratamiento, lo cual está ilustrado en las figuras 8 y 15, y se describirá posteriormente con detalle. La función de un ciclo T2 CPU es transferir el contenido de cualquier registro origen de línea general A 40 a cualquier registro de destino de línea general C 47.

El registro 53, que contiene la dirección de elemento TDE en curso (CTDEC), es utilizado para retener esta dirección en la duración total de la tarea asociada. De este modo, es necesario cargar también un registro de trabajo con la dirección TDE en curso, que puede ser incrementada o decrementada a fin de cargar los registros de la unidad CPU con información de estado y dirección de ese elemento TDE. Se entenderá que cuando se transfiere la dirección TDE en curso desde el registro 53 a este registro de trabajo, lo cual se describirá en breve, la dirección de elemento TDE en curso permanece también en el registro 53. Se entenderá también que el registro 53 contiene la dirección del elemento TDE que está activo al comienzo de la instrucción en curso. Si es activado el circuito 93 de retención de distribución (circuito D de retención) durante la ejecución de la instrucción en curso, entonces, al comienzo de la ejecución de la instrucción

siguiente, el contenido del registro 53 es comparado con la dirección del elemento TDE situado en posición superior en la cola TDQ, para determinar si se requiere una conmutación de tarea. Como se verá posteriormente, puede producirse o no una conmutación de tarea, dependiendo de si un elemento TDE diferente se convierte o no en el elemento superior TDE en la cola TDQ. Por tanto, si la dirección del elemento TDE en curso no da una comparación satisfactoria con la dirección del elemento TDE superior, se requiere una conmutación de tarea. Por supuesto, es indicado por el objeto TDQ el elemento TDE de posición más alta en la cola TDQ, como se ha mencionado anteriormente. Por consiguiente, se tomará otro ciclo T2 para transferir la dirección de elemento TDE en curso del registro 53 al registro OP 1 SAR 54. La dirección de elemento TDE en el registro OP 1 SAR 54 es entonces incrementada en dos palabras, a fin de indicar el campo de dirección de instrucción (IA) contenido en el elemento TDE.

La operación de incremento en dos palabras de la dirección TDE en curso es realizada por un ciclo A2 CPU, lo cual se describirá con detalle posteriormente. Es suficiente observar en este momento que durante un ciclo A2 CPU el conjunto 50 de registros SAR es direccionado a través de la unidad 100 de control, con lo cual el contenido del registro OP 1 SAR 54 es situado sobre la línea general 32, la cual, además de alimentar el registro 18 de direcciones, alimenta también el ensamblador 39 de línea general A. La unidad 100 de control proporciona una señal de selección al ensamblador 39 de línea general A para hacer que el mismo seleccione la línea general 32

como origen. De este modo, la dirección TDE en curso es presentada al extremo de la izquierda de la unidad ALU 45 a través de la línea general A40. La unidad 100 de control hace también que el codificador 60 de emisión presente un valor de 2 en la línea general 61 al ensamblador 62 de línea general B, con lo cual el valor "dos" es presentado en el extremo de la derecha de la unidad ALU 45 a través de la línea general B 63. La unidad ALU 45 realiza entonces una operación de suma en respuesta a una señal de control procedente de la unidad 100 de control, y el resultado es ingresado en el registro 0-46. La dirección pasa entonces del registro 0-46, a través de la línea general 47, el ensamblador 48 de línea general D y la línea general D 49 al registro OP 1 SAR 54.

La dirección incrementada que reside ahora en el registro OP 1 SAR 54 es transferida entonces al registro 18 de direcciones como parte de un ciclo S1, lo cual se describirá con detalle posteriormente. La dirección contenida en el registro 18 es transmitida por la unidad 15 de control de memoria en la línea general 16 a la memoria principal 10 de direcciones. La palabra que aparece en la línea general 11, en respuesta a la operación de lectura de la memoria principal 10, es ingresada en el registro 17 y situada en la línea general 19. La palabra de la línea general 19 es ingresada entonces en el registro SA 36. Durante este ciclo S1, la dirección tomada del registro 54 del conjunto OP 1 SAR es también transmitida al incrementador 59, que incrementa en una unidad la dirección y transmite la dirección al ensamblador 48 de línea general D, con lo cual es retornada al registro 54 a través de la

línea general D 49, a fin de indicar la siguiente palabra del elemento TDE, el cual, en este caso, contiene el campo de código de longitud de instrucción (IL) y el campo de código de estado (CC) de la primera instrucción asociada con la tarea.

El contenido del registro SA 36 contiene la dirección de la primera instrucción asociada con la tarea. Esta dirección es ingresada en el registro IAR SAR 51 por medio de un ciclo T 2CPU. Antes de recuperar la primera instrucción asociada con la tarea, es necesario localizar las restantes palabras del elemento TDE. De este modo, la dirección incrementada en el registro 54 OP SAR es ingresada en el registro 18 de direcciones y es leída la siguiente palabra del elemento TDE de la memoria principal 10. El cómputo de longitud de instrucción (IL) y el código de estado (CC) contenido en esta palabra siguiente son ingresados en el registro IL 38 y en el registro CC 65, respectivamente. Durante este ciclo S1 CPU la dirección contenida en el registro 54 es incrementada nuevamente por el incrementador 59 y retornada al registro 54. La dirección procedente del registro 54 es transferida entonces nuevamente al registro 18 de direcciones, con lo cual es nuevamente direccionada la memoria 10 y la palabra situada en la posición direccionada es transferida desde la memoria en la línea general 11 al registro 17. El contenido del registro 17 es ingresado entonces en el registro SA 36. Durante este ciclo S1, la dirección contenida en el registro 54 es incrementada nuevamente y retornada al registro 54, como se ha descrito anteriormente. El contenido del registro SA 36 será transferido al registro de trabajo en el conjunto 70

de registros LSR. El registro de trabajo seleccionado depende de una dirección proporcionada por el registro P 90. El registro P 90 es un registro de cómputo utilizado para direccionamiento indirecto de los registros 70 del conjunto LSR, y puede ser incrementado o decrementado en una unidad sin que el contenido del mismo pase a través de la unidad ALU 45. En este caso, el registro P 90 es cargado con una dirección por medio de un ciclo T1 CPU, lo cual se describirá con detalle posteriormente. Durante un ciclo T1 CPU la unidad 100 de control proporciona una señal al codificador 60 de emisión, que emite un valor dirigido al ensamblador 62 de línea general B. Este valor será "cero" a fin de direccionar el registro 0 base del conjunto LSR 70. Por tanto, el valor cero transmitido al ensamblador 62 de línea general B pasa a través de la línea general B 63 a la unidad ALU 45 y desde ella es transmitido al registro 46. El valor cero abandona entonces el registro 46 a través de la línea general 47 hacia el registro P 90, donde está disponible para direccionar el conjunto LSR 70 a través de la línea general 91. Con la dirección situada en el registro P 90 se toma un ciclo Ta CPU para transferir el contenido del registro SA 36 al registro 0 base direccionado del conjunto LSR 70. La operación que se acaba de describir se repite hasta que todos los campos del elemento activo TDE han sido recuperados de la memoria 10. Los campos restantes contenidos en el elemento TDE son campos que se cargan en los registros base 1-15, ambos inclusive, del conjunto LSR 70.

La siguiente operación es localizar la primera instrucción de la tarea activa, ahora que todos los campos

del elemento TDE han sido localizados y cargados en los registros adecuados. Aunque el invento no lo requiere, en este ejemplo particular es prelocalizada una instrucción en el registro 35 de instrucciones y entonces sigue un ciclo de localización de instrucción. El presente invento no depende del hecho de tener instrucciones prelocalizadas. La localización previa de instrucciones es bien conocida en la técnica, y es utilizada para aumentar el rendimiento del sistema de computador. La operación de localización previa implica dos ciclos S1, con lo cual se toma un primer ciclo S1 para cargar la mitad alta del registro IS 35 a través de la línea general S0 19. El segundo ciclo S1 carga la mitad inferior del registro IS 35 a través de la línea general 19. El registro 35 de instrucciones tiene un ancho de dos palabras y almacena transitoriamente la siguiente instrucción de la cadena de instrucciones que está siendo ejecutada. Se observará en este momento que las instrucciones tienen longitudes diferentes. El sistema de computador de la figura 1 puede tratar instrucciones que tienen una longitud de media palabra, una palabra completa o una palabra y media; es decir instrucciones que tienen una longitud de dos baterías de bitios, cuatro baterías o seis baterías.

El ciclo de localización I para estas instrucciones está representado en la figura 21. Sin embargo, se observará que el ciclo de localización I para una instrucción de dos baterías de bitios no está representado porque ninguna de las instrucciones pertinentes al presente invento son instrucciones de dos baterías. Cada instrucción, por supuesto, tiene un código OP y, en este caso el

código Op incluye también bitios que indican la longitud de la instrucción. Deberá observarse que, durante la operación de localización I, la unidad 100 de control muestra en primer lugar el estado de un circuito 93 de retención de ciclos de distribución y un circuito 94 de retención IO. Al comienzo de la tarea inicial, ambos de estos circuitos de retención estarán en el estado de reposición. Es descodificado el código OP por el descodificador 41 y la longitud de instrucciones descodificada por el descodificador 42. Las señales resultantes de la descodificación del código OP son transmitidas a la unidad 100 de control, y la señal indicativa de la longitud de instrucción es transmitida desde el descodificador 42 de longitud de instrucción para activar un circuito 92 de retención si la instrucción es de seis baterías de bitios, y para reponer el circuito 92 de retención si la longitud de la instrucción es menor de 6 baterías de bitios. La unidad 100 de control muestrea el circuito 92 de retención y se realiza un ciclo T1, con lo cual la unidad 100 de control proporciona una señal al codificador 60 de emisión, el cual entonces emite un valor que indica la longitud de instrucción. Este valor emitido será ingresado entonces en el registro IL 38 durante el ciclo T1.

Continúa el ciclo de localización I en donde el contenido del registro 38 de longitud de instrucción (IL) se suma al contenido en curso del registro IAR SAR 51 por medio de un ciclo A1 CPU, y el resultado es retornado al registro IAR SAR 51. Se observará que es realizada una operación de suma de baterías para cambiar el valor en el registro IAR SAR 51. De este modo, sumando el valor

del registro IL de 4 o 6 al contenido de IAR SAR 51, la dirección de palabra de memoria es aumentada en una o una y media palabras, respectivamente. Esto provee al registro IAR SAR 51 de una dirección para indicar hacia la siguiente instrucción de la tarea. El registro IL 38 retiene la longitud de la instrucción que está siendo ejecutada normalmente. La longitud es retenida en un número binario sin signo. Se realiza un ciclo T2 CPU en donde el campo de instrucción I es puesto en el registro P 90 para uso posterior.

Esta operación es seguida por otro ciclo T2 CPU, en donde el campo OP1 de instrucción es situado en el registro OP1 SAR 54. Entonces, se realiza un ciclo S1 para leer datos de la memoria principal 10 y transferirlos sobre la línea 19 general, y desde ella al registro SA 36 con lo cual se localiza el primer operando de la instrucción. Es entonces comprobado el estado del circuito 92 de retención, y si la instrucción es una instrucción de seis baterías, se realiza un ciclo T2 para cargar el registro OP2 SAR 55 con el contenido del campo OP2 incluido en la instrucción. Este ciclo T2 es seguido entonces por un ciclo S1, donde se leen datos de la memoria principal 10 y se transfieren por la línea general 19 para ser cargados en el registro SB 37. El registro 37 SB, al igual que el registro 36 SA, es una memoria intermedia de operando de memoria principal. Han sido localizados ahora los operandos 1 y 2 de la memoria principal 10 y situados en los registros 36 y 37, respectivamente. Si la instrucción no ha sido una instrucción de seis baterías de bits, no existe operando 2 a localizar de la memoria principal 10.

El control se transfiere a ciclos de ejecución

estando indicado el tipo de ciclos de ejecución por la descodificación del código OP por el descodificador 41 de código OP. Se describirán posteriormente con detalle los ciclos de ejecución para instrucciones de transmitir mensaje, transmitir cómputo, poner en cola mensaje, recibir mensaje, recibir cómputo y eliminar mensaje de la cola. Si la instrucción fuese diferente a las instrucciones para ciclos de ejecución que se acaban de mencionar, es decir, instrucciones convencionales tales como cargar, almacenar, bifurcar, etc, se seguirían entonces los ciclos de ejecución para estas otras instrucciones. Puesto que estas otras instrucciones son instrucciones muy convencionales, no se representan sus ciclos de ejecución.

Con el fin de conseguir una comprensión más detallada de los ciclos de localización I, se describirán con detalle los ciclos T1, T2, A1 y S1. Están representadas con detalle en la figura 7 las señales de control y aquellos elementos del sistema de computador que están implicados durante un ciclo T1 CPU. En la figura 14 está representado el diagrama de relación de tiempos para un ciclo T1 CPU. La función de un ciclo T1 CPU es cargar un operando inmediato en un registro de la unidad CPU. Como se ve en la figura 7, la unidad 100 de control sitúa señales sobre la línea general 102, que activa el codificador 60 de emisión para emitir un valor binario. El codificador 60 de emisión, que es un codificador convencional, sitúa a su vez el valor binario sobre la línea general 61, la cual alimenta el ensamblador 62 de línea general B. Con el fin de que el ensamblador de línea general B seleccione el codificador 60 de emisión como origen, la unidad 100 de control propor-

ciona señales sobre la línea general 103. La salida del ensamblador 62 de línea general B se aplica sobre la línea general 63 a la unidad ALU 45. La unidad ALU 45 está controlada por una señal procedente de la unidad 100 de control sobre la línea 104 para transmitir la entrada sobre la línea general 63, es decir la entrada de la derecha, al registro 0 46, el cual es cargado bajo control de una señal procedente de la unidad 100 de control en la línea 105.

La línea general 47 C presenta la salida del registro 0 46 a registros de destino, y el registro de destino seleccionado por la unidad 100 de control es cargado cuando la unidad 100 de control proporciona un impulso de carga, tal como el impulso presente sobre la línea 106, que es representativa de la línea de carga conectada al registro de destino seleccionado. Realmente, existe una línea de carga para cada uno de los registros de destino. Los registros de destino son, por supuesto, cualquier registro alimentado por la línea general C 47, e incluyen el registro IS 35, el registro SA 36, el registro SB 37, el registro 38 IL, los registros 50 del conjunto SAR, el registro 65 de código de estado, el registro L 66, el conjunto 70 de registros LSR y el registro P 90. Solamente están conectadas líneas de carga únicas a los registros 50 del conjunto SAR y a los registros 70 del conjunto LSR.

Las unidades del sistema de computador implicadas en el ciclo T2 CPU están representados en la figura 8, y en la figura 15 está representado el diagrama de relación de tiempos para un ciclo T2 CPU. La función de un ciclo T2 CPU es transferir el contenido de cualquier registro origen de datos que alimenta el ensamblador 39 de línea gene-

ral A a cualquier registro de destino conectado para recibir datos procedentes de la línea general C 47. Un ensamblador 39 de línea general A recibe entradas del registro IS 35, el registro SA 36, el registro L 66, el registro P 90, el conjunto 50 de registros SAR y el conjunto 70 de registros ISR. La unidad 100 de control puede seleccionar un registro 50 del conjunto SAR situando una dirección en la línea general 101. Los datos procedentes del registro del conjunto SAR seleccionado son leídos entonces cuando la unidad 100 de control proporciona una señal de lectura sobre la línea 114. Los datos leídos del registro seleccionado pasan entonces sobre la línea general 32 al ensamblador 39 de línea general A.

Los registros 70 del conjunto ISR son siempre seleccionados por una dirección contenida en el registro P 90. Sin embargo, son leídos datos solamente del registro seleccionado cuando la unidad 100 de control produce una señal de lectura sobre la línea 107. Los datos procedentes del registro seleccionado se transfieren sobre la línea general 69 al ensamblador 39 de línea general A. Todos los demás registros que alimentan el ensamblador 39 de línea general A no requieren un impulso de lectura porque sus salidas están presentes sin "uno".

La fuente de datos dentro del ensamblador 39 de línea general A es seleccionada cuando la unidad 100 de control proporciona una señal en la línea general 108 codificada. Se observará que la unidad 100 de control puede seleccionar una de dos fuentes de datos con una línea única. Si el origen de datos a seleccionar corresponde a más de dos fuentes de datos, entonces, dependiendo de la ejecución

física deseada, la unidad 100 de control enviaría señales sobre una línea general codificada o sobre una línea independiente a cada origen para realizar selecciones. La selección de destino de datos puede ser también realizada del mismo modo a no ser que se especifique otra cosa. Los datos transmitidos por el ensamblador 39 de línea general A ingresan en la unidad ALU 45 a través de la línea general 40. La unidad ALU 45 es controlada por una señal procedente de la unidad 100 de control en la línea 109 para transmitir los datos sobre la línea general 40 A, es decir, en la entrada de la derecha, al registro O 46. Los datos transmitidos por la unidad ALU 45 son cargados en el registro O 46 bajo control de una señal procedente de la unidad 100 de control sobre la línea 105. Los datos que residen en el registro O 46 son transmitidos entonces a los registros de destino.

Uno de los registros de destino será seleccionado por una señal procedente de la unidad 100 de control. Si uno de los registros 50 del conjunto SAR es el registro de destino, la unidad 100 de control proporciona una señal en la línea 110 al ensamblador 48 de línea general D el cual selecciona entonces como origen la línea general 47 C. La unidad 100 de control proporcionará también una dirección en la línea general 101 para seleccionar uno de los registros 50 del conjunto SAR. Los datos ingresarían en el registro SAR seleccionado procedentes del ensamblador 48 de línea general D a través de la línea general 49 bajo control de un impulso de carga que proporcionaría la unidad 100 de control en la línea 111.

Si fuese seleccionado como registro de destino

uno de los registros 70 del conjunto LSR, la unidad 100 de control proporcionaría un impulso de carga en la línea 112. El registro seleccionado, por supuesto, sería el direccionado por el contenido del registro P 90. Si el registro de destino es diferente a un registro 50 del conjunto SAR o a un registro 70 del conjunto LSR, la unidad 100 de control proporciona un impulso de carga en la línea 106 que es una línea de carga representativa.

En las figuras 10 y 17, respectivamente están representados el ciclo Al CPU y la relación de sincronización para el mismo. La función del ciclo Al CPU es transferir el contenido de dos registros seleccionados a la unidad ALU 45, realizar una operación ALU y transferir el resultado al registro origen de la izquierda o bien despreciar el resultado. También, durante el ciclo Al CPU los circuitos AC 95 y AZ 96 de retención de estado son puestos adecuadamente en estados determinados por el resultado de la operación ALU. En la figura 10, la unidad 100 de control proporcionará una dirección por la línea general 101 y una señal de lectura por la línea 114 si uno de los registros 50 del conjunto SAR ha de ser el registro origen para la entrada izquierda a la unidad ALU 45. Si la entrada por el lado izquierdo de la unidad ALU 45 ha de proceder de uno de los registros 70 del conjunto LSR, la unidad 100 de control proporciona una señal de lectura por la línea 107. El origen de datos para la entrada izquierda a la unidad ALU 45 es seleccionado por la unidad 100 de control al proporcionar una señal de selección para el ensamblador 39 de línea general A en la línea 108.

La entrada del lado derecho es transmitida a

30

10078

la unidad ALU 45 por el ensamblador 62 de línea general B. Se recordará que el ensamblador 62 de línea general B puede seleccionar el registro SB 37, el registro IL 38, el codificador 60 de emisión o el registro 65 de código de estado. La selección es realizada por señales que proporciona la unidad 100 de control sobre la línea general 103 codificada. La función realizada por la unidad ALU 45 está determinada por la señal proporcionada por la unidad 100 de control en la línea 104. Por ejemplo, la señal en la línea 104 podría sumar el contenido del registro SA 36 con el contenido del registro SB 37 y retornar el resultado al registro 36 a través del registro O 46 y la línea general C 47. Otro ejemplo para la unidad ALU sería restar el contenido del registro SB 37 del contenido del registro SA 36. El resultado puede ser eliminado o transmitido al registro O 46. La unidad 100 de control proporciona una señal de carga sobre la línea 105 para cargar el resultado en el registro O 46. El resultado está entonces disponible para la línea general C 47 para transferencia a un registro de destino. Si el destino del resultado es uno de los registros 50 del conjunto SAR, la unidad 100 de control proporciona una señal en la línea 110 al ensamblador 48 de línea general D para hacer que el mismo seleccione como origen la línea general C 47, y proporciona una señal en la línea 111 para cargar el registro 50 del conjunto SAR seleccionado por la dirección presente en la línea 101 con el resultado transmitido por el ensamblador 48 de línea general D a través de la línea general D 49. Si el resultado ha de situarse en uno de los registros 70 del conjunto ISR, la unidad 100 de control proporciona una señal por la línea 112 para car-

gar el registro seleccionado, en donde la selección es realizada por la dirección contenida en el registro P 90. Si el registro de destino es diferente a los mencionados, la unidad 100 de control proporciona una señal por la línea 106 que es una línea de carga representativa. Los circuitos 95 y 96 de retención de estado son activados o repuestos por señales procedentes de la unidad ALU 45 sobre las líneas 43 y 44, respectivamente.

Durante un ciclo S1 CPU son leídos datos de la memoria principal 10 y cargados en un registro conectado a la línea general S0 19. El origen de la dirección de memoria es uno de los registros 50 del conjunto SAR y esta dirección puede ser incrementada o decrementada opcionalmente y retornada al registro del conjunto SAR de origen. Las unidades del sistema de computador implicadas en un ciclo S1 CPU están representadas en la figura 12, y el diagrama de sincronismo correspondiente al ciclo S1 CPU está representado en la figura 19.

La unidad 100 de control proporciona una dirección por la línea general 101 para direccionar el conjunto de registros SAR 50. El contenido del registro seleccionado del conjunto SAR es leído por una señal que proporciona la unidad 100 de control en la línea 114. El contenido del registro 50 del conjunto SAR seleccionado es situado sobre la línea general 32 e ingresado en el registro 18, y es también aplicado al incrementador 59. La salida del incrementador 59 es transmitida al ensamblador 48 de línea general D, y si la dirección incrementada o decrementada ha de ser retornada al registro seleccionado del conjunto SAR, la unidad 100 de control proporciona una señal por la línea

110 al ensamblador 48 de línea general D. La dirección incrementada o decrementada sería entonces ingresada en el registro 50 seleccionado del conjunto SAR cuando la unidad 100 de control proporciona una señal de carga por la línea 111. La unidad 100 de control proporciona entonces un impulso de lectura de memoria por la línea 115 a la unidad 15 de control de memoria. Son leídos datos de la memoria 10 en una posición direccionada por la dirección contenida en el registro 18. Estos datos son transmitidos desde la memoria, a través de la línea general 11, a la unidad 15 de control de memoria y al registro 17 de datos. El hecho de que el registro 17 sea realmente o no un registro es objeto de elección, y depende del tipo particular de memoria utilizada; es decir, en algunas unidades de memoria los datos son retenidos en la salida de la memoria. Los datos pasan entonces desde el registro 17 de datos a la línea general SO 19. Los datos presentes sobre la línea general SO 19 ingresan entonces en un registro de destino adecuado, según se determina por una señal de carga en la línea 106 de carga representativa producida por la unidad 100 de control.

El funcionamiento del invento descrito hasta este punto está diagramáticamente representado en la figura 4; es decir, el objeto TDQ fué recuperado de la memoria 10 para situar el elemento activo TDE sobre la cola TDQ. Ciertos campos del elemento activo TDE fueron entonces recuperados de la memoria. Se realizó entonces una localización de instrucción, y la instrucción localizada fué ejecutada. La tarea continuaría entonces hasta alguna instrucción asociada con la tarea que originó un cambio de tarea,

o fué puesta en cola una tarea de prioridad superior en la cola TDQ. Esto originaría también un cambio de tarea.

Una instrucción "recibir mensaje" (RCEM) puede hacer que sea eliminada de la cola TDQ la tarea activa y sea puesta en cola en una lista de espera de elemento de distribución de tareas de una cola de transmisión recepción (SRQ). La función de una instrucción recibir mensaje, cuyo formato está representado en la figura 3, es obtener un mensaje (SRM) de una cola SRQ. Si no existe un mensaje SRM en la cola SRQ, entonces no se satisface la instrucción recibir mensaje y la tarea activa es extraída de la cola TDQ y entra en un estado de espera como elemento TDE de espera inactivo en una cola SRQ. La tarea que está en este estado espera entonces en la cola SRQ hasta que una operación de transmisión pone en cola un mensaje SRM en la cola SRQ y elimina el elemento TDE de espera inactivo sobre la cola TDQ. En la figura 4, la instrucción recibir mensaje es localizada previamente del mismo modo que cualquier otra instrucción. Los ciclos de localización I para la instrucción recibir mensaje son ciclos de localización de instrucción de seis baterías de bitios. Al completarse los ciclos de localización I, se realizan ciclos de ejecución recibir mensaje (RSM). Los ciclos de ejecución de la instrucción recibir mensaje están representados en la figura 26.

La instrucción recibir mensaje (RECM), como se ve en la figura 3, tiene un código OP que indica que se trata de una instrucción recibir mensaje. El campo de código OP está seguido por un campo I, y, en este caso, el campo I contiene la dirección de un registro 70 del conjunto LSR.

Este registro 70 del conjunto LSR direccionado será cargado durante la ejecución de la instrucción recibir mensaje (RECM) con la dirección del mensaje eliminado de una cola de transmisión recepción (SRQ) el cual, a su vez, es direccionado por el campo de dirección OP 1 en la instrucción recibir mensaje. El campo de dirección OP 2 contenido en la instrucción recibir mensaje incluye una dirección para direccionar la memoria 10 principal en una posición que contiene un objeto de datos de clave que puede ser utilizado para comparación con campos de clave de mensajes de transmisión recepción (SRM) en una cola SRQ para identificar el mensaje SRM a ser eliminado de la cola SRQ. Los mensajes SRM están encadenados en la cola SRQ en secuencia de claves. El objeto de datos de clave recuperado de la memoria es comparado con el campo de clave del primer mensaje SRM sobre la cola SRQ y si las claves son iguales, el mensaje SRM es eliminado de la cola SRQ. Si la comparación no proporciona identidad, el objeto de datos de clave recuperado de la memoria es comparado con el campo de clave del siguiente mensaje SRM, y así sucesivamente, hasta que se encuentra una comparación de igualdad.

Suponiendo que existe una comparación de igualdad, la dirección del mensaje SRM particular que contiene el campo de clave que proporciona comparación de igualdad es situada en el registro 70 del conjunto LSR, direccionado por el campo R3 contenido en la instrucción recibir mensaje, y el mensaje SRM es eliminado de la cadena de mensajes SRM sobre la cola SRQ. Si el objeto de datos de clave recuperado de la memoria no da comparación de identidad con el campo de clave de cualquier mensaje SRM so-

bre la cola SRQ, la instrucción recibir mensaje se considera no satisfecha.

Debido a que el registro IAR SAR 51 está indicando a la siguiente instrucción a localizar de la memoria principal 10 y si no fué satisfecha la instrucción recibir mensaje, es necesario decrementar el registro IAR de modo que indique hacia la dirección de la instrucción recibir mensaje no satisfecha. Esta operación se describirá con detalle durante la descripción de los ciclos de eliminación. Es necesario conservar la dirección de esta instrucción recibir mensaje no satisfecha porque la tarea activa que contenía esta instrucción en esta cadena de instrucciones será eliminada de la cola TDQ y puesta en cola en lista de espera de la cola SRQ direccionada por el campo OP 1 de la instrucción recibir mensaje no satisfecha. La operación de eliminar el elemento activo TDE de la cola TDQ y de poner en cola este elemento TDE en la cola SRQ se describirá con detalle durante la descripción de los ciclos de eliminación. La eliminación de la cola del elemento activo TDE origina un cambio de tarea y la nueva prioridad de elemento TDE más alta en la cola TDQ, si existe, quedará entonces asignada a la tarea activa. Esto está ilustrado, por ejemplo, en la figura 28.

Durante la ejecución de una instrucción recibir mensaje, la unidad 100 de control repone el circuito 87 de retención de transmisión, activa el circuito 88 de retención de recepción y repone el circuito 97 de retención de fase ST y el circuito 98 de retención de fase RT. La unidad 100 de control realiza esto precisamente antes, o simultáneamente con un ciclo T2 CPU, que se realiza pa-

ra transferir el contenido del registro SAR OP 1 54 al
registro PCH SAR 56. El registro PCH SAR 56 contiene nor-
malmente la dirección del último o anterior elemento de la
cola. El ciclo T2 está entonces seguido por ciclos de eli-
minación. Los ciclos de eliminación están representados
5 en la figura 27.

En la figura 28, se ve que el objeto TDQ tiene
una dirección TDE que indica hacia el elemento TDE de prio-
ridad más alta sobre la cola TDQ. Ocurre que se trata de
10 un elemento TDE que tiene una prioridad cero. El elemento
TDE con prioridad cero está encadenado con un elemento
TDE que tiene una prioridad igual a la unidad y este ele-
mento TDE está encadenado con el siguiente elemento TDE
de prioridad más alta, y así sucesivamente, siendo el ele-
15 mento TDE que tiene una prioridad igual a N el último ele-
mento TDE dispuesto en la cola TDQ. El elemento TDE que
tiene prioridad cero corresponde a la tarea activa y su
campo IA indica la instrucción recibir mensaje en memoria.
El campo OP 1 de la instrucción recibir mensaje indica
20 hacia la cola SRQ 1 que tiene asociada el mensaje SRM 1.
El mensaje SRM 3 está encadenado al mensaje SRM 1. No exis-
ten elementos TDE encadenados a la cola SRQ 1. Esto indica
que no existen elementos TDE inactivos en estado de espera
en la cola SRQ 1. El campo OP 2 de la instrucción recibir
25 mensaje indica a un objeto de datos de clave en la memoria
principal 10 que tiene un valor de 2. Ninguno de los men-
sajes SRM en la cola SRQ contienen un campo de clave que
tiene un valor de 2, y por consiguiente, no se satisface
la instrucción recibir mensaje. Se observará también que
30 el campo IA del elemento TDE 1 en la cola TDQ dirige la

5 secuencia hacia una instrucción transmitir mensaje. El
campo I de esta instrucción transmitir mensaje dirige la
secuencia hacia un registro 70 del conjunto LSR que con-
tiene una dirección de memoria principal de una palabra
SRM2 de memoria. Debido a que no se satisface la instruc-
ción recibir mensaje, el elemento TDE 0 activo será eli-
minado de la cola TDQ y puesto en cola sobre la lista de
espera de la cola SRQ 1, como se ilustra en la figura 29.
El elemento TDE 1 se convertirá entonces en el elemento
10 activo TDE y la ejecución de la instrucción transmitir
mensaje dará lugar a que sea puesto en cola el mensaje SRM
2 en secuencia de prioridad en la cola SRQ 1, como se ilus-
tra en la figura 30.

15 Los ciclos de eliminación implicados durante
la instrucción recibir mensaje comienzan con un ciclo T2
CPU, como se ilustra en la figura 27. Con anterioridad
al ciclo T2 CPU, se observará que el registro SA 36 ha
sido cargado con el primer campo de la cola SRQ. Esto tu-
vo lugar durante el ciclo de localización I para la ins-
trucción recibir mensaje. También durante el ciclo de lo-
calización I correspondiente a esta instrucción, el regis-
tro 37 fué cargado con el objeto de datos de clave proce-
dente de la memoria principal 10, que se utilizará para
localizar un mensaje SRM particular, si existe alguno,
20 en la cola SRQ. El registro CCH SAR 56 fué cargado durante
el ciclo de ejecución de la instrucción recibir mensaje
con la dirección del primer campo de la cola SRQ 1 preci-
samente antes del ciclo de eliminación. Durante el ciclo
T2 CPU el registro CCH SAR 57 se carga con el contenido
30 del registro SA 36. El registro CCH SAR 57 contiene la

dirección del elemento de cola en curso que está siendo tratado. Este ciclo T2 CPU está seguido por un ciclo A2 CPU, en donde es examinado el contenido del registro CCH SAR 57 para determinar si es cero. Esto es realizado para determinar si existen mensajes SRM en la cola SRQ.

En el ejemplo particular de la figura 28 hay dos mensajes SRM en la cola SRQ y, por consiguiente, la dirección CCH no es cero y de este modo el circuito 96 de retención AZ no será activado por la unidad ALU 45. Se realiza entonces un ciclo S1 CPU para localizar el campo de clave del mensaje SRM 1 y para incrementar la dirección CCH. El campo de clave recuperado de la memoria 10 es situado entonces en el registro SA 36. Se realiza entonces un ciclo A1 para comparar el objeto de datos de clave en el campo de clave para determinar si el campo de clave es igual al objeto de clave. Esto se realiza restando el contenido del registro 37 SB del contenido del registro 36 SA. Se observará que si el objeto de datos de clave fuese superior al campo de clave, existiría una indicación de que no serían necesarias comparaciones adicionales porque el campo de clave de cualquier mensaje SRM de prioridad inferior nunca podría ser igual al contenido del objeto de clave. Si el campo de clave es igual al objeto de clave, se activa el circuito de retención AZ 96. Se inicia entonces un ciclo S1 para localizar la dirección encadenada del mensaje SRM1 de la memoria 10 principal y para situar el mismo en el registro SA 36. Durante este ciclo S1 los circuitos 96 y 97 de retención AZ y ST son descodificados para determinar el siguiente ciclo de operación. Debido a que el circuito 96 de reten-

ción AZ en el ejemplo de la figura 28 estaría en el estado de reposición porque el campo de clave del mensaje SRM 1 no proporcionó comparación de igualdad con el objeto de datos de clave y está repuesto el circuito 97 de retención ST, se realiza un ciclo T2 CPU para transferir el contenido del registro CCH SAR 57 al registro PCH SAR 56. Esto se realiza para poner la dirección del mensaje SRM 1 en el registro PCH SAR. El registro PCH SAR es entonces incrementado en una unidad durante un ciclo A2 CPU. El valor de la dirección correspondiente al campo de dirección de la cadena de mensajes SRM ha sido ahora conservado para utilización subsiguiente si el siguiente mensaje SRM en la cadena de mensajes SRM ha de ser eliminado.

Debido a que el objeto de clave no proporcionó comparación de igualdad con el campo de clave del mensaje SRM 1, el funcionamiento retorna al comienzo de los ciclos de eliminación y el campo de clave del siguiente mensaje SRM de la cola SRQ 1 será comparado con el objeto de datos de clave. Esta operación continúa hasta que el campo de clave del último mensaje SRM de la cola SRQ ha sido comparado con el objeto de datos de clave. En este caso, cuando la operación de comparación ha sido completada con respecto al campo de clave del mensaje SRM 3, se ejecuta nuevamente el bucle de búsqueda principal, y debido a que el campo de dirección de la cadena SRM del mensaje SRM 3 es cero, será activado el circuito 96 de retención AZ y el funcionamiento cambia de dirección, con lo cual son descodificados por la unidad 100 de control los circuitos 87 y 88 de retención S y R. Se observará que cuando se activó el circuito 96 de retención AZ, esto fué una indicación de que no fué satis-

fecha la instrucción recibir mensaje. El circuito 88 de re-
tención de recepción está aún activado; por tanto, la si-
guiente operación es que la unidad 100 de control activa
el circuito 93 de retención D para requerir la realización
de ciclos de distribución al comienzo del siguiente ciclo
de localización I. Se comprueba entonces el estado del cir-
cuito 87 de retención S y, debido a que está desactivado,
el circuito 98 de retención RT es activado por la unidad
100 de control. Se realiza entonces un ciclo T2 CPU para
cargar el contenido del registro TDQ SAR 52 en el registro
PCH SAR 56. Se realiza entonces un ciclo S1 CPU para cargar
el registro SA 36 con una dirección PCH procedente de la
memoria principal 10, en donde la dirección PCH es la direc-
ción de la cola TDQ. Se realiza entonces un ciclo T2 CPU
para transferir el contenido del registro TDE SAR 53 en cur-
so al registro OP2 SAR 55. Se acomete entonces un ciclo S1
para recuperar el campo de prioridad del elemento TDE 0 de
la memoria principal 10 e ingresarlo en el registro SB 37.
Esto se realiza de tal modo que el, bucle de búsqueda des-
crito anteriormente puede ser utilizado para eliminar el
elemento TDE de la cola TDQ.

El bucle principal de búsqueda del ciclo de
eliminación es ejecutado nuevamente y, debido a que el cam-
po de prioridad del elemento TDE 0 está siendo comparado
con él mismo, el contenido del registro SA será igual al
contenido del registro SB, y por tanto se activará el cir-
cuito 96 de retención AZ. Sin embargo, el circuito 97 de re-
tención ST estará aún en el estado de reposición. Por tanto
la siguiente operación será un ciclo S2 CPU en vez de un ci-
clo T2 CPU. Durante el ciclo S2 CPU el valor del contenido

del registro 36 SA es cargado en la memoria 10 principal en una posición que contiene la dirección TDE en el campo TDQ. Esto rompe la cadena anterior, con lo cual la dirección del elemento TDE en el campo TDQ dirige ahora la secuencia hacia el elemento TDE 1 en vez de hacia el elemento TDE 0. Se observará que, aunque el elemento TDE 0 es eliminado de la cola TDQ, el desplazamiento no corresponde a un desplazamiento físico del elemento TDE, sino solamente a un cambio en la dirección TDE en el campo TDQ.

Los circuitos 87, 88 y 98 de retención SR y ST son entonces descodificados por la unidad 100 de control. En este caso, se repone el circuito 87 de retención S, y se activan los circuitos 88 y 98 de retención R y RT. De este modo, la siguiente operación es cargar el contenido del registro GCH SAR 57 en el registro OP 2 SAR 55 durante un ciclo T2 CPU. La unidad 100 de control está poniendo a punto las condiciones correctas para cambiar el funcionamiento a ciclos de inserción. Se realiza entonces un ciclo S1 CPU para cargar el registro SB 37 con el campo de prioridad del elemento TDE 0 procedente de la memoria principal 10. También durante este ciclo S1 CPU, la dirección contenida en el registro OP2 SAR 55 es incrementada y retornada al registro 55. Se realiza entonces una comprobación para determinar el tipo de operación, y esto se hace comprobando el estado del circuito 87 de retención S. Debido a que el circuito 87 de retención S no está activado, el siguiente ciclo es un ciclo A2 CPU, en donde el contenido del registro 54 OP 1 SAR es incrementado y situado en retorno en el registro OP 1 SAR 54, de modo que el contenido del registro OP 1 SAR 54 dirige la secuencia hacia el campo de direc

ción TDE de la cola SRQ. El contenido del registro OP 1 SAR 54 es transferido entonces al registro PCH SAR 56 durante un ciclo T2 CPU. Se inicia entonces un ciclo S1 CPU para cargar el registro SA 36 con la dirección PCH, es decir, en el ejemplo de la figura 28, con el campo de dirección TDE de la cola SRQ 1. El funcionamiento prosigue entonces con ciclos de inserción, que están representados con detalle en la figura 25. Al comienzo de un ciclo de inserción, para el ejemplo ilustrado en la figura 28, el registro SA 36 contiene el campo de dirección TDE de la cola SRQ 1, el registro SB 37 contiene el campo de prioridad del elemento TDE 0, el registro PCH SAR 56 contiene la dirección del campo de dirección TDE de la cola SRQ 1, y el registro OP SAR 55 contiene el campo de dirección de cadena del elemento TDE 0.

El primer ciclo de los ciclos de inserción es un ciclo T2 CPU que se realiza para cargar el registro CCH SAR 57 con el contenido del registro SA 36. Se acomete entonces un ciclo A2 CPU para determinar si el valor del registro CCH SAR 57 es cero. En el ejemplo particular de la figura 28, el contenido del registro CCH SAR 57 será cero, porque el campo de dirección TDE de la cola SRQ 1 es cero. El valor cero indica que no había elementos TDE esperando en el estado inactivo en la cola SRQ 1. Debido a que el valor del registro CCH SAR 57 es cero, la unidad ALU 45 activa el circuito 96 de retención AZ. Este circuito de retención es comprobado, y debido a que está activado, la siguiente operación consiste en un ciclo T2 CPU para cargar el registro SA 36 con el contenido del registro CCH SAR 57. Este ciclo está seguido por un ciclo S2 CPU en donde el conte

nido del registro SA 36 se almacena en la memoria 10 principal en la dirección contenida en el registro OP2 SAR 55. Por tanto, el campo de dirección TDE de la cola SRQ 1 (todos ceros) reside ahora en el campo de dirección de cadena del elemento TDE 0. La dirección OP2 en el registro SAR 55 es decrementada durante el ciclo S2 CPU. Es suficiente observar, en este momento, que el ciclo S2 CPU está ilustrado con detalle en la figura 13 y se describirá posteriormente.

Se realiza entonces un ciclo T2 CPU para cargar el registro 36 SA con el contenido del registro OP2 SAR 55. El contenido del registro OP 2 SAR 55, como se indicó, fué decrementado durante el ciclo S2 CPU anterior. Por tanto, el registro SA36 está cargado con la dirección del elemento TDE 0. Esta dirección contenida en el registro 36 SA es almacenada entonces en la memoria principal 10 durante un ciclo S2 en una dirección especificada por PCH SAR 56, con lo cual el elemento TDE 0 es puesto en la cola SRQ 1. En este momento, deberá observarse que los estados de las colas TDQ y SRQ 1 corresponden a los representados en la figura 29. En la figura 29, se observará también que la cadena de mensajes SRM en la cola SRQ 1 permanece inalterada.

La unidad 100 de control descodifica entonces los estados de los circuitos 87, 97 y 98 de retención S, ST y RT y encuentra que el circuito 87 de retención S no está activado, y que está activado el circuito 98 de retención RT. Debido a que el circuito 87 de retención S no está activado, el estado del circuito 97 de retención ST no es pertinente en este momento. Se realizan entonces ciclos

Al y T1 CPU sucesivamente a fin de reponer el registro IAR SAR 51 de modo que orientará la secuencia hacia la instrucción recibir mensaje no satisfecha y el registro 38 IL es puesto a cero. La secuencia de operaciones cambia entonces a un ciclo de localización I de la tarea activa que corresponde aún al elemento TDE 0 porque no ha tenido aún lugar un cambio de tarea.

Con referencia nuevamente a la figura 21, se ingresa en el ciclo de localización I, y los circuitos 93 y 94 de retención D e IO son descodificados por la unidad 100 de control y se encuentra que está activado el circuito 93 de retención D y está repuesto el circuito 94 de retención IO; por tanto, se entra en ciclos de distribución. Los ciclos de distribución están representados con detalle en la figura 22. Al entrar en ciclos de distribución, el circuito 93 de retención D es repuesto por la unidad 100 de control. Se acomete entonces un ciclo A2 CPU para determinar si la dirección TDQ en el registro SAR 52 es cero. Debido a que en el ejemplo particular de las figuras 28 y 29 existen elementos TDE adicionales en la cola TDQ, no será cero el contenido del registro TDQ SAR 52. Por tanto, no se activará el circuito 96 de retención AZ. Si no existiesen mas elementos TDE en la cola TDQ, la unidad CPU 30 entraría en un estado de espera.

Con el circuito 96 de retención AZ en el estado de reposición, se realiza un ciclo S1 CPU para cargar el registro SB 37 con el campo de dirección de cadena TDQ (que orienta la secuencia hacia el elemento TDE situado en posición más alta sobre la cola TDQ) procedente de la memoria principal 10. La dirección TDE en curso en el re-

gistro CTDE SAR 53 es comparada entonces con el contenido del registro SB 37 durante un ciclo A1. En el ejemplo particular, la dirección del elemento TDE en curso corresponde al elemento TDE 0, mientras que la dirección TDE en el objeto TDEQ de datos está indicando hacia el elemento TDE 1. Por tanto, como resultado de la operación de la unidad lógica y aritmética (unidad ALU) no se activará el circuito 96 de retención AZ. Si ha sido activado, no se requerirá una conmutación de tarea y seguirían ciclos de localización I. Sin embargo, sigue a continuación un ciclo T2 CPU donde el registro OP 1 SAR 54 es cargado con el contenido del registro TDE SAR 53 en curso. El contenido del registro OP 1 SAR 54 es incrementado entonces en dos unidades, a fin de orientar la secuencia hacia el campo IA del elemento TDE 0. Esto tiene lugar durante un ciclo A2 CPU. La función a realizar es almacenar los campos de estado del elemento TDE en curso. Después que se realiza esto, como se describirá en breve, los campos de estado para el nuevo elemento activo TDE, es decir el elemento TDE 1, serán cargados en los registros adecuados.

Se acomete un ciclo T2 CPU para cargar el registro 36 SA con el contenido del registro IAR SAR 51. Se conserva entonces el contenido del registro IAR SAR 51 en la memoria principal 10 durante un ciclo S2 CPU cargando el contenido del registro SA 36 en la memoria principal 10 en la dirección OP 1 en el registro OP 1 SAR 54 y se incrementa la dirección OP 1. Se inicia entonces un ciclo T3 para cargar el registro SA 36 con el contenido del registro IL 38 y el registro 65 de código de estado. Esto es seguido por un ciclo de almacenamiento S2 para cargar

el contenido del registro SA 36 en la memoria principal 10 en la dirección especificada por el registro OP 1 SAR 54.

La dirección OP 1 en el registro SAR 54 es incrementada nuevamente y retornada al registro OP 1 SAR 54. Se realiza entonces un ciclo T1 para poner un valor de 15 en el registro L 66. El registro L 66 es un registro de cómputo utilizado para controlar interacciones de bucle CBU. El registro L 66 puede ser decrementado en una unidad y el circuito 67 detector de cero examina el registro 66 para detectar un estado de "todos ceros". Este ciclo T1 está seguido por otro ciclo T1, en donde el registro P 90 es puesto a cero. Se acomete entonces un ciclo T2 para cargar el registro SA 36 con el contenido del registro 70 del conjunto de memoria local, como se direcciona por el contenido del registro P 90. El contenido del registro SA 36 es transferido entonces a la memoria principal 10 en la dirección especificada por el registro OP 1 SAR 54, y se incrementa el registro OP 1 SAR 54, teniendo lugar todo esto durante un ciclo S2 CPU. Se comprueba entonces el estado de un circuito 89 de retención LZ, que se activa cuando es cero el valor del registro L 66, como se determina por el circuito 67 detector de cero. En este caso, el circuito 89 de retención LZ no se activará. Por tanto, es incrementado el registro P 90, y es decrementado el registro L 66. El registro SA 36 es cargado nuevamente con el contenido del registro 70 del conjunto LSR direccionado por el contenido del registro P 90, y la secuencia que se acaba de describirse, repite hasta que el contenido de todos los registros 70 del conjunto LSR han sido almacenados. Este hecho es indicado cuando el registro L 66 ha sido decrementado has-

ta cero y se activa el circuito 89 de retención LZ.

Con el circuito 89 de retención LZ activado, se realiza un ciclo T3 CPU para cargar el registro CTDE SAR 53 con el contenido del registro SB 37. La dirección del elemento TDE en curso contenida en el registro SAR 53 es transferida entonces al registro OP 1 SAR 54 durante un ciclo T2. Se realiza un ciclo A2 CPU para sumar 2 al contenido del registro OP 1 SAR 54. Se realiza entonces un ciclo S1 CPU para recuperar de la memoria principal 10 un valor correspondiente a la dirección OP 1, y para cargar este valor en el registro SA 36 e incrementar la dirección OP 1. De este modo, el registro SA 36 es cargado con el campo IA del elemento TDE 1. Es cargado entonces el registro IAR SAR 51 con el contenido del registro SA 36 durante un ciclo T2. Son cargados entonces los registros IL 38 y 65 y de código de estado, respectivamente, con los campos IL y CC procedentes de TDE 1 recuperando en primer lugar estos campos de la memoria principal 10 y cargando los mismos en el registro SA 36 durante un ciclo S1, y transfiriendo entonces el contenido del registro SA a los registros 38 y 65 durante un ciclo T2.

Los registros 70 del conjunto LSR son cargados entonces ajustando primero el estado del registro L 66 a un valor de 15 durante un ciclo T1, y cargando entonces el registro P 90 con un valor 0 durante otro ciclo T1. Se realiza entonces un ciclo S1 para cargar el registro SA 36 con un valor correspondiente al registro cero base de los registros 70 del conjunto LSR desde la memoria principal 10 en una dirección tomada de OP 1 SAR 54. El registro OP 1 SAR 54 es incrementado durante este ciclo S1.

Se realiza entonces un ciclo T2 para cargar el registro 0 base del conjunto 70 LSR con el valor procedente del registro SA 36. Se comprueba el estado del circuito 89 de retención LZ y no será cero. Por tanto, el registro L 66 es decrementado y es incrementado el registro P 90. Se realiza entonces un ciclo S1 CPU para cargar nuevamente el registro 36 SA con un valor procedente de la memoria principal 10 para el siguiente registro 70 del conjunto LSR, es decir el registro 1 base de los registros 70 del conjunto LSR, y se repite el bucle que se acaba de describir hasta que están cargados todos los registros 70 del conjunto LSR. Esta condición es indicada por la activación del circuito 89 de retención LZ. Se realiza entonces un ciclo A1 para restar el contenido del registro IL 38 del contenido del registro IAR SAR 51. La dirección contenida en el registro IAR SAR 51 dirige ahora la secuencia hacia la primera instrucción de la tarea TDE 1, que es localizada entonces previamente en el registro IS 35 durante un ciclo S1. La conmutación de tarea está completa y son ejecutados ciclos de localización I para la primera instrucción de la nueva tarea.

Antes de describir la localización y ejecución de la primera instrucción de la nueva tarea que, en el ejemplo representado en la figura 28, es una instrucción transmitir mensaje, se describirán los detalles de los ciclos T3, A2 y S2 CPU. En la figura 16 están representados los elementos del computador implicados en el ciclo T3 CPU como se representa en la figura 9 y un diagrama de sincronismo correspondiente al ciclo T3 CPU. La función del ciclo T3 CPU es transferir el contenido

de cualquier registro origen que alimenta el ensamblador 62 de línea general B a cualquier registro conectado para recibir datos a través de la línea general C 47. Las entradas al ensamblador 62 de línea general B han sido descritas anteriormente, y son seleccionadas por señales procedentes de la unidad 100 de control sobre la línea general 103. Los datos alimentados en el ensamblador 62 de línea general B procedentes del origen seleccionado pasan entonces, a través de la línea general B 63, a la unidad ALU 45. La unidad ALU 45 está controlada por una señal procedente de la unidad 100 de control sobre la línea 104, para transmitir los datos sobre la línea general B 63 al registro O 46. El registro O 46 se carga con los datos procedentes de la unidad ALU 45 por efecto de una señal de carga procedente de la unidad de control en la línea 105. La línea general C 47 recibe los datos procedentes del registro O 46 y los transmite a registros de destino descritos anteriormente. Si uno de los registros 50 del conjunto SAR ha de ser el registro de destino, la unidad 100 de control proporciona una dirección sobre la línea general 101, una señal de selección para el ensamblador 48 de línea general D en la línea 110 y un impulso de carga sobre la línea 111. Si el registro de destino ha de ser uno de los registros 70 del conjunto LSR, el registro 90 P contiene la dirección para seleccionar el registro del conjunto LSR, y la unidad 100 de control proporciona una señal de carga por la línea 112. Si el registro seleccionado es diferente de los registros que se acaban de describir, la unidad 100 de control proporciona un impulso de carga por la línea 106 de carga representativa.

Los otros registros de destino, por supuesto, son el registro IS 35, el registro SA 36, el registro SB 37, el registro IL 38, el registro 65 de código de estado, el registro L 66 y el registro P 90. De lo precedente se deduce que el ciclo T3 CPU es similar a un ciclo T2 CPU pero los datos de origen proceden de fuentes que alimentan el ensamblador 62 de línea general B en vez de proceder de fuentes que alimentan el ensamblador 39 de línea general A.

El ciclo A2 CPU es similar al ciclo A1 CPU, pero funciona para controlar la unidad ALU 45 y las entradas a la misma procedentes de fuentes de datos que alimentan el ensamblador 39 de línea general A, y que alimentan la unidad ALU 45 a través de la línea general A 40, y un operando inmediato aplicado al ensamblador 62 de línea general B y que alimenta la unidad ALU 45 a través de la línea general B 63. La unidad ALU 45, controlada por la unidad 100 de control, realiza la función adecuada, y el resultado es retornado al registro origen, o bien es eliminado. La unidad ALU 45 pone adecuadamente los circuitos 95 y 96 de retención AC y AZ en sus estados adecuados a través de las líneas 43 y 44, respectivamente, como consecuencia de la operación de la unidad ALU. En la figura 11, si el origen de los datos que tiene una entrada a la unidad ALU 45 a través de la línea general A 40, ha de ser uno de los registros 50 del conjunto SAR, la unidad 100 de control proporciona una dirección en la línea general 101 y una señal de lectura en la línea 114. Los datos se transfieren entonces al ensamblador de línea general A a través de la línea general 32. Si la fuente

ha de ser uno de los registros 70 del conjunto LSR, la unidad 100 de control proporciona un impulso de lectura sobre la línea 107 y son leídos los datos desde el registro seleccionado por la dirección contenida en el registro 90 P. Los datos se transmiten desde el registro 70 seleccionado del conjunto LSR al ensamblador 39 de línea general A a través de la línea general 69. Todas las demás fuentes de datos que alimentan el ensamblador 39 de línea general A no requieren una señal de lectura.

El origen de datos particular dentro del ensamblador 39 de línea general A es seleccionado por la unidad 100 de control, que proporciona señales de selección por la línea general 108. El operando inmediato procede del codificador 60 de emisión, que es activado por la unidad 100 de control a través de la línea 102. El ensamblador de línea general B selecciona el codificador 60 de emisión como origen de entrada en respuesta a señales de control procedentes de la unidad 100 de control a través de la línea general 103. La unidad ALU 45 realiza la operación deseada bajo control de una señal procedente de la unidad 100 de control a través de la línea 104. El resultado es ingresado en el registro 0 46 cuando la unidad 100 de control proporciona una señal de carga sobre la línea 105. El resultado contenido en el registro 46 está entonces disponible para la línea general C 47 donde es alimentado a un registro de destino.

Si el registro de destino ha de ser uno de los registros 50 del conjunto SAR, la unidad 100 de control proporciona nuevamente una dirección sobre la línea general 101, una señal de carga sobre la línea 111 y una

señal de selección de ensamblador de línea general D en la línea 110, con lo cual la línea general 47 es seleccionada como origen de datos en el ensamblador 48 de línea general D, y los datos ingresan en el registro 50 seleccionado del conjunto SAR a través de la línea general D 49. Si el registro de destino es uno de los registros 70 del conjunto LSR, la unidad 100 de control proporciona un impulso de carga en la línea 112, y los datos presentes sobre la línea general 47 ingresan en el registro seleccionado mediante una dirección proporcionada por el registro 90 P. Si el destino del resultado corresponde a registros diferentes de los registros 50 del conjunto SAR o los registros 70 del conjunto LSR, la unidad 100 de control proporciona un impulso de carga por la línea 106 que es representativa de líneas de carga que conducen a los otros registros de destino.

Los detalles del ciclo S2 CPU están ilustrados en las figuras 13 y 20. El ciclo S2 CPU difiere del ciclo S1 CPU en que son inscritos datos en la memoria principal desde cualquiera de los registros SA 36 ó SB 37 a través de las líneas generales 28 y 29, respectivamente, que alimentan el ensamblador 34 de línea general SI, el cual a su vez alimenta el registro 17 de datos a través de la línea general 31. Los datos son transmitidos entonces a la memoria principal 10 desde la unidad 15 de control de memoria sobre la línea general 12 e inscritos en una posición de memoria designada por la dirección contenida en el registro 18 de dirección. La dirección situada en el registro 18 procede de uno de los registros 50 del conjunto SAR. Específicamente, la unidad 100 de

control proporciona una dirección por la línea general 101 para direccionar el conjunto 50 SAR. Los datos de dirección son leídos del registro 50 seleccionado del conjunto SAR en respuesta a una señal de lectura procedente de una unidad 100 de control a través de la línea 114. Los datos de dirección se transmiten entonces desde el registro 50 seleccionado del conjunto SAR sobre la línea general 32 al registro 18 de direcciones. La dirección almacenada en el registro 18 es presentada entonces por la unidad 15 de control de memoria a la memoria principal 10 sobre la línea general 16 de direcciones cuando la unidad 100 de control proporciona una señal por la línea 115. La relación de sincronismo para la señal presente en la línea 115 está expuesta en el diagrama de sincronismo de la figura 20.

Los datos que han de inscribirse en la memoria son seleccionados del registro SA 36 o del registro SB 37 por una señal procedente de la unidad 100 de control a través de la línea 118 que es aplicada al ensamblador 34 de línea general SI. Los datos transmitidos por el ensamblador 34 de línea general SI ingresan en el registro 17 de datos a través de la línea general 31, y son presentados entonces por la unidad 15 de control de memoria principal 10 a través de la línea general 12. Los datos, por supuesto, están disponibles para la memoria principal 10 con anterioridad al impulso de inscripción en memoria presente en la línea 115, como se ve en la figura 20. Adicionalmente, la dirección proporcionada por el registro 50 seleccionado del conjunto SAR puede ser incrementada o decrementada por el incrementador 59 y ser

entonces cargada nuevamente en el registro 50 seleccionado del conjunto SAR. Durante la operación de incremento o decremento, la unidad 100 de control mantiene la dirección para el registro seleccionado del conjunto SAR sobre la línea general 101. La unidad 100 de control proporciona una señal de selección de origen al ensamblador 48 de línea general D a través de la línea 110, y un impulso de carga en la línea 111, con lo cual la dirección incrementada o decrementada es cargada entonces en retorno al registro 50 seleccionado del conjunto SAR.

Con la descripción inmediatamente precedente, han sido ahora descritos todos los ciclos CPU implicados en el presente invento. Adicionalmente, se han descrito las operaciones de establecimiento de valores iniciales de tarea, ejecución de instrucciones dentro de una tarea y conmutación de tareas. Adicionalmente, se ha descrito la comunicación entre tareas por medio de una instrucción recibir mensaje. Se describirá ahora la comunicación entre tareas por medio de una instrucción transmitir mensaje.

El formato de una instrucción transmitir mensaje (SENDM) está representado en la figura 3, e incluye un código OP, un campo I que contiene una dirección de registro, y un campo OP 1. La instrucción transmitir mensaje es una instrucción de cuatro baterías de bits. La función de una instrucción transmitir mensaje es poner en cola un mensaje sobre una cola SRQ y determinar si existen uno o más elementos TDE en estado de espera inactivo sobre la lista de espera de la cola SRQ. Si existen elementos TDE en la lista de espera de la cola SRQ, los ele-

mentos TDE son eliminados de la lista de espera y puestos en cola en secuencia de prioridad en la cola TDQ, y es requerido el funcionamiento del distribuidor de tareas. Si no hay elementos TDE en la lista de espera, la operación está completa y es localizada la siguiente instrucción de la tarea activa sin requerir el funcionamiento del distribuidor de tareas.

La ejecución de una instrucción transmitir mensaje está representada en general en la figura 4, y específicamente en las figuras 28, 29 y 30. En la figura 4, la instrucción transmitir mensaje pone en cola el mensaje indicado por el indicador contenido en el registro definido en el campo I de la instrucción transmitir mensaje, es decir, el registro R2 especificado por el campo OP 1 en la instrucción transmitir mensaje. Los elementos TDE en la lista de espera de la cola SRQ especificada son puestos en cola en la cola TDQ en secuencia de prioridad. En la figura 28, la instrucción transmitir mensaje es la primera instrucción de la tarea asociada con el elemento TDE 1. El mensaje está contenido en la memoria en una dirección especificada por el registro base 6 del conjunto LSR 70. El mensaje es SRM2, y será puesto en cola sobre la cola SRQ 1 que está indicada por la dirección contenida en el campo OP 1 de la instrucción transmitir mensaje.

La instrucción transmitir mensaje es localizada previamente como se ha descrito anteriormente, y los ciclos de localización I, como se representa en la figura 21, siguen del modo descrito anteriormente. Al completarse los ciclos de localización I, se realizan ciclos SENDM. Los ciclos SENDM están expuestos en la figura 24. Al en-

tratar en los ciclos SENDM, es activado el circuito 87 de retención de transmisión, y se reponen el circuito 88 de retención de recepción, el circuito 97 de retención de fase de transmisión y el circuito 98 de retención de fase de recepción. Se realiza un ciclo T2 para transferir la dirección procedente del registro base 6 del conjunto 70 LSR, al registro OP 2 SAR 55. Este ciclo está seguido por un ciclo S1, el cual origina la transferencia del campo de clave del mensaje SRM2 desde la memoria principal 10 al registro SB 37. Durante este ciclo S1, la dirección contenida en el registro OP 2 SAR 55 es incrementada a fin de orientar la secuencia hacia el campo de dirección de cadena de mensajes SRM del mensaje SRM 2. Una vez completado el ciclo S1, se realiza un ciclo T2 para transferir el contenido del registro OP 1 SAR 54 al registro PCH SAR 56 a fin de conservar la dirección en caso de que el mensaje SRM2 esté siendo puesto en cola en una cola vacía SRQ. El funcionamiento cambia entonces al modo de ciclos de inserción, que están representados en la figura 25.

Se observará que al comienzo de los ciclos de inserción el registro SA 36 contiene el primer campo de SRQ 1, el registro SB 37 contiene el primer campo de SRM2, el registro PCH SAR 56 contiene la dirección de SRQ 1 y el registro OP 2 SAR 55 contiene la dirección del segundo campo de SRM2. El primer ciclo de los ciclos de inserción es un ciclo T2 CPU, en donde el contenido del registro SA 36 es transferido al registro CCH SAR 57. De este modo, el registro CCH SAR 57 contiene la dirección del primer mensaje SRM, o mensaje SRM 1, sobre la cola SRQ 1. Se realiza un ciclo A2, y durante este ciclo la unidad

ALU 45 realiza una función lógica "0" exclusiva del contenido del registro CCH SAR 57 en combinación con ceros del codificador 60 de emisión, para determinar si hay mensajes SRM en SRQ 1.

5 En el ejemplo particular de las figuras 28-30, ambas inclusive, hay mensajes SRM inicialmente en SRQ 1. Por tanto el circuito 96 de retención AZ es repuesto por la unidad ALU 45. Se realiza entonces un ciclo S1 para cargar el registro SA 36 con el campo de clave del mensaje SRM1. También, el registro CCH SAR 57 es incrementado para orientar la secuencia hacia el segundo campo de SRM1, que contiene la dirección de la cadena SRM. Se ejecuta un ciclo A1 para determinar si el campo de clave de SRM1, que está contenido en el registro SA 36, es mayor que el campo de clave de SRM2, que está contenido en el registro SB 37. La unidad ALU 45 efectúa una operación de substracción para realizar esta comparación. Si la comparación se satisface, el circuito 95 de retención AC se activará y el circuito 96 de retención AZ será repuesto.

10 En el ejemplo particular, la comparación falla porque el circuito de retención AC está repuesto como resultado de la operación ALU. Se ejecuta entonces un ciclo S1 para transferir el campo de dirección de la cadena SRM de SRM1 al registro SA 36, y para incrementar la dirección del registro CCH SAR para orientar la secuencia hacia SRM1. Se ejecuta entonces un ciclo T2 para transferir el contenido del registro CCH SAR 57 a PCH SAR 56. Este ciclo está seguido por un ciclo A2 para incrementar el registro PCH SAR 56 a fin de indicar el campo de dirección de la cadena SRM del mensaje SRM1. El funcionamiento entra entonces en

15

20

25

30

un bucle de retorno a un ciclo T2 para transferir el contenido del registro SA 36, que contiene ahora la dirección de SRM3, al registro CCH SAR 57. La secuencia de ciclos CPU que comprueban el final del estado de cadena SRM y realiza la comparación de claves SRM tiene lugar por segunda vez. En el ejemplo que se está considerando, el campo de clave de SRM3, es decir 3, es mayor que el campo de clave de SRM2, es decir 2. De este modo, la comparación tiene éxito y el circuito 95 de retención AC se activa y el circuito 96 de retención AZ se repone. Se realiza entonces un ciclo T2 para transferir el contenido de CCH SAR 57 al registro SA 36. Con esta transferencia, el registro SA 36 contiene la dirección de SRM3. Se ejecuta entonces un ciclo S2 para transferir el contenido del registro SA 36 al campo de dirección de cadena SRM de SRM2 en la memoria principal 10. El mensaje SRM3 está ahora encadenado al mensaje SRM2, mientras que anteriormente SRM3 había estado encadenado a SRM1. Durante este ciclo S2, el contenido de OP 2 SAR 55 es decrementado para indicar el comienzo de SRM2. Se realiza entonces un ciclo T2 para transferir la dirección contenida en OP 2 SAR 55 al registro SA 36. Se realiza entonces un ciclo S2 para transferir el contenido del registro SA 36 al campo de dirección de cadena SRM de SRM1 en la memoria principal 10. Esto completa el ordenamiento en cola de SRM2 en la cadena de mensajes SRQ 1.

La operación de ciclo de inserción continúa por la acción de los circuitos 87, 97 y 98 de retención de descodificación. En el ejemplo que se está considerando, el circuito 87 de retención está activado y los cir-

5 cuitos 97 y 98 de retención están en el estado de reposi-
ción. Debido a esto, tiene lugar una operación con la cual
se activa el circuito 97 de retención, y se ejecuta un ci-
clo A2 para incrementar el contenido de OP ISAR 54 para in-
dicar el campo de dirección de cadena TDE de SRQ1. Se rea-
liza entonces un ciclo T2 para transferir el contenido de
OP 1 SAR 54 a PCH SAR 56. Sigue un ciclo S1 CPU, y durante
este ciclo el contenido del campo de dirección de cadena
TDE de SRQ1 es transferido al registro SA 36. Los diversos
10 registros en la unidad CPU 30 están ahora puestos a punto
para eliminar el primer elemento TDE de la cadena TDE de la
cola SRQ1. El elemento TDE 0 ha sido ordenado en cola so-
bre SRQ 1, como se ilustra en la figura 29. Con el ciclo
S1 completo el funcionamiento conmuta a ciclos de elimina-
15 ción, como se representa en la figura 27.

Los ciclos de eliminación para eliminar un ele-
mento TDE de una cola han sido ya descritos. En este caso
particular, el campo de dirección de cadena TDE de la cola
SRQ 1 es comprobado en cuanto a tener un valor correspon-
20 diente a "todos ceros". El campo de dirección de cadena
TDE de SRQ 1 no será cero porque el elemento TDE 0 está
encadenado al mismo, y de este modo la comprobación de
"todos ceros" no tendrá éxito. Son entonces comparados en-
tre sí los contenidos de los registros SA 36 y SB 37.

25 Cuando se elimina un elemento TDE de una cola SRQ durante
una instrucción transmitir mensaje, el resultado de la com-
paración del contenido del registro SA 36 con el contenido
del registro SB 37 no será consistente porque el estado
del circuito 97 de retención ST controla la ejecución del
30 ciclo CPU adicional. De este modo, cuando son descodifica-

5 dos los estados del circuito 96 de retención AZ y el circuito 97 de retención ST, el funcionamiento conmuta a un ciclo S2 durante el cual el contenido del registro SA 36, que representa el campo de dirección de cadena TDE del elemento TDE 0 es transferido al campo de dirección de cadena TDE de SRQ1 en la memoria principal 10. Esta operación sitúa efectivamente ceros en el campo de dirección de cadena TDE de SRQ 1, eliminando así el elemento TDE 0 de la cadena de elementos TDE sobre la cola SRQ 1. Por tanto en este momento ha sido eliminado el elemento TDE 0 de la cola SRQ 1.

10 Los ciclos restantes establecen los medios CPU necesarios para poner en cola el elemento TDE 0 en la cola TDQ. Los circuitos 87, 88 y 98 de retención S, R y RT, respectivamente, son descodificados y se realiza un ciclo T2 para transferir el contenido de CCH SAR 57, que representa la dirección de TDE 0, al registro OP 2 SAR 55. La dirección contenida en el registro OP 2 SAR 55 es utilizada entonces durante un ciclo S1 para transferir el campo de clave de TDE 0 desde la memoria principal 10 al registro SB 37, y para incrementar el contenido de OP 2 SAR 55 a fin de indicar el campo de dirección de cadena TDE del elemento TDE 0. También, durante este ciclo S1 es comprobado el estado del circuito 87 de retención S y, porque está

15 activado, se ejecuta un ciclo T2 a continuación de la transferencia del contenido de TDQ SAR 52 a PCH SAR 56. Sigue a continuación un ciclo S1 para localizar el campo de dirección de cadena TDE de la cola TDQ en la memoria principal 10 y cargarlo en el registro SA 36. Comienzan entonces

20 ciclos de inserción de la unidad CPU de acuerdo con la fi-

25

30

gura 25.

Como se ha descrito anteriormente, el bucle principal de los ciclos de inserción se ejecuta hasta que es localizada la posición correcta dentro de la lista de

5 cadena para insertar el elemento TDE 0 en secuencia de clave. En el ejemplo particular que se está considerando el bucle se ejecuta una vez, y es puesto en cola el elemento TDE 0 como elemento más alto de la lista encadenada de elementos TDE. En general, esta secuencia de eliminación de cola y colocación en cola de elementos TDE continúa hasta que

10 todos los elementos TDE han sido eliminados de la cola SRQ e insertados en secuencia de clave sobre la cola TDQ. Por tanto, los circuitos 87, 97 y 98 de retención S, ST y RT son descodificados durante los ciclos de inserción, y son

15 puestos a punto medios de unidad CPU adecuados para los ciclos de eliminación que han de seguir. Los ciclos de eliminación de la figura 27 son entonces realizados nuevamente; sin embargo, en el ejemplo que se está considerando, no hay más elementos TDE encadenados a SRQ 1, y por tanto

20 cuando el campo de dirección de cadena TDE de SRQ 1 es comprobado para "todos ceros", se encuentra que el circuito 96 de retención AZ está en el estado de activación. Esto origina la descodificación de los estados de los circuitos 87 y 88 de retención S y R. Cuando el circuito 87 de retención S está en el estado de activación, el circuito

25 93 de retención D se activará para indicar que el estado de la cola TDQ ha sido cambiado desde el comienzo de la ejecución de la instrucción transmitir mensaje. Por tanto, deben ejecutarse ciclos de distribución antes de comenzar la ejecución de la siguiente instrucción de la nueva

30

tarea activa.

Debido a que se ha completado la ejecución de la instrucción transmitir mensaje, habrá sido prelocalizada la siguiente instrucción del modo anteriormente descrito; sin embargo, durante los ciclos de localización I de esta siguiente instrucción se descodificarán los estados de los circuitos 93 y 94 de retención D e I/O, y se encontrará que el circuito 93 de retención D está activado y el circuito 94 de retención I/O está repuesto. Por tanto, se suspenden los ciclos de localización I y se iniciarán ciclos de distribución. Se producen los ciclos de distribución del modo descrito anteriormente. En el ejemplo que se está considerando, la función de los ciclos de distribución es conservar el estado de la tarea activa en curso en el elemento TDE 1 y cargar el estado de la tarea TDE 0 en los medios de la unidad CPU 30, y transmitir así el control a la siguiente instrucción recibir mensaje anteriormente no satisfecha del elemento TDE 0 retornando a ciclos de localización I. Se recordará que durante los ciclos de distribución el circuito 93 de retención D está repuesto, y por tanto se transmite el control a la instrucción recibir mensaje anteriormente no satisfecha del elemento TDE 0, y continúan los ciclos de localización I para esa instrucción.

En el ejemplo que se está considerando, la instrucción recibir mensaje será ahora satisfecha porque el mensaje SRM2 está ahora puesto en cola en SRQ 1. Al completarse los ciclos de ejecución "recibir mensaje" ilustrados en la figura 26 siguen a continuación ciclos de eliminación. Durante los ciclos de eliminación, ilustrados

en la figura 27, se ejecuta dos veces el bucle principal. Se produce una comparación de claves durante la segunda vez a través del bucle. El mensaje SRM2 es eliminado de la cola SRQ1, en donde tiene lugar la eliminación de cola del modo anteriormente descrito. Se descodifican los estados de los circuitos 87, 88 y 98 de retención S, R y RT. El circuito 88 de retención R está en el estado de activación en este momento, y así la dirección del mensaje SRM2 eliminado de la cola, que está contenido en el registro CCH SAR 57, es transferida al registro 70 del conjunto LSR especificado por el campo R3 de la instrucción recibir mensaje. La ejecución de la instrucción recibir mensaje está completa y se activan los ciclos de localización I para la siguiente instrucción prelocalizada. Esto completa la descripción de una instrucción recibir mensaje satisfecha.

La comunicación entre tareas se realiza también mediante operaciones de cómputo de recepción y cómputo de transmisión, que incluyen la ejecución de instrucciones recibir cómputo y transmitir cómputo, ilustradas en la figura 3. La función de una operación recibir cómputo es indicar el estado de preparación para proporcionar servicio o para determinar si se ha completado una función solicitada anteriormente. La operación recibir cómputo, al igual que la operación recibir mensaje, siempre tiene un elemento de tareas TDE asociado con ella; es decir, el elemento TDE de la parte más alta en la cola TDQ. La instrucción recibir cómputo tiene un campo I en blanco y un campo OP 1. El campo OP 1 contiene una dirección que indica la primera palabra de una cola de cómputo de transmisión recepción (SRC). Durante la operación de una instruc-

ción recibir cómputo se compara un cómputo con un límite, y si el cómputo es mayor o igual al límite, el cómputo es decrementado por el límite y la instrucción está completa. Si el cómputo es menor que el límite, se elimina el elemento TDE activo de la cola TDQ para situarlo en la lista de espera de la cola SRC. El campo de cómputo no es incrementado o decrementado y se ejecuta la función del distribuidor de tarea.

La instrucción transmitir cómputo contiene un código OP de transmisión de cómputo y un campo OP 1, en donde el campo OP 1 indica la primera palabra de la cola SRC. Durante la operación de una instrucción transmitir cómputo, el campo de cómputo es incrementado en una unidad y comparado con un campo límite. Si el cómputo es mayor o igual al límite, es ordenado en cola cualquier elemento TDE que está dispuesto en la línea de espera en la cola TDQ en secuencia de prioridad, y se requiere la función del distribuidor de tareas. Si no existen elementos TDE en la lista de espera de la cola SRC, se completa la instrucción. También, si el cómputo es menor que el límite, se completa la instrucción.

Las operaciones de las instrucciones transmitir cómputo y recibir cómputo están ilustradas en la figura 31. En la figura 31, el elemento TDE 0 es el elemento activo TDE, y su campo IA está indicando una instrucción recibir cómputo. El campo OP 1 de la instrucción recibir cómputo orienta la secuencia hacia SRC 1. El formato de una cola SRC está representado en la figura 3, y consiste en un campo de cómputo, un campo límite y un campo de dirección de cadena TDE. En la figura 31, SRC1 tiene un cómputo de

0, un límite de 1 y una dirección de cadena TDE de cero. Debido a que los valores iniciales de los campos de cómputo y límite de SRC 1 son 0 y 1, respectivamente, no se satisface la instrucción recibir cómputo, y es eliminado el elemento TDE 0 de la cola TDQ y es puesto en cola en la lista de espera de SRC 1. Es distribuido entonces el elemento TDE 1 por medio del distribuidor de tareas como tarea de prioridad más alta en la cola TDQ. El elemento TDE 1 tiene una dirección de instrucción que orienta la secuencia hacia una instrucción transmitir cómputo. El campo OP 1 de esta instrucción transmitir cómputo indica hacia SRC1. Durante la ejecución de la instrucción transmitir cómputo, es incrementado en una unidad el campo de cómputo de SRC 1. De este modo, el campo de cómputo es igual al campo límite, y debido a esto es eliminado el elemento TDE 0 de la lista de espera de SRC 1 y es puesto en cola en la cola TDQ como elemento TDE de prioridad más alta. El distribuidor de tareas distribuye entonces el elemento TDE como tarea activa. La instrucción recibir cómputo por el campo IA del elemento TDE 0 es ejecutada nuevamente. Esta vez, el campo de cómputo es mayor o igual al campo límite y se considera satisfecha la instrucción recibir cómputo. El campo de cómputo es decrementado en el valor del campo límite por medio de una operación de sustracción y el nuevo valor del cómputo es retornado al campo de cómputo de SRC1, y se completa la instrucción recibir cómputo. La ejecución de instrucción continúa entonces con la siguiente instrucción secuencial de la tarea TDE 0.

La instrucción recibir cómputo pasa a través de ciclos de localización I del modo descrito anteriormente

con relación a la figura 21, y continúa entonces con ciclos de recepción de cómputo expuestos en la figura 26. Los circuitos de retención de control de secuencia, es decir los circuitos 87, 88, 97 y 98 de retención S, R, ST y RT, respectivamente, son puestos en los estados de cero, uno, cero y cero, respectivamente. Estos estados establecidos son los mismos que existirían para la instrucción recibir mensaje. Esto asegura que si son desplazados elementos TDE durante la ejecución de la instrucción recibir cómputo, son desplazados de modo idéntico al correspondiente a la instrucción recibir mensaje. Después que han sido activados los circuitos de retención de control de secuencia, se realiza un ciclo A2 para incrementar el registro OP 1 SAR, de modo que indicará el campo límite de SRC 1. Esta operación está seguida por un ciclo S1 durante el cual es localizado el campo límite de la memoria 10 y cargado en el registro SB 37. El contenido del registro OP 1 SAR 54 es decrementado para volver a indicar el campo de cómputo de SRC1. De este modo, el registro SA 36 contiene un campo de cómputo de SRC 1, y el registro SB 37 contiene el campo límite de SRC1. Se realiza entonces un ciclo A1 para determinar si el campo de cómputo es mayor o igual al campo límite, y al mismo tiempo para restar el valor límite del valor de cómputo. Si el cómputo es mayor o igual al límite, se activa el circuito AC 95 de retención de acarreo de unidad ALU como resultado de la operación ALU. Como se ha indicado anteriormente en el ejemplo que se está considerando, el valor nulo del campo de cómputo es menor que el valor de campo límite igual a la unidad, y por tanto es repuesto el circuito AC 95 de reten-

ción de acarreo de unidad AIU por la unidad ALU 45. Se comprueba entonces el estado del circuito 95 de retención AC y, puesto que está en el estado de reposición, es conocido que no se ha satisfecho la instrucción recibir cómputo. De este modo, es necesario eliminar el elemento TDE 0 de la cola TDQ y ponerlo en cola en lista de espera en SRC 1. Por consiguiente, el funcionamiento conmuta a ciclos de eliminación.

Se entra en los ciclos de eliminación a fin de eliminar el elemento TDE 0 de la cola TDQ, y situar el elemento TDE 0 en la cola SRC 1. Los ciclos de eliminación para realizar la conmutación de tarea han sido ya descritos anteriormente. De este modo, la conmutación de tarea tiene lugar del mismo modo que para otras operaciones de conmutación de tarea, y en este momento el control es transmitido por la conmutación de tarea al elemento TDE 1, que ejecuta la instrucción transmitir cómputo como se ha descrito en general anteriormente. Durante la ejecución de la instrucción transmitir cómputo se realizan ciclos de localización I, como se ha descrito anteriormente, y entonces el funcionamiento conmuta a ciclos de transmitir cómputo, que están representados con detalle en la figura 24.

Al comienzo de los ciclos de instrucción transmitir cómputo los circuitos 87 S., 88R, 97 ST y 98 RT, respectivamente, de retención de control de secuencia están puestos en los estados de uno, cero, cero y cero, respectivamente. De este modo, los circuitos de retención de control de secuencia para la instrucción transmitir cómputo están puestos en los mismos estados que para la instrucción transmitir mensaje. Esto asegura que si son necesarias manipula-

ciones TDE, proceden de idéntica manera que para la instrucción transmitir mensaje. Se realiza entonces un ciclo A2 CPU para incrementar al registro OP 1 SAR 54 a fin de orientar la secuencia hacia el campo límite de SRC 1. Este ciclo está seguido entonces por un ciclo S1 CPU para localizar el campo límite SRC de la memoria principal 10, e ingresarlo en el registro SB 37. También, durante este ciclo S1 CPU, el registro OP 1 SAR 54 es decrementado para orientar la secuencia en retorno hacia el campo de cómputo de SRC 1. En este momento, el registro SA 36 contiene el campo de cómputo, y el registro SB 37 contiene el campo límite de SRC 1. Se realiza entonces un ciclo A2 para incrementar en una unidad el campo de cómputo. Este ciclo A2 es seguido por un ciclo S2 para almacenar el campo de cómputo incrementado en la memoria principal 10. A continuación, se realiza un ciclo A1 para determinar si el campo de cómputo incrementado es mayor o igual al campo límite. Si el cómputo es menor que el límite, es activado por la unidad ALU 45 el circuito AC 95 de retención de acarreo de unidad ALU, y si el cómputo es mayor o igual al límite, es repuesto por la unidad ALU 25 el circuito 95 de retención de acarreo de unidad ALU. En el ejemplo que se está considerando, el cómputo es mayor o igual al límite, y por tanto es repuesto por la unidad ALU 45 el circuito AC 95 de retención de acarreo de unidad ALU. Se observará que si el cómputo fuese menor que el límite, se completaría la ejecución de la instrucción transmitir cómputo, y se activarían ciclos de localización I para ejecutar la siguiente instrucción secuencial de la cadena de instrucciones del elemento TDE O.

Debido a que el circuito AC 95 de retención de acarreo de unidad ALU está repuesto, la unidad 100 de control activa el circuito 97 de retención ST y, después de ello, inicia un ciclo A2 CPU para incrementar en dos unidades el contenido del registro OP 1 SAR 54. El valor incrementado es transferido entonces al registro PCH SAR 56 durante un ciclo T2 CPU. Este ciclo T2 CPU es seguido entonces por un ciclo S1 CPU para cargar el registro SA 36 con un valor PCH procedente de la memoria principal 10. Se inician entonces ciclos de eliminación a fin de eliminar el elemento TDE 0 de la cola SRC 1 y situar el elemento TDE 0 en la cola TDQ. Una vez que se ha realizado esto, se activan los ciclos de distribución, y se produce la conmutación de tareas de TDE 1 a TDE 0. El control es retornado entonces a la instrucción recibir cómputo no satisfecha anteriormente de la tarea TDE 0. La ejecución de instrucciones continúa para la instrucción recibir cómputo ejecutando ciclos de localización I y activando entonces los ciclos de recibir cómputo. Los ciclos de recibir cómputo prosiguen exactamente como se ha descrito anteriormente, excepto en que esta vez el circuito AC 95 de retención de acarreo de unidad ALU está en el estado de activación y por tanto en vez de tener lugar ciclos de eliminación se inicia un ciclo S2 para almacenar el campo de cómputo decrementado procedente del registro SA 36 en el campo de cómputo de SRC 1 en la memoria principal 10. Esto completa la ejecución de la instrucción recibir cómputo, y la ejecución de instrucciones continúa con la siguiente instrucción secuencia de la cadena de instrucciones de la tarea TDE 0.

30

10078

Adicionalmente a las instrucciones recibir mensaje, recibir cómputo, transmitir mensaje y transmitir cómputo, hay también instrucciones poner en cola mensaje y eliminar de cola mensaje. Estas instrucciones están representadas en la figura 3. La instrucción poner en cola mensaje (ENQM) tiene un campo OP de poner en cola mensaje y un campo I y un campo OP 1. El campo I contiene una dirección para orientar la secuencia hacia el registro base 2 de los registros 70 del conjunto LSR. La instrucción poner en cola mensaje tiene como función poner en cola un mensaje SRM en una cola SRQ de un modo similar a la instrucción transmitir mensaje. Se ve en la figura 24 que, al entrar en los ciclos de poner en cola mensaje, los circuitos 87 S, 88 R, 97 ST y 98 RT están todos puestos en el estado de reposición. Después de ello, se inician ciclos T2, S1 y T2, o como en el caso de una instrucción transmitir mensaje. Después del último ciclo T2 se inician ciclos de inserción.

La instrucción eliminar de cola mensaje (DEQM) tiene un formato similar a la instrucción recibir mensaje y funciona de un modo similar a la instrucción recibir mensaje. Se ve que en la figura 26 los circuitos S 87, R 88, ST 97 y RT 98 de retención de control de secuencia son puestos todos en el estado de reposición y, después de ello, se inicia un ciclo T2. Al completarse el ciclo T2 el funcionamiento conmuta a ciclos de eliminación, como en el caso de una instrucción recibir mensaje.

Las tareas de entrada-salida son puestas en cola en el elemento TDE del mismo modo que cualquier otra tarea. En la figura 32, la tarea de entrada-salida (tarea I/O) está ilustrada como tarea TDE de prioridad más alta

en la cola TDQ. La tarea I/O está identificada por la abreviatura IOM que significa "tarea directora de entrada-salida". La tarea IOM inicia una solicitud de entrada-salida ejecutando una instrucción transmitir mensaje. La instrucción transmitir mensaje pondrá en cola un mensaje SRM sobre un elemento SRQ y eliminará cualquier elemento TDE de esa cola SRQ. En el ejemplo de la figura 32, el mensaje SRM está identificado como ORE, que significa "elemento de solicitud de operación". El elemento TDE en la cola SRQ es una tarea (OU) de unidad operacional (OUT). La tarea OU, eliminada de la cola SRQ y puesta en cola sobre el elemento TDQ, se convierte en tarea activa y trata la solicitud utilizando una operación recibir mensaje. Esto está ilustrado en la figura 33.

La tarea OU interpreta la solicitud y emite una orden de dispositivo adecuada al canal 500 de entrada-salida y espera entonces en la cola SRC hasta que se completa la función de entrada-salida. La tarea OU incluye una instrucción recibir cómputo (RECC) en su cadena de instrucciones. Esta instrucción se satisface, y de este modo el elemento TDE (OUT) es eliminado de la cola TDQ y puesto en cola en la cola SRC. Esta operación está representada por la línea discontinua de la figura 33. Tiene lugar una conmutación de tarea como resultado de la operación de eliminación de cola y la tarea IOM se convierte en tarea activa. La tarea IOM emite una instrucción recibir mensaje que no se satisface, y en consecuencia la tarea IOM es eliminada de la cola TDQ y ordenada en la cola IOM SRQ, indicada por el campo OP 1 de la instrucción recibir mensaje, como se ilustra en la figura 34. Tiene lugar una

conmutación de tarea, y la tarea de prioridad más alta en la cola TDQ se convierte en tarea activa. La tarea IOM está esperando en la cola SRQ, y la tarea OU está esperando en la cola SRC, como se ilustra en la figura 35.

5 Cuando se completa la función de entrada-salida, el canal de entrada-salida envía una dirección SRC a un bloque 25 de incidencia (figura 36) que está situado en la memoria principal 10, y activa el circuito 94 de retención de entrada-salida por medio de una señal a través de la línea 10 512 (figura 1). El campo de incidencia de entrada salida en bloque 25 de registros de incidencia de entrada-salida es la dirección de la cola SRC en la cual está esperando la tarea OU. Debido a que el circuito 94 de retención de entrada-salida fué activado por la señal procedente del canal de entrada-salida, entonces durante ciclos de localización I el funcionamiento conmutará a ciclos de incidencia de entrada-salida.

15 Los ciclos de incidencia de entrada-salida, expuestos en la figura 23, realizan la función de elemento de tratamiento de incidencia de entrada-salida. La primera 20 operación de los ciclos de incidencia de entrada-salida es un ciclo C1 CPU para localizar la dirección SRC del bloque de registros de incidencia en la memoria principal 10 y cargarla en el registro SA 36. Se observará que la entrada 25 más alta del bloque 25 de registros de incidencias, en este ejemplo particular, tiene todas sus posiciones puestas a cero. Esta entrada de "todos ceros" es utilizada para indicar que el bloque de incidencias está vacío. Por consiguiente, la siguiente operación de los ciclos de incidencia de entrada-salida es determinar si existe algún cam- 30

po de incidencia de entrada-salida en el bloque de registros de incidencias de entrada-salida. Esta determinación se realiza tomando un ciclo A 2 CPU para examinar el contenido del registro SA 36. Si el bloque de registros de incidencias de entrada-salida está vacío, la unidad ALU 45 activa el circuito 96 de retención AZ. Por otra parte, si existe un campo de incidencia de entrada-salida en el bloque de registros de incidencias de entrada-salida el circuito 96 de retención AZ estará en el estado de reposición. Por consiguiente, la siguiente operación es comprobar el estado del circuito de retención AZ. Si el circuito de retención AZ está activado, se repone el circuito 94 de retención de entrada-salida y el funcionamiento conmuta a los ciclos de localización I y esta vez, a través de dichos ciclos, el circuito 94 de retención de entrada-salida será descodificado estando en el estado de reposición.

Si el circuito 96 de retención AZ está repuesto, se inicia un ciclo A2 CPU para decrementar el contenido del registro I/O SAR 58 de modo que indicará hacia la siguiente dirección SRC, la cual, en este ejemplo, es la dirección SRC de posición superior a la dirección en curso. Se reconocerá que esto es cuestión de ejecución física. El bloque de registros de incidencias de entrada-salida, hasta donde concierne al presente invento, podría ser un conjunto de registros, y estos registros podrían ser direccionados por el contenido del registro I/O SAR 58, y sería cuestión de elección si la dirección es incrementada o decrementada. En realidad, un registro fijo podría direccionar el bloque de registros de incidencias de entrada-salida, y el contenido del registro I/O SAR 58 se-

ría transferido a este registro para direccionamiento del bloque de registros de incidencias de entrada-salida. En el ejemplo particular que se está considerando, no hay necesidad de tener un conjunto independiente de registros de incidencias de entrada-salida, porque la memoria principal 5 es adecuada, tanto en lo que respecta a capacidad como a velocidad. Normalmente, si existiesen algunos requerimientos de velocidad críticos, el bloque de registros de incidencia de entrada-salida estaría realizado físicamente como conjunto de registros en vez de como posiciones 10 reservadas en la memoria principal.

Un ciclo T2 CPU sigue a la operación de decremento del registro I/O SAR 58 para transferir el contenido del registro SA 36 al registro OP 1 SAR 54. Se inicia entonces un ciclo S1 para cargar el registro SA 36 con el contenido de la posición de memoria principal indicada por la dirección contenida en OP 1 SAR 54. Se inician entonces ciclos de transmitir cómputo para transmitir un 15 cómputo al campo de cómputo del elemento SRC y eliminar los elementos TDE que esperan en esa cola SRC; es decir, en este caso particular la tarea TDE del tipo OU. La operación que se acaba de describir se repite hasta que todas las incidencias de entrada-salida en el bloque de registros de incidencias de entrada-salida han sido tratadas; 20 es decir, hasta que el bloque de registros de incidencias de entrada-salida está vacío y se repone el circuito 94 de retención de entrada-salida.

Se ve en la figura 36 que la tarea OU ha sido sacada del estado de espera y ordenada en la cola TDQ. Entonces la instrucción recibir cómputo se satisface cuan-

do ha sido distribuida la tarea OU. La tarea OU envía entonces un mensaje SRM que contiene estado de operación completa, a una cola SRQ; es decir, la cola OUQ. Esta operación está representada en la figura 37, en donde la tarea

5 OU tiene una instrucción transmitir mensaje que contiene un campo R2 para direccionamiento de un registro LSR 70. El registro LSR 70 seleccionado contiene una dirección que orienta la secuencia hacia el mensaje SRM, en este caso un elemento de solicitud operacional (objeto ORE). Este

10 objeto SRM (ORE) es ordenado en la cola SRQ (IOM), indicada por el campo OP 1 de la instrucción SENDM. Adicionalmente, el elemento TDE (IOM) que espera en la cola SRQ (IOM) es ordenado en la cola TDQ y tiene lugar una conmutación de tarea. La tarea IOM es entonces informada del estado

15 de operación completa mediante la recepción del elemento ORE procedente de la cola de respuesta. Esto está ilustrado en la figura 38, en donde se ejecuta una instrucción RECM de la tarea activa TDE (IOM).

La operación particular descrita está ilustrada también esquemáticamente en la figura 2, en donde se

20 observará que las tareas de usuario originan solicitudes de entrada-salida a tareas de entrada-salida y respuestas de campo, que indican el estado de operación completa utilizando operaciones de transmisión recepción a colas SRQ.

25 Se observará también que son indicadas al sistema incidencias de relación de sincronismo en la forma de una incidencia de entrada-salida y el elemento de tratamiento de incidencias de entrada-salida funciona del modo anteriormente descrito para realizar una operación transmitir

30 cómputo a una cola SRC para cada incidencia de sincronis-

mo. Estas colas SRC asociadas con incidencias de sincronismo están dirigidas por una tarea de temporización de sistema para proporcionar servicios de relación de sincronismo al sistema.

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5
10
15
20
25

1ª.- Un aparato de tratamiento de tareas en un sistema de computador, que comprende: medios de registro de cola de tareas ajustables selectivamente con datos para identificar una tarea activa en curso, medios de comunicación entre tareas que comprenden medios de transmisión para situar en cola elementos de distribución de tareas en secuencia de prioridad hacia dichos medios de registro de cola de tareas y medios de recepción para eliminar de la cola el elemento de distribución de tarea activa desde dichos medios de registro de cola de tareas, y medios de conmutación de tarea que responden a dichos medios de transmisión situando en cola un elemento de distribución de tareas que tiene una prioridad superior a la prioridad de la tarea activa en curso para convertir en tarea activa en curso dicho elemento de distribución de tarea situado en cola con prioridad superior, y que responden a dichos medios de recepción eliminando de la cola la tarea activa en curso desde dichos medios de registro de tareas para convertir en tarea activa en curso el siguiente elemento de distribución de tareas de prioridad máxima.

30

2ª.- El aparato de tratamiento de tareas de la reivindicación 1ª, en donde dichos elementos de distribución de tareas tienen un campo indicador de prioridad, un campo de dirección de elemento de distribución de tarea

y un campo de estado de tarea, incluyendo dicho campo de estado de tarea información para iniciar o continuar la ejecución de la tarea asociada.

5 3ª.- El aparato de tratamiento de tareas de la reivindicación 1ª, que comprende adicionalmente: medios de tratamiento de incidencias de entrada-salida que responden a una incidencia de entrada-salida para almacenar el estado de dicha incidencia de entrada-salida y para activar dichos medios de transmisión para situar en cola una
10 tarea de entrada-salida en secuencia de prioridad hacia dichos medios de registro de colas de tarea.

15 4ª.- El aparato de tratamiento de tareas de la reivindicación 1ª, en donde dichos medios de registro de cola de tareas están en la memoria principal de dicho sistema de computador.

20 5ª.- El aparato de tratamiento de tareas de la reivindicación 1ª, que comprende adicionalmente al menos una cola de transmisión-recepción que tiene un campo de dirección de mensaje de transmisión-recepción para tener formada una cola de mensajes de transmisión recepción, y un campo de dirección de elemento de distribución de tareas para tener formada una cola de elementos de distribución de tareas, incluyendo dichos medios de transmisión
25 medios para situar dicha cola de transmisión-recepción y eliminar de ella elementos de distribución de tareas, y para situar en cola el elemento de distribución de tareas eliminado hacia dichos medios de registro de cola de tareas.

30 6ª.- El aparato de tratamiento de tareas de la reivindicación 5ª, en donde dichos mensajes de transmisión-

recepción incluyen un campo indicador de secuencia, un campo de dirección de mensaje de transmisión-recepción y un campo de información de mensaje, estando situados en cola dichos mensajes de transmisión-recepción en dicha cola de transmisión-recepción de acuerdo con dicho indicador de secuencia.

7^a.- El aparato de tratamiento de tareas de la reivindicación 5^a, en donde dichos medios de recepción incluyen medios para situar en cola el elemento de distribución de tarea activa eliminado de la cola desde dichos medios de registro de cola de tareas hacia dicho campo de dirección de elemento de distribución de tareas de dicha (al menos una) cola de transmisión-recepción.

8^a.- El aparato de tratamiento de tareas de la reivindicación 1^a, que comprende adicionalmente; un contador de transmisión-recepción que tiene un campo de cómputo, un campo de límite y un campo de dirección de elemento de distribución de tareas, medios para incrementar selectivamente dicho campo de cómputo, medios de comparación para comparar dicho campo de cómputo incrementado con dicho campo límite, medios indicadores que responden a dichos medios de comparación para indicar que dicho campo de cómputo incrementado es mayor o igual que dicho campo límite o es menor que dicho campo límite, respondiendo dichos medios de transmisión a dichos medios indicadores indicando que dicho campo de cómputo incrementado es mayor o igual que dicho campo límite para eliminar de la cola cualquier elemento de distribución de tareas puesto en cola hacia dicho campo de dirección de distribución de tareas de dicho contador de transmisión-recepción y para eliminar de la

30

10078

cola el mismo en secuencia de prioridad hacia dichos medios de registro de cola de tareas.

5 9ª.- El aparato de tratamiento de tareas de la reivindicación 8ª, en donde dichos medios indicadores consisten en un circuito de retención.

10 10ª.- El aparato de tratamiento de tareas de la reivindicación 8ª, en donde dichos medios de comparación comparan dicho campo de cómputo con dicho campo límite, respondiendo dichos medios indicadores a dichos medios de comparación para indicar que dicho campo de cómputo es mayor o igual a dicho campo límite o que dicho campo de cómputo es menor que dicho campo límite, y que comprende
15 adicionalmente: medios que responden a dichos medios indicadores indicando que dicho campo de cómputo es mayor o igual a dicho campo límite para decrementar dicho campo de cómputo por dicho campo límite, respondiendo dichos medios de recepción a dichos medios indicadores indicando que dicho campo de cómputo es menor que dicho campo límite para eliminar de la cola el elemento de distribución
20 de tarea activa desde dichos medios de registro de cola de tareas y para poner en cola el mismo en secuencia de prioridad hacia dicho campo de dirección de distribución de tareas de dicho contador de transmisión-recepción.

25 11ª.- Un aparato de tratamiento de tareas en un sistema de computador.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y

para los fines que se han especificado.

Esta Memoria consta de setenta y ocho hojas escritas a máquina por una sola de sus caras.

Madrid, 26. JUL. 1978

P.A.

Alberto de Elzaburu
Por Poder



10078/GM.



INTERNATIONAL BUSINESS MACHINES CORPORATION

I/43111

69009

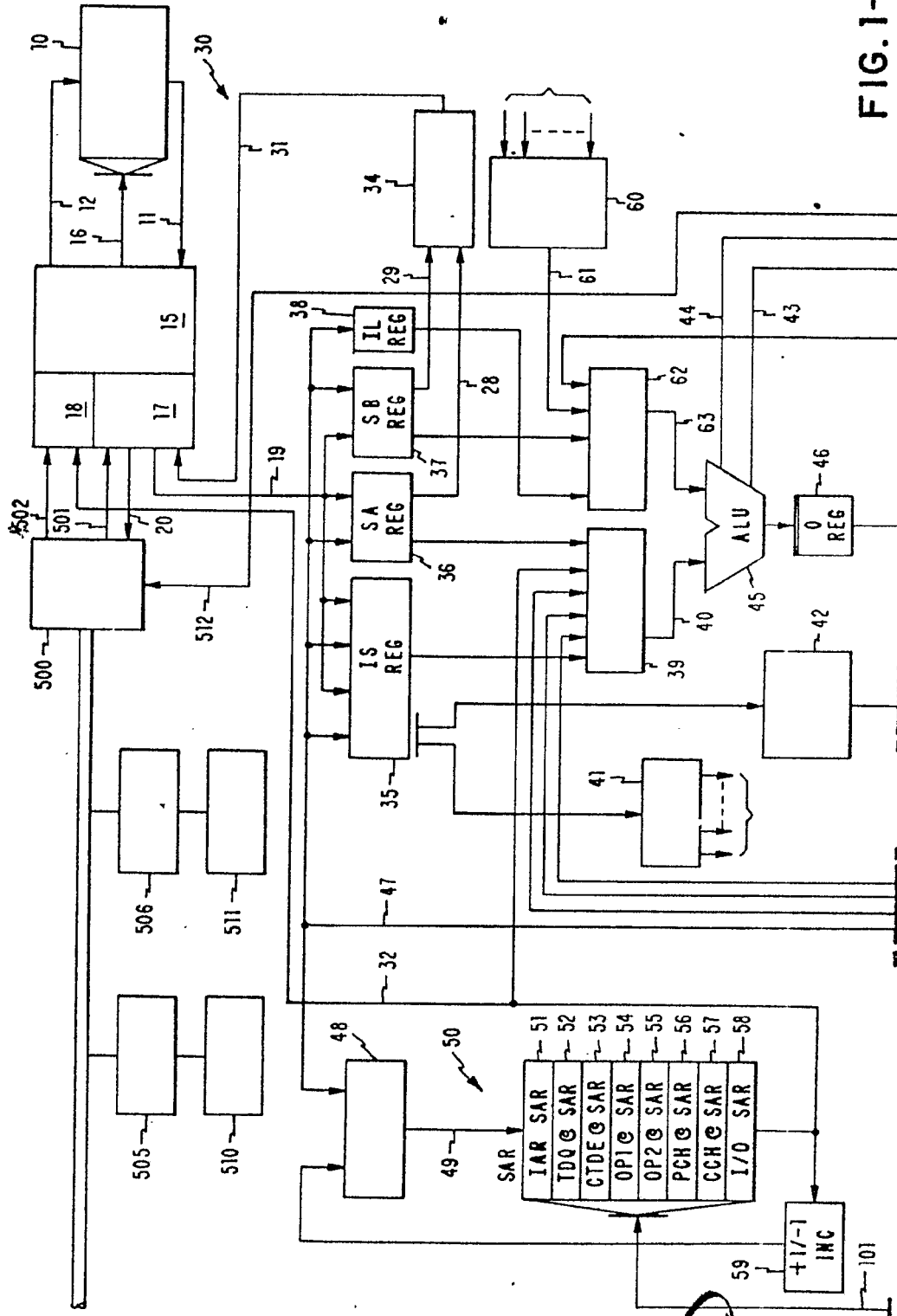


FIG. 1-1

Alberto de Mazabuzo
 Par Fedep



69009

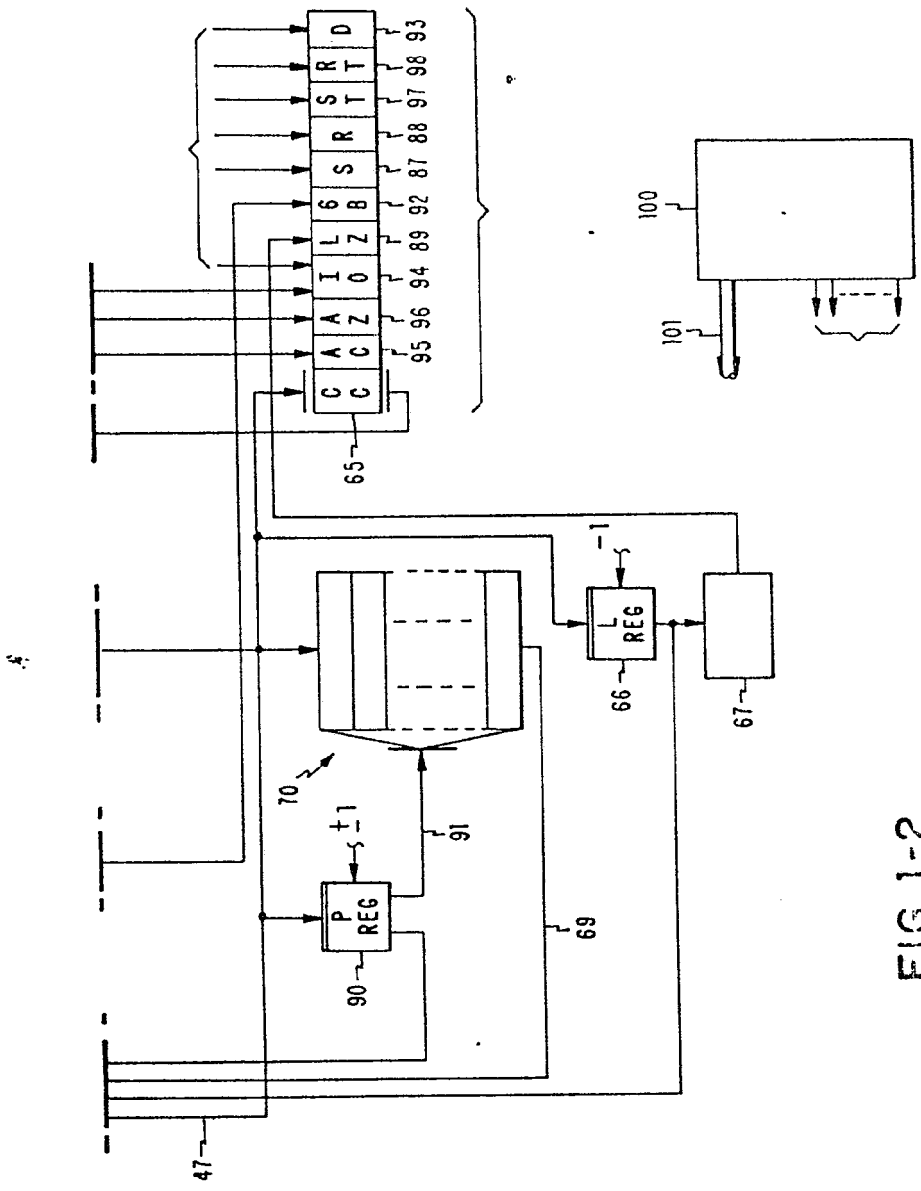


FIG. 1-2

Alfred de Fachon
 Per Fachon



59009

INTERNATIONAL BUSINESS MACHINES CORPORATION

11/1/68

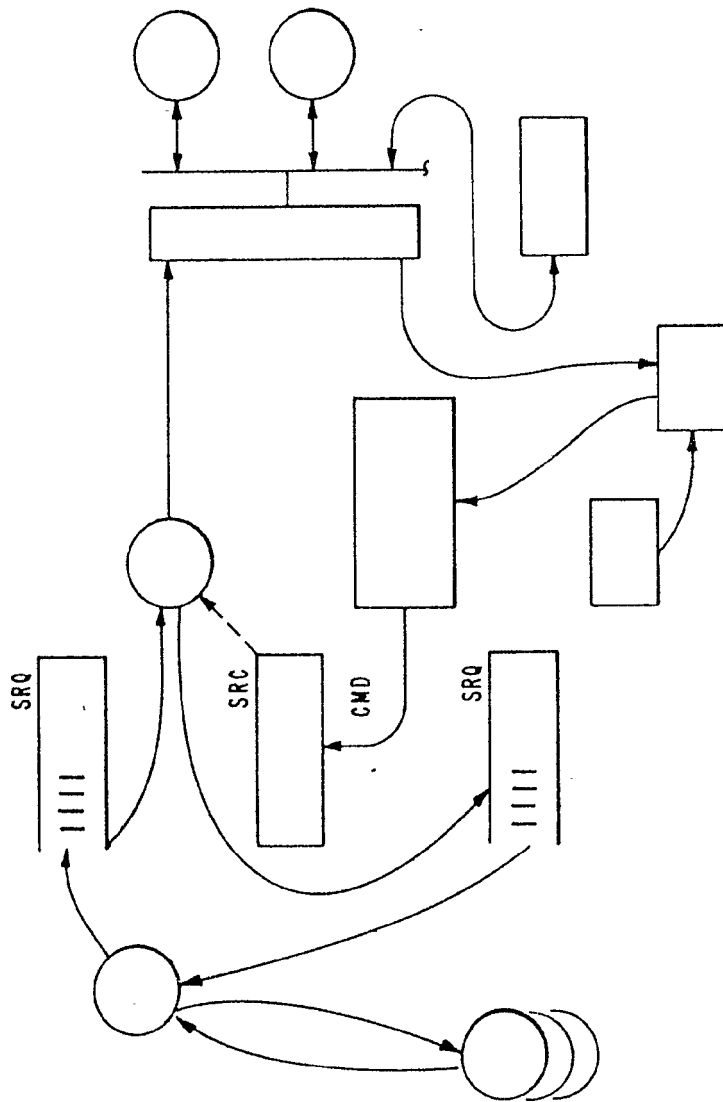


FIG. 2

Am

69009

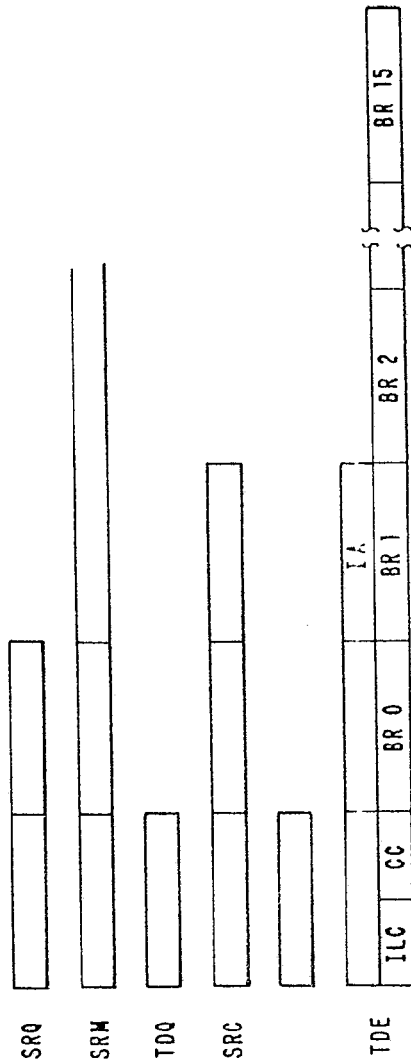
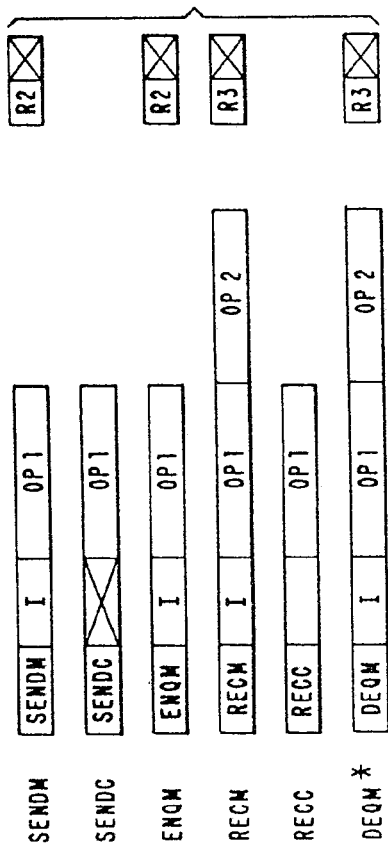


FIG. 3

60000

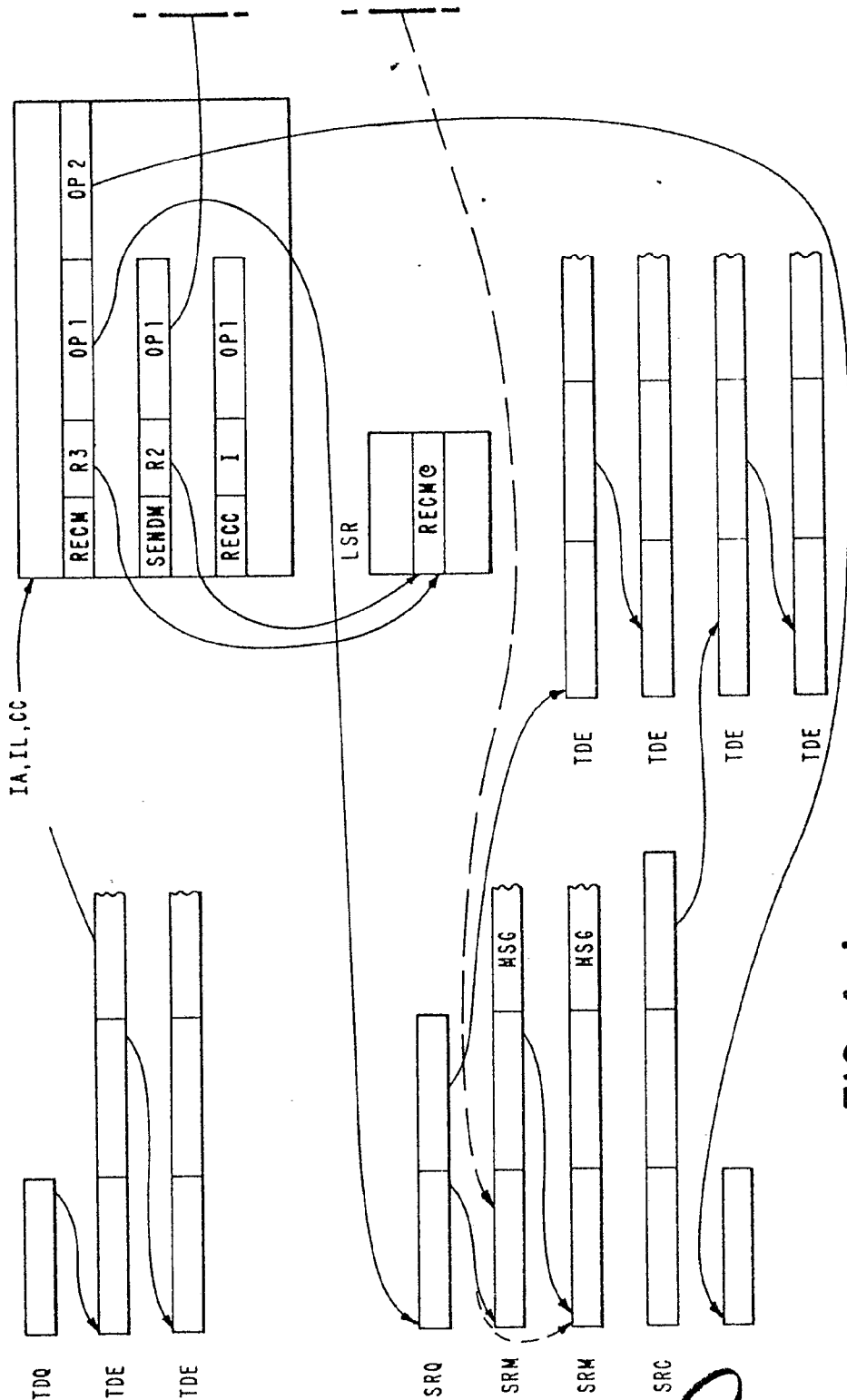


FIG. 4-1

Alberto de Azavedo
Por Poder,

09000

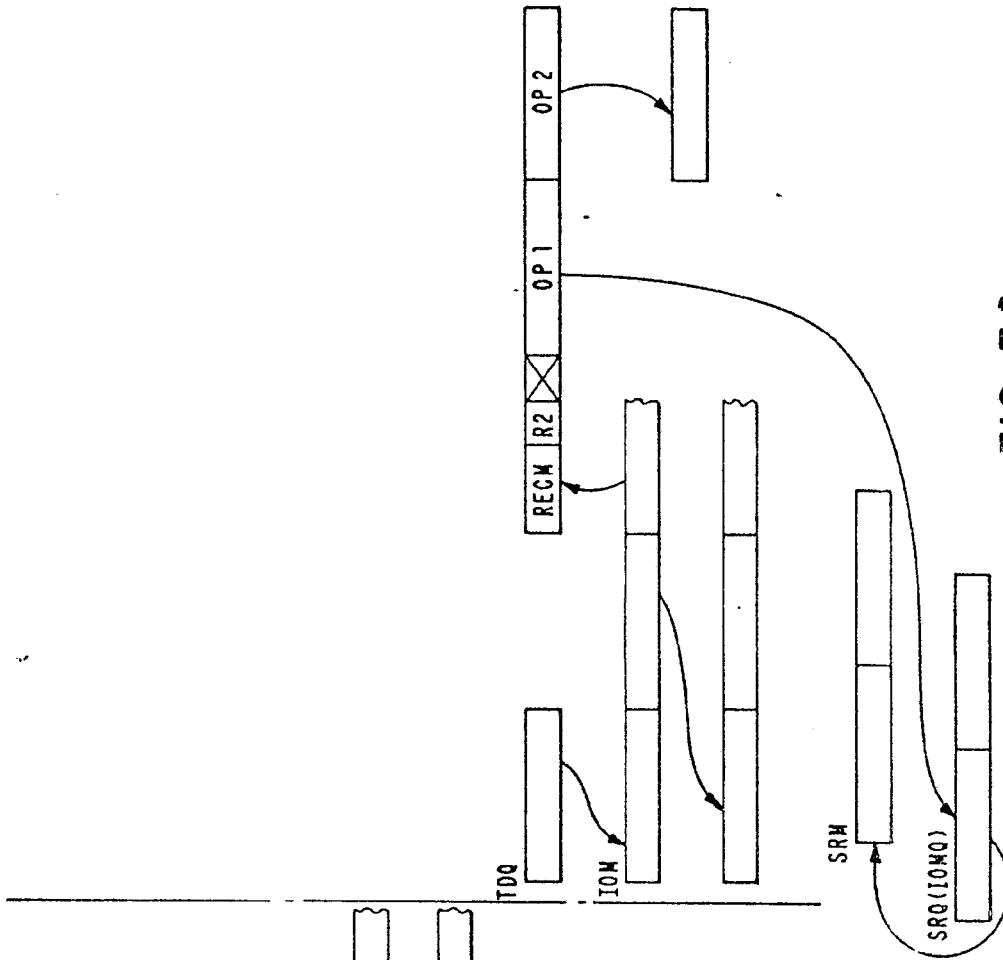


FIG. 4-2

FIG. 38

IBM-RO 976 014

Alberto de Elaburu
Por Favor,

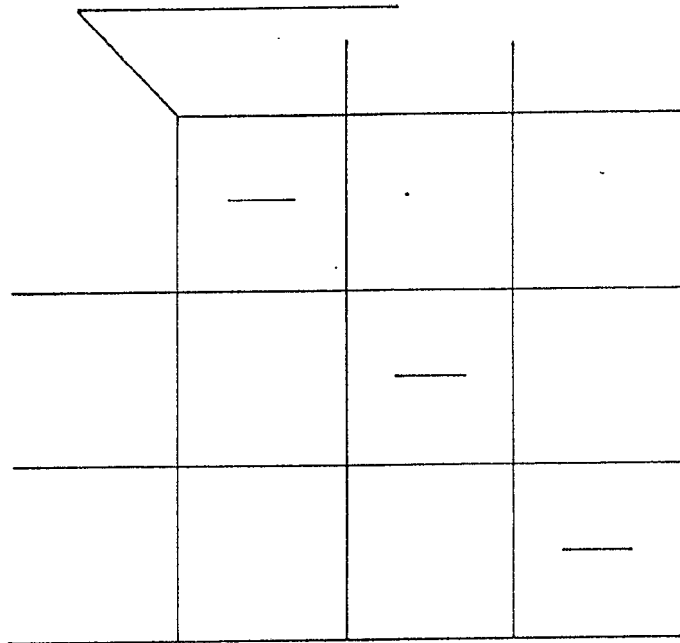


FIG. 5

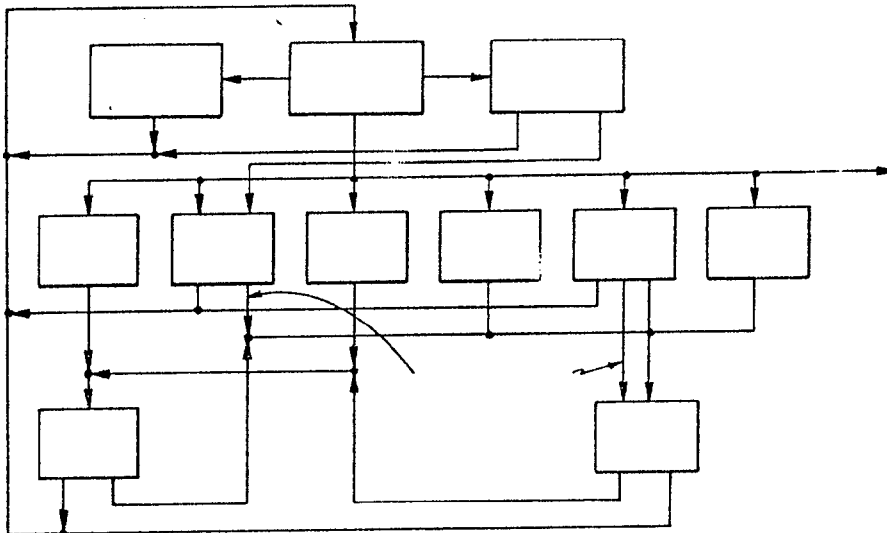
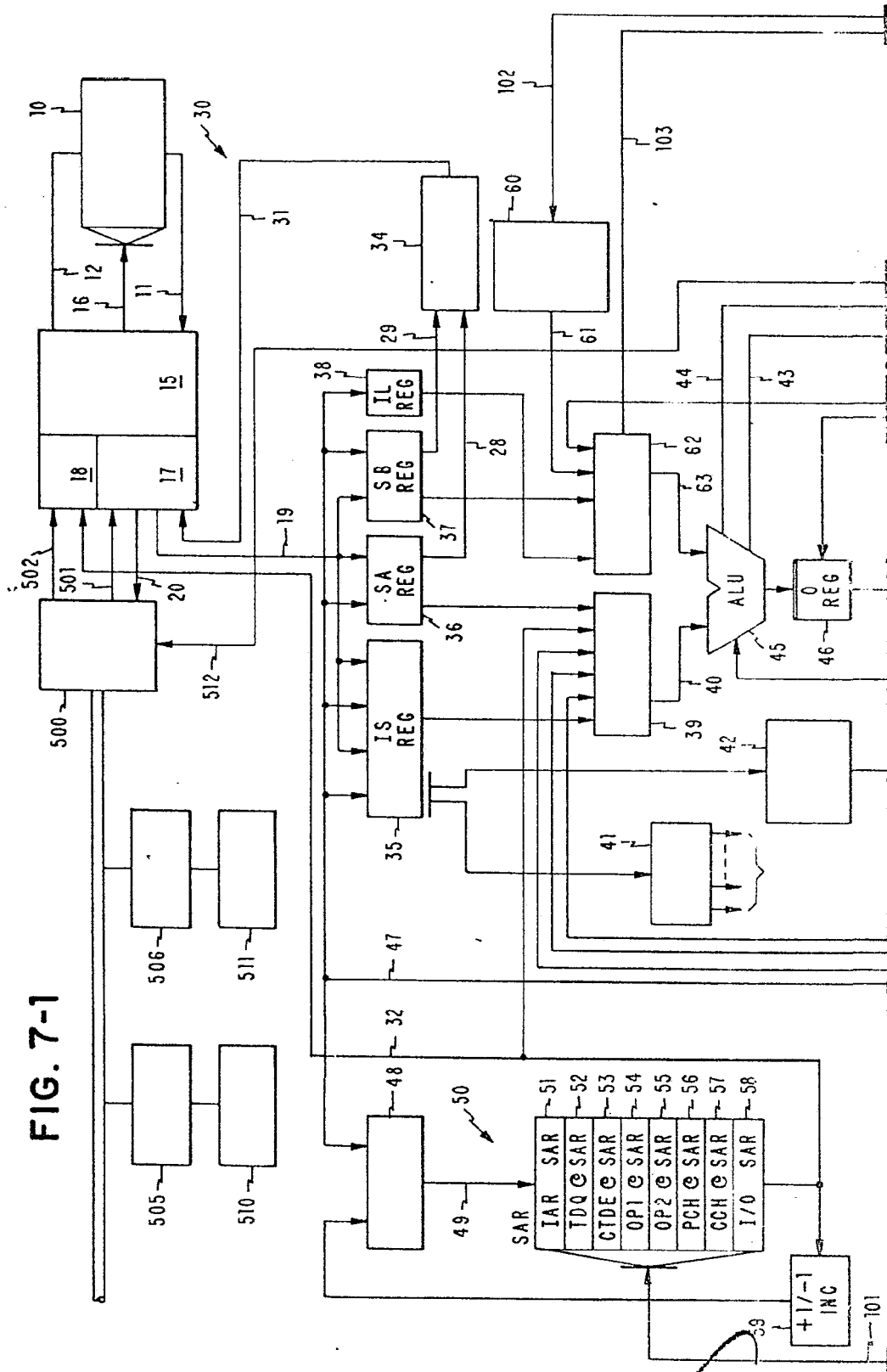


FIG. 6

Alberio de la Cruz
Por Poder...

69009

FIG. 7-1



APPROVED FOR PUBLICATION

[Handwritten signature]

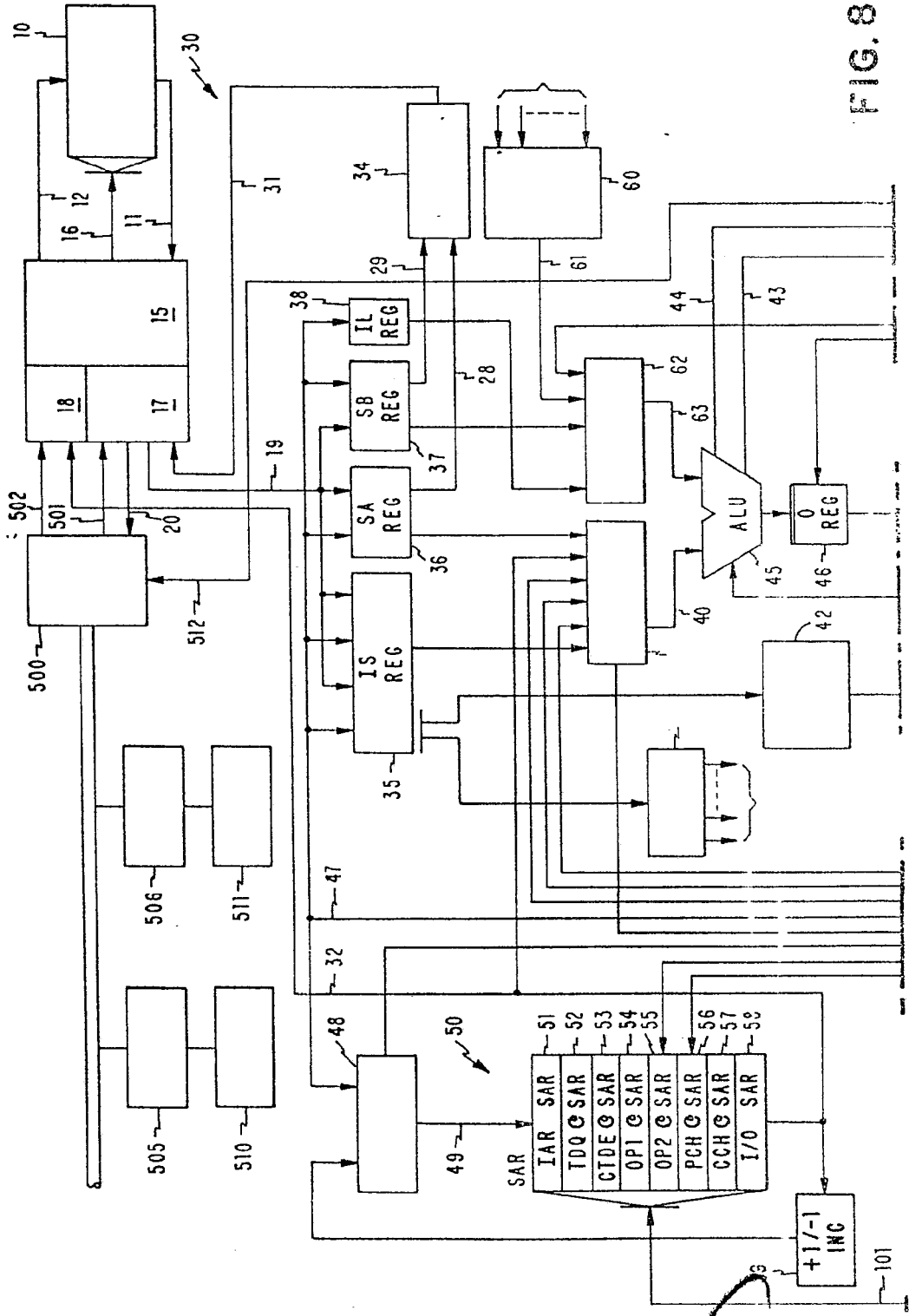


FIG. 8-1

65

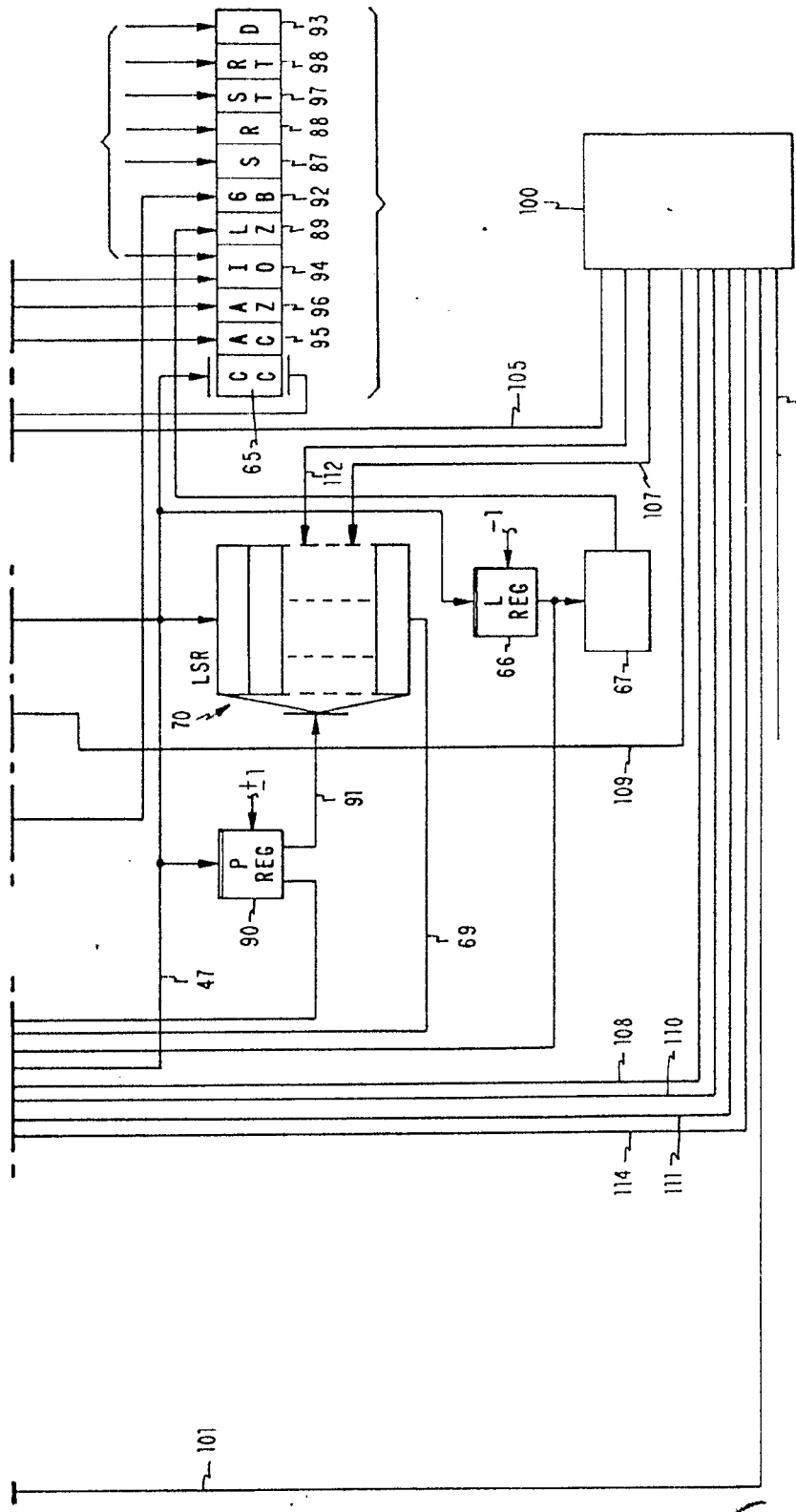


FIG. 8-2

Handwritten signature

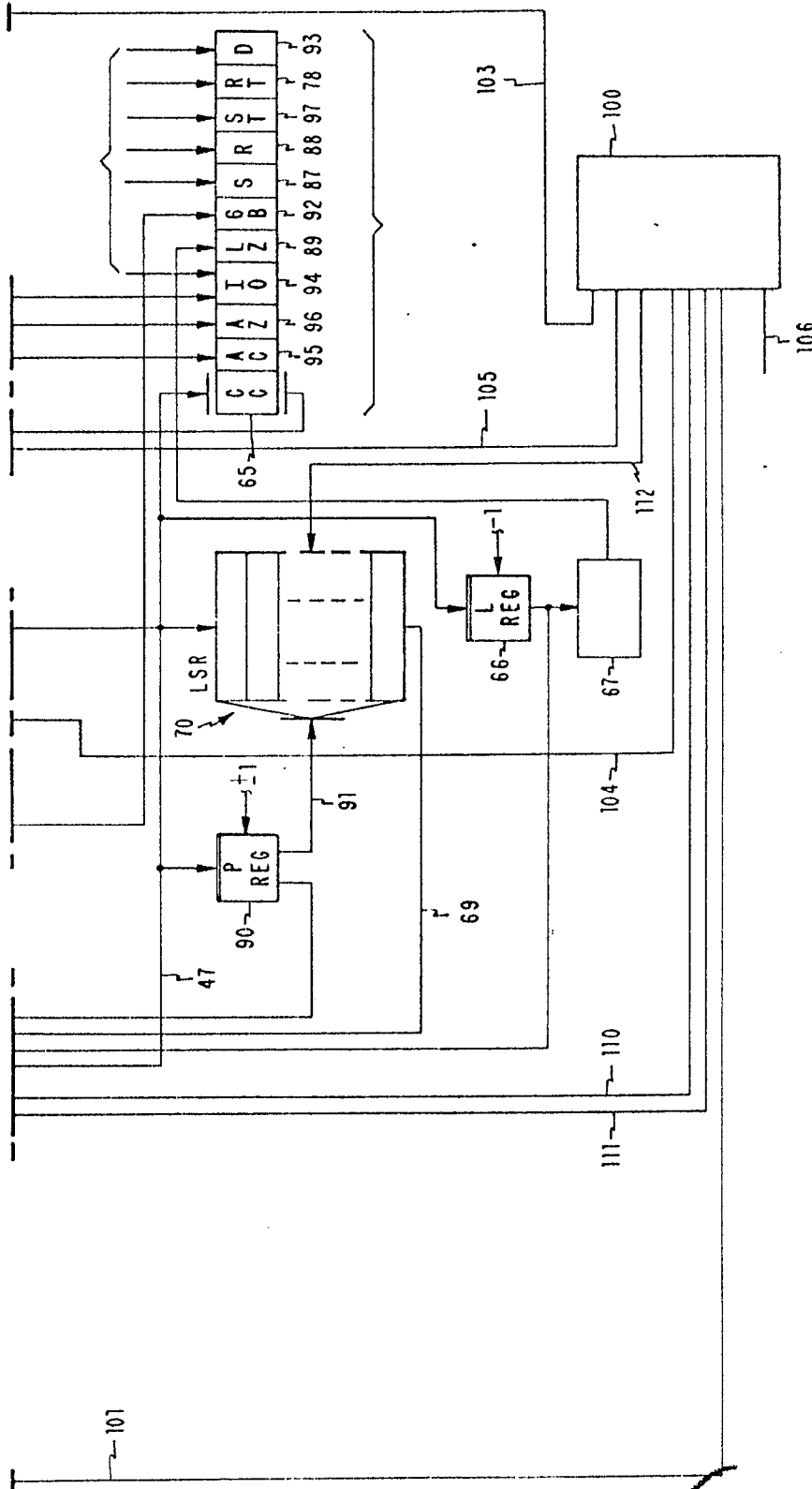


FIG. 9-2

Alberto de Elzaburu
Por Poder,

FIG. 10-1

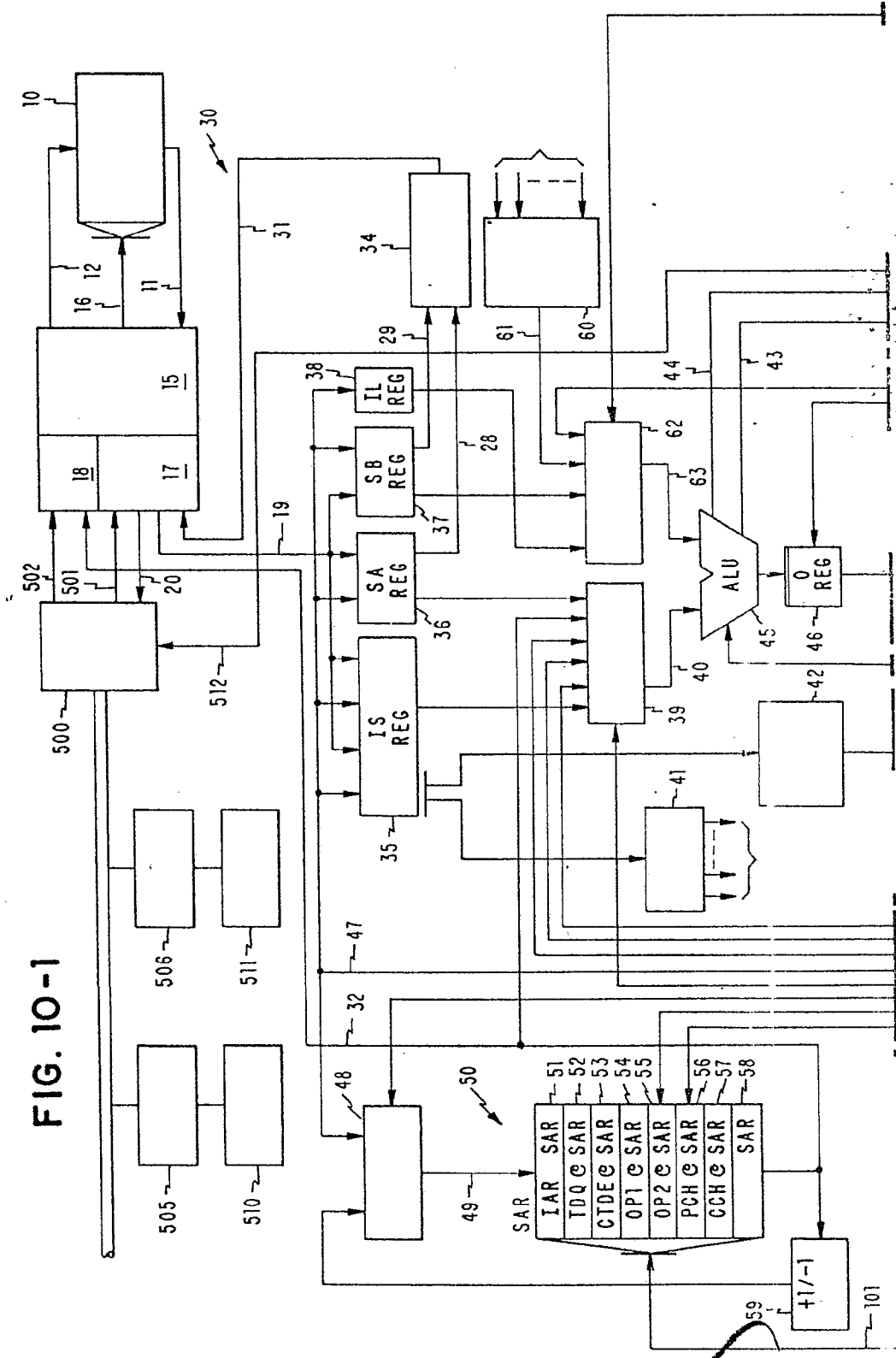


FIG. 10-1

Alberto de Elzaburm
Por Poder

69009

INTERNATIONAL BUSINESS MACHINES CORPORATION

AV/4111

10/40

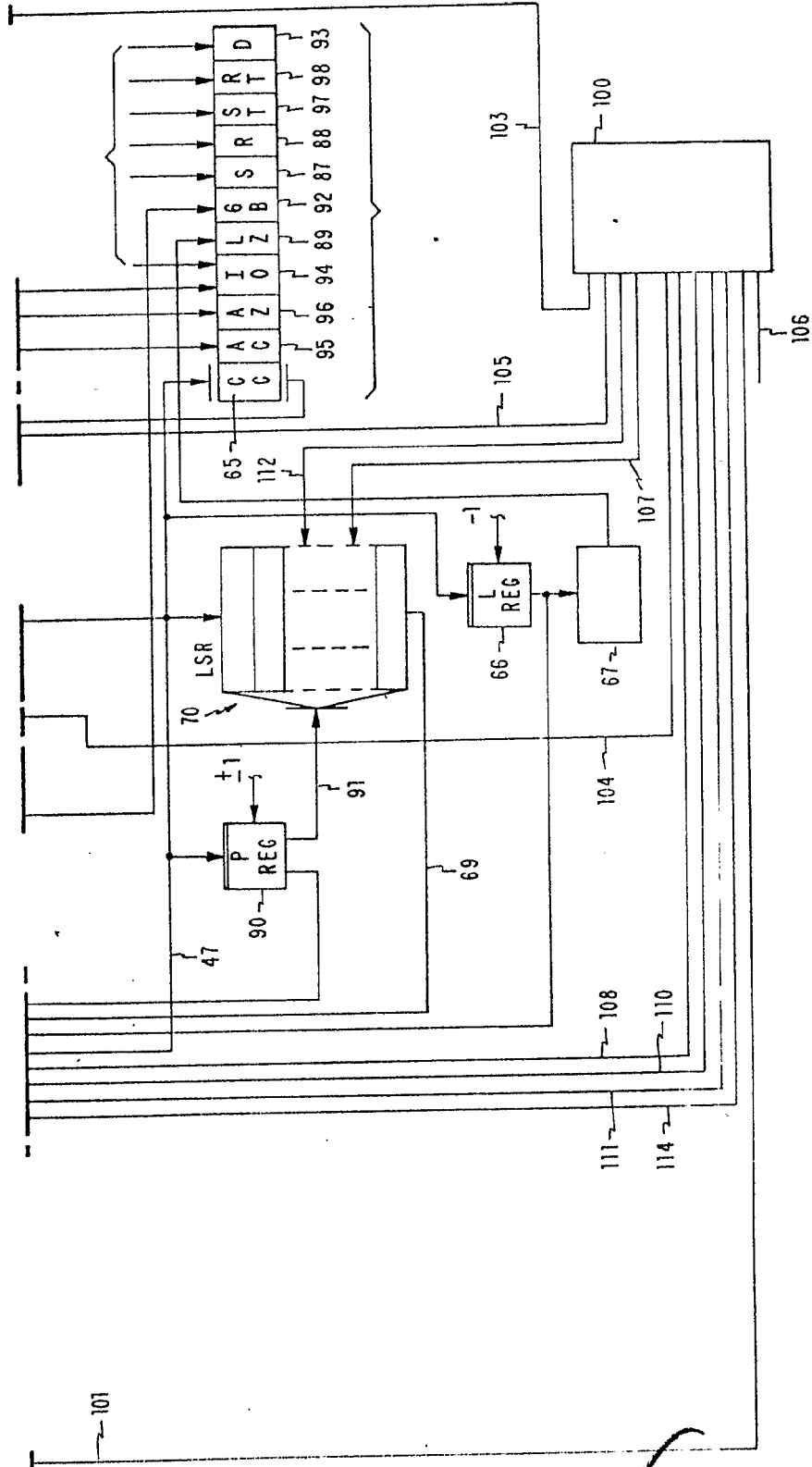
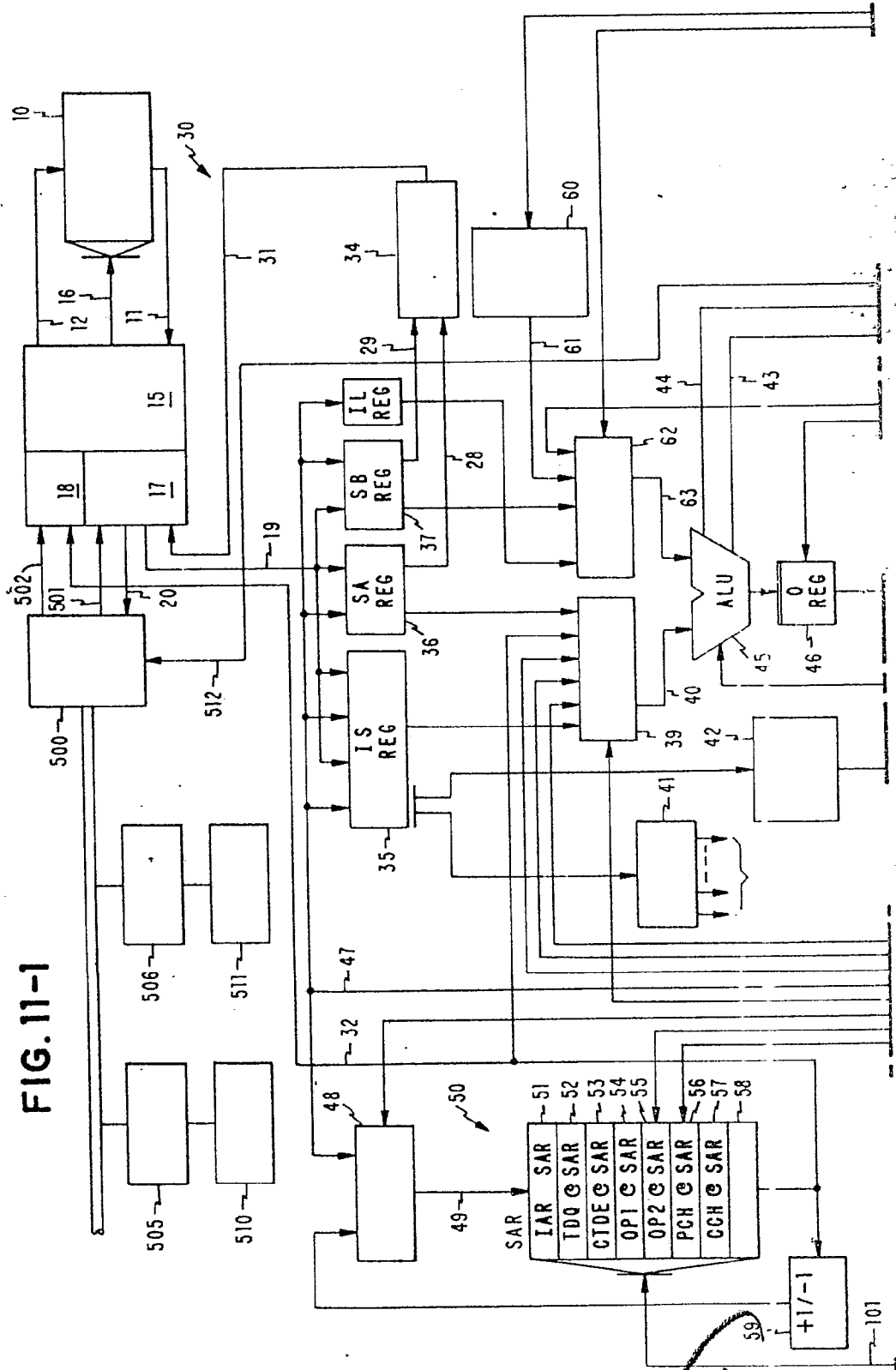


FIG. 10-2

Alberto E. ...
 Pat. Pos. ...

69009

FIG. 11-1



Attribution
Part 101

3009

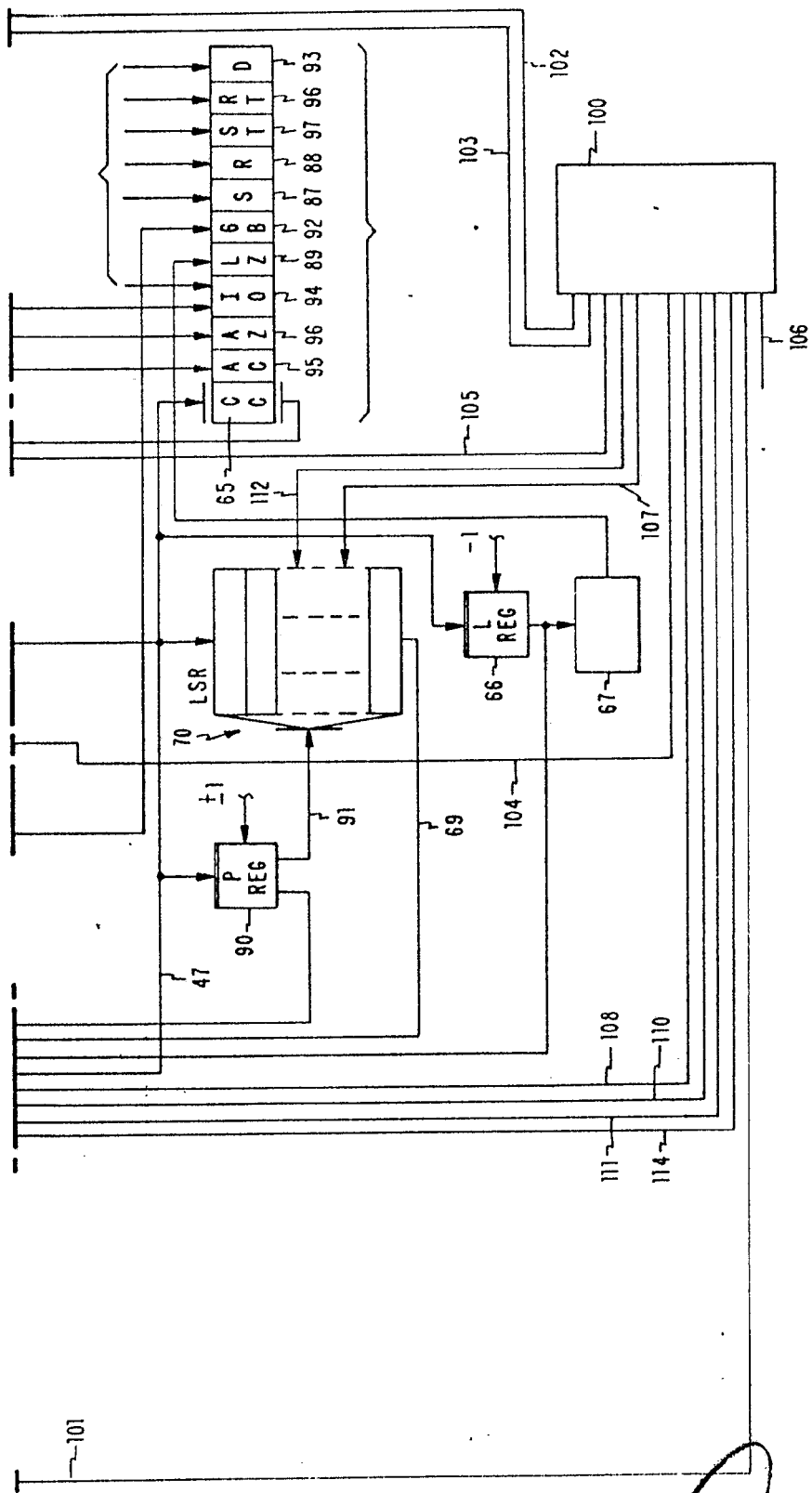


FIG. 11-2

APPROVED FOR RELEASE
 BY THE NATIONAL ARCHIVES
 REF ID: A66300

AM

69.03

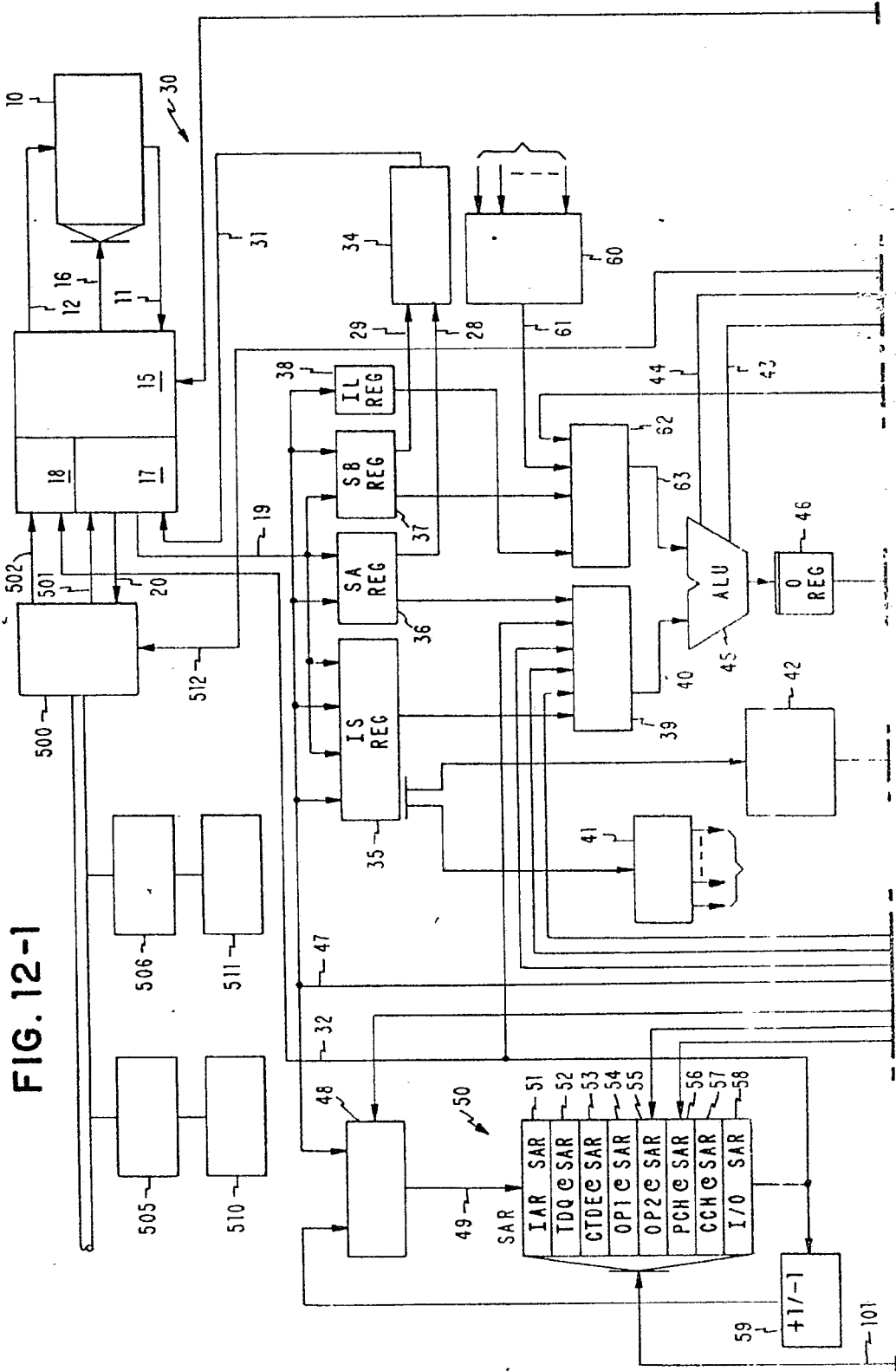


FIG. 12-1

Alberto de Elizaburu
For code,

INTERNATIONAL BUSINESS MACHINES CORPORATION

89009

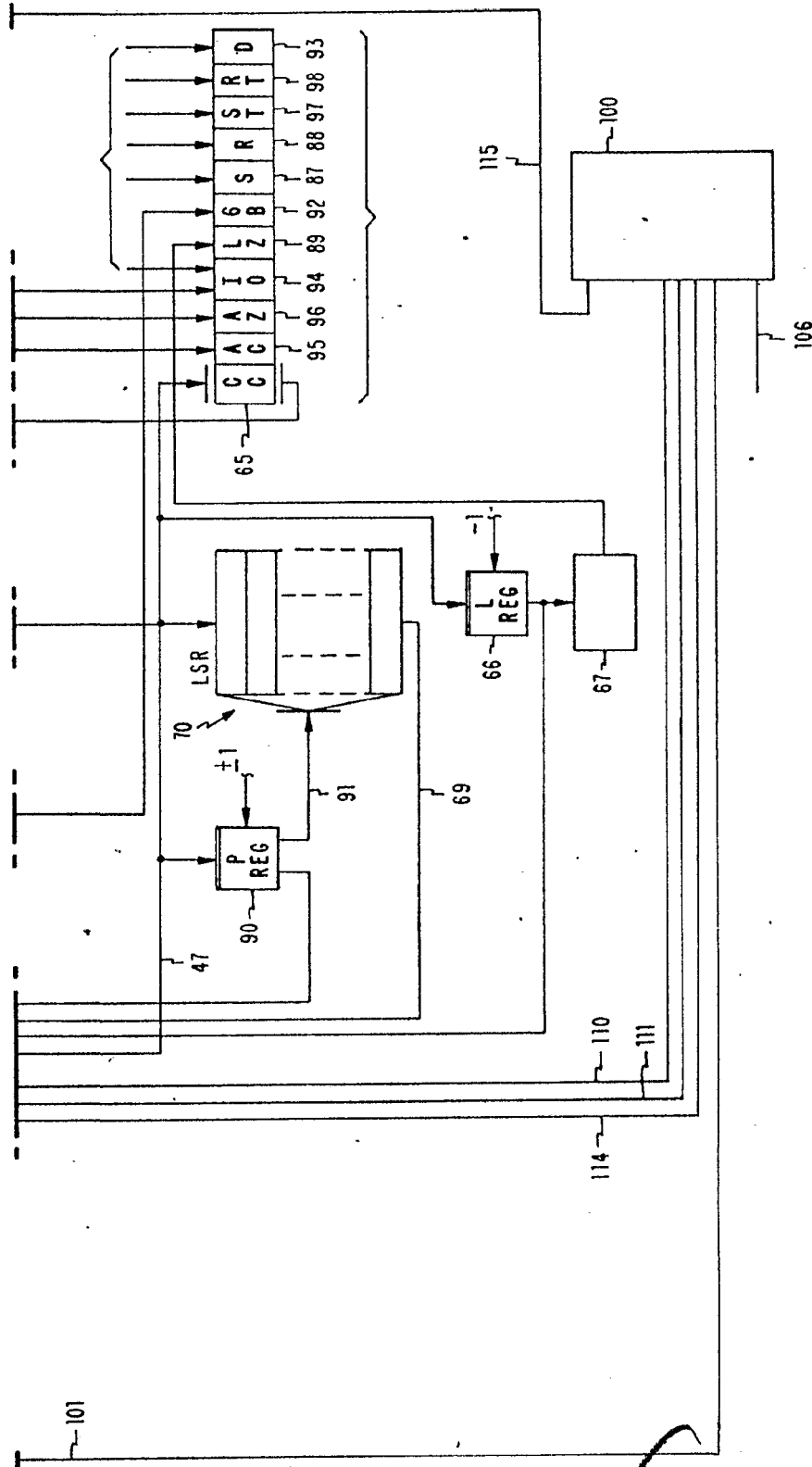
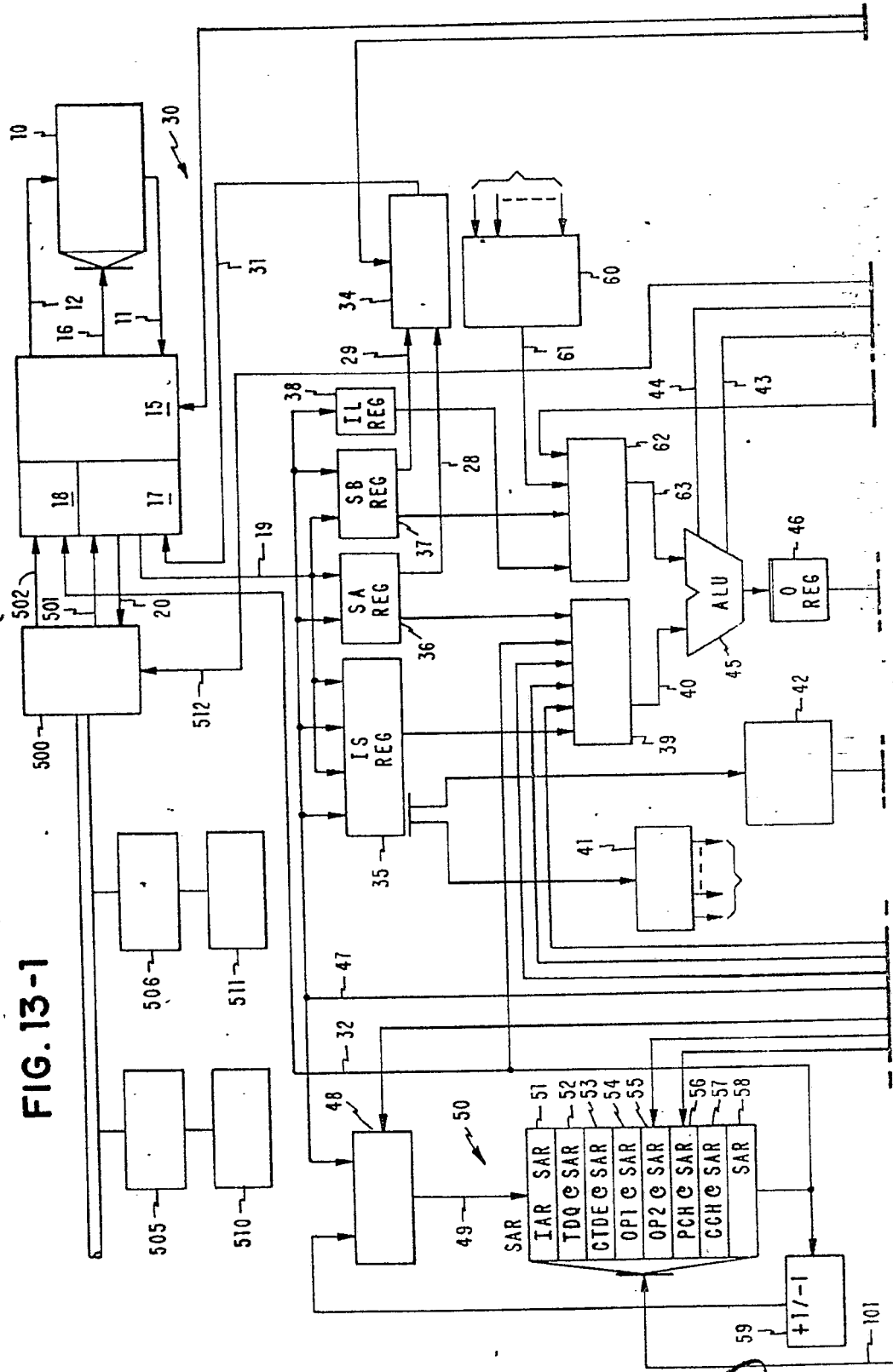


FIG. 12-2

69 30 9

FIG. 13-1



IBM-RO 976 0M

Alberto de Siqueira
For Power

69009

INTERNATIONAL BUSINESS MACHINES CORPORATION

ART/ALP/II

2/43

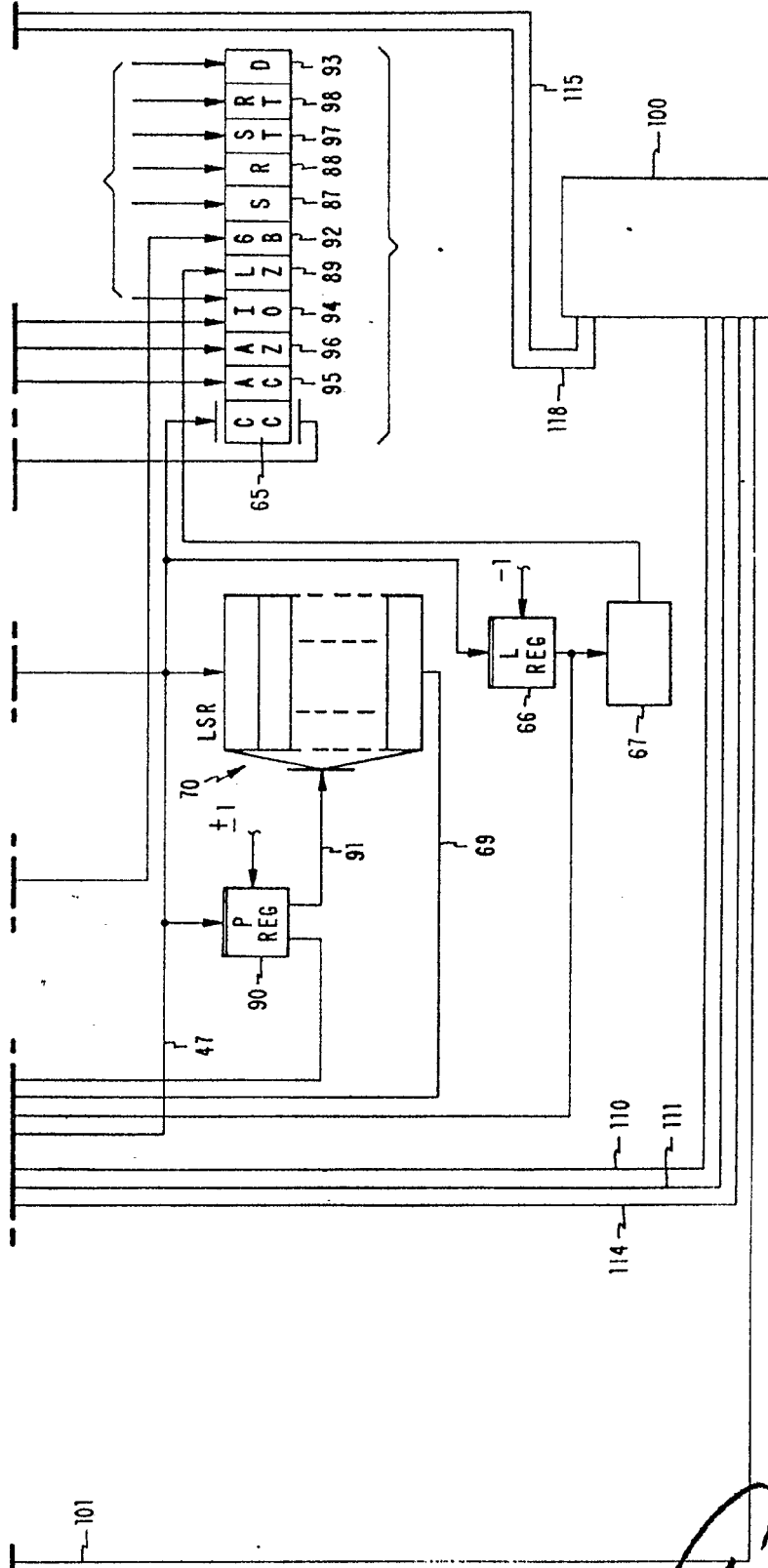


FIG. 13-2

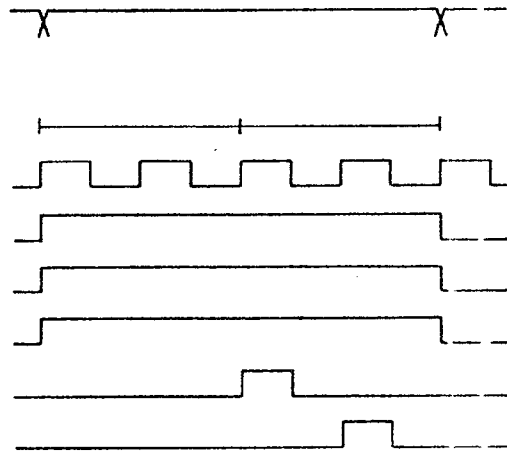


FIG. 14

Alberto de Elzaburu
Por Poder

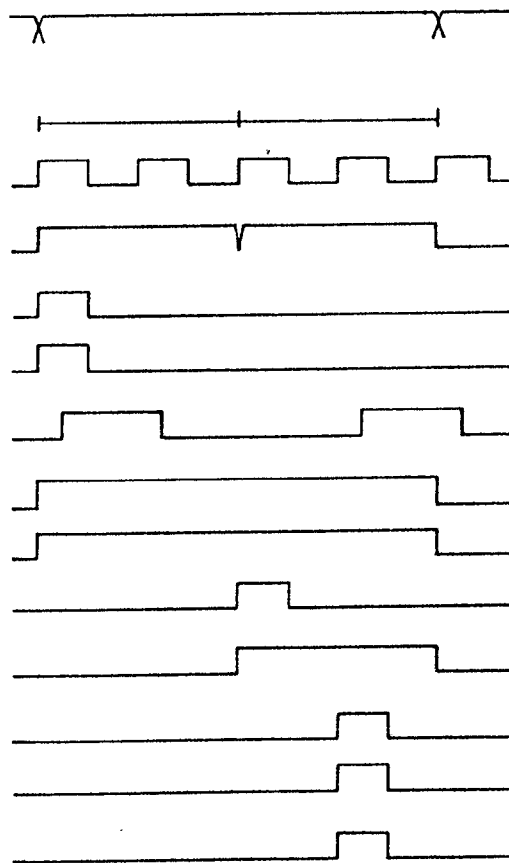


FIG. 15

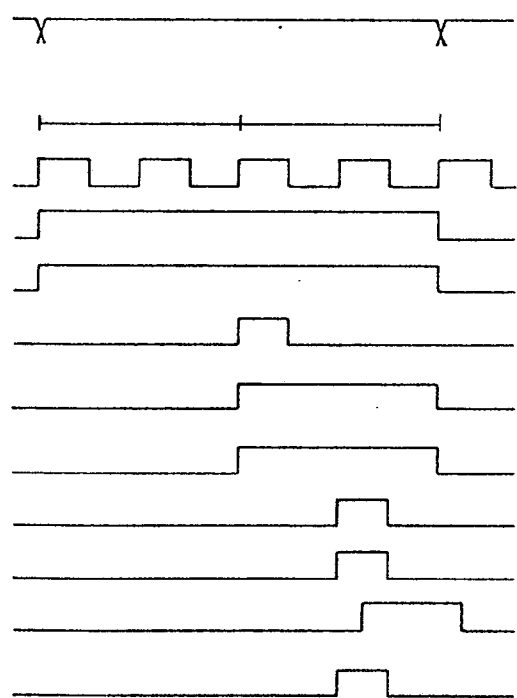


FIG. 16

Albert de Habury
Per [Signature]

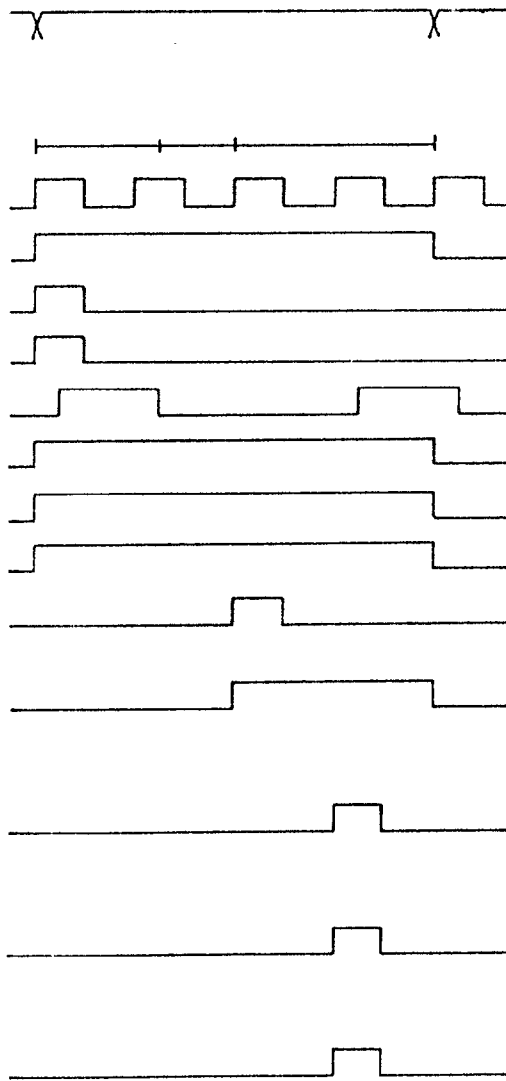


FIG. 17

Approved: *[Signature]*
Per: *[Signature]*

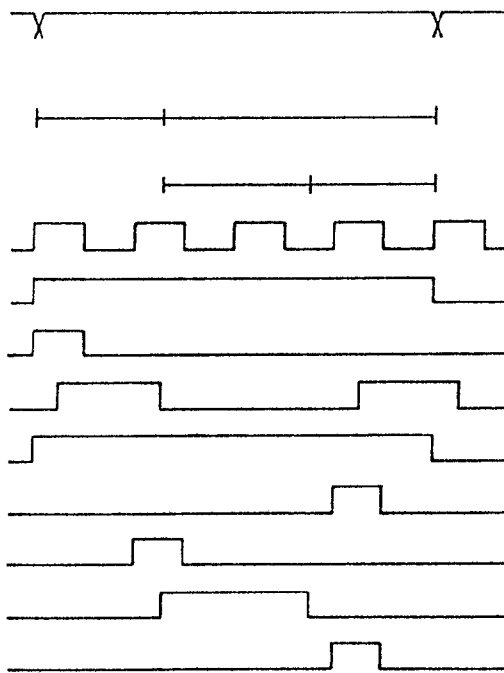


FIG. 19

Alberto de Elcorturo
Por Poder

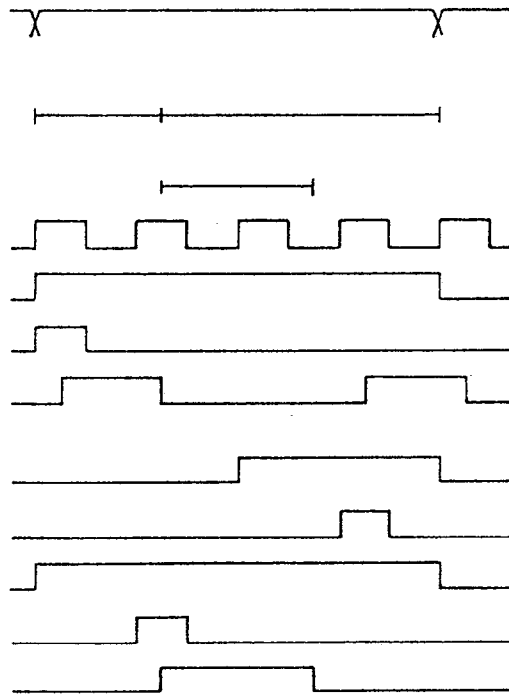


FIG. 20

Alberto de Elsbury
Por [illegible]

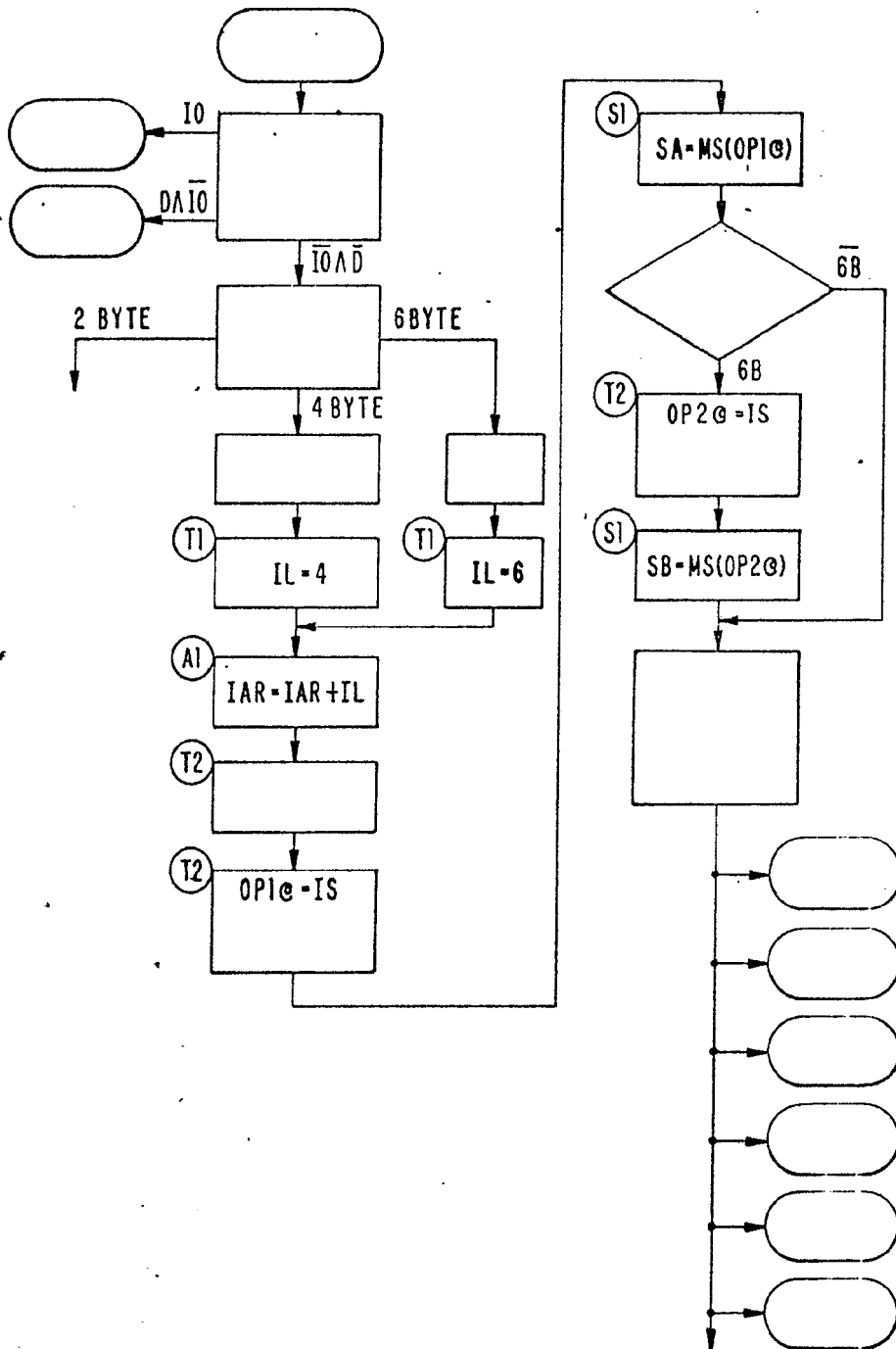


FIG. 21

Approved for Release
 by NSA on 05-08-2014 pursuant to E.O. 13526

69009

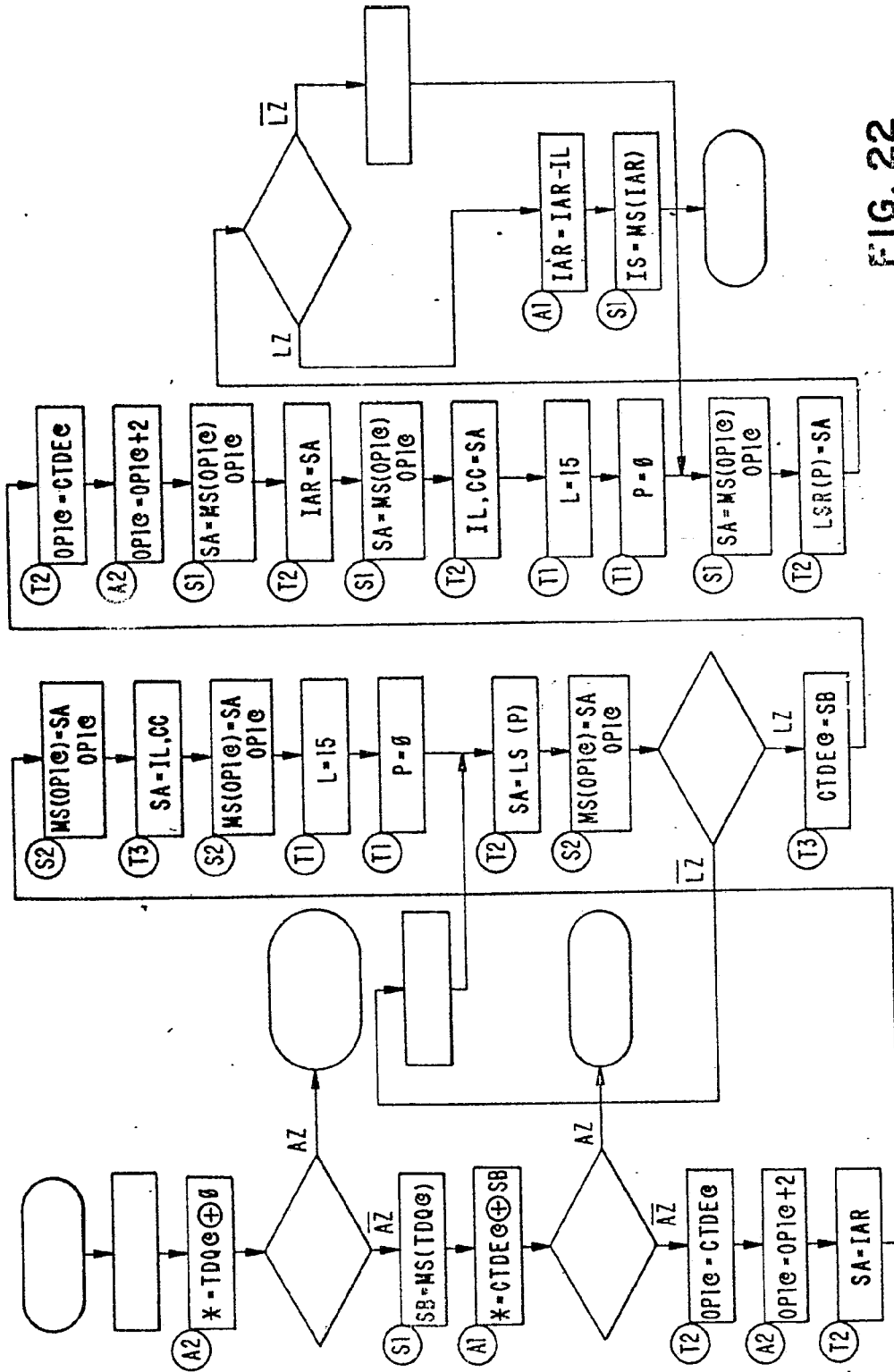
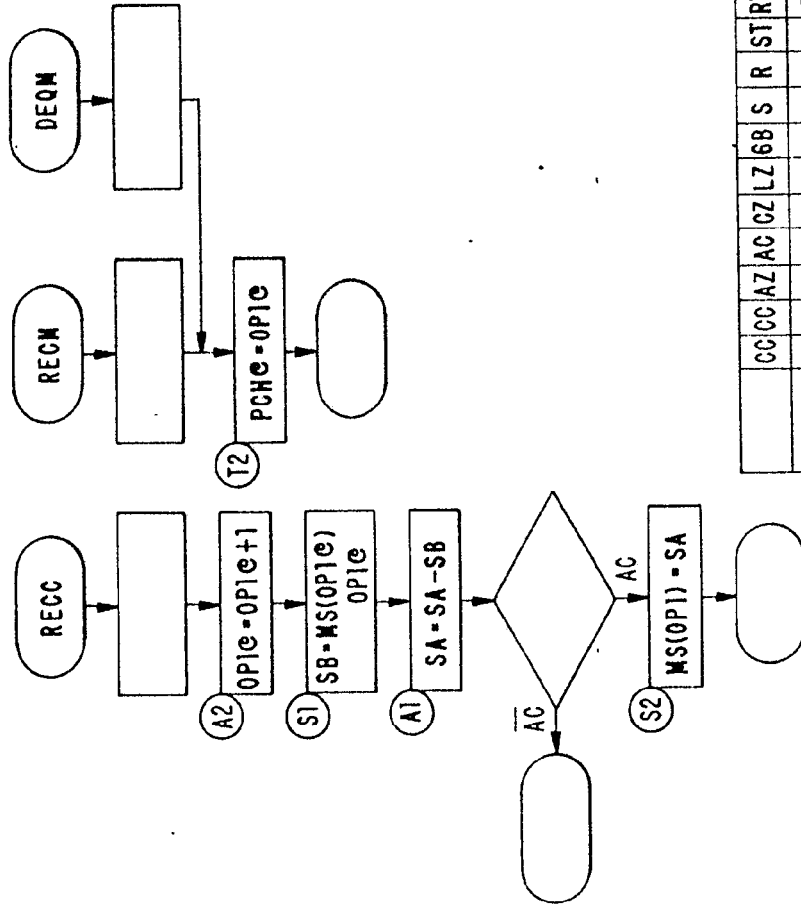


FIG. 22

Alberto de Elizaburu
Por Poder



	CC	CC	AZ	AC	CZ	LZ	6B	S	R	STRT	D	IO
RECC	-	-	-	-	-	-	-	0	1	0	0	-
RECM	-	-	-	-	-	-	-	0	1	0	0	-
DEQM	-	-	-	-	-	-	-	0	0	0	0	-

FIG. 26

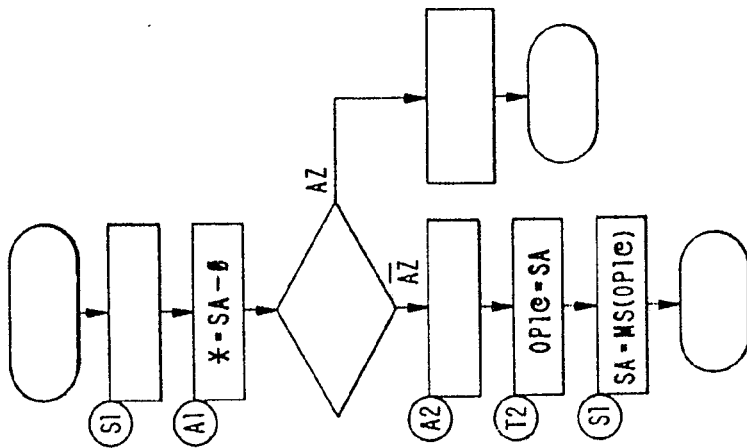


FIG. 23

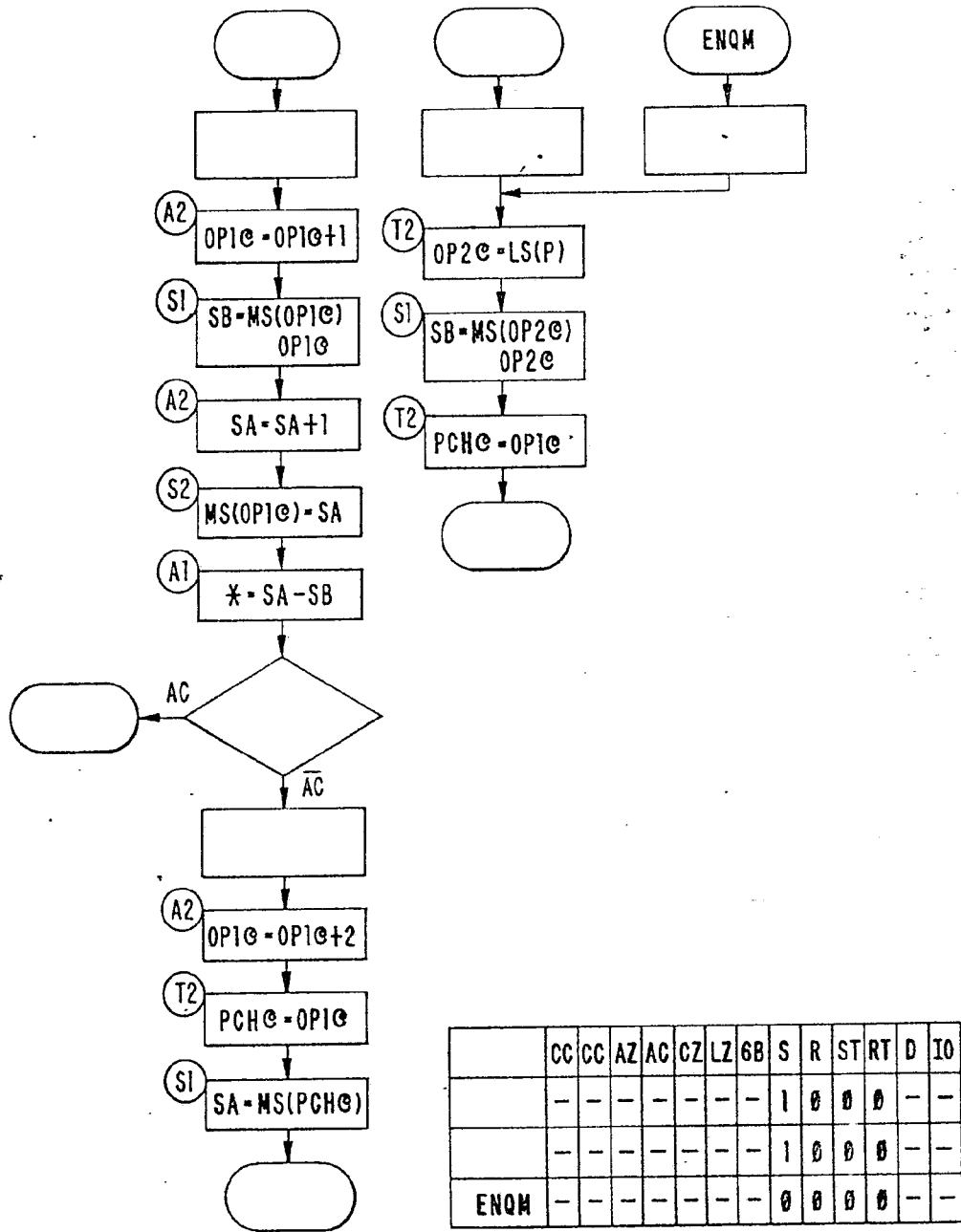


FIG. 24

Albert de E...
Per P...

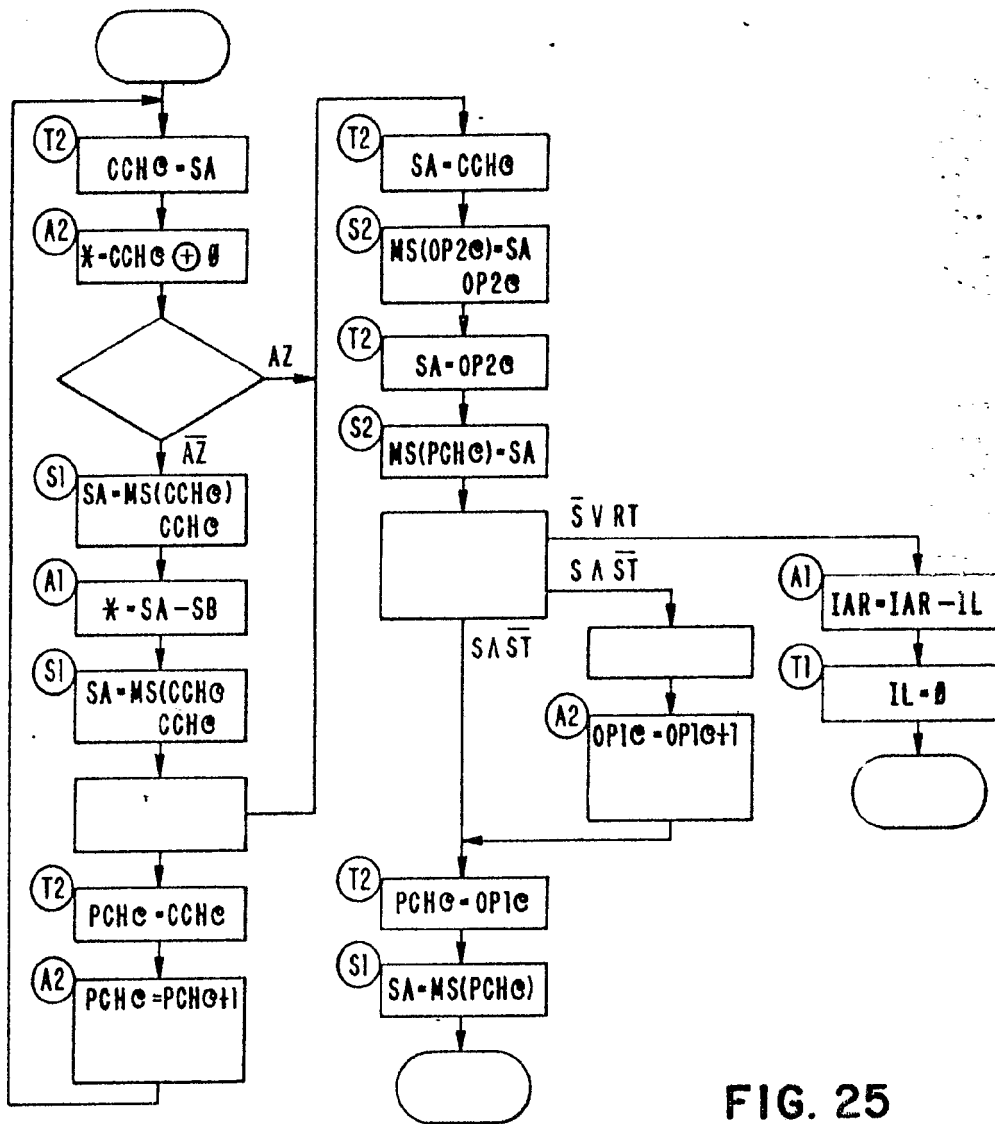


FIG. 25

Attorneys at Law
 For Office

09009

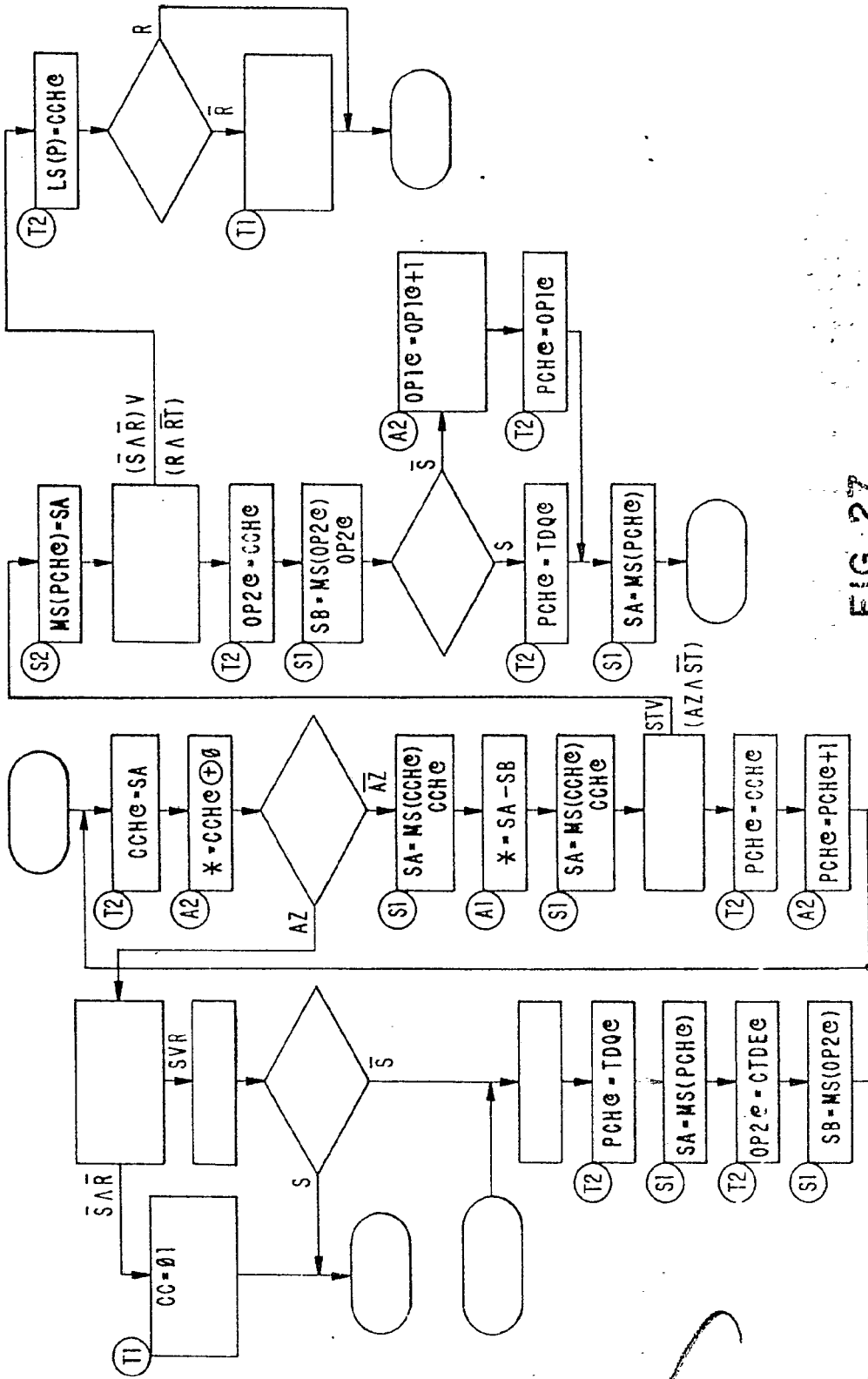


FIG. 27

Handwritten signature

69009

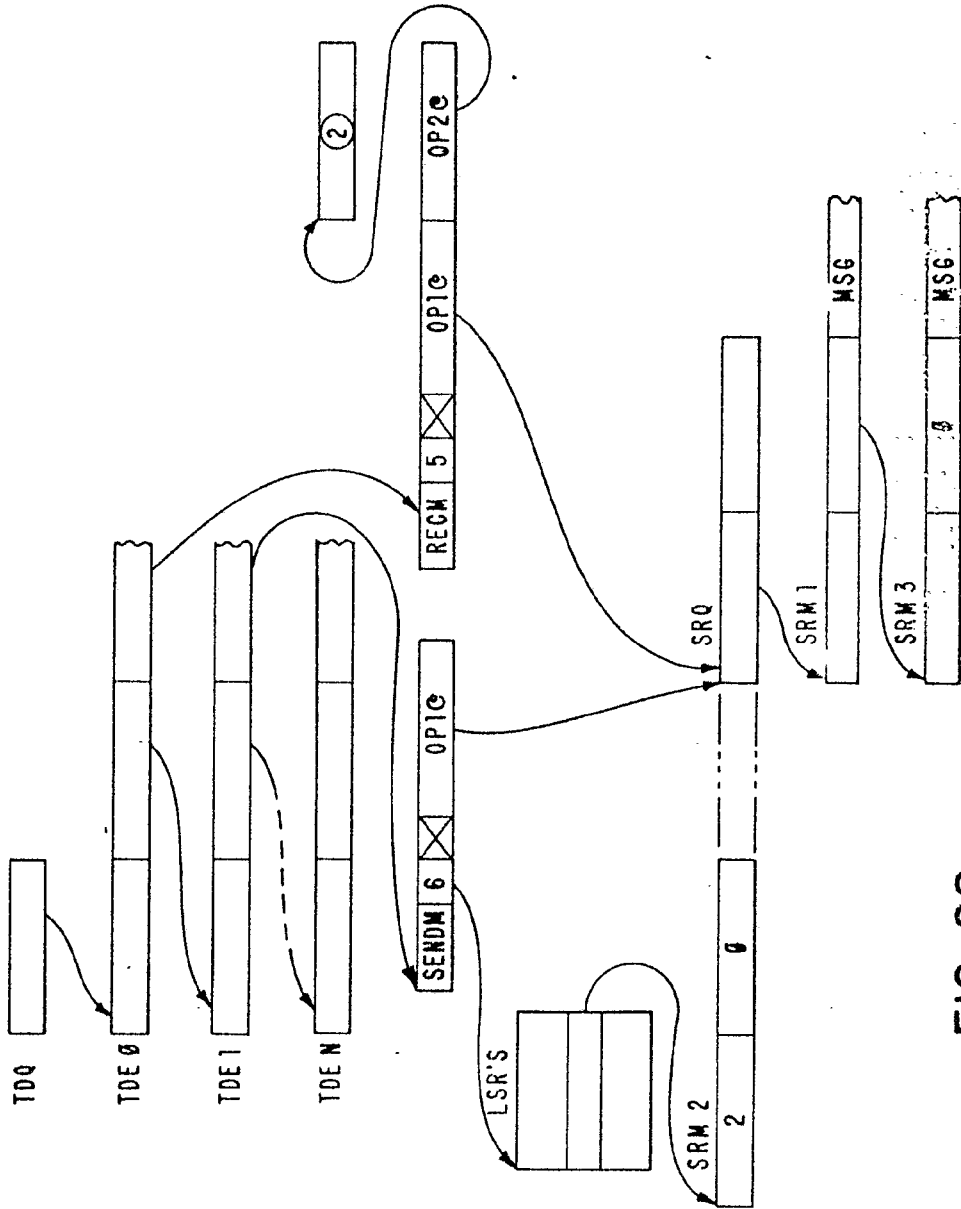


FIG. 28

Amu

69009

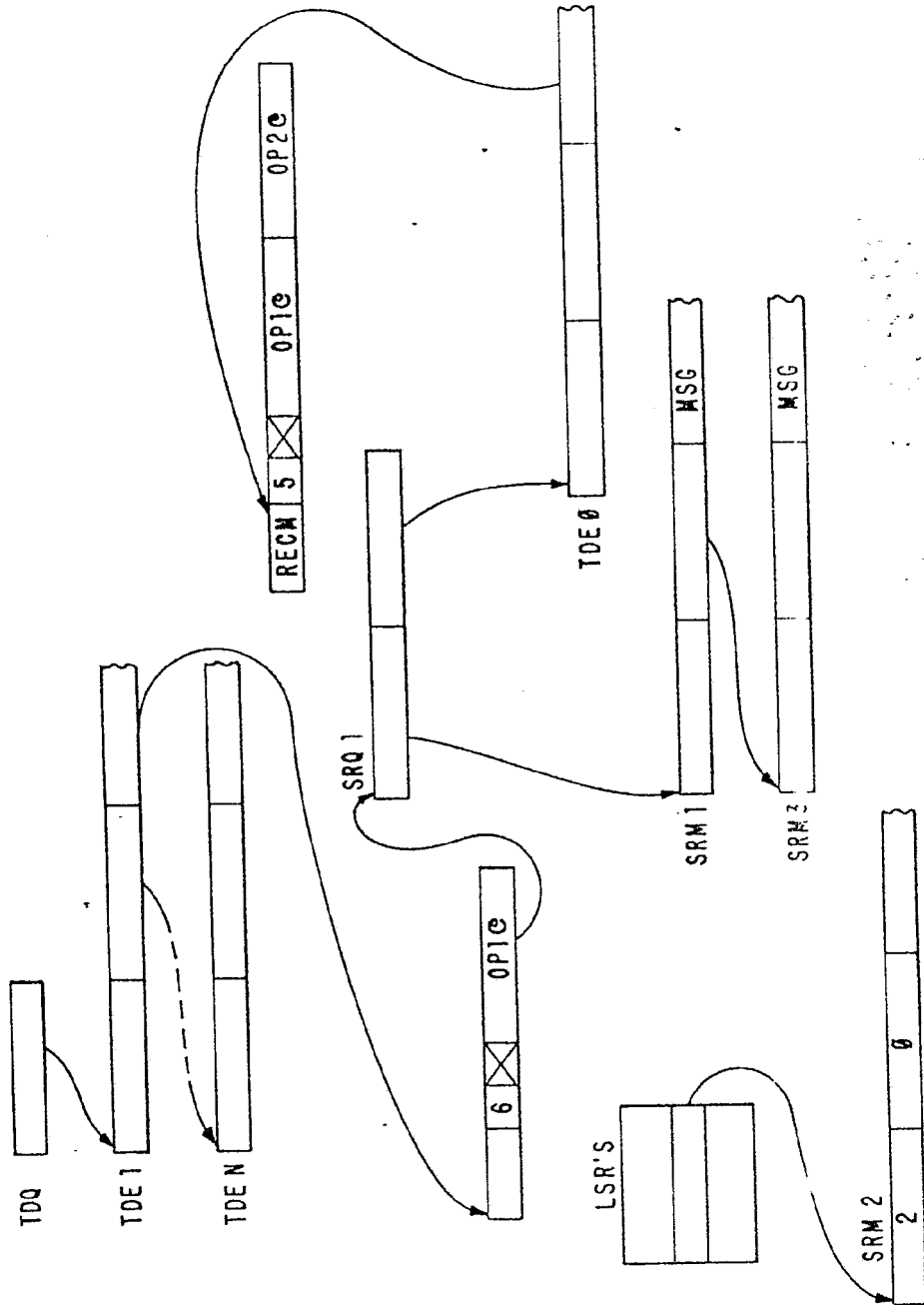
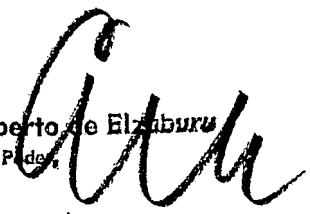


FIG. 29

Alberto de Elizaburu
 Por Poderes



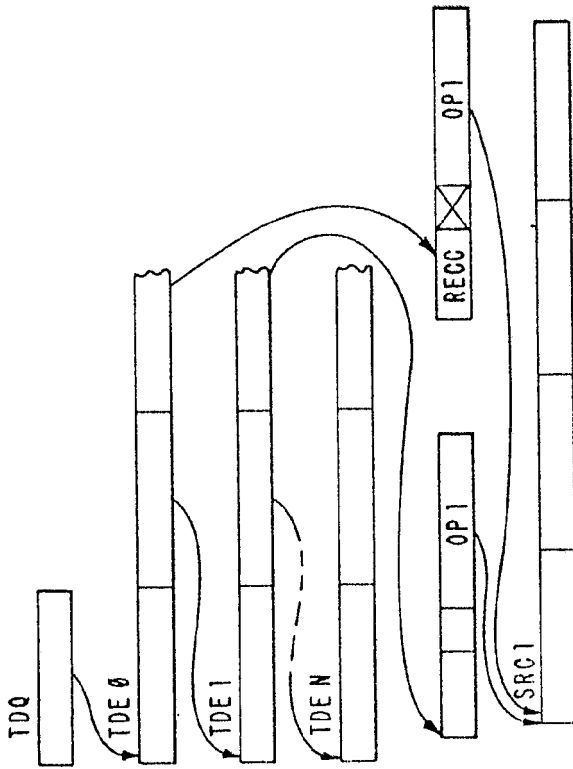


FIG. 31

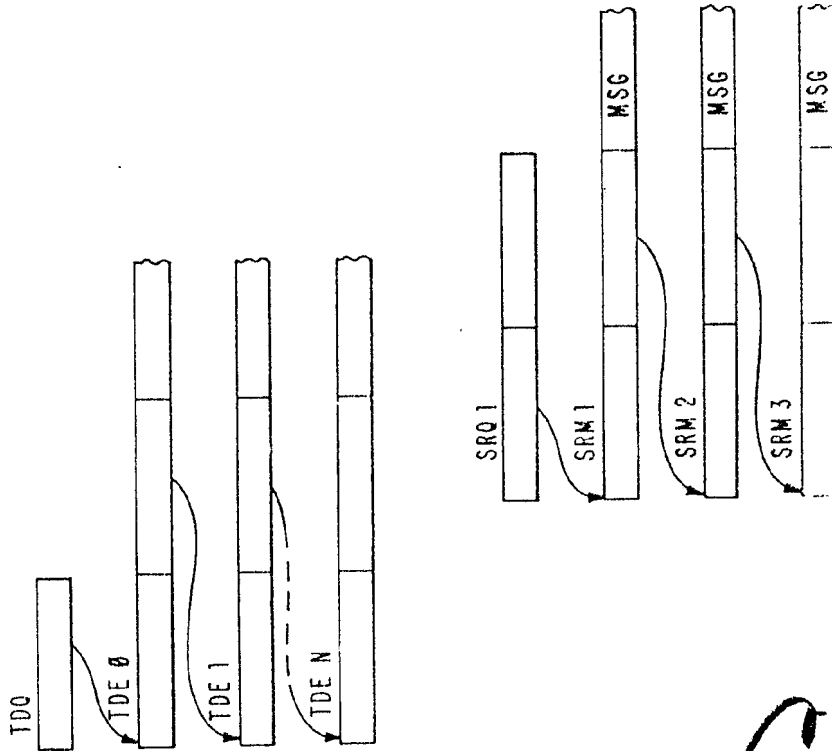


FIG. 30

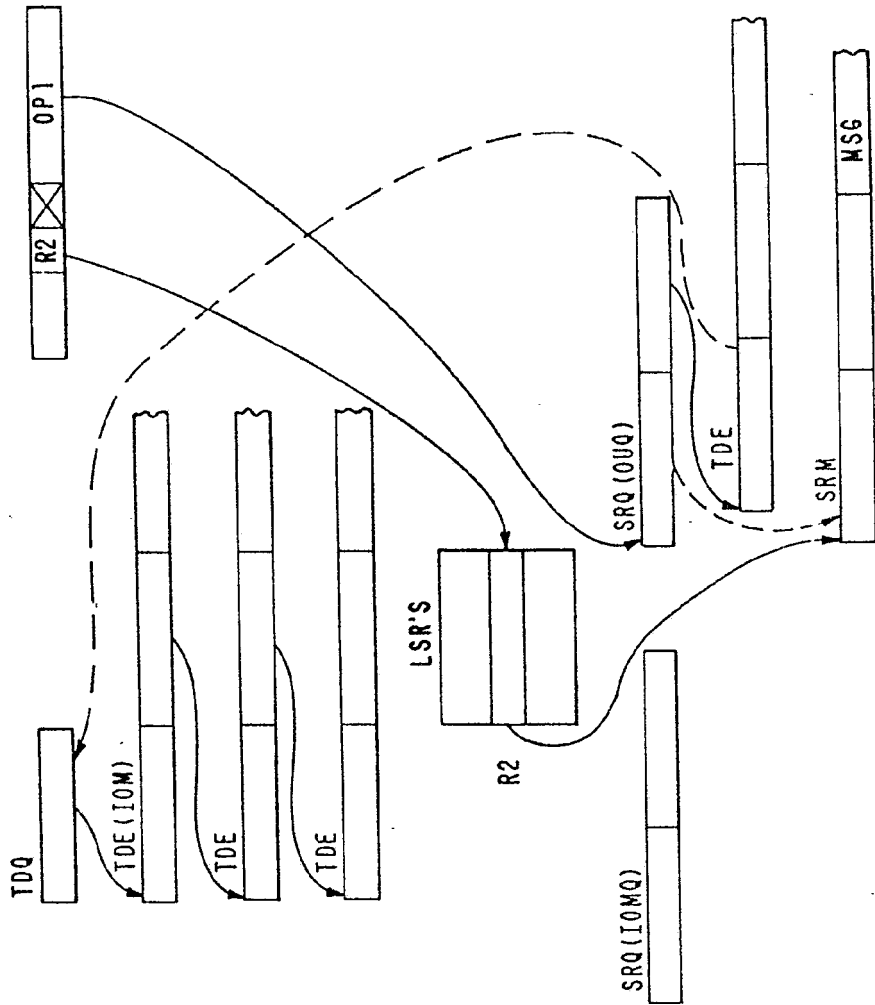


FIG. 32

Alberto E. Elabury
 For London



69009

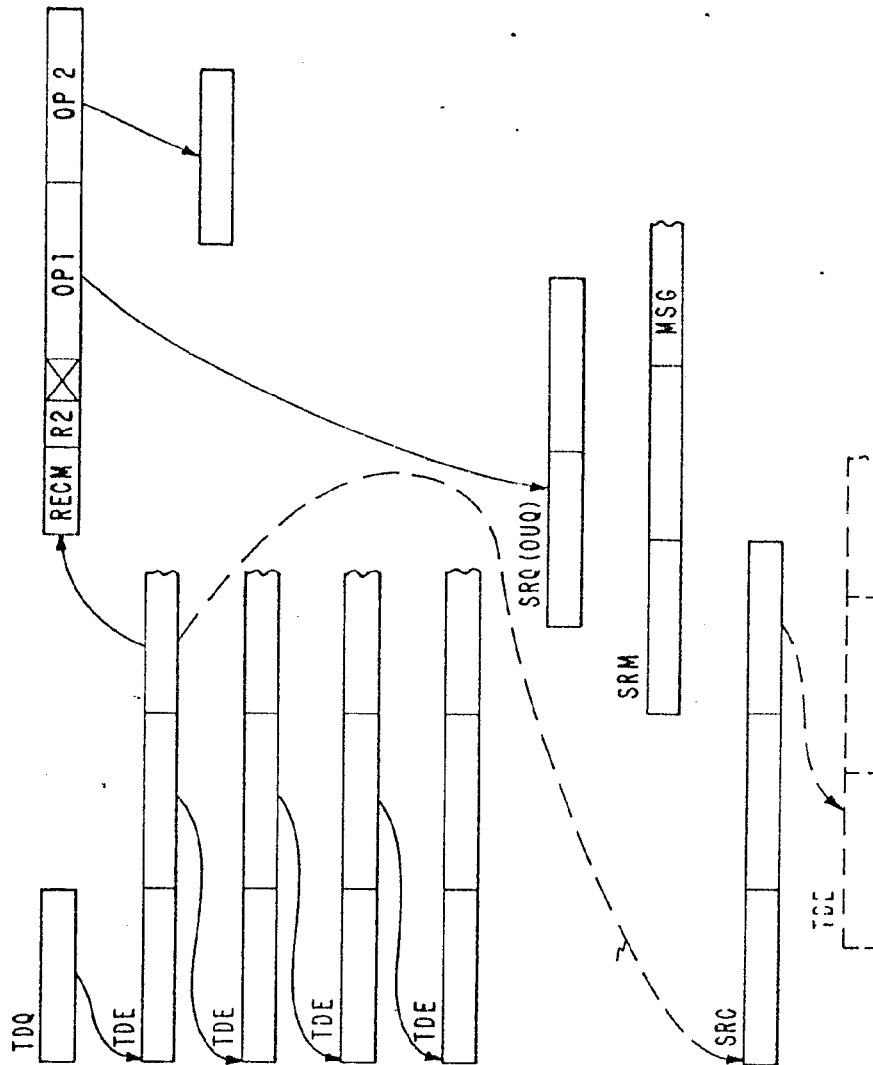


FIG. 33

Albert Einstein
 For Peace



B9009

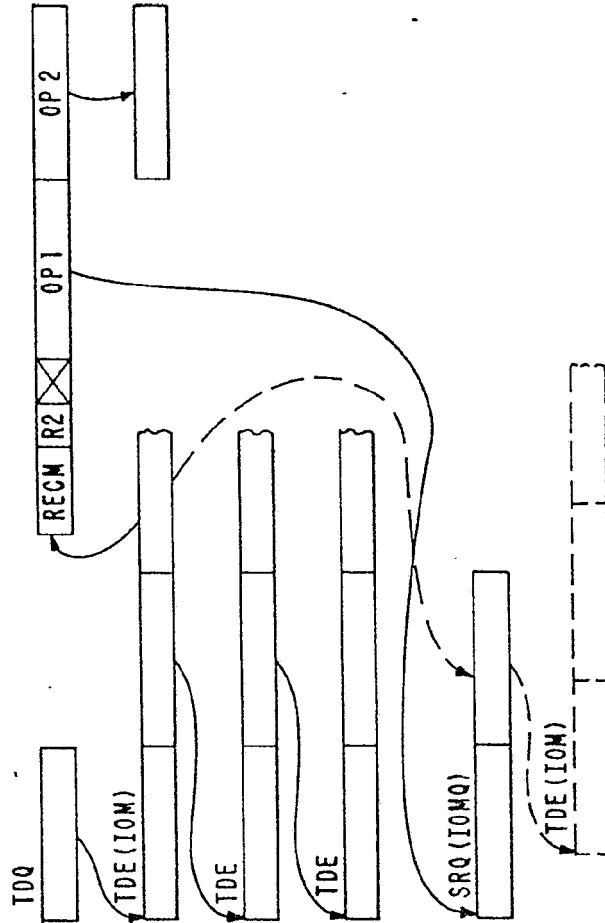


FIG. 34

Alberto J. ...
[Handwritten signature]

11/1/11

IBM - RO 976 014

2000

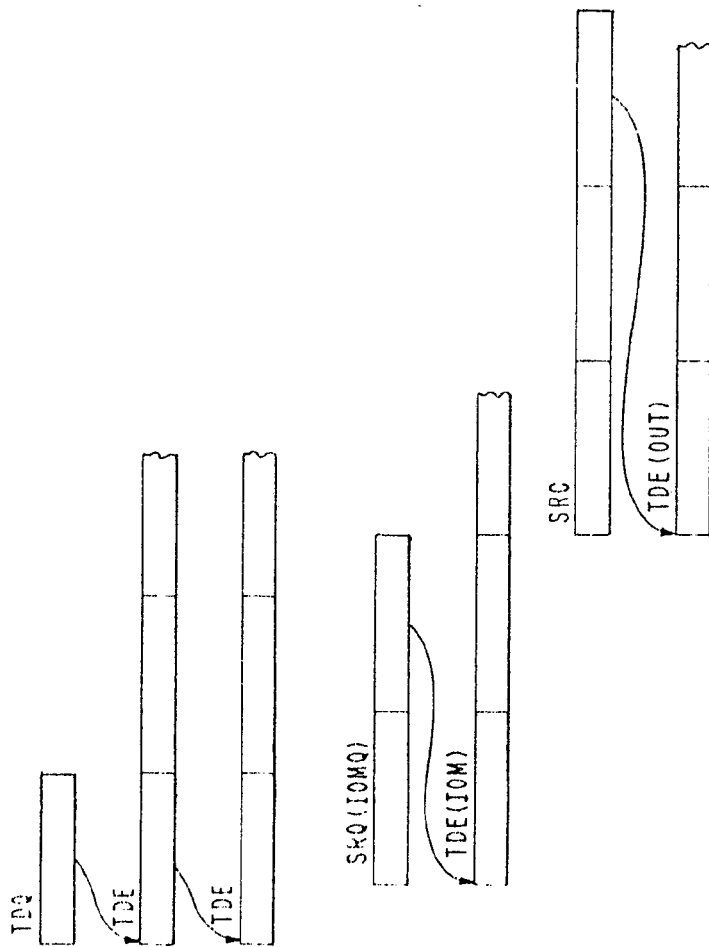


FIG. 35

ALL INFORMATION CONTAINED
HEREIN IS UNCLASSIFIED

[Handwritten Signature]

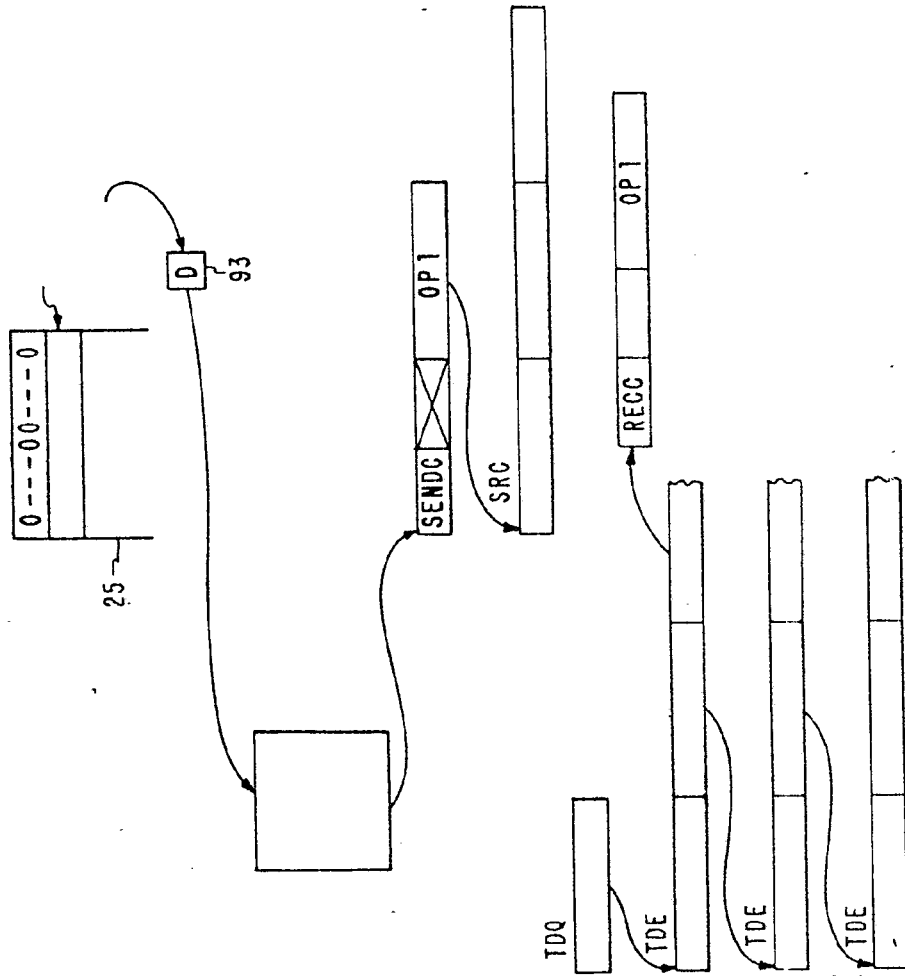


FIG. 36

Alberto de Elizaburu
 Por Poder



69009

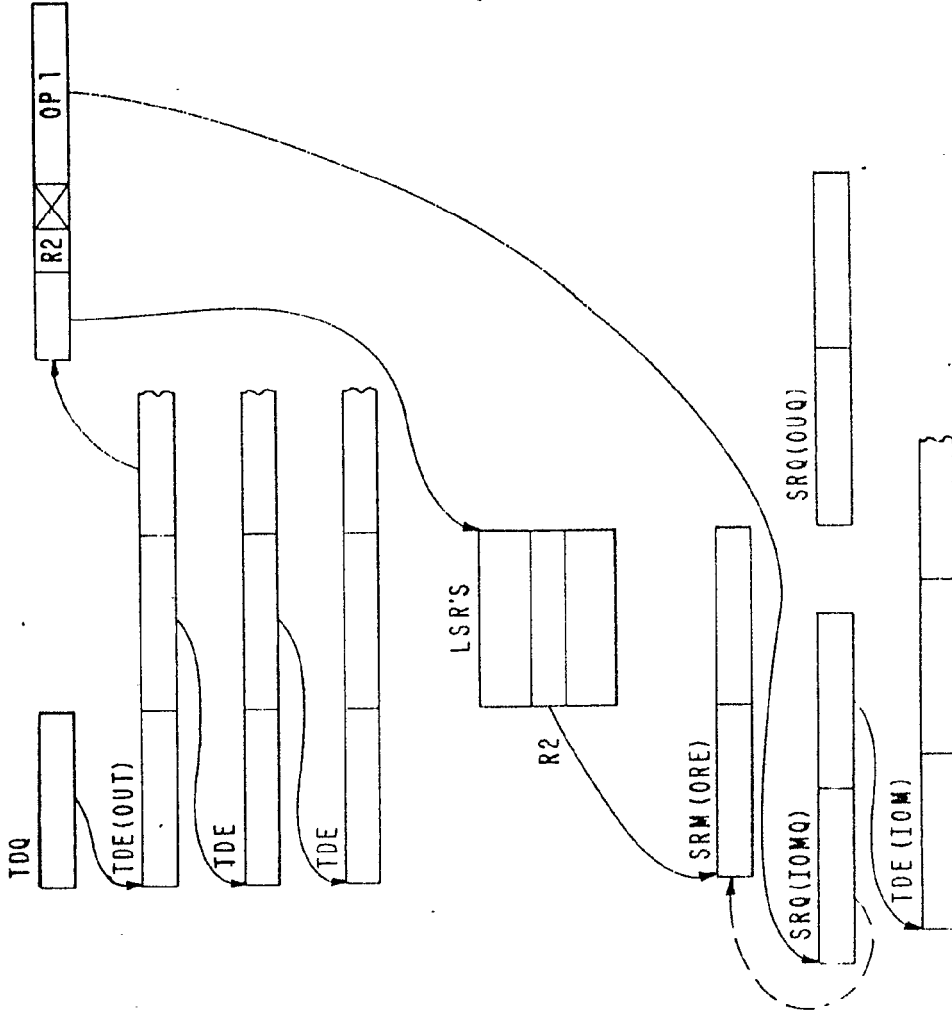


FIG. 37

Alberto Elshuru
For Patent